



(12) 发明专利

(10) 授权公告号 CN 107704403 B

(45) 授权公告日 2021.05.25

(21) 申请号 201710900309.X

(22) 申请日 2017.09.28

(65) 同一申请的已公布的文献号  
申请公布号 CN 107704403 A

(43) 申请公布日 2018.02.16

(73) 专利权人 郑州云海信息技术有限公司  
地址 450018 河南省郑州市郑东新区心怡路278号16层1601室

(72) 发明人 刘艳霞

(74) 专利代理机构 济南诚智商标专利事务所有  
限公司 37105

代理人 黄晓燕

(51) Int.Cl.  
G06F 13/12 (2006.01)

(56) 对比文件

CN 102955733 A, 2013.03.06

CN 206162320 U, 2017.05.10

CN 105955898 A, 2016.09.21

CN 103617145 A, 2014.03.05

朱琳等.《基于CPLD的可管理SAS硬盘背板设计》.《电子元件及应用》.2012,第14卷(第4期), 9-13.

审查员 王倩

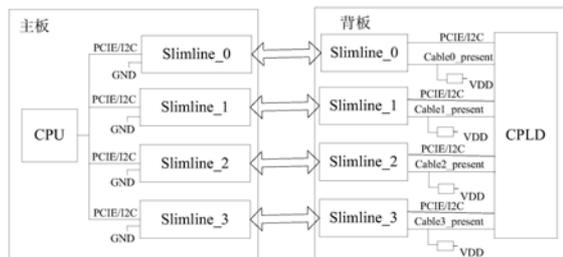
权利要求书1页 说明书3页 附图2页

(54) 发明名称

一种优化主背板信号传输的装置及方法

(57) 摘要

本发明公开了一种优化主背板信号传输的装置及方法,电路包括主板、背板和连接两者的线缆,其特征是:所述线缆的两端分别连接主板、背板上对应的slimline接口,主板端多个slimline接口均连接CPU的I2C信号输出端,背板端通过相应的slimline接口将I2C信号发送给CPLD。方法包括将主板和背板通过线缆连接,所述线缆的两端分别连接主板、背板上对应的slimline接口;将主板端的多个slimline接口均连接CPU的I2C信号输出端,CPLD通过对新增的slimline线缆在位信号的判断并按照既定优先级规则选择I2C通道实现I2C解析。本发明设计结构简单,在不增加成本的前提下,使系统配置更加灵活,且提高了系统的可靠性。



1. 一种优化主背板信号传输的装置,包括主板、背板和连接两者的线缆,其特征是:所述线缆的两端分别连接主板、背板上对应的slimline接口,主板端多个slimline接口均连接CPU的I2C信号输出端,背板端通过相应的slimline接口将I2C信号发送给CPLD;

所述主板端slimline接口接地,背板端slimline接口上拉,CPLD通过检测背板端slimline接口电平信号,对I2C信号通道进行选通。

2. 根据权利要求1所述的一种优化主背板信号传输的装置,其特征是:所述背板端slimline接口通过上拉电阻连接电源VDD。

3. 一种优化主背板信号传输的方法,其特征是:包括以下步骤:

将主板和背板通过线缆连接,所述线缆的两端分别连接主板、背板上对应的slimline接口;

将主板端的多个slimline接口均连接CPU的I2C信号输出端,通过背板端相应的slimline接口将I2C信号发送给CPLD;

所述方法还包括背板端选通I2C信号的步骤,具体实现过程为:

将主板端slimline接口接地,背板端slimline接口上拉;

CPLD通过检测背板端slimline接口电平信号的高低,对I2C通道进行选通。

4. 根据权利要求3所述的一种优化主背板信号传输的方法,其特征是:所述背板端slimline接口通过上拉电阻连接电源VDD。

## 一种优化主背板信号传输的装置及方法

### 技术领域

[0001] 本发明涉及计算机技术领域,具体地说是一种优化主背板信号传输的装置及方法。

### 背景技术

[0002] NVMe (Non-Volatile Memory express,非易失性存储器标准)作为一种新的可扩展存储应用协议,因其具有高IOPS (Input/Output Per Second,吞吐量)、低延迟、低功耗等优势,能够充分发挥PCIe SSD (PCIe,peripheral component interconnect express,一种高速串行计算机扩展总线标准;SSD,Solid State Drives,固态硬盘)性能,从而在企业级、大数据场景中,得到了越来越广泛的应用。

[0003] NVMe SSD是基于PCIe总线与CPU进行通信的,通过高速线缆和背板作为载体实现互联互通。如图1所示,背板设计中,CPU HP\_I2C信号一般是通过第一个slimline0接口连接到背板上的CPLD进行解析实现NVMe SSD点灯控制。

[0004] 这种方式需要第一个slimline接口线缆必须连接,若该线缆未连接或者发生意外状况造成链路断开,主板端的I2C信号将无法传递到背板CPLD (Complex Programmable Logic Device复杂可编程逻辑器件),背板上其他3个正常工作的NVMe SSD状态灯将不能被控制,同时CPU也接收不到背板端的硬盘在位信息等。

### 发明内容

[0005] 本发明的目的在于提供一种优化主背板信号传输的装置及方法,用于解决某slimline接口线缆未连接或者其他链路意外断开情况下,主背板间无法进行I2C通信的问题。

[0006] 本发明解决其技术问题所采用的技术方案是:一种优化主背板信号传输的装置,包括主板、背板和连接两者的线缆,所述线缆的两端分别连接主板、背板上对应的slimline接口,主板端多个slimline接口均连接CPU的I2C信号输出端,背板端通过相应的slimline接口将I2C信号发送给CPLD。

[0007] 进一步地,所述主板端slimline接口接地,背板端slimline接口上拉,CPLD通过检测背板端slimline接口电平信号,对I2C信号通道进行选通。

[0008] 进一步地,所述背板端slimline接口通过上拉电阻连接电源VDD。

[0009] 一种优化主背板信号传输的方法,包括以下步骤:

[0010] 将主板和背板通过线缆连接,所述线缆的两端分别连接主板、背板上对应的slimline接口;

[0011] 将主板端的多个slimline接口均连接CPU的I2C信号输出端,通过背板端相应的slimline接口将I2C信号发送给CPLD。

[0012] 进一步地,所述方法还包括背板端选通I2C信号的步骤,具体实现过程为:

[0013] 将主板端slimline接口接地,背板端slimline接口上拉;

[0014] CLPD通过检测背板端slimline接口电平信号的高低,对I2C通道进行选通。

[0015] 进一步地,所述背板端slimline接口通过上拉电阻连接电源VDD。

[0016] 发明内容中提供的效果仅仅是实施例的效果,而不是发明所有的全部效果,上述技术方案中的一个技术方案具有如下优点或有益效果:

[0017] 1、将主板上的多个slimline接口均连接I2C信号,相对应的背板上的slimline接口均连接CPLD,即使在slimline\_0接口故障时,主背板间依然可以进行I2C通信,保证计算机的正常工作,且设计结构简单,在不增加成本的前提下,使系统配置更加灵活,且提高了系统的可靠性。

[0018] 2、对多个slimline接口的I2C通道设置了CPLD判断逻辑,保证系统正常有序的工作。潜在提升产品形象和竞争力。

### 附图说明

[0019] 图1是现有技术中主背板连接示意图;

[0020] 图2是本发明主背板互联拓扑概图;

[0021] 图3是本发明中主背板连接示意图;

[0022] 图4是本发明方法的流程示意图。

### 具体实施方式

[0023] 为能清楚说明本方案的技术特点,下面通过具体实施方式,并结合其附图,对本发明进行详细阐述。下文的公开提供了许多不同的实施例或例子用来实现本发明的不同结构。为了简化本发明的公开,下文中对特定例子的部件和设置进行描述。此外,本发明可以在不同例子中重复参考数字和/或字母。这种重复是为了简化和清楚的目的,其本身不指示所讨论各种实施例和/或设置之间的关系。应当注意,在附图中所图示的部件不一定按比例绘制。本发明省略了对公知组件和处理技术及工艺的描述以避免不必要地限制本发明。

[0024] 以下实施例以NVMe 4端口为例进行说明,但同样适用于其他NVMe端口数背板的设计改进。

[0025] 如图2所示,NVMe SSD是基于PCIe总线与CPU进行通信的,通过高速线缆和背板作为载体实现互联互通。在本发明中,线缆端子(主板端)以及对应的主板/背板高速接口(背板端)采用符合SFF-9402规范的slimline接口,连接SSD硬盘端采用符合SFF-8639规范的接口。

[0026] 在图1的背板设计中,CPU的I2C信号一般是通过第一个slimline0接口连接到背板上的CPLD进行解析实现NVMe SSD点灯控制。

[0027] 如图3所示,本发明的一种优化主背板信号传输的装置,包括主板、背板和连接两者的线缆(cable),线缆的两端分别连接主板、背板上对应的slimline接口,例如主板端的slimline\_0接口连接背板端的slimline\_0接口。主板端上的slimline接口均连接CPU的I2C信号输出端,背板端通过相应的slimline接口将I2C信号发送给CPLD。即4个I2C通道均连接到CPLD。此时,即使发生第一个或有其他某个线缆没有连接,主板端的I2C信号仍然有物理通路连接到背板,不影响两者的通信。

[0028] 有4个I2C通道连接到了CPLD,需要CPLD选择通道进行解析。本实施例的解决方案

是在slimline接口中选择1pin CPRNT#(CPRNT是Cable Present的缩写,#代表这个信号是低电平有效) 设定为线缆是否在位的判断信号,并连接到CPLD。具体实现方案是主板端slimline接GND,背板端slimline上拉(高电平),通过上拉电阻连接电源VDD实现上拉。若有线缆插入,背板端该pin则变为低电平,CPLD接收到该信号变低,即知晓该接口有线缆插入。

[0029] CPLD通过监测4个slimline接口的线缆在位信号情况来进行I2C通道选择,优先级从slimline\_0到slimline\_3依次降低。CPLD通过读取4个slimline接口的CPRNT#电平即可获知线缆是否在位(插入)。实际只会选择一组I2C来进行解析。举例来说,若检测到Slimline\_0线缆插入,则解析slimline\_0的I2C信号,其余I2C通道不予处理;若slimline\_0无线缆插入,而检测到slimline\_1有插入,则解析slimline\_1的I2C,依次类推。从而实现CPLD通过判断线缆在位情况自动选择I2C解析通道,解决了改进前设计方案中对线缆连接端口的限制问题。当然slimline的优先级可自定义,均在本发明的保护范围内。

[0030] 如图4所示,本发明的一种优化主背板信号传输的方法,包括以下步骤:

[0031] S1,将主板和背板通过线缆连接,所述线缆的两端分别连接主板、背板上对应的slimline接口;

[0032] S2,将主板端的多个slimline接口均连接CPU的I2C信号输出端,通过背板端相应的slimline接口将I2C信号发送给CPLD。

[0033] 步骤S1中,连接主板与背板的slimline接口是相互对应的,例如主板端的slimline\_0接口连接背板端相对应的slimline\_0接口。

[0034] 步骤S2中,主板端上的slimline接口均连接CPU的I2C信号输出端,背板端通过相应的slimline接口将I2C信号发送给CPLD。即4个I2C通道均连接到CPLD。此时,即使发生第一个或有其他某个线缆没有连接,主板端的I2C信号仍然有物理通路连接到背板,不影响两者的通信。

[0035] 通过步骤S1、S2的操作后,有4个I2C通道连接到了CPLD,此时需要CPLD选择通道进行解析。本实施例的解决方案是在slimline接口中选择1pin CPRNT#(CPRNT是Cable Present的缩写,#代表这个信号是低电平有效) 设定为线缆是否在位的判断信号,并连接到CPLD。具体实现方案是主板端slimline接GND,背板端slimline上拉(高电平),通过上拉电阻连接电源VDD实现上拉。若有线缆插入,背板端该pin则变为低电平,CPLD接收到该信号变低,即知晓该接口有线缆插入。

[0036] CPLD通过监测4个slimline接口的线缆在位信号情况来进行I2C通道选择,优先级从slimline\_0到slimline\_3依次降低。CPLD通过读取4个slimline接口的CPRNT#电平即可获知线缆是否在位(插入)。实际只会选择一组I2C来进行解析。举例来说,若检测到slimline\_0线缆插入,则解析slimline\_0的I2C信号,其余I2C通道不予处理;若slimline\_0无线缆插入,而检测到slimline\_1有插入,则解析slimline\_1的I2C信号,依次类推。从而实现CPLD通过判断线缆在位情况自动选择I2C解析通道,解决了改进前设计方案中对线缆连接端口的限制问题。当然slimline的优先级可自定义,均在本发明的保护范围内。

[0037] 以上所述只是本发明的优选实施方式,对于本技术领域的普通技术人员来说,在不脱离本发明原理的前提下,还可以做出若干改进和润饰,这些改进和润饰也被视为本发明的保护范围。

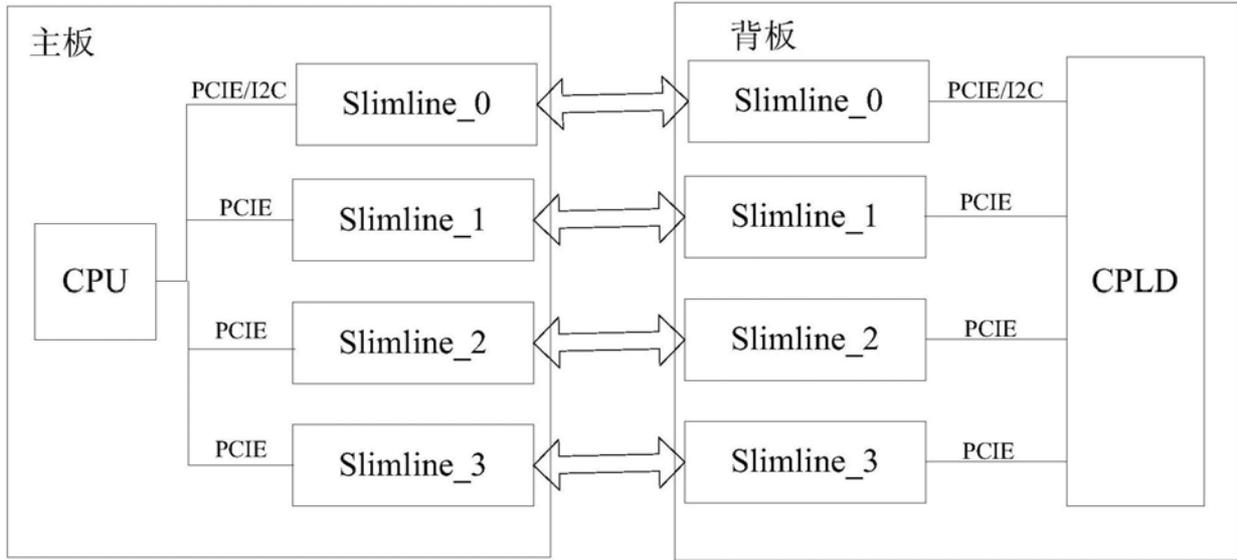


图1

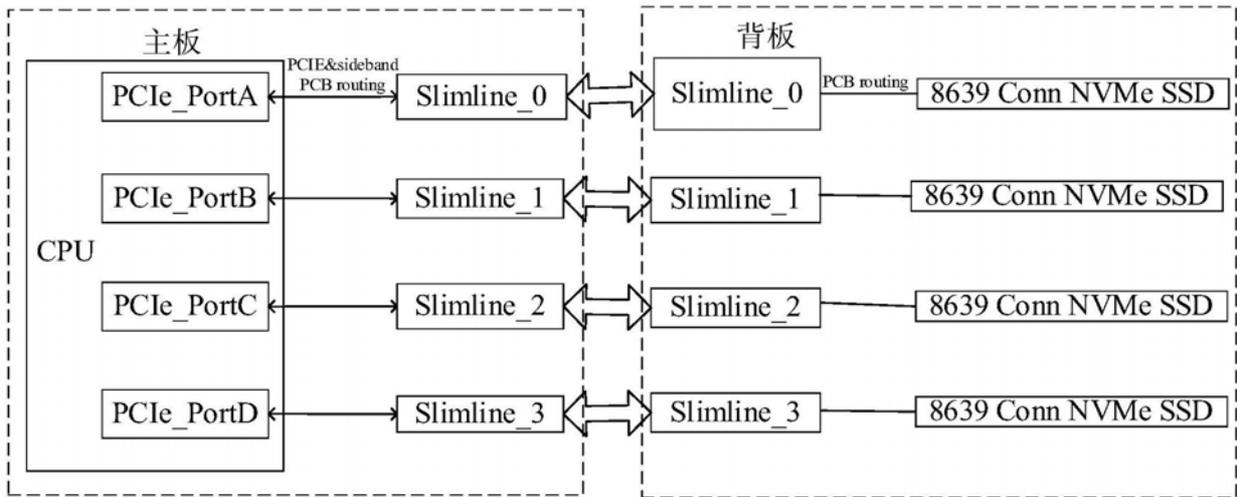


图2

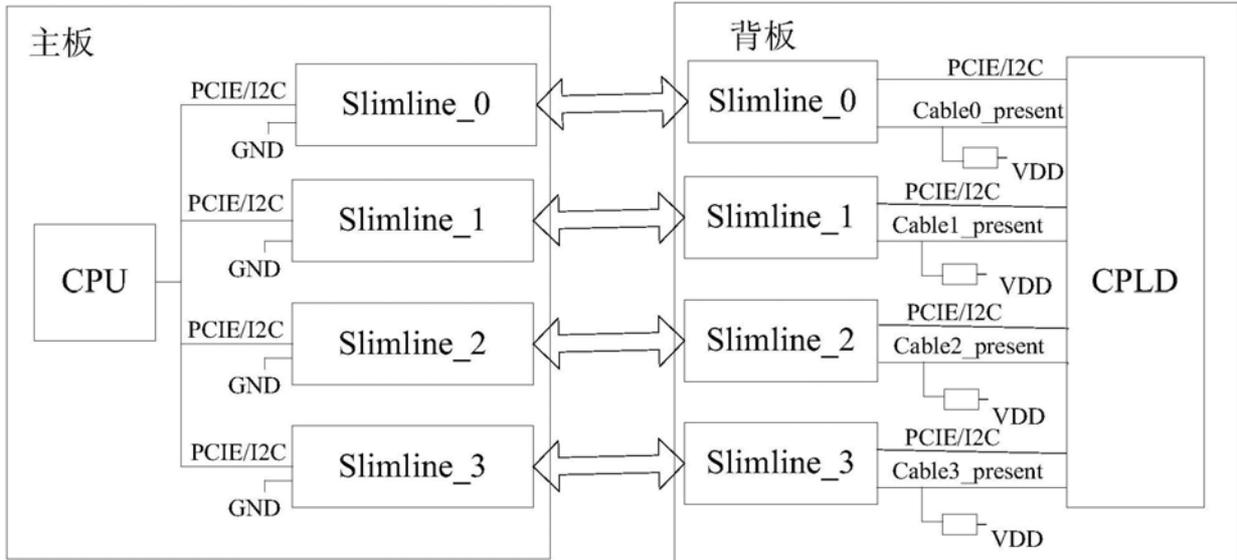


图3

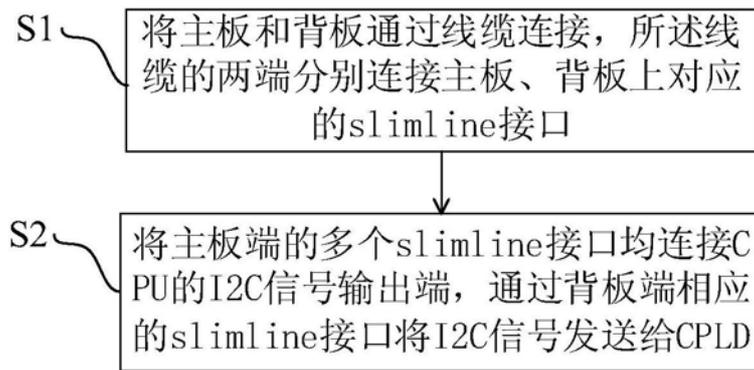


图4