

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2008年6月5日 (05.06.2008)

PCT

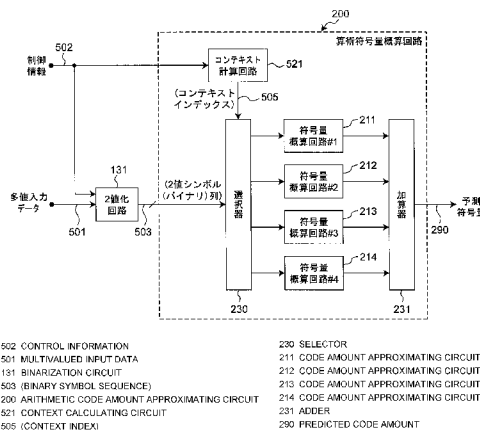
(10) 国際公開番号
WO 2008/065814 A1

- (51) 国際特許分類:
H04N 7/30 (2006.01) H04N 1/41 (2006.01)
H03M 7/40 (2006.01)
- (21) 国際出願番号: PCT/JP2007/069824
- (22) 国際出願日: 2007年10月11日 (11.10.2007)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2006-323384
2006年11月30日 (30.11.2006) JP
- (71) 出願人 (米国を除く全ての指定国について): 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) [JP/JP]; 〒5718501 大阪府門真市大字門真1006番地 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 田中 俊啓 (TANAKA, Toshihiro). 石田 景一 (ISHIDA, Keiichi).
- (74) 代理人: 田中 光雄, 外(TANAKA, Mitsuo et al.); 〒5400001 大阪府大阪市中央区城見1丁目3番7号IMPビル 青山特許事務所 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

[続葉有]

(54) Title: CODER

(54) 発明の名称: 符号化装置



(57) Abstract: A coder comprises: a binarization circuit (131) for converting multivalued data which is generated from an input signal and has plural contexts into a binary symbol sequence; an arithmetic code amount approximating circuit (200) for calculating a predicted code amount in a predetermined coding unit from the binary symbol sequence; and a coding circuit (102) for performing arithmetic coding on the input signal according to the predicted code amount. The arithmetic code amount approximating circuit (200) has: a selector (230) for dividing the binary symbol sequence into plural groups according to the contexts; plural code amount approximating circuits (211 to 214) for calculating a predicted code amount of the groups with respect to the binary symbol sequence divided into the plural groups at least according to the width of a section in the arithmetic coding; and an adder (231) for adding the predicted code amounts from all the code amount approximating circuits and outputting the predicted code amounts in the predetermined coding unit.

(57) 要約: 符号化装置は、入力信号から生成された、複数のコンテキストを持つ、多値データを2値シンボル列に変換する2値化回路(131)と、2値シンボル列から所定の符号化単位の予測符号量を算出する算術符号量概算回路(200)と、予測符号量に基づき入力信号に対する算術符号化を行う符号化回路(102)とを備える。算術符号量概算回路(200)は、2値シンボル列をコンテキストに基づいて複数のグループに分ける選択器(230)と、複数のグループに分けられた2値シンボル列を、少なくとも算術符号化における区間の幅に基づいてグループの予測符号量を算出する、複数の符号量概算回路(211~214)と、全ての符号量概算回路からの予測符号量を加算して、所定の符号化単位の予測符号量を出力する加算器(231)とを有する。

WO 2008/065814 A1



(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, PL, PT, RO, SE, SI, SK,

TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書

明 細 書

符号化装置

技術分野

[0001] 本発明は、符号化装置及び方法に関し、特に、算術符号化を適用した符号化装置及び方法に関する。

背景技術

[0002] 算術符号化は、情報源シンボルの発生確率に応じて情報量を理論限界まで可逆圧縮できる技術である。画像符号化の分野では、JPEG2000規格(ISO/IEC15444)、H. 264/MPEG4-AVC規格(非特許文献1参照。以下「H. 264規格」と称す。)等に採用されている。H. 264規格においては、コンテキスト適応算術符号化(CABAC:Context Adaptive Binary Arithmetic Coding)として、シンタックスの確率特性に応じた効率の高い符号化を実現している。

[0003] H. 264規格におけるコンテキスト適応算術符号化について、図22を用いて説明する。図22は、コンテキスト適応算術符号化回路を説明する図である。

[0004] 図22においてコンテキスト適応算術符号化回路145は、2値化回路130、コンテキスト計算回路520、及び算術符号化回路140から構成される。以下、この回路の動作について説明する。

[0005] 2値化回路130は変換係数データ、フラグ等の符号化情報からなる多値入力データに対して2値化を行う。2値化は、制御情報から、入力データの種類であるシンタックスエレメント(syntax element)を判別し、データの確率特性によって、表1に示すユニナリー・バイナライゼーション(unary binarization)や固定長バイナライゼーション(fixed-length binarization)等の方式を用いて行われる。

[0006] [表1]

Value of syntax element	Bin string				
0 (I _{NxN})	0				
1	1	0			
2	1	1	0		
3	1	1	1	0	
4	1	1	1	1	0
5	1	1	1	1	1
...					
binIdx	0	1	2	3	4

[0007] 表1に示すユニナリー・バイナライゼーションでは、多値入力データ0, 1, 2, 3, 4, 5...を、それぞれ2値シンボル(Bin string)0, 10, 110, 1110, 11110, 111110...に変換することで2値化を行っている。2値化された2値シンボル(バイナリ)列は、(2値)算術符号化回路140に入力される。ユニナリー・バイナライゼーションは、変換係数のレベルを示すcoeff_abs_level_minus1において、14以下の値を2値化するために用いられる。

[0008] コンテキスト計算回路520は、シンタックスエレメントを示す制御情報に基づいて、2値シンボル列における現在の1ビットを符号化するために用いるコンテキストインデックス(以下「ctxIdx」と称す。)の値をH. 264規格で定められた表2より求める。

[0009] [表2]

	シンタックスエレメント	スライスタイプ			
		SI	I	P, SP	B
slice_data()	mb_skip_flag			11-13	24-26
	mb_field_decoding_flag	70-72	70-72	70-72	70-72
macroblock_layer()	mb_type	0-10	3-10	14-20	27-35
	transform_size_8x8_flag	na	399-401	399-401	399-401
	coded_block_pattern (luma)	73-76	73-76	73-76	73-76
	coded_block_pattern (chroma)	77-84	77-84	77-84	77-84
	mb_qp_delta	60-63	60-63	60-63	60-63
mb_pred()	prev_intra4x4_pred_mode_flag	68	68	68	68
	rem_intra4x4_pred_mode	69	69	69	69
	prev_intra8x8_pred_mode_flag	na	68	68	68
	rem_intra8x8_pred_mode	na	69	69	69
	intra_chroma_pred_mode	64-67	64-67	64-67	64-67
mb_pred() and sub_mb_pred()	ref_idx_l0			54-59	54-59
	ref_idx_l1				54-59
	mvd_l0[][][0]			40-46	40-46
	mvd_l1[][][0]				40-46
	mvd_l0[][][1]			47-53	47-53
	mvd_l1[][][1]				47-53
sub_mb_pred()	sub_mb_type			21-23	36-39
residual_block_cabac()	coded_block_flag	85-104	85-104	85-104	85-104
	significant_coeff_flag[]	105-165	105-165	105-165	105-165
		277-337	277-337	277-337	277-337
		402-416	402-416	402-416	402-416
	last_significant_coeff_flag[]	436-450	436-450	436-450	436-450
		166-226	166-226	166-226	166-226
338-398		338-398	338-398	338-398	
coeff_abs_level_minus1[]	417-425	417-425	417-425	417-425	
	451-459	451-459	451-459	451-459	
	coeff_abs_level_minus1[]	227-275	227-275	227-275	227-275
		426-435	426-435	426-435	426-435

[0010] 表2より、ctxIdxは0から459までの460個の値を取りうる。1個のシンタックスエレメントに対して、スライスタイプによりctxIdxの選択が異なる。また、例えばスライスタイプIにおけるmb__field__decoding__flagのctxIdxが70-72となっているように、ctxIdxの値が複数個存在するシンタックスエレメントに対するctxIdxの値を決定するには、オフセット値ctxIdxOffset及び増分値ctxIdxIncの値に基づき、 $ctxIdx = ctxIdxOffset + ctxIdxInc$ の演算により求められる。ctxIdxOffsetは、表3(H. 264規格の表より一部抜粋)に示すシンタックスエレメント固有の値であり、ctxIdxIncはシンタックスエレメント毎に決められた規則(H. 264規格参照)によって複数の値から

一意に決定される。mb_field_decoding_flagの場合、ctxIdxOffset=70であり、ctxIdxIncは条件に応じて0から2のいずれかの値が選択される。

[0011] コンテキスト計算回路520は、スライスの開始時に460個のctxIdxの値毎に図23に示す計算により発生確率情報を初期化して記憶する。発生確率情報とは、2値シンボルの0又は1のうち発生確率の高い方のシンボルを示すMPS(valMPS)と、発生確率を示すpState(pStateIdx)の組を含む。求められたctxIdxの値に対応した発生確率情報を「コンテキスト情報」と呼ぶ。

[0012] コンテキスト計算回路520は、コンテキスト情報を生成して算術符号化回路140に入力する。このように、算術符号化を行うシンタックスエレメントによって算術符号化回路140に入力されるシンボルの発生確率つまりコンテキスト情報が適応的に切り替わる。これにより、2値シンボルの発生確率が動的に変わる2値シンボル列に対して、最適な算術符号化が可能となる。ここで、一定区間の多値入力データを処理した際に発生した出力符号の総ビット長を「符号量」と呼ぶ。

[0013] 算術符号化回路140の動作概念を、図24を用いて説明する。ctxIdxがある値で一定となっており、コンテキスト情報から得た発生確率が、シンボル0は0.75(2進数で0.11)、シンボル1は0.25であり、{0, 0, 0, 1}のバイナリ列が入力された場合を考える。この場合、図24(a)に示すように、現在のコンテキスト情報は、発生確率の高い方のシンボルを示すMPS=0、発生確率pState=0.11で表される。実際のpStateIdxは、0から63の範囲を取るインデックス値で表現されるが、ここでは簡単のため2進数の確率値とする。コンテキスト情報は、今回の2値算術符号化により更新され、コンテキスト計算回路520に戻される。コンテキスト計算回路520では、対応するctxIdxの発生確率情報を更新する。この値は、次回に同じctxIdxの符号化が行われる時に再利用される。

[0014] 図24(b)において、1個目の入力バイナリ値0が入力されると、[0, 1]の区間が確率0.11で区切られる0側の区間に狭められ、[0, 0.11]になる。2個目の入力0が入力されると、[0, 0.11]の区間が[0, 0.1001]に狭められる。ここで、0.1001=0.11×0.11である。同様にして、3個目の入力0により区間が[0, 0.011011]になる。4個目の入力1は、1側の区間に狭められるため、最終的な区間が[0.01010

001, 0. 011011]に狭められる。ここで、この最終的な区間に含まれる値のうち、最短の語長を持つものが符号語となる。0. 011は、この区間に含まれるので、小数点以下の011が出力バイナリ列となり、4ビットの入力値が3ビットに圧縮されたことになる。

[0015] 算術符号化回路140の実際の動作では、前記区間を有限語長で扱うため、区間の左端の値をcodILow(0. 01010001等)、区間の幅をcodIRange(0. 00011011等)として、codILow及びcodIRangeの値に応じて出力ビットを確定し、codIRange及びcodILowを1ビット左シフトして区間の分解能を上げるリノーマライゼーションと呼ぶ処理が行われる。実際の1ビットの算術符号化処理は図25及び図26のフローチャートに従って行われる。

[0016] 図25は2値バイナリ(以下「Bin」と称す。)1個の入力に対する算術符号化処理(820)であり、変数の初期化(821)、BinがMPSであるかの判定(822)、MPSでない場合にはcodILow及びcodIRangeの更新(823)、pStateIdxの値の判定(824)、MPSの反転(825)、発生確率pStateIdxの更新(826、827)、リノーマライゼーション(830)から成る。図25はリノーマライゼーション830の処理を示している。

[0017] ところで、図25及び図26におけるcodIRange及びcodILowは内部状態変数であり、スライス先頭でのみ初期化される。図24に示した4ビットの入力値を符号化した直後にctxIdxが異なる入力値を符号化する場合でも、コンテキスト情報のみを変更され、codIRange及びcodILowは4ビット符号化した直後の値が用いられる。変換係数データを算術符号化する際には、輝度64係数のsignificant__coeff__flag、輝度64係数のcoeff__abs__level__minus1、色差DC成分のsignificant__coeff__flag、色差AC成分のcoeff__abs__level__minus1といったctxIdxの異なる多値入力データを連続して符号化するが、内部状態を初期化するのはスライス先頭のみであるため、これらを含む全てのシンタックスエレメントはスライス内では逐次符号化するしかなく、並列に処理できないことになる。

[0018] 一方、動画像符号化においては、様々な特性を持つ入力画像を所定のビットレートに圧縮するため、各マクロブロックを符号化する際の量子化パラメータを適切に制御して、符号量制御を行う必要がある。符号量制御の精度を高めるためには、スライス、

フレーム、GOP(Group Of Pictures)といった単位でパラメータを変更して繰り返し符号化を行うことが一般的である。繰り返し符号化には、主に符号量を予測するための仮符号化と、最終的な符号化の2種類の符号化が含まれる。

[0019] 従来の仮符号化の方式は、最終的な符号化と同様、実際にエントロピー符号化を行うものと、エントロピー符号化を行わずに代替の演算を行うものとに大別される。従来の符号化装置において前者の方式は、エントロピー符号化に可変長符号化(Variable Length Coding)を用いる場合が一般的であった。しかし、近年、エントロピー符号化として算術符号化を用いる方式が提案されている。前述のように算術符号化はビット単位の符号化処理でありスライス内で逐次符号化するしかないため、算術符号化を仮符号化に適用すると、膨大な処理量が必要となってしまう。故にリアルタイム処理の必要とされる回路において、算術符号化を仮符号化に適用することは非常に困難である。

[0020] そのため、最終的な符号化において算術符号化を用いる場合の仮符号化の方式としては、後者の方式(エントロピー符号化の代替の演算を行う)が提案されている。例えば特許文献1は、算術符号化を行わず、入力2値シンボル量を出力符号量の予測値とすることで、最適な符号化モードを選択する際の処理量を削減する。また特許文献2のように関数を用いて予測する方式も提案されている。

[0021] 特許文献1:特開2005-318296号公報

特許文献2:特開2005-203905号公報

非特許文献1:ISO/IEC14496-10 Advanced video coding for generic
audiovisual services

発明の開示

発明が解決しようとする課題

[0022] しかしながら、算術符号化を用いた符号化装置において、算術符号化を行わずに仮符号化を行う従来の方式では、符号量の予測を精度よく行うことができないという課題があった。

[0023] すなわち、前述の特許文献1で示された方式では、複数の符号化モード間の相对比较としてはある程度機能するが、算術符号化を行わないため符号量の予測値を適

切に算出することはできない。また、特許文献2で示された方式では、算術符号化の演算とは全く異なるため、正確な符号量の予測が行えない。

- [0024] 本発明はこのような課題に鑑み、算術符号化を用いた符号化装置において、算術符号化の近似演算を行いながらも、回路での処理時間を大幅に削減した精度の高い符号量予測方式を提供することを目的とする。

課題を解決するための手段

- [0025] 本発明は、仮符号化において、2値シンボル列をコンテキストに基づき複数のグループに分け、各グループに分類された2値シンボル列に対して並列に算術符号量概算処理を行うことで予測符号量を求める。
- [0026] より具体的には、本発明に係る符号化装置は、入力信号から、複数のコンテキストを持ち、所定の符号化単位(例えば、マクロブロック)の多値データを生成するブロック化回路と、ブロック化回路により生成された多値データを2値シンボル列に変換する2値化回路と、2値シンボル列から、前記符号化単位の予測符号量を算出する算術符号量概算回路と、予測符号量に基づいて、入力信号に対する算術符号化を行う符号化回路とを備える。算術符号量概算回路は、所定の符号化単位に含まれる前記2値シンボル列をコンテキストに基づいて複数のグループに分ける選択器と、グループ毎に用意された回路であって、複数のグループに分けられた2値シンボル列を、少なくとも算術符号化における区間の幅に基づいてグループの予測符号量を算出する、複数の符号量概算回路と、全ての符号量概算回路からの予測符号量を加算して、所定の符号化単位の予測符号量を出力する加算器とを有する。

発明の効果

- [0027] 本発明によれば、算術符号化を用いた符号化装置において、コンテキストに基づいて分けられた複数のグループに対する算術符号化の近似演算を並列に行うことが可能となり、算術符号化に近い演算を行いながらも算術符号化と比較して処理時間を大幅に削減できる。これにより動作周波数を低く抑えた回路を用いて高精度の符号量予測に基づく符号化装置を実現できる。また、高画質な映像符号化装置を提供することができる。

図面の簡単な説明

- [0028] [図1]映像符号化装置の構成図
- [図2]算術符号量概算回路の構成図
- [図3]算術符号量概算回路での並列処理を説明した図
- [図4]算術符号量概算回路が処理対象とするシンタックスエレメントを示す図
- [図5]逐次処理での1ユニットの符号量概算処理を示すフローチャート
- [図6]ユニット初期化処理を示すフローチャート
- [図7]1Binの符号量概算処理を示すフローチャート
- [図8]1Binの符号量加算処理を示すフローチャート
- [図9]1ユニットの微小符号量概算処理を示すフローチャート
- [図10]小数符号量テーブルを説明する図
- [図11]ユニナリー・バイナライゼーションの1ユニットの符号量概算処理を示すフローチャート
- [図12]ユニット内の全Binに対する符号量概算処理を示すフローチャート
- [図13]整数符号量テーブルを説明する図
- [図14]整数符号量テーブルの初期化を説明する図
- [図15]バイパス時の1ユニットの符号量概算処理を示すフローチャート
- [図16]算術符号量概算回路の予測精度を示す図
- [図17] (a) 1920×1080画素で構成される1フレームを示した図、(b) 120×68マクロブロックで構成される1フレームを示す図
- [図18]仮量子化パラメータの選択例を示す図
- [図19]仮量子化パラメータの選択例を示す図
- [図20]符号量積算メモリに蓄積されるデータ例を示す図
- [図21]最適量子化パラメータの算出方法を説明するための図
- [図22]従来のコンテキスト適応算術符号化回路を説明する図
- [図23]発生確率情報の初期化を説明する図
- [図24]算術符号化の概念を説明する図
- [図25]1Binの入力に対する算術符号化処理を示すフローチャート
- [図26]リノーマライゼーション処理を示すフローチャート

符号の説明

- [0029] 100 映像符号化装置
- 101 第一の符号化回路
- 102 第二の符号化回路
- 111 量子化パラメータ発生回路
- 112 量子化パラメータ算出回路
- 121 第一の量子化回路
- 122 第二の量子化回路
- 124 逆量子化回路
- 131 第一の2値化回路
- 132 第二の2値化回路
- 142 算術符号化回路
- 151 フレームメモリ
- 152 予測モードメモリ
- 153 符号量積算メモリ
- 161 第一のブロック化回路
- 162 第二のブロック化回路
- 171 第一のイントラ予測生成回路
- 172 第二のイントラ予測生成回路
- 173 予測モード検出回路
- 181 第一のDCT回路
- 182 第二のDCT回路
- 184 逆DCT回路
- 191 映像信号入力
- 192 出力ビットストリーム/E
- 200 算術符号量概算回路
- 211～214 算術符号量概算回路
- 230 選択器

231 加算器

発明を実施するための最良の形態

[0030] 以下、本発明の実施の形態について図面を参照しながら説明する。

[0031] 1. 映像符号化装置の構成

本実施の形態では、フレーム内で復号可能なイントラフレームを符号化対象として、動作周波数を低く抑えた回路を用いて高精度の符号量予測に基づく符号量制御を行う映像符号化装置について説明する。

[0032] 図1に本発明の実施の形態による映像符号化装置の構成例を示す。図1において、映像符号化装置100は、仮符号化を行う第一の符号化回路101、最終的な符号化を行う第二の符号化回路102、フレームメモリ151、予測モードメモリ152、及び符号量積算メモリ153から構成される。

[0033] 第一の符号化回路101は、入力信号をブロック化するための第一のブロック化回路161、予測モード検出回路173、第一のイントラ予測生成回路171、直交変換回路としての第一のDCT回路181、量子化パラメータ発生回路111、第一の量子化回路121、第一の2値化回路131、及び算術符号量概算回路200から構成される。

[0034] 第二の符号化回路102は、第二のブロック化回路162、第二のイントラ予測生成回路172、第二のDCT回路182、量子化パラメータ算出回路112、第二の量子化回路122、第二の2値化回路132、算術符号化回路142、逆量子化回路124、及び逆DCT回路184から構成される。

[0035] 以上のように構成された映像符号化装置について、以下その動作を説明する。

[0036] 2. 映像符号化装置の動作

映像符号化装置は映像信号191をフレーム単位で入力し、処理する。以下では、説明の便宜上、1フレームの映像信号に対する処理の流れについて説明する。

[0037] 映像符号化装置100に1フレームのデジタル映像信号191が入力されると、第一の符号化回路101は、入力した1フレームのデジタル映像信号に対して仮符号化を行う。この仮符号化において、予測モード検出回路173により検出された予測モード値が予測モードメモリ152に、算術符号量概算回路200により出力された符号量が符号量積算メモリ153にそれぞれ格納される。

[0038] 映像符号化装置100に入力されたデジタル映像信号191はフレームメモリ151に格納されて1フレーム以内の一定時間だけ遅延されて、第二の符号化回路102に出力される。第二の符号化回路102は1フレームのデジタル映像信号を符号化して得られたストリーム192を出力する。第二の符号化回路102での符号化においては、予測モードメモリ152に格納された予測モード値、及び符号量積算メモリ153に格納された符号量を入力して、同じフレームに対する符号化が行われる。以下、第一及び第二の符号化回路101、102それぞれの詳細な処理について説明する。

[0039] 2.1 第一の符号化回路による仮符号化

第一の符号化回路101による仮符号化の処理を説明する。

ブロック化回路161は、デジタル映像信号191を受け、1フレーム分の映像信号を 16×16 画素からなる複数のマクロブロックにブロック化する。マクロブロックは、後述するDCTやイントラ予測の単位となるブロックを複数個含む。

[0040] イントラ予測生成回路171は、 16×16 画素のマクロブロック毎に、入力されたデジタル映像信号の画素と、入力されたデジタル映像信号191の画像に隣接する画素とから、そのマクロブロックの各画素の値を種々の予測モードで予測(イントラ予測)する。なお、イントラ予測は、マクロブロック単位の代わりに、 8×8 画素ブロックや 4×4 画素ブロックの単位でも行われる。

[0041] 予測モード検出回路173は入力したデジタル映像信号191から予測モード値の検出を行う。予測モード値には、フィールドマクロブロック復号フラグ(mb__field__decoding__flag)、輝度 4×4 イントラ予測モード(Intra4x4PredMode)、輝度 8×8 イントラ予測モード(Intra8x8PredMode)、色差イントラ予測モード(intra__chroma__pred__mode)が含まれる。検出された予測モード値は予測モードメモリ152に蓄積される。

[0042] 入力されたデジタル映像信号191において符号化対象のマクロブロックの各画素値と、イントラ予測生成回路171により作成された、符号化対象のマクロブロックの画素予測値との差分値が計算されて、 16×16 画素の差分値のブロックが生成され、DCT回路181に出力される。このイントラ予測は、マクロブロック単位の代わりに、 8×8 画素ブロックや 4×4 画素ブロックの単位でも行われる。

[0043] DCT回路181は、差分値のブロックに対してDCT(離散コサイン変換)等の直交変換処理を行う。この処理は、通常4×4画素や8×8画素のブロック単位に行われ、周波数成分の係数データが出力される。係数データは量子化回路121に入力され、量子化パラメータ発生回路111により与えられた量子化パラメータにしたがい量子化される。量子化パラメータは、量子化パラメータ発生回路111により、複数のパラメータ候補の中から選択して決定される。

[0044] 量子化回路121により量子化された係数データは2値化回路131にて2値化される。算術符号量概算回路200は、2値化された係数データから予測符号量を求め、出力する。算術符号量概算回路200の出力する予測符号量は、符号量積算メモリ153に記録される。

[0045] 2. 1. 1 算術符号量概算回路の動作

算術符号量概算回路200は、算術符号化に近い演算を行うことで、マクロブロック単位毎に予測符号量すなわち算術符号化の符号量の概算値を求める。図2に算術符号量概算回路200の構成を示す。算術符号量概算回路200は、コンテキスト計算回路521、選択器230、第一ないし第四の符号量概算回路211～214、及び加算器231により構成される。第一ないし第四の符号量概算回路211～214は、スライスに対するコンテキストインデックス(ctxid_x)の値に応じて選択される。

[0046] 以上のように構成される算術符号量概算回路200について以下その動作を説明する。

[0047] 多値入力データ501は、2値化回路130において2値シンボル(バイナリ)列503に変換される。2値化回路131は、図22におけるコンテキスト適応算術符号化回路145に含まれる2値化回路130と基本的には同じ回路であるが、2値シンボル列503は必ずしもシリアル出力でなくとも良く、パラレル出力としても良い。コンテキスト計算回路521は、多値入力データ501と同時に入力される制御情報502に基づいて、現在のコンテキストインデックス(ctxIdx) 505を選択器230に出力する。選択器230は、コンテキストインデックス(ctxIdx) 505に基づいて、現在の2値シンボル503を、第一ないし第四の符号量概算回路211～214のいずれかに割り振る。第一及び第二の符号量概算回路211、212は輝度に関するデータを処理し、第三及び第四の符号量

概算回路213、214は色差に関するデータを処理するように2値シンボルが割り振られる。

[0048] 算術符号量概算回路200では、第一ないし第四の符号量概算回路211～214において同時に符号量概算処理を実施するため、図3に示すように並列処理が可能となり、符号量概算のための処理時間を短縮できる。

[0049] コンテキストインデックス(ctxIdx)に基づく、2値シンボル503の、符号量概算回路211～214への割り振り方について図4を参照してより具体的に説明する。

[0050] 図4は、表1のresidual_block_cabac()に属するシンタックスエレメントに関して、ctxIdxと、割り振られる第一ないし第四の符号量概算回路211～214との対応を説明した図である。同図より、例えばctxIdx=402であれば、輝度のsignificant_coeff_flagに属するので、第一の符号量概算回路211が選択される。なお、coeff_sign_flagは、算術符号化にてバイパスされるため表1には示されていないが、符号量概算回路ではバイパスとして扱い符号量の概算に用いられる。

[0051] 以上のようにして各符号量概算回路211～214により算出された符号量は、加算器231にて加算され、一定区間毎に予測符号量290として出力される。

[0052] 各符号量概算回路211～214で実行される処理は、図5、図11及び図15のそれぞれのフローチャートで示す3つの処理がある。図11に示す処理は、coeff_abs_level_minus1のように、2値化処理においてユニナリー・バイナライゼーションを用いるシンタックスエレメントに対して適用される。図5に示す処理は、図11に示す処理の適用対象でない通常のシンタックスエレメントに対して適用する逐次処理を示す。図15に示す処理は、前述したバイパスとして扱われた2値シンボル(以下「Bin」と称す。)を適用対象とする処理である。図5、図11及び図15のそれぞれの処理はユニット単位で実行される。ユニットとは、2値シンボル(Bin)の集合であり、通常ctxIdxの値が連続して同じとなるBinの集合に設定される。

[0053] (a) 逐次処理による算術符号量概算処理

図5～図9を参照し、逐次処理による符号量概算処理を説明する。図5は、逐次処理による1ユニットの符号量概算処理のフローチャートを示している。本符号量概算処理では、最初に(ユニットの開始時に)ユニット初期化処理(S11)を行い、次に1Bi

nの符号量概算処理(S12)をユニットが終了するまで繰返し(S13)、最後に(ユニットの終了時に)1ユニットの微小符号量概算処理(S14)を行って終了する。

[0054] 図6を参照し、上記ステップS11のユニット初期化処理の詳細を説明する。ユニット初期化処理では、区間の幅(codIRange)、ユニット符号量の整数部分(又は整数符号量)(codeLengthInt)、ユニット符号量的小数部分(又は小数符号量)(codeLengthFrac)をそれぞれ初期化する(S21)。ユニット符号量は、このように整数部分と小数部分に分かれており、小数の精度で符号量概算が行われる。codeLengthFracは、小数点以下を9ビット精度で表しており、0から511までの値を取り得る。

[0055] 図7を参照し、上記ステップS12の1Binの符号量概算処理の詳細を説明する。1Binの符号量概算処理では、最初に変数の初期化(S31)を行う。次にBinがMPSであるかの判定を行う(S32)。MPSでない場合にはcodIRangeを更新し(S33)、pStateIdxの値を判定する(S34)。pStateIdxの値が0の場合、MPSの反転を行い(S35)、発生確率pStateIdxを更新する(S36)。ステップS32にてBinがMPSである場合には、pStateIdxの更新のみを行う(S37)。最後に1Binの符号量加算処理(S38)を行って処理を終了する。図7のフローチャートは、図25に示した算術符号化処理のフローチャートに準じており、ステップS33でcodILowを計算しない点と、図25のリノーマライゼーションのステップ(S830)の代わりに1Binの符号量加算処理(S38)を実施する点とが異なる。

[0056] 図8を参照し、上記ステップS38の1Binの符号量加算処理の詳細を説明する。1Binの符号量加算処理では、codIRangeが0x100以上の値になるまで、codIRangeを1ビット左シフトしてユニット符号量の整数部分codeLengthIntを1加算する処理が繰り返される(S41、S42)。図8のフローチャートは、図26に示したリノーマライゼーションのフローチャートにおいて、codIRangeを操作する部分のみを抽出し、codIRangeの左シフト回数を符号量に加算する処理を加えたものに等しい。

[0057] 図9を参照し、上記ステップS14の1ユニットの微小符号量概算処理の動作を説明する。図9に示す1ユニットの微小符号量概算処理では、ユニット符号量的小数部分codeLengthFracを、テーブル参照関数readTableCdFrac()によって求める(S51)。図10に、テーブル参照関数readTableCdFrac()を示す。小数符号量テーブ

ルmTblは256個の定数から構成される(図10(a)参照)。小数符号量テーブルmTblは、関数initTableCdFrac()により初期化される(図10(b)参照)。小数符号量テーブルmTblは、mTbl[0]=511、mTbl[255]=1となる対数のテーブルである。codIRange=256の時にmTbl[0]=511となり、codIRange=511の時にmTbl[255]=1となる。概念的にはcodIRangeが512に近いほどMPSが相対的に多く出現していたので、小数符号量が短くなる。また、codIRangeが256に近いほどLPSが相対的に多く出現していたので、小数符号量が長くなる。この関係がinitTableCdFrac()内の式に示す対数のカーブにより高い精度で近似される。

[0058] (b)ユーナリー・バイナライゼーションを用いるシンタックスエレメントに対する符号量概算処理

図11を参照し、ユーナリー・バイナライゼーションを用いるシンタックスエレメントに対する符号量概算処理を説明する。

[0059] 図11に示す、ユーナリー・バイナライゼーションの符号量概算処理では、最初にユニット初期化処理(S61)を行い、次にユニット内の全Binに対する符号量概算処理(S62)を行って、最後に1ユニットの微小符号量概算処理(S63)を行って終了する。図11に示す1ユニットの符号量概算処理は、図5で示した逐次処理の1ユニットの符号量概算処理と比較して、1Binの符号量概算処理(S12)のステップの繰り返し処理を、ユニット内の全Binに対する符号量概算処理(S62)で置換えたものである。

[0060] 図11に示すユーナリー・バイナライゼーションの符号量概算処理を適用するシンタックスエレメントを、coeff__abs__level__minus1を例として用いて説明する。coeff__abs__level__minus1は、表1に示すBinの位置binIdxによりctxIdxが異なる。このため、binIdx=0を除いて $1 \leq \text{binIdx} \leq 13$ の範囲のBinを1個のユニットとする。つまり、表1の「Value of syntax element」の欄が1以上14以下のものが対象となる。最大値が14となるのは、最大値binIdx=13が符号「1」で終わるトランケートド(Truncated)形式になっているためである。binIdx=1以降の符号「1」の数を変数run__lengthで表すと、run__lengthは0以上13以下の値を取る。なお、binIdx=14以上はバイパスとなるから、この例ではcoeff__abs__level__minus1の値が1以上となる全ての係数に対して、バイパス部分を除いてユーナリー・バイナライゼーション

の符号量概算処理が適用される。

[0061] 図12を参照し、上記ステップS62のユニット内の全Binに対する符号量概算処理の詳細を説明する。まず全Binに対する符号量の加算を行う(S71)。この処理は、ユニット符号量の整数部分codeLengthIntを、テーブル参照関数readTableCdInt()を用いて加算し、codIRangeをテーブル参照関数readTableRng()を用いて更新することで行われる。次に全Binに対するコンテキスト情報の更新を行う(S72)。この処理は、valMPSをテーブル参照関数readTableMps()を用いて更新し、pStateIdxをテーブル参照関数readTableState()を用いて更新することで行われる。

[0062] ここで、図13を参照し、各テーブル参照関数を説明する。図13に示すように、ビットの最大値が13であるため、MAX_RUN=13と定義している。テーブル参照関数：readTableCdInt()、readTableRng()、readTableMps()、readTableState()は、それぞれ整数符号量テーブル(mCdIntTbl)、レンジテーブル(mRngTbl)、MPSテーブル(mMpsTbl)、pStateテーブル(mStateTbl)を参照して値を返す。これらのテーブルは、2値シンボル列の全ての符号パターンと全ての出現確率パターンを入力とする。

[0063] 図14を参照し、各テーブルの初期化処理の詳細を説明する。初期化関数initTableCdInt()を、全てのrun_length、valMPS、pStateIdxに対して実行することで、整数符号量テーブル(mCdIntTbl)、レンジテーブル(mRngTbl)、MPSテーブル(mMpsTbl)、pStateテーブル(mStateTbl)が全て初期化される。この初期化処理は、図5に示す逐次処理による1ユニットの符号量概算処理の演算に従っている。図14のProc1Bin(binVal, &valMPS, &pStateIdx)は、図5の1Binの符号量概算処理(S12)に対応しており、binVal、valMPS、pStateIdx、codIRangeに対して図7の処理と等価な処理が行われる。但し、図7の1Binの符号量加算処理(S38)は、図14内の2箇所のwhile処理にて行われる。以上により、全てのBinに対する符号量の整数部分が一括して計算可能な各テーブルが初期化される。

[0064] (c) バイパスとして扱われたBinに対する算術符号量概算処理

図15を参照し、バイパスとして扱われたBinに対する1ユニットの符号量概算処理の詳細を説明する。本符号量概算処理は、ユニット初期化処理(S81)を行った後、

ユニットが終了するまでユニット符号量の整数部分codeLengthIntを1ずつ加算する(S82、S83)。つまり、本符号量概算処理は、1Binの符号量を単に1ビットの符号量としてカウントする。

[0065] 図2に示す加算器231は、以上の図5、図11、図15に示す3つの符号量概算処理により得られたユニット符号量の概算値から予測符号量を以下のように計算する。

[0066] マクロブロックに含まれる全てのユニットに対して、全ての符号量概算回路211～214から出力されたユニット符号量の整数部分(codeLengthInt)及びユニット符号量の小数部分(codeLengthFrac)をそれぞれ加算して、マクロブロックの予測符号量の整数部分(MBcodeLengthInt)、マクロブロックの予測符号量の小数部分(MBcodeLengthFrac)を計算する。最終的なマクロブロックの予測符号量MBcodeLengthは、次式で求められる。

$$\text{MBcodeLength} = \text{MBcodeLengthInt} + (\text{MBcodeLengthFrac} \gg 9) \quad (1)$$

[0067] 次に、以上で説明した1ユニットの符号量概算処理(図5、図11、図15参照)が、ユニット毎に並列に処理可能である理由を説明する。

[0068] 前述したようにコンテキスト適応型算術符号化を並列処理するための障害であった内部状態codIRange及びcodILowの2つに関して、codIRangeは図6に示すユニット初期化処理にてユニット毎に固定値に初期化されており、codILowは図5から図15に示した全体の処理の中に存在しない。よって各ユニットの符号量概算処理は、図3に示すように回路上で時間的に並列に実施することが可能となる。

[0069] また図11を参照して説明したように、1ユニットの符号量概算処理(ユニナリー・バイナライゼーション)は複数のBinを一括に処理可能である。これは一定範囲のユニナリー・バイナライゼーションの符号群と、全てのvalMPSと、全てのpStateIdxとの組合せに基づくテーブルを用意することで可能となる。

[0070] 算術符号量概算回路200が高い精度でマクロブロックの符号量を近似するための条件について説明する。

[0071] その条件とは、図5、図11、図15に示す1ユニットの符号量概算処理を図2に示した第一から第四の符号量概算回路211～214に適用した上で、図4に示したように

符号量概算回路全体(#1~#4の合計)で網羅するctxIdxによる発生符号量のマクロブロック全体の発生符号量に占める割合が、100%に近いことである。図4の例では、residual_block_cabac()に属するシンタックスエレメントの発生符号量がマクロブロック全体の発生符号量の100%に近いという前提で、符号量概算処理に用いるシンタックスエレメントを選定している。よって、これら以外のシンタックスエレメントの占める発生符号量が無視できない場合には、そのシンタックスエレメントも符号量概算処理の対象とする必要がある。

[0072] 図16は、本実施形態による算術符号量概算回路200の予測符号量290の予測精度を示した図である。図16は、マクロブロック単位の予測符号量と算術符号化による発生符号量との誤差の割合を、1フレーム(8160マクロブロック)に渡りプロットしたものである。統計的性質の異なる4種類のフレーム(Sequence #1~#4)に対して、平均0.47%、標準偏差1.55%の誤差であり、高い精度が得られている。

[0073] 2.2 第二の符号化回路による最終的な符号化

図1における第二の符号化回路102の符号化の動作を説明する。第一の符号化回路101により1フレームの仮符号化が終了すると、フレームメモリ151に蓄積された1フレームの映像信号が、ブロック化回路162に入力される。符号化対象のマクロブロックの各画素値は、予測モードメモリ152から読み出した予測モード値に基づいてイントラ予測生成回路172が生成した画素予測値との差分値が計算される。差分値のブロックに対してDCT回路182にてDCTが行われ、周波数成分の係数データが出力される。係数データは量子化回路122に入力されて量子化される。この際の量子化パラメータは、量子化パラメータ算出回路112により算出される。量子化された係数データは2値化回路132にて2値シンボルに変換され、算術符号化回路142にて符号化されてビットストリーム192として出力される。

[0074] 2.3 第一の符号化回路101での仮符号化における量子化パラメータの設定

第一の符号化回路101における仮符号化の具体例を、図17(a)に示すような1920×1080画素の1フレームの符号化においてスライス単位に最適な量子化パラメータを算出する例を用いて説明する。

[0075] 図17(b)に示すように1920×1080画素のフレームは、16×16画素のマクロプロ

ックが8160(=120×68)個で構成される。フレームを分割するスライスは、任意の連続したマクロブロックの集合として定義できるが、一例として1個のスライスが2040個のマクロブロックを含み、1フレームが4個のスライスで構成される場合を考える。この場合、 $N=N_{mb}=2040(=8160/4)$ と設定できる。

[0076] 仮符号化の開始前に、第一の符号化回路101の量子化回路121で使用される仮量子化パラメータ $QP_1(n)$ を決定する。仮量子化パラメータは、マクロブロック毎に複数の候補の中から1つを選択して設定される。すなわち1個のマクロブロックに対する仮量子化パラメータ $QP_1(n)$ は、任意の異なる Q 種類の代表量子化パラメータ $qp_1(x)$ ($x=0, 1, \dots, Q-1$)から1個を選んで、当該マクロブロックの仮量子化パラメータ $QP_1(n)$ に設定することで決定できる。

[0077] 例えば、「0」と「20」の2種類の代表量子化パラメータ $qp_1(x)=\{0, 20\}$ を与える場合を考える。ここで、 $F(x)=\{A_0, A_1, \dots, A_{Q-1}\}$ (A_n は整数)の表記は、 $F(0)=A_0$ 、 $F(1)=A_1$ 、 \dots 、 $F(Q-1)=A_{Q-1}$ を意味するものとする。各マクロブロックの仮量子化パラメータは、各仮量子化パラメータの出現頻度が等しくなるように、2種類の代表量子化パラメータの中から選択する。この例では、半数のマクロブロックに量子化パラメータ「0」を、残り半数のマクロブロックに量子化パラメータ「20」を与える。また、仮量子化パラメータがスライス内で偏るのを防ぐため、スライス内に交互又はランダムに仮量子化パラメータを配置する。例えば、プログレッシブ走査においては、図18(a)に示すように通常のラスタスキャン順に交互に仮量子化パラメータを与え、インターレース走査では図18(b)に示すようにマクロブロックの対毎に交互に仮量子化パラメータを与えることができる。

[0078] 仮符号化における代表量子化パラメータ $qp_1(x)$ の種類 Q と、その値 $qp_1(x)$ ($x=0, 1, \dots, Q-1$)の決定方法について、図19を用いて説明する。

[0079] 量子化回路121で用いられる代表量子化パラメータの種類 Q は、2040(1スライスに含まれるマクロブロック数)の約数とすることができる、又はインターレース走査用の符号化を行うため、マクロブロックを対にする場合は、その $1/2$ である1020の約数とすることができる。このようにして代表量子化パラメータの種類 Q を設定すれば、スライス内で任意の代表量子化パラメータが出現する回数を一定にできる。例えばプログ

レッシブの場合、 Q としては2040の約数である5、10、20が選択できる。それぞれの Q の場合の、1個のスライス内における各代表量子化パラメータの出現回数は408回、204回、102回となる。

[0080] 代表量子化パラメータ $qp_1(x)$ としては、エンコーダで選択できる量子化パラメータの範囲から異なる値を Q 個選択する。この場合、最適な符号化のための符号量予測が行い易くなるように、それらの値を適度に分散させるのが好ましい。例えば、1スライスに含まれるマクロブロック数が2040で、エンコーダで選択できる量子化パラメータ QP が0から51の範囲である場合、代表量子化パラメータ qp_1 として、図19(a)に示すように、 $Q=10$ 、 $qp_1(x) = \{0, 4, 8, 12, 16, 22, 28, 34, 42, 51\}$ を選択することができる。このとき、プログレッシブ方式の場合は、図19(b)に示すように仮量子化パラメータが適用され、インターレース方式の場合は、図19(c)に示すように仮量子化パラメータが割当られる。また、代表量子化パラメータには、量子化パラメータの最大値及び最小値が含まれるようにするのが好ましい。

[0081] 第一の符号化回路101における仮符号化の結果として符号量積算メモリ153に蓄積されるデータについて説明する。仮符号化では、 $N=2040$ 個のマクロブロックを含むスライス1個に対し、同じ代表量子化パラメータ $qp_1(x)$ を使用したマクロブロック毎に、算術符号量概算回路200から出力された予測符号量 $R_1(n)$ の総和を計算する。その総和を QP 別予測符号量 $r_1(x)$ とし、符号量積算メモリ153に蓄積する。図20の例では、 $qp_1(x) = \{0, 4, 8, 12, 16, 22, 28, 34, 42, 51\}$ ($x=0, 1, \dots, 9$)の各々に対し、代表量子化パラメータ毎に予測符号量 $R_1(n)$ の総和を取った QP 別予測符号量 $r_1(x) = \{95626, 82252, 64451, 48648, 31785, 19098, 10373, 5439, 2259, 1261\}$ を符号量積算メモリ153に蓄積することになる。

[0082] 2.4 第二の符号化回路での最終的な符号化における量子化パラメータの算出

第二の符号化回路102の量子化パラメータ算出回路112での最終的な符号化における最適量子化パラメータ $QP_2(n)$ の算出方法を、図21の具体例を用いて説明する。ここで、ビットレート、フレームレート、フレームの複雑度、スライスの符号化タイプなどの情報を用いて割り当てたスライスの目標符号量 $T=300000$ ビットを仮定する。

[0083] 代表量子化パラメータ $qp_1(x)$ と QP 別予測符号量 $r_1(x)$ から、量子化パラメータ QP

とスライス予測符号量の関係を図21のように座標軸にプロットすることができる。 $r_1(x)$ は、各 $x=QP$ に対して204個ずつのマクロブロックの予測符号量の総和になっているから、各 QP に対するスライス予測符号量は、 $r_1(x)$ を10倍することで求められる。また、プロットしたスライス予測符号量を線形補間して全ての QP 値($0 \leq QP \leq 51$)に対するスライス予測符号量のグラフを作成することができる。スライスの目標符号量 $T=300000$ と、このグラフとの交点を求めることで、目標符号量を発生するのに最適な量子化パラメータ QP_{opt} を求めることができる。 QP_{opt} の算出は、線形補間により、式(2)で求められる。

$$QP_{opt} = q + \{QP_1(q+1) - QP_1(q)\} \times \{Q * r_1(q) - T\} / \{Q * r_1(q) - Q * r_1(q+1)\} \quad (2)$$

[0084] 但し、 q は $0 \leq q \leq Q-1$ の整数であり、 $Q * r_1(q+1) \leq T \leq Q * r_1(q)$ を満たす値とする。ここでは、1スライスを通じて1つの最適量子化パラメータを使用することとしている。また、すべての q に対し $T > Q * r_1(q)$ となる場合は $q=0$ 、すべての q に対し $T < Q * r_1(q)$ となる場合は $q=Q-1$ とする。

[0085] スライスの目標符号量 $T=300000$ ビットであるので、式(2)を用いて、 QP_{opt} は16.84となる。

$$QP_{opt} = 16 + (22 - 16) \times (317850 - 300000) / (317850 - 190980) \doteq 16.84$$

[0086] 量子化パラメータは整数であるので、17を最適量子化パラメータ QP_{opt} とする。また、小数点以下の値によっては小さい側の値16を選択する場合もある。

[0087] 以上のようにして最適量子化パラメータ $QP_2(n) = QP_{opt}$ を算出できる。また、 QP_{opt} を N 個のマクロブロックの符号化に対する初期値として用い、それ以降の量子化パラメータは動的に変更することも可能である。

[0088] 以上説明したように、本実施形態による算術符号量概算回路200を用いて、映像符号化装置における出力ビットストリーム192を得ることができる。

[0089] 以上では、表2の`residual_block_cabac()`に含まれるシンタックスエレメントを対象として算術符号量概算回路200を構成する例を示したが、`mb_pred()`や`macro_block_layer()`など他の全てのシンタックスエレメントを対象としてもよい。この場合、

基本的には図4に示す、対象とするctxIdxの範囲を拡張すればよい。

[0090] 3. 変形例

本実施の形態では、イントラフレームのみを符号化対象として算術符号量概算回路200を構成する例を説明したが、フレーム間予測を用いるPフレームやBフレームを符号化対象とする場合でも、適用可能である。PフレームやBフレームでは動きベクトルに必要となる符号量が多くなるため、表2のmb_pred()やsub_mb_pred()に含まれるシンタックスエレメントを処理対象に加えれば良い。

[0091] 本実施の形態では、図2に示すように4個の符号量概算回路を用いる例を説明したが、符号量概算回路の数は任意にできるのは明らかである。また、ユニナリー・バイナライゼーションを例にとってBinの逐次処理を行わずに一括処理できる例を説明したが、本実施の形態の思想が、ユニナリー・バイナライゼーション以外の2値化方法にも適用できることは明らかである。整数部のテーブルと小数部のテーブルを分けて説明したが、codIRangeの値に基づいてテーブルを統合することも可能である。

[0092] 本実施の形態では、Nをスライス単位に含まれるマクロブロック数に設定した。しかし、より小さい単位で仮符号化と符号化を行うことで算術符号量概算回路200から予測符号量 $R_2(n)$ を得て、その結果を仮量子化パラメータの選択に反映するような場合は、Nの値を、符号化単位に合わせた小さい値に設定してもよい。また、Nを固定値として説明したが、Nをフレーム単位又はその他の単位で動的に変化させることも可能である。また、スライス予測符号量のグラフを線形補間して求める例を示したが、スプライン補間等、高度な数値補間も可能である。

[0093] 本実施の形態では仮符号化を1回のみ行う例を示したが、リアルタイムの符号化が必要でない場合や、仮符号化をパイプライン化又は並列化することにより一定の遅延で多くの処理が行える場合には、仮符号化を何回行っても良い。

[0094] 本実施の形態を用いて符号化したビットストリームは、テープ、光ディスク、磁気ディスク、半導体メモリといった記録媒体に記録して、再配布可能な形式にすることができる。

[0095] 4. まとめ

以上のように本実施形態によれば、2値シンボル列のコンテキストに応じて設けられ

た複数の概算処理回路を並列動作させることで、コンテキストに基づいて分けられた複数のグループに対する算術符号化の近似演算を並列に行うことが可能とする。2値シンボル列に対する算術符号化の符号量の概算値を求める。これにより、算術符号化に近い演算を行いながらも正規の算術符号化と比較して処理時間を大幅に削減でき、よって、動作周波数を低く抑えた回路を用いて高精度の符号量予測に基づく符号化装置を実現できる。そのような符号化装置を用いて高画質な映像符号化装置を提供することができる。

産業上の利用可能性

- [0096] 本発明によれば、動作周波数を低く抑えた回路を用いて高精度の符号量予測に基づく、高画質な符号化装置を実現できるため、カメラレコーダや録画装置など小さい回路規模でリアルタイム動作が必要な記録装置にも有効である。
- [0097] 本発明は、特定の実施形態について説明されてきたが、当業者にとっては他の多くの変形例、修正、他の利用が明らかである。それゆえ、本発明は、ここでの特定の開示に限定されず、添付の請求の範囲によってのみ限定され得る。なお、本出願は日本国特許出願、特願2006-323384号(2006年11月30日提出)に関連し、それらの内容は参照することにより本文中に組み入れられる。

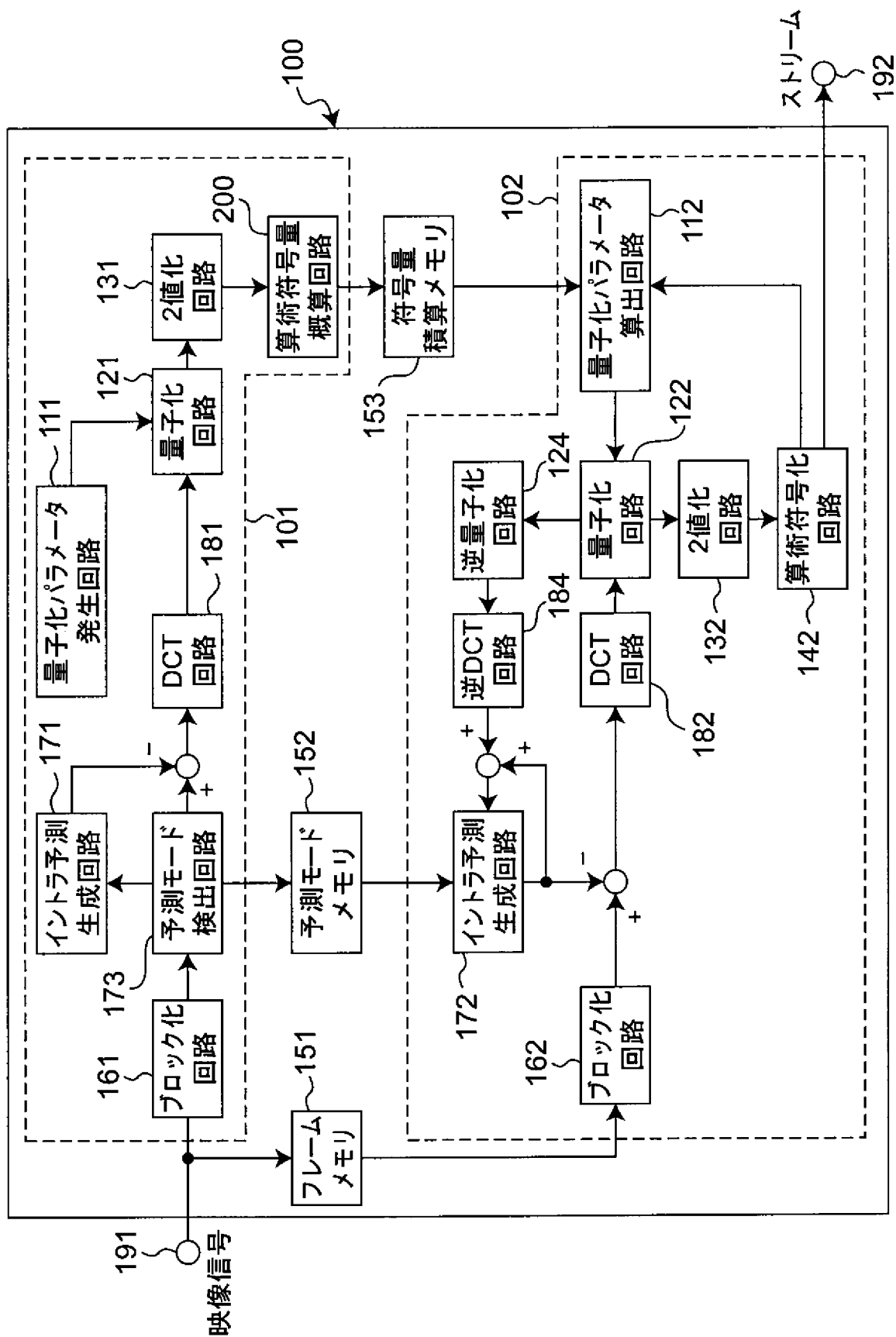
請求の範囲

- [1] 入力信号から、複数のコンテキストを持ち、所定の符号化単位の多値データを生成するブロック化回路と、
- 前記ブロック化回路により生成された多値データを2値シンボル列に変換する2値化回路と、
- 前記2値シンボル列から、前記符号化単位の予測符号量を算出する算術符号量概算回路と、
- 前記予測符号量に基づいて、前記入力信号に対する算術符号化を行う符号化回路とを備え、
- 前記算術符号量概算回路は、
- 所定の符号化単位に含まれる前記2値シンボル列を前記コンテキストに基づいて複数のグループに分ける選択器と、
- 前記グループ毎に用意された回路であって、前記複数のグループに分けられた2値シンボル列を、少なくとも算術符号化における区間の幅に基づいてグループの予測符号量を算出する、複数の符号量概算回路と、
- 全ての符号量概算回路からの予測符号量を加算して、所定の符号化単位の予測符号量を入力する加算器とを有する、
- ことを特徴とする符号化装置。
- [2] 前記符号量概算回路は、連続して同一のコンテキストを持つ前記2値シンボルをまとめた単位であるユニットに対して、前記区間の幅を前記ユニットの開始時に所定の初期値に設定することを特徴とする、請求項1に記載の符号化装置。
- [3] 前記符号量概算回路は、前記2値シンボル列の全ての符号パターンと全ての出現確率パターンを入力とするテーブルに基づいて整数符号量に変換し、前記グループの予測符号量に加算することを特徴とする、請求項1に記載の符号化装置。
- [4] 前記符号量概算回路は、前記ユニットの終了時に前記区間の幅の対数で近似されたテーブルに基づいて前記区間の幅を小数符号量に変換し、前記グループの予測符号量に加算することを特徴とする、請求項2に記載の符号化装置。
- [5] 第1の量子化パラメータを生成する量子化パラメータ発生回路と、

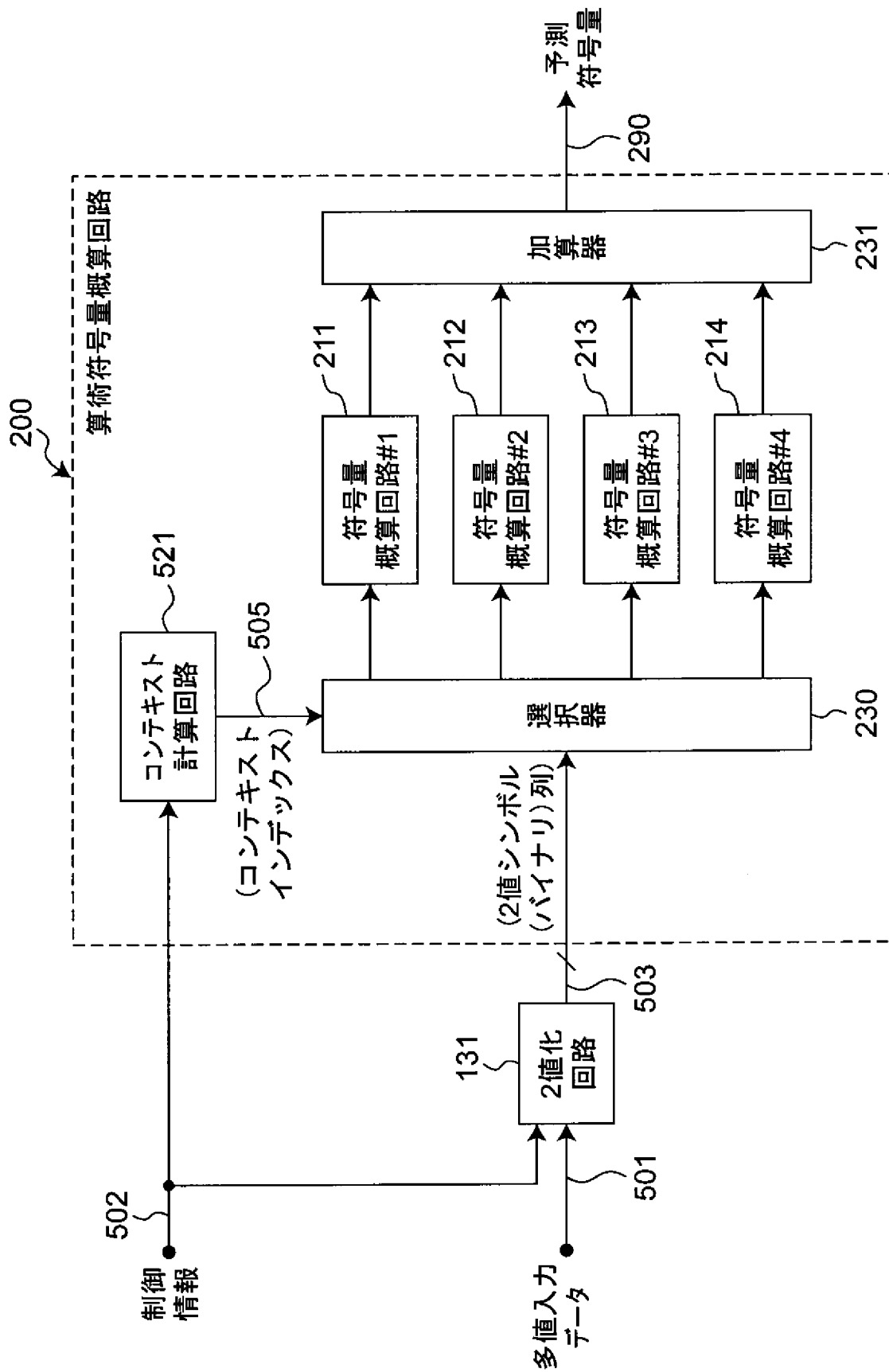
前記第1の量子化パラメータに基づいて、前記入力信号に基づいて生成された係数データを量子化して前記多値データを生成する第1の量子化回路と、
第2の量子化パラメータを生成する量子化パラメータ算出回路と、
前記第2の量子化パラメータに基づいて、前記入力信号に基づいて生成された係数データを量子化して第2の多値データを生成する第2の量子化回路と、
前記第2の多値データに対して算術符号化を行う算術符号化回路とをさらに備え、
前記量子化パラメータ算出回路は、前記第1の量子化パラメータと、前記所定の符号化単位の予測符号量と、符号化時に与えるべき所定の符号量とに基づいて、前記第2の量子化パラメータを算出することを特徴とする請求項1記載の符号化装置。

- [6] 前記量子化パラメータ発生回路は、 Q 個(Q は2以上の自然数)の代表量子化パラメータを設定しておき、前記 Q 個の代表量子化パラメータから、前記所定の符号化単位毎に任意の一個の量子化パラメータを選択することにより、 N 個(N は2以上の自然数)の前記係数データを量子化するための第1の量子化パラメータを生成すること、ことを特徴とする請求項5に記載の符号化装置。
- [7] 前記 N は $N=L \times Q$ (L は自然数)を満たすことを特徴とする、請求項6に記載の符号化装置。
- [8] 前記 Q 個の代表量子化パラメータは、量子化パラメータの最大値及び最小値を必ず含むように構成したことを特徴とする、請求項6に記載の符号化装置。
- [9] 前記入力信号は映像信号であり、前記係数データは、前記入力信号を周波数成分に変換した係数であることを特徴とする、請求項5に記載の符号化装置。
- [10] 前記コンテキストは、少なくとも映像信号における輝度の係数データ及び色差の係数データの間で異なる値であり、前記選択器は、少なくとも前記輝度の係数データと前記色差の係数データを異なる前記グループに分けることを特徴とする、請求項9に記載の符号化装置。

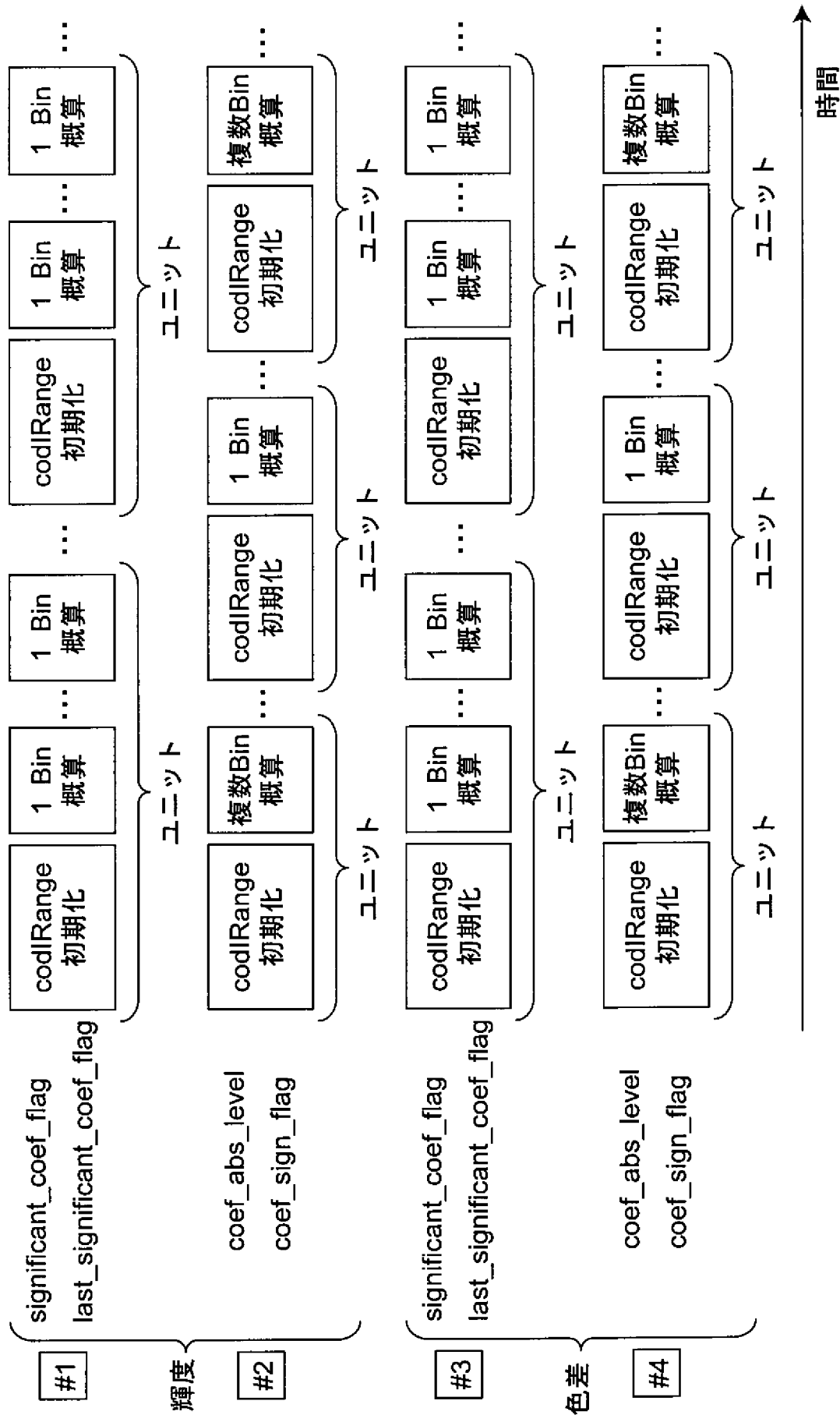
[図1]



[図2]



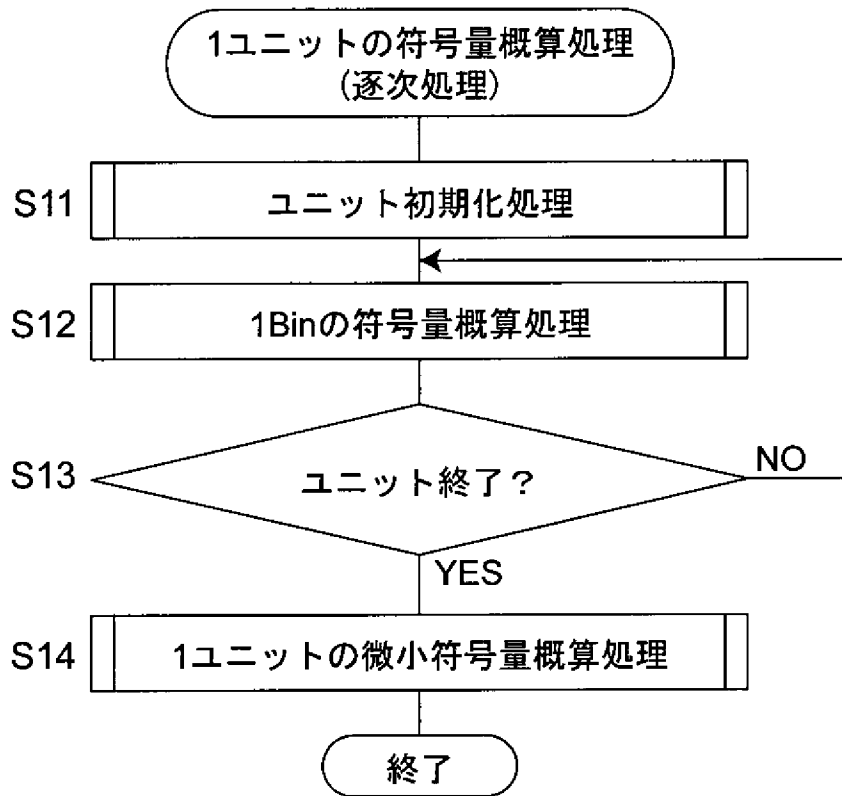
[図3]



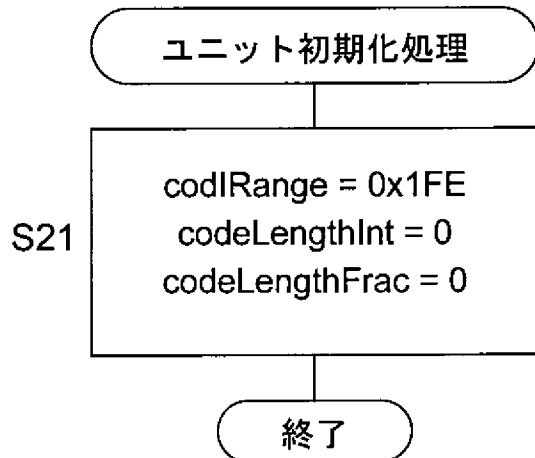
[図4]

シンタックスエレメント		イントラ(0)スライスに 対するctxIdxの値	符号量概算回路	
輝度	coded_block_flag	85-96	#1	
	significant_coeff_flag[]	105-148 277-320 402-416 436-450		
	last_significant_coeff_flag[]	166-209 338-381 417-425 451-459		
	coeff_abs_level_minus1[]	227-256 426-435		
	coeff_sign_flag	N/A(バイパス)	#2	
	色差	coded_block_flag	97-104	#3
		significant_coeff_flag[]	149-165 321-337	
		last_significant_coeff_flag[]	210-226 382-398	
		coeff_abs_level_minus1[]	257-275	#4
		coeff_sign_flag	N/A(バイパス)	

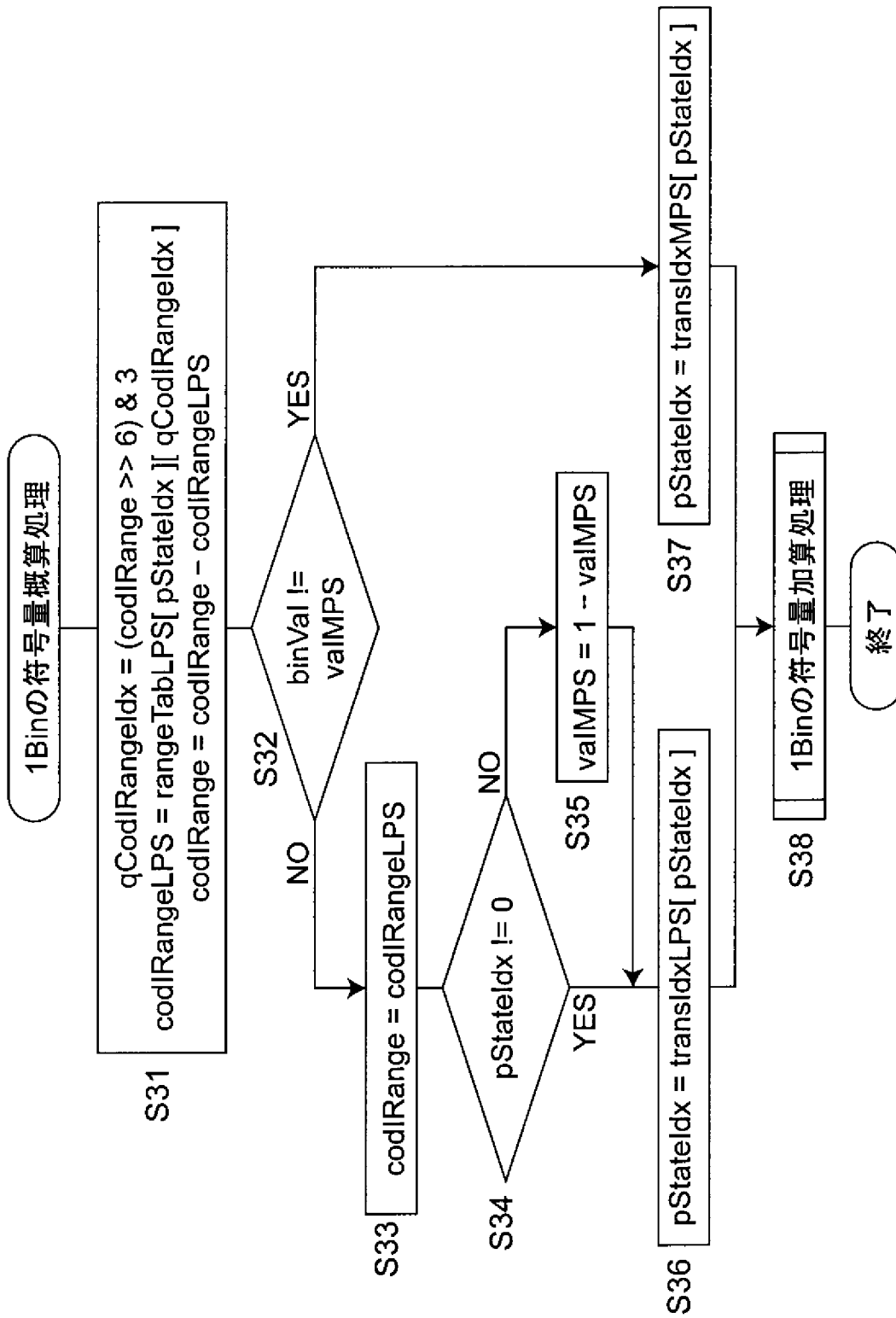
[図5]



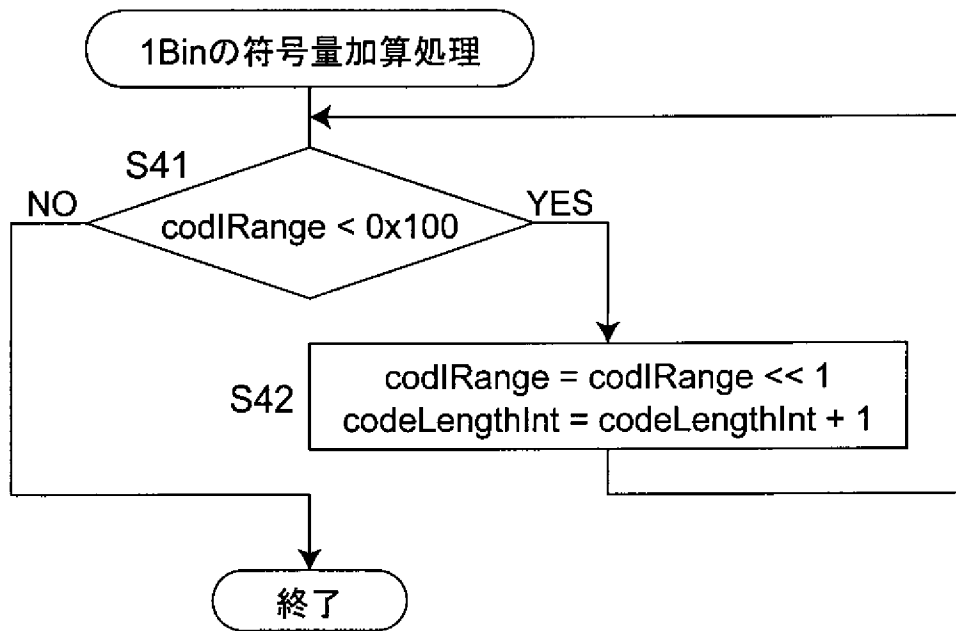
[図6]



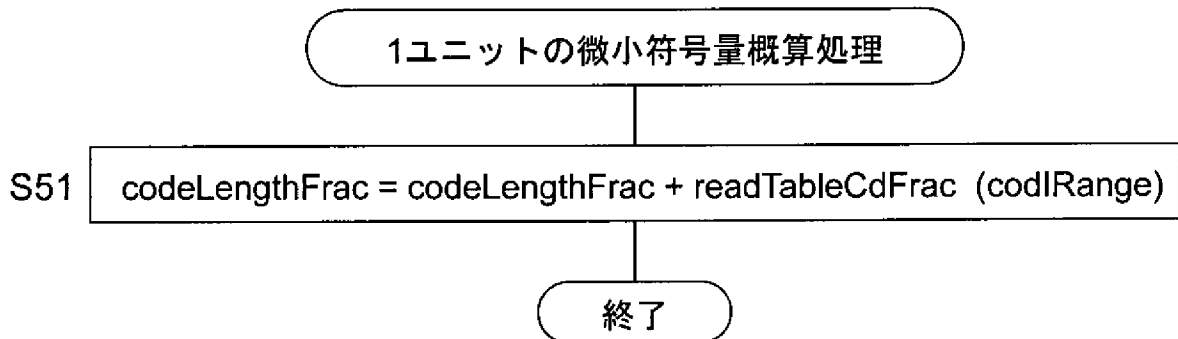
[図7]



[図8]



[図9]



[図10]

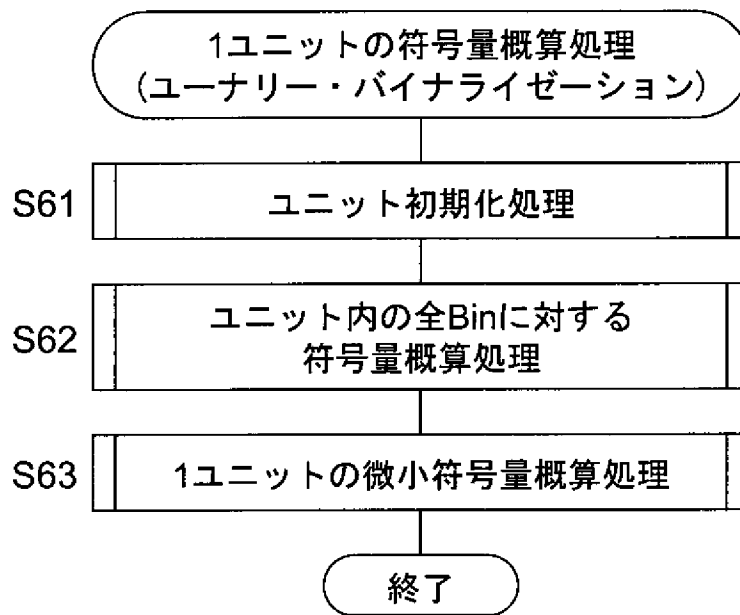
```
(a) static unsigned int mTbl[256]; /* 小数符号量テーブル */
      /* 引数:codIRange - 256 */

      unsigned int readTableCdFrac( int x )
      {
        if( (x >= 512) || (x < 256) ){
          return 0;
        }
        return mTbl[x - 256];
      }
```

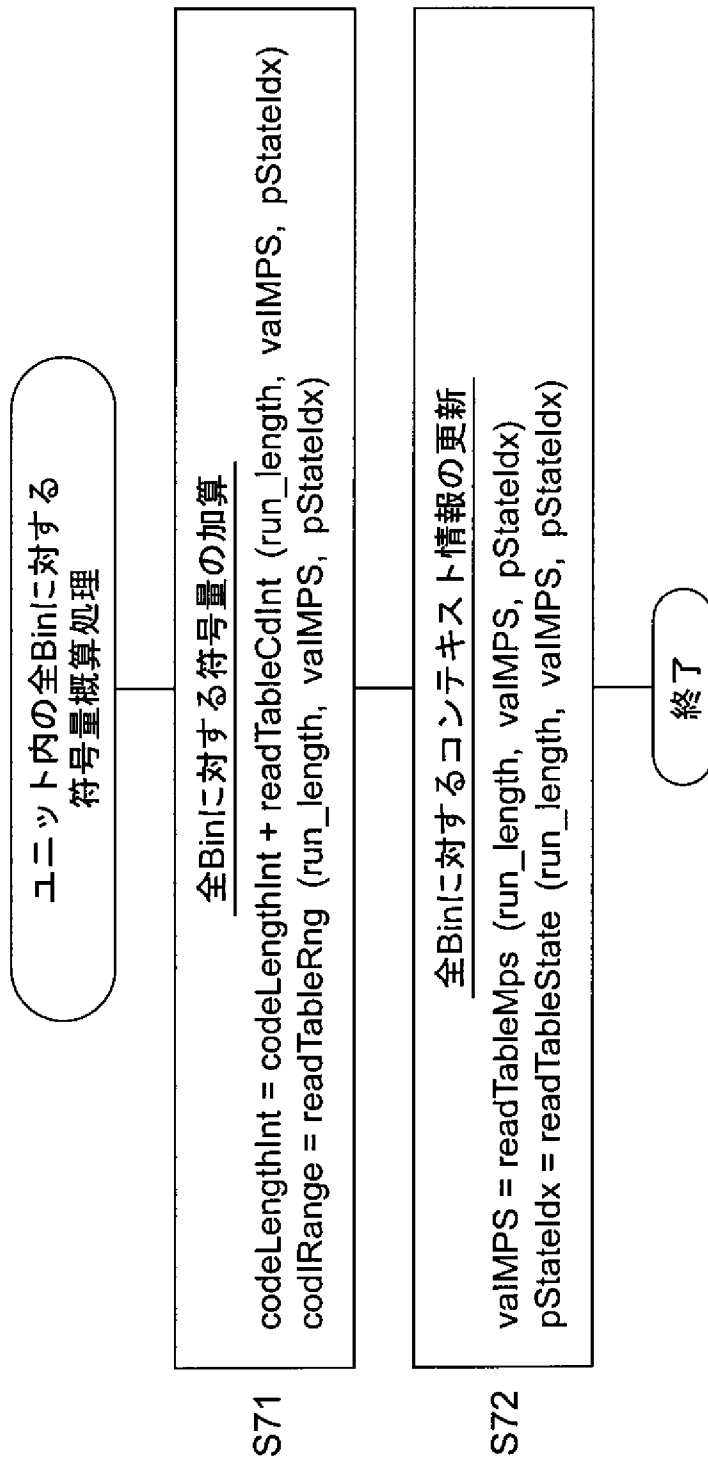
```
(b) void initTableCdFrac()
      {
        /*コンストラクタ*/
        int i;
        double rbits;
        int number;

        for( i = 256 ; i < 512 ; i++)
        {
          rbits = log( 510.0 / (double)i)/log(2.0);
          number = (int)(rbits*512.0+0.5);
          mTbl[i-256] = min(number, 511);
        }
      }
```

[図11]



[図12]



[図13]

```
#define MAX_RUN 13
static unsigned int mCdIntTb[MAX_RUN+1][2][64]; /* 整数符号量テーブル */
static unsigned int mRngTb[MAX_RUN+1][2][64]; /* レンジテーブル */
static unsigned int mMpsTb[MAX_RUN+1][2][64]; /* MPSテーブル */
static unsigned int mStateTb[MAX_RUN+1][2][64]; /* pStateテーブル */

unsigned int readTableCdInt( int run_length, int valMPS, int pStateIdx)
{
    return mCdIntTb[run_lenth][valMPS][pStateIdx];
}
unsigned int readTableRng( int run_length, int valMPS, int pStateIdx)
{
    return mRngTb[run_lenth][valMPS][pStateIdx];
}
unsigned int readTableMps( int run_length, int valMPS, int pStateIdx)
{
    return mMpsTb[run_lenth][valMPS][pStateIdx];
}
unsigned int readTableState( int run_length, int valMPS, int pStateIdx)
{
    return mStateTb[run_lenth][valMPS][pStateIdx];
}
```

[図14]

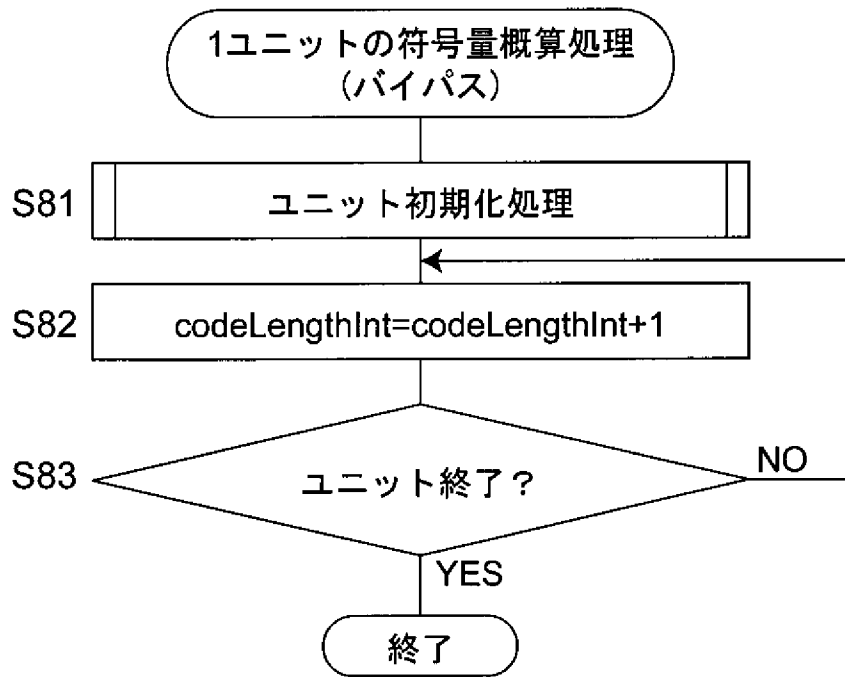
```

unsigned int initTableCdInt( int run_length, int valMPS, int pStateIdx)
{
    int cdInt = 0;
    int inMPS = valMPS;
    int inState = pStateIdx;

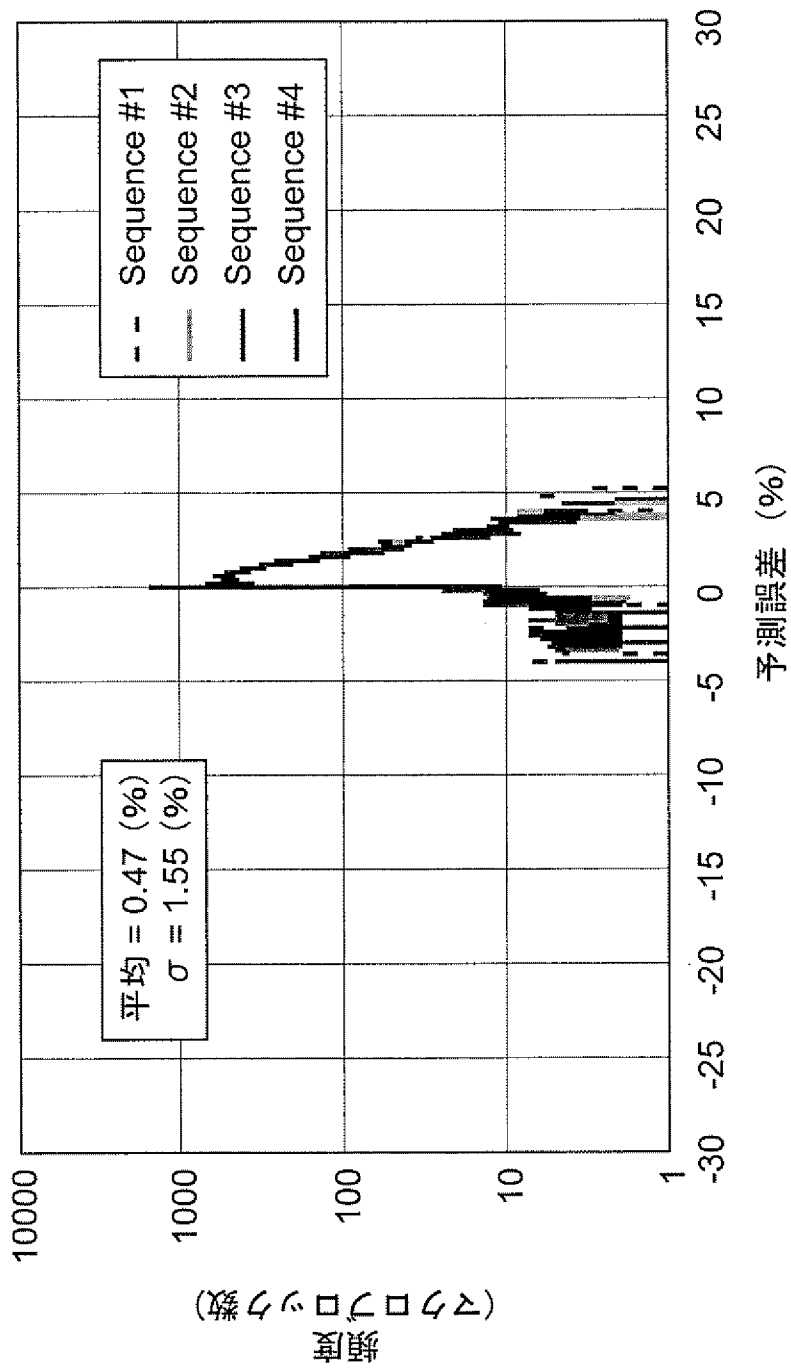
    for (int i = 0; i < run_length; i++){
        Proc1Bin (1, &valMPS, &pStateIdx);
        while (codlRange < 256) {
            codlRange = codlRange << 1;
            cdInt++;
        }
        if (run_length < MAX_RUN){
            Proc1Bin (0, &valMPS, &pStateIdx);
            while (codlRange < 256) {
                codlRange = codlRange << 1;
                cdInt++;
            }
        }
        mCdIntTbl [run_length][inMPS][inState] = cdInt;
        mRngTbl [run_length][inMPS][inState] = codlRange;
        mMpsTbl [run_length][inMPS][inState] = valMPS;
        mStateTbl [run_length][inMPS][inState] = pStateIdx;
    }
}

```

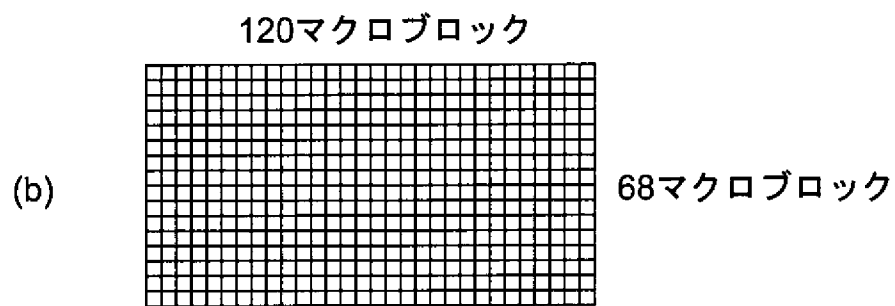
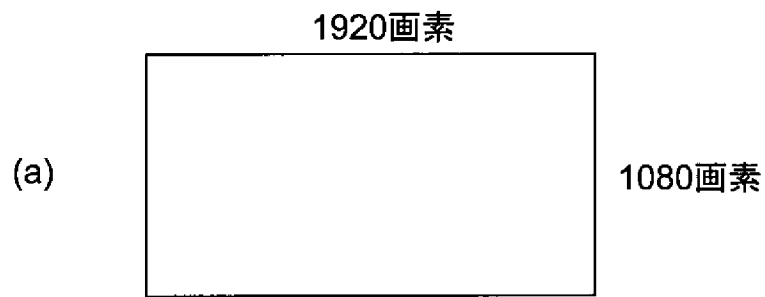
[図15]



[図16]



[図17]



[図20]

$qp_1(x) = \{0, 4, 8, 12, 16, 22, 28, 34, 42, 51\} \mid 0 \leq x \leq 9$ (10種類)

$QP_1(n) \in qp_1(x) \mid 0 \leq n \leq 2039, 0 \leq x \leq 9$

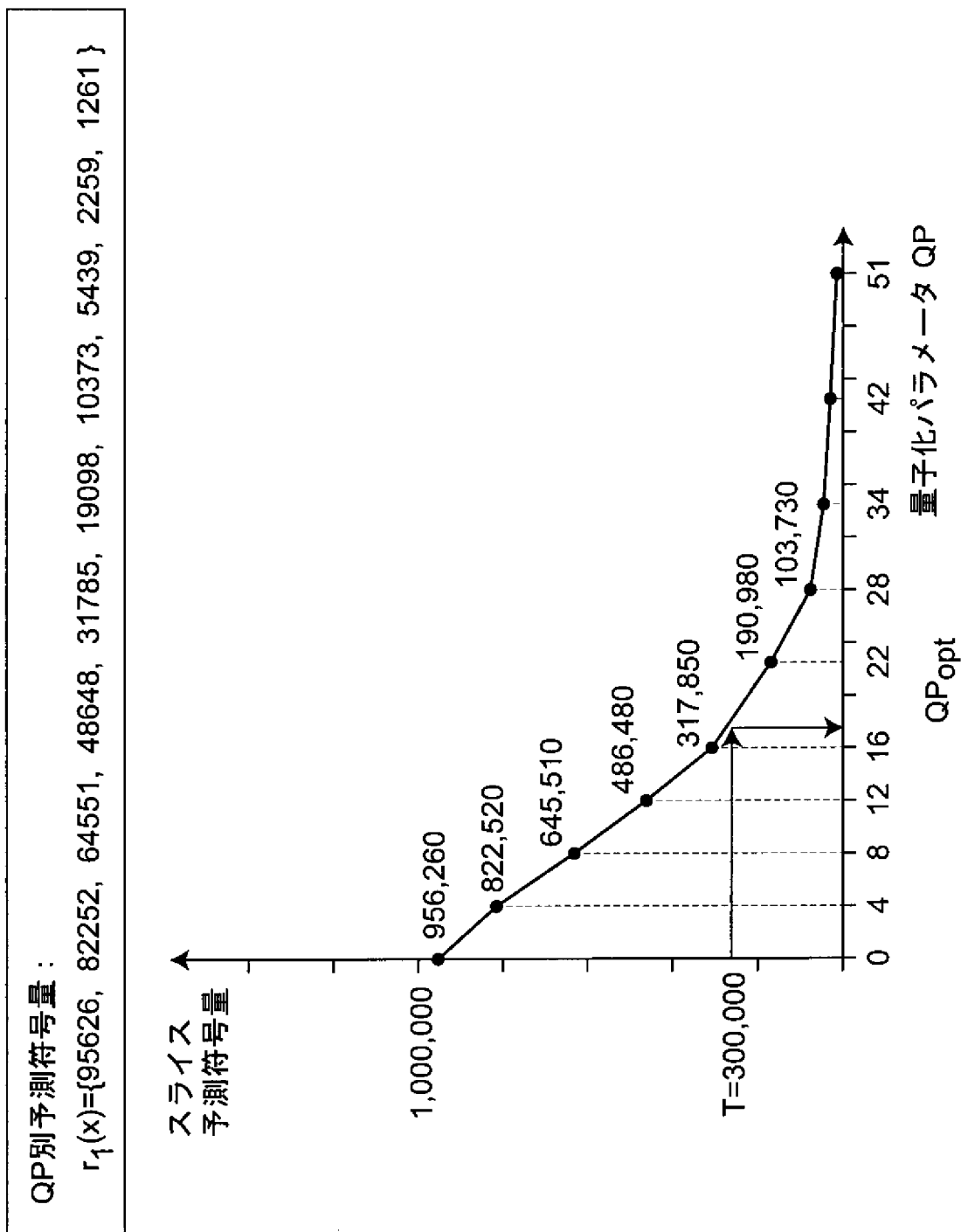
(a)

QP別予測符号量：

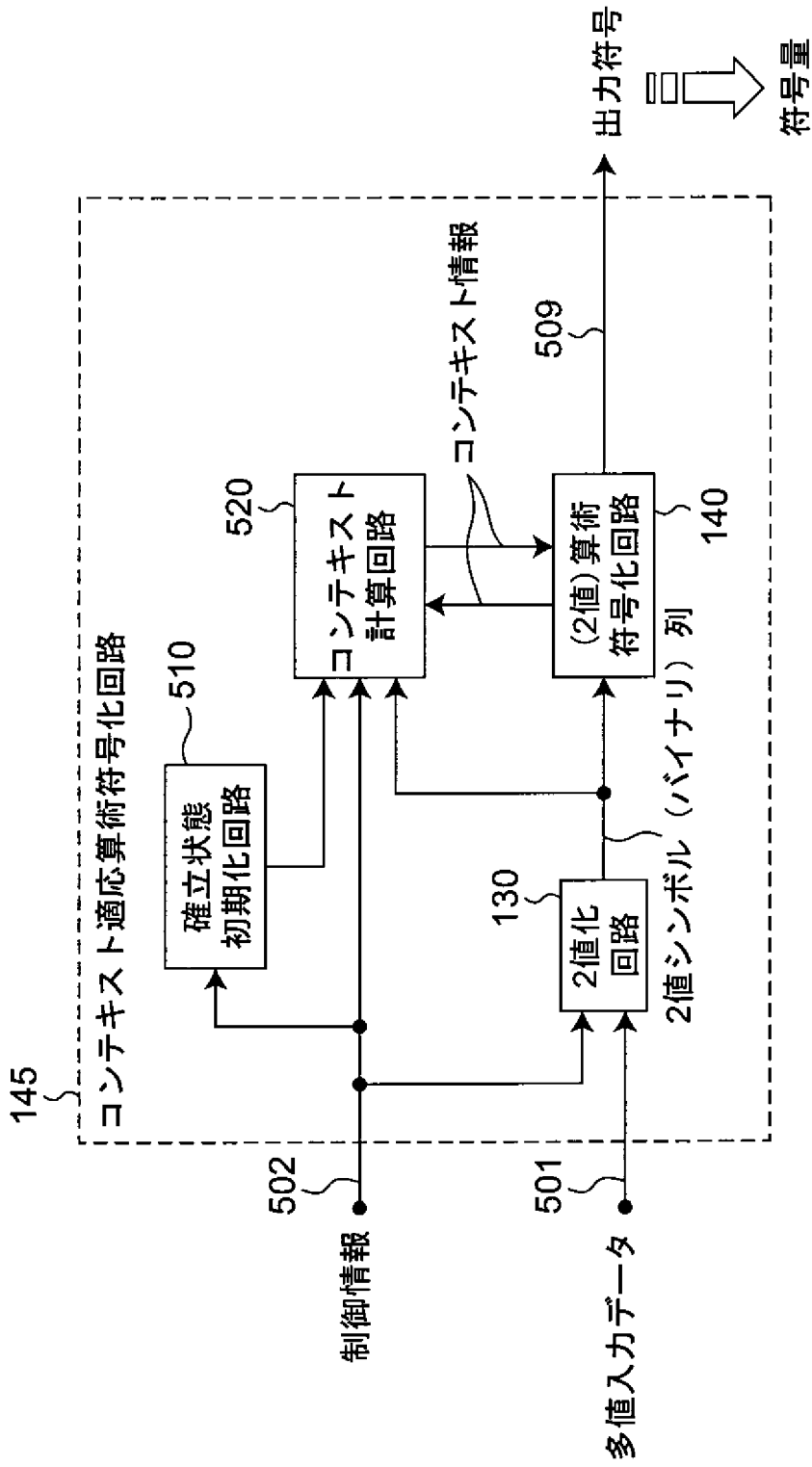
$r_1(x) = \{95626, 82252, 64551, 48648, 31785, 19098, 10373, 5439, 2259, 1261\}$

(b)

[図21]



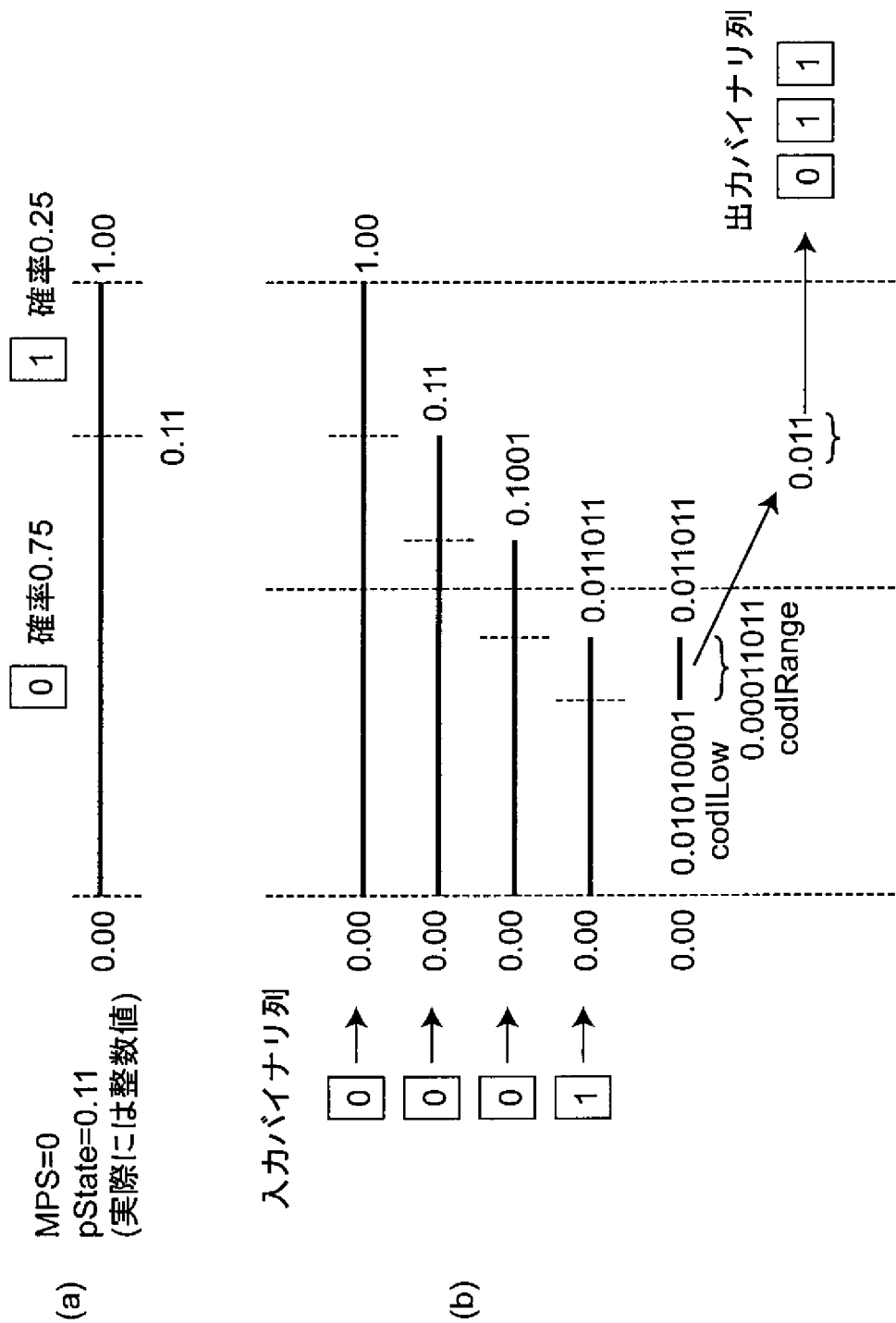
[図22]



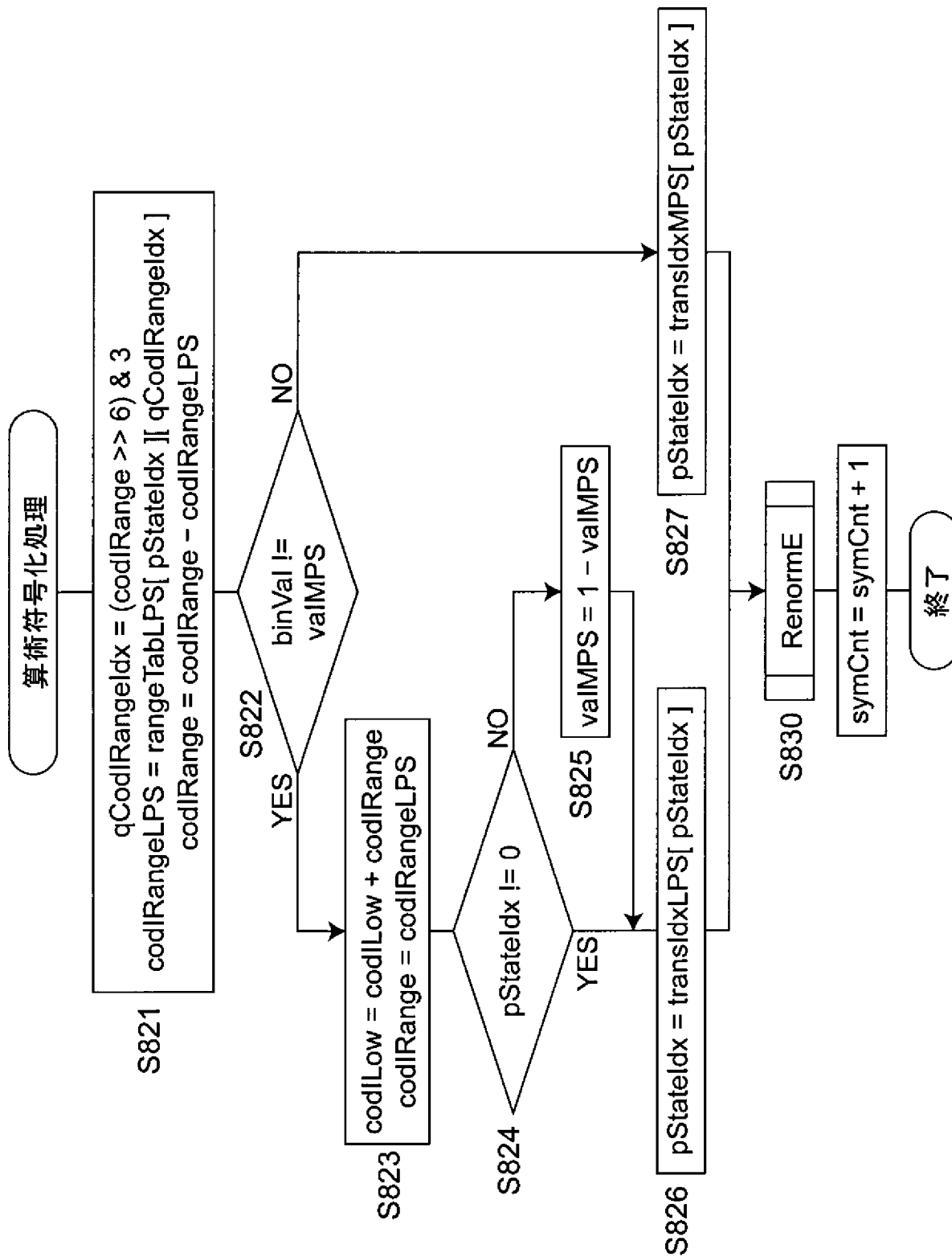
[図23]

```
1. preCtxState = Clip3(1, 126, ((m * Clip3(0, 51, SliceQPY)) >> 4) + n)
2. if( preCtxStaet <= 63) {
    pStateIde = 63 - preCtxState
    valMPS = 0
  } else {
    pStateIdx = preCtxState - 64
    valMPS = 1
  }
```

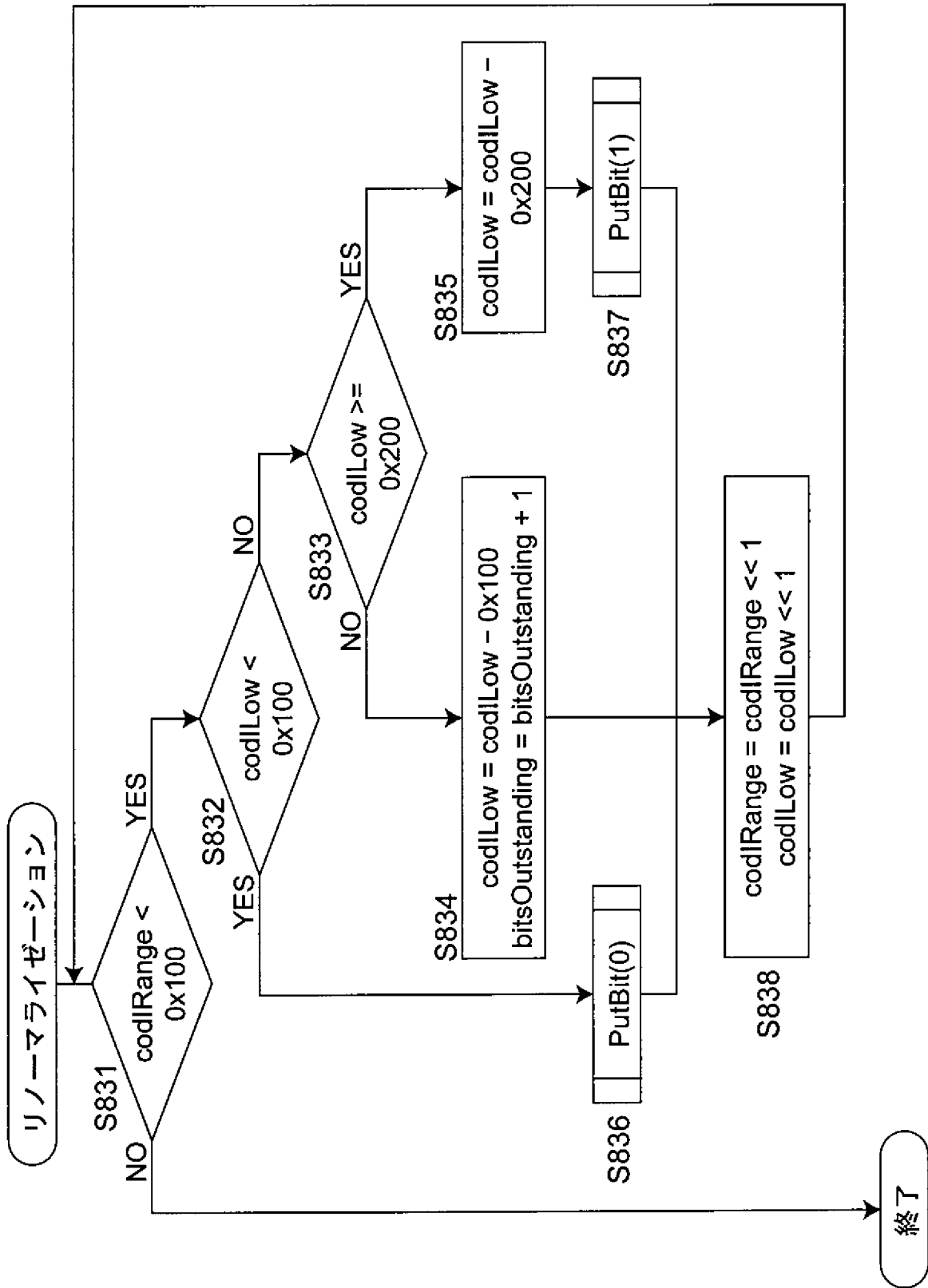
[図24]



[図25]



[図26]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/069824

A. CLASSIFICATION OF SUBJECT MATTER H04N7/30(2006.01) i, H03M7/40(2006.01) i, H04N1/41(2006.01) i		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H04N7/24-7/68, H03M7/40, H04N1/41		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2007 Kokai Jitsuyo Shinan Koho 1971-2007 Toroku Jitsuyo Shinan Koho 1994-2007		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2005-184232 A (Sony Corp.), 07 July, 2005 (07.07.05), Full text; all drawings & EP 1549076 A2 & US 2005/0156762 A1	1-10
A	JP 2004-135252 A (Sony Corp.), 30 April, 2004 (30.04.04), Full text; all drawings (Family: none)	1-10
A	JP 2004-135251 A (Sony Corp.), 30 April, 2004 (30.04.04), Full text; all drawings & WO 2004/034330 A1 & US 2005/0249289 A1	1-10
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 10 December, 2007 (10.12.07)		Date of mailing of the international search report 18 December, 2007 (18.12.07)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/069824

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2005-151391 A (Toshiba Corp.), 09 June, 2005 (09.06.05), Full text; all drawings & US 2005/0129320 A1	1-10
A	JP 2003-18593 A (Matsushita Electric Industrial Co., Ltd.), 17 January, 2003 (17.01.03), Full text; all drawings (Family: none)	1-10
A	Tomoo YAMAKAGE, Ken NAKAJO, Shin'ichiro KOTO, "HD DVD ni Mochiiru Dogazo Fugoka Gijutsu", Toshiba Review, Vol.60, No.1, 01 January, 2005 (01.01.05), p.17-20	1-10

A. 発明の属する分野の分類（国際特許分類（IPC）） Int.Cl. H04N7/30(2006.01)i, H03M7/40(2006.01)i, H04N1/41(2006.01)i		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） Int.Cl. H04N7/24-7/68, H03M7/40, H04N1/41		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2007年 日本国実用新案登録公報 1996-2007年 日本国登録実用新案公報 1994-2007年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P 2 0 0 5 - 1 8 4 2 3 2 A (ソニー株式会社) 2005.07.07, 全文, 全図 & EP 1549076 A2 & US 2005/0156762 A1	1-10
A	J P 2 0 0 4 - 1 3 5 2 5 2 A (ソニー株式会社) 2004.04.30, 全文, 全図 (ファミリーなし)	1-10
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日 10.12.2007	国際調査報告の発送日 18.12.2007	
国際調査機関の名称及びあて先 日本国特許庁（ISA/J P） 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官（権限のある職員） 坂東 大五郎 電話番号 03-3581-1101 内線 3541	5C 3241

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2004-135251 A (ソニー株式会社) 2004.04.30, 全文, 全図 & WO 2004/034330 A1 & US 2005/0249289 A1	1-10
A	JP 2005-151391 A (株式会社東芝) 2005.06.09, 全文, 全図 & US 2005/0129320 A1	1-10
A	JP 2003-18593 A (松下電器産業株式会社) 2003.01.17, 全文, 全図 (ファミリーなし)	1-10
A	山影朋夫, 中條健, 古藤晋一郎, 「HD DVDに用いる動画像符号化技術」, 東芝レビュー, 第60巻, 第1号, 2005年1月1日, p. 17-20	1-10