

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4276258号
(P4276258)

(45) 発行日 平成21年6月10日(2009.6.10)

(24) 登録日 平成21年3月13日(2009.3.13)

(51) Int.Cl. F I
H03M 3/02 (2006.01) H03M 3/02

請求項の数 20 (全 16 頁)

(21) 出願番号	特願2006-507404 (P2006-507404)	(73) 特許権者	505350190
(86) (22) 出願日	平成16年3月19日(2004.3.19)		ディー2 オーディオ コーポレイション
(65) 公表番号	特表2007-521716 (P2007-521716A)		アメリカ合衆国 テキサス州 78731
(43) 公表日	平成19年8月2日(2007.8.2)		, オースティン, スイート130, キャピタルオブテキサスハイウェイ 7600
(86) 国際出願番号	PCT/US2004/008547		ビー.
(87) 国際公開番号	W02004/086611	(74) 代理人	100096024
(87) 国際公開日	平成16年10月7日(2004.10.7)		弁理士 柏原 三枝子
審査請求日	平成18年3月29日(2006.3.29)	(72) 発明者	アンデルセン, ジャック, ビイ.
(31) 優先権主張番号	60/456, 429		アメリカ合衆国 テキサス州 78729
(32) 優先日	平成15年3月21日(2003.3.21)		, オースティン, アマリロアベニュー 1
(33) 優先権主張国	米国 (US)		3123
(31) 優先権主張番号	60/469, 761		
(32) 優先日	平成15年5月12日(2003.5.12)		
(33) 優先権主張国	米国 (US)		

最終頁に続く

(54) 【発明の名称】 速度とフレキシビリティを最大にするためにハードウェアとソフトウェアを用いてサンプルレートコンバータを実装するシステム及び方法

(57) 【特許請求の範囲】

【請求項 1】

サンプルレートコンバータにおいて：

2 又はそれ以上のデータチャネルを処理する複数のサンプルレートコンバータ部品を具え；

前記部品の第 1 の部分がハードウェア部品を具え；

前記部品の第 2 の部分がソフトウェア部品を具え；

一又はそれ以上のサンプルレートコンバータ部品が 2 又はそれ以上のチャネル間で共用されており、一又はそれ以上のサンプルレートコンバータ部品が前記 2 又はそれ以上のチャネルによって共用されておらず；

前記 2 又はそれ以上のチャネルの各々が、他のチャネルによって処理される入力データストリームのサンプルレートから独立している可変のサンプルレートを有する入力データストリームを処理するように構成されていることを特徴とするサンプルレートコンバータ。

【請求項 2】

請求項 1 に記載のサンプルレートコンバータにおいて、各チャネルが独立したレートエスティメータを具えることを特徴とするサンプルレートコンバータ。

【請求項 3】

請求項 2 に記載のサンプルレートコンバータにおいて、各レートエスティメータが別々のサンプル周期カウンタを具えることを特徴とするサンプルレートコンバータ。

【請求項 4】

請求項 3 に記載のサンプルレートコンバータにおいて、各入力データストリームのサンプルレートが、共通のソフトウェア部品を用いて各サンプル期間カウンタを読み取ることによって決定されることを特徴とするサンプルレートコンバータ。

【請求項 5】

請求項 3 に記載のサンプルレートコンバータにおいて、前記チャンネルのうちの一つが主チャンネルであり、前記チャンネルの残りが二次チャンネルであり、サンプルレートが前記主チャンネルについて予測され、各二次チャンネルについては、前記主チャンネルサンプル周期カウンタに対する対応サンプル期間カウンタの比が決定され、各二次チャンネルのサンプルレートが前記主チャンネルに前記比を掛けたものに対して予測されたサンプルレートであると決定されることを特徴とするサンプルレートコンバータ。

10

【請求項 6】

請求項 1 に記載のサンプルレートコンバータにおいて、各チャンネルが多段階フィルタを実装しており、各多段階フィルタ実装の計数が共通のフィルタ係数セットから補間されることを特徴とするサンプルレートコンバータ。

【請求項 7】

請求項 1 に記載のサンプルレートコンバータにおいて、各チャンネルについての前記部品が

レートエスティメータと；

ローパスフィルタであって、前記エスティメータの出力が当該ローパスフィルタを通過するローパスフィルタと；

20

位相選択ユニットであって、前記ローパスフィルタの出力が当該位相選択ユニットに提供される位相選択ユニットと；

多相係数インターポレータであって、補間された多段階フィルタ係数セットを前記位相選択ユニットの出力に基づいて多相係数インターポレータによって発生する多相係数インターポレータと；

補間された多段階フィルタ係数に入力データストリームの対応するサンプルを重畳するように構成された重畳ユニットと；

入力データストリームのサンプルを受信して、入力データストリームのサンプルを前記重畳ユニットに提供するように構成された入力 FIFO と；

30

前記重畳ユニットからの出力データストリームのサンプルを受信するように構成された出力 FIFO と；

前記入力及び出力 FIFO s に接続され、前記ローパスフィルタへフィードバックを提供するように構成された FIFO 管理ユニットと；

を具えることを特徴とするサンプルレートコンバータ。

【請求項 8】

請求項 7 に記載のサンプルレートコンバータにおいて、前記レートエスティメータと、前記ローパスフィルタと、前記多相係数インターポレータがハードウェアに実装されていることを特徴とするサンプルレートコンバータ。

【請求項 9】

請求項 7 に記載のサンプルレートコンバータにおいて、前記位相選択ユニットと、前記重畳ユニットと、前記 FIFO 管理ユニットがソフトウェアに実装されていることを特徴とするサンプルレートコンバータ。

40

【請求項 10】

請求項 7 に記載のサンプルレートコンバータにおいて、前記レートエスティメータが、前記入力データストリームのサンプル周期を計数するように構成されたカウンタを具え、入力サンプルレートが前記カウンタの値に基づいてソフトウェア部品で計算されることを特徴とするサンプルレートコンバータ。

【請求項 11】

請求項 1 に記載のサンプルレートコンバータにおいて、前記サンプルレートコンバータが

50

パルス幅変調 (P W M) 音響増幅器に接続されており、各チャンネルからの処理データを P W M 変調器に提供するように構成されていることを特徴とするサンプルレートコンバータ

【請求項 1 2】

独立した可変入力サンプルレートを有する 2 又はそれ以上の入力データストリームを予め決められた出力データレートを有する出力データストリームに変換する方法において、当該方法が：

複数の入力データストリームを受信するステップであって、各入力データストリームが、他の入力データストリームの入力サンプルレートから独立した可変の入力サンプルレートを有するステップと；

サンプルレートコンバータの少なくとも一のハードウェア部品と、サンプルレートコンバータの少なくとも一のソフトウェア部品を用いて前記入力データストリームを処理して、予め決められた出力サンプルレートを有する対応する出力データストリームを生成するステップであって、前記サンプルレートコンバータ部品の少なくともひとつが共用されており、前記サンプルレートコンバータ部品の少なくともひとつが共用されていないステップと；

を具備することを特徴とする方法。

【請求項 1 3】

請求項 1 2 に記載の方法が更に、前記各個別の入力サンプルレートを予測するステップを具備することを特徴とする方法。

【請求項 1 4】

請求項 1 3 に記載の方法において、前記入力サンプルレートを予測するステップが、前記第 1 の入力データストリーム中のサンプル周期のサイクル数を計数するステップと、このサンプル周期において計数したサイクル数から前記対応する入力サンプルレートを計算するステップとを具備することを特徴とする方法。

【請求項 1 5】

請求項 1 4 に記載の方法において、前記異なる入力データストリームについての入力サンプルレートの計算が単一のソフトウェア部品によって実行されることを特徴とする方法。

【請求項 1 6】

請求項 1 2 に記載の方法において、前記少なくとも一のハードウェア部品が多相係数インターポレータを具備することを特徴とする方法。

【請求項 1 7】

請求項 1 2 に記載の方法において、前記少なくとも一のソフトウェア部品が、多段階フィルタ係数セットを補間するための位相を選択する位相選択ユニットを具備することを特徴とする方法。

【請求項 1 8】

請求項 1 2 に記載の方法において、前記少なくとも一のソフトウェア部品が、補間した多段階フィルタ係数セットを前記第 1 の入力データストリームの対応するサンプルで重畳して前記第 1 の出力データストリームを生成する重畳ユニットを具備することを特徴とする方法。

【請求項 1 9】

請求項 1 2 に記載の方法において、各入力データストリームを処理するステップが：前記対応する入力サンプルレートを予測するステップと；多段階フィルタ係数セットの補間用の位相を選択するステップと；前記多段階フィルタ係数セットを補間するステップと；補間した多段階フィルタ係数セットを前記入力データストリームの一又はそれ以上のサンプルで重畳するステップと；前記対応する出力データストリームの結果としてのサンプルを提供するステップと；を具備することを特徴とする方法。

【請求項 2 0】

請求項 1 9 に記載の方法において、前記多段階フィルタ係数セットを補間するステップがハードウェアで実行され、前記補間した多段階フィルタ係数セットを各入力データストリ

10

20

30

40

50

ームの一又はそれ以上のサンプルで重畳するステップがソフトウェアで実行されることを特徴とする方法。

【発明の詳細な説明】

【背景技術】

【0001】

発明の属する技術分野

本発明は、一般的に音響増幅システムに関し、特に、第1のサンプルレートを有する入力データストリームを第2のデータレートを有する出力データストリームに変換するシステム及び方法に関する。

【技術分野】

【0002】

関連技術

パルス幅変調(PWM)あるいはD級信号増幅技術は長年存在するが、スイッチドモード電源(SMPS)の増加に伴っていっそうポピュラーになってきている。この技術が現れてから、信号増幅アプリケーションにPWM技術を適用することへの関心が高まってきた。これは、少なくとも部分的に、昔の(リニアなAB級)電力出力トポロジに代わるD級電力出力トポロジの使用を通じて認識することができるかなりの効率改善の結果である。

【0003】

信号増幅アプリケーションを開発する初期の試みは、初期のSMPSで用いられていた増幅と同じアプローチを用いていた。特に、これらの試みはアナログ変調スキームに用いられ、性能が大変低いアプリケーションであった。これらのアプリケーションは非常に複雑であって、実装にコストがかかるものであった。その結果、これらの解決法は広く受け入れられなかった。このため従来のD級アナログ実装技術は、昔のAB級増幅器に代わる主流の増幅器アプリケーションにならなかった。

【0004】

近年、デジタルPWM変調スキームが浮上してきた。これらのスキームはシグマ-デルタ変調技術を用いて、より新しいデジタルD級の実装に用いるPWM信号を発生する。しかしながら、これらのデジタルPWMスキームは、PWM変調器を増幅器ソリューション全体に一体化することに対する主バリアをわずかにオフセットするだけである。したがってD級技術はいまだに、昔のAB級増幅器に代わって主流のアプリケーションになることができない。

【0005】

現存のデジタルPWM変調スキームにはいくつもの問題がある。この問題の一つは、残りの部分の信号処理システムの性能と品質特性がアプリケーションによって異なることである。トータルシステムソリューションとエンドユーザアプリケーションの正しい実装は決定的なものではない。この結果、実装の詳細をアプリオリに説明することができない。現存の技術はアプリケーションを特定したソリューションを要求するので、このソリューションは通常フレキシブルでなく、スケラブルでなく、また他のアプリケーションに転用することができない。この結果、一般にこれらの技術は主流システムに適用することができない。

【0006】

特に現存のデジタルPWM変調スキームが主流システムの要求に合わない領域は、様々なサンプルレートを有するデジタル入力データストリームの処理である。これらの入力データストリームは、特別なデバイスのデザインと同様に、データを提供するデバイスのタイプによって異なるサンプルレートを有している。入力データストリームが、若干レートが異なっていたり、あるいは互いにドリフトするクロックソースを用いることもある。現存の技術は単一のサンプルレートか、あるいは複数の固定された既知の入力レートを要求しており、デバイスが提供する入力データのレートが異なることに適応することができない。

10

20

30

40

50

【0007】

従来のシステムの別の問題点は、システムがローカルクロック信号を発生できるサンプルレートコンバータを有していないので、通常、入力データからPWMクロック信号を再生していることである。この再生したクロック信号は、局部的に発生したクロック信号でサポートするより高い性能をサポートすることができない。

【0008】

発明の概要

上記に概要を説明した一又はそれ以上の問題点は、本発明の様々な実施例によって解決することができる。広く言えば、本発明は、ハードウェアとソフトウェア部品の組み合わせを用いてデジタル入力データストリームを第1のサンプルレートから第2のサンプルレートへ変換するシステムと方法を具える。一の実施例では、第1のサンプルレートから第2のサンプルレートへの変換が、デジタル音響システム用のサンプルレートコンバータ内で実行される。サンプルレートコンバータは複数の部品を有し、そのうちのいくつかはハードウェアに実装されており、いくつかはソフトウェアに実装されている。各部品をハードウェアに実装するかソフトウェアに実装するかは、部品の性能要求による。ソフトウェアでより優れた性能を実現する部品はソフトウェアに実装し、ハードウェアでより優れた性能を実現する部品はハードウェアに実装する。音響パフォーマンス手段の性能のみならず、コンピュータの複雑性、すなわちソフトウェアエンジンの部品の「適合性」における性能も改善することができる。

【0009】

一の実施例は、入力データストリームのサンプルレートを予測するように構成されたレートエスティメータと、この予測されたサンプルレートに基づいて多段階フィルタ係数セットの補間用の位相を選択するように構成された位相選択ユニットと、この選択された位相に基づいてフィルタ係数を補間することによって位相解像度を上げるように構成された係数インターポレータと、この補間されたフィルタ係数を入力データストリームのサンプルで重畳して再サンプリングされた出力データストリームのサンプルを生成するように構成された重畳ユニットとを具えるサンプルレートコンバータシステムを具える。上述したとおり、これらのシステム部品は、ハードウェア部品とソフトウェア部品の双方を具える。一の実施例では、このシステムは2又はそれ以上のチャンネルを具え、各チャンネルが、他のチャンネルが受信したデータストリームと異なる可変サンプルレートを有する入力データストリームを受信することができる。一の実施例では、この異なるチャンネルが一又はそれ以上の共通部品を他のチャンネルと共用している。一の実施例では、サンプルレートコンバータシステムが音響増幅システムに接続されており、入力データストリームを、音響効果ユニットあるいはパルス幅変調器などの増幅部品によって処理するための共通の出力サンプルレートに変換するように構成されている。

【0010】

別の実施例は、入力サンプルレートを有する入力データストリームを受信するステップと、ハードウェアとソフトウェア部品の組み合わせを用いてこの入力データストリームを処理して入力サンプルレートと異なる出力サンプルレートを有する出力データストリームを生成するステップを具える方法を具える。一の実施例では、この処理ステップが、入力サンプルレートを予測するステップと、多段階フィルタ係数セットの補間用の位相を選択するステップと、多段階フィルタ係数セットを補間するステップと、補間された多段階フィルタ係数セットを入力データストリームのサンプルで重畳するステップと、出力データストリームの結果としてのサンプルを提供するステップとを具える。一の実施例では、この方法は、独立した可変サンプルレートを別々のチャンネルに有する2又はそれ以上の入力データストリームを処理して共通の出力サンプルレートを有する対応する出力データストリームを生成するステップとを具える。異なるデータストリームを異なるチャンネルで処理するステップの少なくとも一部は、共通部品あるいはソフトウェア部品内で実行される。

【0011】

様々な追加の実施例も可能である。

【 0 0 1 2 】

ハードウェアとソフトウェア部品の双方を使用することは、従来のシステムを超えた様々な利点を提供することができる。一の潜在的な利点は、処理スピードが重要である部品を専用のハードウェアに実装してその性能を最大にすることができ、一方で、フレキシビリティがより重要な別の部品をソフトウェアに実装することができる。その他の潜在的な利点は、ハードウェア部品及び/又はソフトウェア部品が複数チャンネルに共通であり（共用されている）、これによってシステムのコストと複雑性を低減できる一方で、システム
10
の速度とフレキシビリティを保つことができる点である。その他の潜在的な利点は、可変であり、その他のチャンネルのデータストリームのサンプルレートから独立している入力サンプルレートを、各チャンネルで操作可能である点である。その他の潜在的な利点は、局部的な高パフォーマンスのクロック信号を生成することによって、クロック信号が入力データから再生されなくてはならない場合より高いパフォーマンス標準にPWM出力を合わせることができる点である。

【 0 0 1 3 】

本発明の様々な変形例や代替例が示されており、その特定の実施例が図面および明細書に例として記載されている。図面および詳細な説明は、本発明をここに述べた特定の実施例に限定する意図ではない。この開示は、請求の範囲に規定されている本発明の範囲に入るすべての変形例、均等物及び代替例をカバーするものである。

【 0 0 1 4 】

実施例の詳細な説明

本発明の一又はそれ以上の実施例を以下に説明する。これらの実施例及び以下に述べるその他のすべての実施例は具体例であり、本発明を限定するものではなく明確化するためのものである。

【 0 0 1 5 】

ここに述べるように、本発明の様々な実施例はハードウェア部品とソフトウェア部品の組み合わせを用いてデジタル入力データストリームを第1のサンプルレートから第2のサンプルレートへ変換するシステム及び方法を具える。ここに使用されているとおり、「ハードウェア」とは専用の、固定された機能ロジックを意味する。一方、「ソフトウェア」はプログラムによって規定されたアルゴリズムで制御されるプログラム可能なロジック、あるいは、デジタル信号プロセッサ(DSP)、論理演算装置(ALU)、あるいはメモリ
30
にあるような、一般的なソフトウェアに基づくプログラム可能なブロックの使用を意味する。

【 0 0 1 6 】

一の実施例では、第1のサンプルレートから第2のサンプルレートへの変換が、デジタル音響システム用のサンプルレートコンバータにおいて実行される。サンプルレートコンバータは複数の部品を有しており、このうちのいくつかはハードウェアに実装されており、いくつかはソフトウェアに実装されている。各部品をハードウェアに実装するか、ソフトウェアに実装するかは、部品の性能要求による。ソフトウェアでよりよいパフォーマンスを達成する部品はソフトウェアに実装され、ハードウェアでよりよいパフォーマンスを達成する部品はハードウェアに実装される。上述したとおり、パフォーマンスは音響パフォーマンス、コンピュータの複雑性、その他に関して、動作に要求されるプロセッササイクル数、デバイスサイズ、実装コスト、フレキシビリティ、消費電力などの測定基準を用いて測定することができる。

【 0 0 1 7 】

ハードウェアとソフトウェアの両方を使用することは、ハードウェアに全部を実装するかソフトウェアに全部を実装している従来のシステムに比していくつもの利点を提供するものである。例えば、処理スピードが重要な部品は専用のハードウェアに実装してそのパフォーマンスを最大にすることができる。その他の部品については、処理スピードがフレキシビリティより重要ではない。これらの部品は所望のフレキシビリティを提供するためにソフトウェアに実装することができる。ハードウェア部品とソフトウェア部品を両方使
50

用することの更なる利点は、部品のいくつかを複数チャンネルに用いることができることである。チャンネル間で部品のいくつかを共用することによって、システムのスピードとフレキシビリティを維持しながらシステムのコストと複雑性を低減できる。

【0018】

本発明の好ましい実施例は、音響増幅システムに実装されている。上述したとおり、パルス幅変調(PWM)技術が近年音響増幅システムに適用されてきているが、従来の方法論には欠点があった。これらの方法論は、複雑でコストがかかり、比較的パフォーマンスが貧弱なアナログ変調スキームを用いている。本発明のシステムと方法は、これに変えてデジタル変調スキームが実装されており、従来技術のいくつかの問題点を解決する方法論を用いている。

10

【0019】

図1を参照すると、PWM技術を用いたデジタル音響増幅システムを示す機能ブロック図が示されている。この実施例では、システム100は、CDプレーヤ、MP3プレーヤ、デジタル音響テープ、その他のデータソースからデジタル入力データストリームを受信する。入力データストリームはサンプルレートコンバータ110によって受信される。入力データストリームはデータソースに応じた特定のサンプルレートを有する。このサンプルレートは、通常、対応するデバイスタイプによって使用される所定のサンプルレートセットのうちの一つである。例えば、CDプレーヤは44.1kHzのサンプルレートでデジタルデータを出力するが、デジタル音響テーププレーヤは、32kHzのサンプルレートでデータを出力する。

20

【0020】

本発明のシステム及び方法では、サンプルレートコンバータ110が、入力データストリームを受信したサンプルレートからシステム100で用いられている所定の内部レートに変換する。一の実施例では、この内部サンプルレートは100kHzである。したがって、50kHzのサンプルレートでデータが受信される場合は、サンプルレートコンバータ110はこのデータを再度サンプリングして、100kHzのサンプルレートで対応する内部データストリームを生成する。この内部データストリームは、次いで音響効果サブシステム120に送られる。音響効果サブシステム120は、内部データストリームに所望の処理を行って、結果としての処理データストリームをPWM変調器130に提供する。

30

【0021】

PWM変調器130によって受信されたデータストリームは、パルスコード変調信号を表している。PWM変調器130は、このデータストリームをパルス幅変調信号に変換する。パルス幅変調信号は、次いで、出力ステージ140に提供される。出力ステージ140において、パルス幅変調信号を増幅し、増幅した信号をろ波したり、更に処理したりすることができる。この結果としての信号がスピーカシステム150に出力され、ここで電気信号を可聴信号に変換して聴者が聞くことができるようにする。

【0022】

本発明の開示は、上述した音響システムのサンプルレートコンバータに焦点を当てている。上述したとおり、サンプルレートコンバータの目的は、第1のレートでサンプリングされる入力データストリームを受信することと、第2のサンプルレートでサンプリングされる出力データストリームを生成することである。データストリームで表される音響信号が実質的に変わることがないが(少なくともいくつかの実施例において)、サンプリングレートは、システムで処理することができるように音響システムの要求に合うように変化する。

40

【0023】

図2を参照すると、典型的なサンプルレートの変換方法を示す図が示されている。この図に示すとおり、入力データストリームは、第1フィルタ210によって、まず、アップサンプリングされるか、あるいは補間され、第2フィルタ220によってダウンサンプリングされるか、あるいはデシメートされる。中間フィルタ230を用いてアップサンプリ

50

ングしたデータをデシメートする前に低域ろ波する。入力データストリームは第1のサンプルレート F_{in} を有する。このデータストリームは、ファクタ M によってアップサンプリングされる。したがって、アップサンプリングされた後、このデータストリームは $M \times F_{in}$ のサンプルレートを有する。アップサンプリングは、通常、入力データストリームのサンプル間を補間して中間サンプルを発生することによって行われる。 M は、中間サンプルレート ($M \times F_{in}$) が所望の出力サンプルレート F_{out} より高くなるように選択される。通常は、この中間レートは所望の出力レートより高い。

【0024】

アップサンプリングされたデータストリームは、低域ろ波され、ついで、サンプルレートを中間レートから所望の出力レートにするためにデシメートされる。ダウンサンプリングした後、サンプルレートは $F_{out} = (M/N) \times F_{in}$ になる。データストリームのダウンサンプリング、あるいはデシメーションは、通常、中間データストリームからサンプルをドロップすることによって行われる。例えば、中間データストリームが 200 kHz でサンプリングされ、所望の出力サンプルレートが 100 kHz である場合、ほかのサンプルはすべてドロップされる。

10

【0025】

理想的には、 M と N は整数である。 M が整数であれば、入力データストリームのアップサンプリングは、元のサンプルのそれぞれの間に均一にスペースを空けて $M - 1$ 個の新しいサンプルを挿入するステップを具える。又、 N が整数であれば、中間データストリームのダウンサンプリングは、 N 番目ごとのサンプルを取って、残りをドロップするステップを具える。このことは、図3に示されている。

20

【0026】

図3は、異なるサンプルレートで対応する信号を生成するためのサンプリングした入力信号の補間とデシメーションを示す図である。この図において、入力サンプルは、ポイント301、306、311及び316で示されている。信号を直線的に補間した値が破線で示されている。この信号は、ファクタ5によってアップサンプリングされ、隣り同士のサンプル対の間に4つの追加のサンプルポイントが補間されている。したがって、ポイント302 - 305は、サンプル301とサンプル306との間のインターバルに挿入されている。同様に、ポイント307 - 310は、サンプル306と311の間に、ポイント312 - 315は、サンプル311と316の間に挿入されている。低域ろ波された後、結果としてのポイント(301 - 316)がファクタ3によってダウンサンプリングされ、各3番目のポイントが使用され、残りは破棄される。結果としてのデータストリームは、(矢印で示されているように) サンプル301、304、307、310、313及び316でできている。

30

【0027】

入力データストリームのアップサンプリングとダウンサンプリングを直接的に実装することの問題点の一つは、 M と N を整数にするために、また、所望の解決を維持するために、 M と N が、通常非常に大きな数でなくてはならないことである。図3に示す例を考えてみる。 F_{in} が 60 kHz であり、 F_{out} が 100 kHz である場合、 M は5であり、 N は3である。しかしながら、 F_{in} が 60 kHz でなく、 60.5 kHz である場合は、 $M = 200$ および $N = 121$ を選択する必要がある。より大きな M と N の値を要求するシナリオが容易に展開されうる。サンプルレートコンバータのソリューションでは、最大218までの値が必要なことになる。

40

【0028】

補間 - 及び - デシメーションの方法論のその他の問題は、受信データストリームのサンプルレートの変動を取り扱うのが困難なことがある点である。典型的な音響システムでは、各装置又は部品が対応するサンプルレートを基にした自身のクロック信号を発生する。しかしながら、二つの部品についてのクロック信号を同じにしようとする場合、クロック信号は同期せず、若干の変動が生じる。クロック信号に差が生じる結果、データがドロップしたり、バッファがオーバーフローして、エラーが生じる。本発明のサンプルレートコ

50

ンバータは、これらの差を操作するように設計されている。

【0029】

音響システムには、様々なタイプの音響信号源がある。例えば、音響信号は、CDプレーヤ、MP3プレーヤ、デジタル音響テープ、その他で発生したものである。これらの装置は、異なるサンプルレートで音響信号を発生するように構成されている。例えば、CDプレーヤは、44.1kHzのサンプルレートを有する出力信号を提供するが、デジタル音響テーププレーヤは、32kHzのサンプルレートで出力信号を発生する。本発明のシステムと方法は、サンプルレートコンバータを入力データストリーム中の複数の異なるサンプルレートを受け入れることができるようにする。更に、サンプルレートコンバータは各チャンネルを個別に調整して異なる入力サンプルレートを受け入れることができる。比較すると、従来のシステムは、二つのサンプルレートが知られている場合、異なるチャンネルの異なるサンプルレートを受け入れることができるのみである。

10

【0030】

異なるサンプルレートと、名目上同じレート間の変動は、多段階フィルタを使用することで受け入れることができる。多段階フィルタは、インターポレータ210とデシメータ220の両方の機能を実行する。多段階フィルタは、データストリームが整数ファクタでアップサンプリングされる、あるいは整数ファクタでダウンサンプリングされることを必要としない方法で入力データストリームを補間することによってこれらの機能を実行する。

【0031】

上述したインターポレータとデシメータは、通常(FIR型)フィルタとして実装される。多段階フィルタは明らかにフィルタであるが、多数のサンプルを発生し(補間フィルタによって実行される)、不要なサンプルを切り捨てる(デシメーションフィルタによって実行される)のではなく、多段階フィルタは最終的に保持されるサンプルのみを発生する。したがって、図3に示す例と比較すると、サンプル301-316を発生して、これらのサンプルのうちの三分の二を切り捨てるのではなく、サンプル301、304、307、310、313及び316のみが生成され、何も切り捨てられない。

20

【0032】

多段階フィルタはフィルタ係数セットによって規定される。この係数が別の係数セットに外挿されると、異なるサンプリングレートが実現される。すなわち適当なフィルタ係数を選択することによって非整数のサンプルレート変換が可能になる。

30

【0033】

多段階フィルタを使用する典型的なサンプルレートコンバータは、入力データストリームからのサンプルを保存するためのメモリ、フィルタ係数を保存するためのメモリ、フィルタ係数についての補間計算を実行するためのハードウェア、およびデータと係数の内積を計算するための乗算-アキュムレートユニットを有している。典型的には、これらの部品は専用のハードウェアを用いて実装されている。これは、特に、計算を実行するのに必要な追加ロジック、および入力サンプルデータ用の専用のメモリが必要とされる点で、非常にコストが高い。これらのメモリは比較的小さく、したがってかなり効率のよくない方法でシリコン領域を使用している。一方、サンプルレートコンバータ全体をソフトウェアに実装することも可能であるが、このような実装は通常音響アプリケーションをサポートするのに必要なスピードを提供することができない。

40

【0034】

従って、本システムと方法は、ハードウェアとソフトウェア部品の組み合わせを用いてサンプルレートコンバータにおけるスピードと効率の双方を実現するようにした。これらのシステム及び方法は、十分な計算パワーを有するプロセッサを用い、所望の部品を実装することができるメモリを確保するようにした。

【0035】

図4を参照すると、本発明の一実施例にかかるサンプルレートコンバータの部品が示されている。図の下側半分は、変換される音響データ用のデータパスに対応し、上側半分は

50

実際のサンプルレート変換を制御する制御パスに対応する。

【 0 0 3 6 】

図 4 に示すように、音響データストリームのサンプルが受信され、入力 F I F O 4 0 5 に保存される。入力データストリームはサンプルレート F i n を有している。このサンプルは F I F O 4 0 5 から読み取られ、重畳エンジン 4 1 0 によって補間係数セットと重畳される。重畳エンジン 4 1 0 は、データを効率よくアップサンプリングあるいはダウンサンプリングして、サンプルレートコンバータの出力レート (F o u t) に等しいレートでサンプルを生成する。これらのサンプルは出力 F I F O 4 0 6 に保存される。ついで、このサンプルはレート F o u t で出力 F I F O 4 0 6 から読み出される。

【 0 0 3 7 】

音響データに関連するフレーム同期信号がレートエスティメータカウンタ 4 2 1 と 4 2 2 によって受信される。レートエスティメータカウンタ 4 2 1 と 4 2 2 は、単に各チャンネルで受信されたサンプル間のクロックサイクル数をカウントする。(本実施例は二つのチャンネルとこれに対応するレートエスティメータを有しているが、他の実施例は N 個のチャンネルを操作して N 個の対応する部品セットを有するものであってもよい。) レートエスティメータカウンタの一方がマルチプレクサ 4 3 0 によって選択され、対応するカウントがローパスフィルタ 4 4 0 によってろ波される。ろ波したサンプルレートカウントが位相選択ユニット 4 5 0 に送られ、多段階フィルタのフィルタ係数を補間するのに用いられる。補間された多段階フィルタ係数は、重畳ユニット 4 1 0 でデータサンプルと重畳され、再サンプリングしたデータを生成する。

【 0 0 3 8 】

F I F O 4 0 5 と F I F O 4 0 6 を通るデータサンプルの流れは、F I F O 管理ユニット 4 0 7 によって管理されている。データの流れに基づいて、F I F O 管理ユニット 4 0 7 は、フィードバックユニット 4 7 0 へのフィードバックを提供する。このフィードバックは、ローパスフィルタ 4 4 0 を調整するのに使用される。これは予測したサンプルレートを効率的に調整して、サンプルレートコンバータ内で実行された係数補間を調整する。このサンプルレート変換は、実際の入力サンプルレートにより近く追跡するように調整され、F I F O s 4 0 5 と 4 0 6 のオーバーフローあるいはアンダーフローを防止する。

【 0 0 3 9 】

図 4 に示す部品は、ハードウエア (H W) あるいはソフトウエア (S W) と同じであるように見える。本実施例では、ハードウエア部品は、入力及び出力 F I F O s 4 0 5 と 4 0 6 、レートエスティメータカウンタ 4 2 1 と 4 2 2 、マルチプレクサ 4 3 0 、ローパスフィルタ 4 4 0 、および係数インターポレータ 4 6 0 である。これらの部品は、様々な理由でハードウエアに実装される。例えば、係数インターポレータ 4 6 0 は、補間プロセスは重畳ユニット 4 1 0 でデータサンプルと重畳されるフィルタ係数を提供するのに十分に迅速に実行される必要があるので、ハードウエアに実装される。レートエスティメータカウンタ 4 2 1 と 4 2 2 は、完全なレート予測ユニットであるよりはむしろ、高速アップデータが必要な単純なカウンタなので、容易にかつ効率よくハードウエアに実装される。カウンタの値は、実際にレート予測を実行するソフトウエア (一の実施例では全チャンネルに共通である) によって読み取られる。フィードバックユニット 4 7 0 は、ソフトウエアに効率よく実装されるが、入力及び出力 F I F O s 4 0 5 と 4 0 6 は、ソフトウエアで F I F O s として制御されるメモリスペース内に効率よく実装される。言い換えれば、F I F O s 4 0 5 と 4 0 6 は、小さな、別々のメモリに実装されるのではなく、D S P のより大きなメモリスペースを使用する。

【 0 0 4 0 】

一実施例では、レートエスティメータカウンタ 4 2 1 と 4 2 2 は 2 4 ビットカウンタである。各カウンタは、4 つの入力フレーム同期信号 : S A I L R C K ; S P D I F R X フレーム同期信号 ; パケットデータフレーム同期信号 ; E S S I フレーム同期信号 ; から選択することができる。周期の測定は、フレーム同期信号の計数周期中の D S P クロックサイクル数を計数することによって行われる。計数周期はプログラム可能であり、通常、

10

20

30

40

50

1 に等しい。本実施例では、この計数がゲインと乗算される。ゲインは、通常 2 の累乗にセットされている 12 ビットの整数であり、デシマルポイントの移動に等しい。これによって、ローパスフィルタ 440 内でのソリューションが容易に増える。

【0041】

ローパスフィルタ 440 は、一の実施例では二次 IIR フィルタである。このフィルタは、例えば、カスケード接続した一次 IIR フィルタ対であってもよい。ローパスフィルタ 440 は、レート予測カウンタから受信した計数中のジッタを減衰させる。これによって、計数がゆっくりと変化し、サンプルレート変換の質を改善する。ローパスフィルタによって実装される平均化プロセスは、バッファに潜在的なアンダーフローあるいはオーバーフローを生じさせる。この問題は、カウント値がローパスフィルタ 440 を通過する前にそのカウント値に加えられる 24 ビットのオフセットを調整する閉ループフィードバックをソフトウェアに実装することによって補正される。一の実施例では、ローパスフィルタ 440 のフィルタ係数をより高速の周波数と位相ロックを実現するように調整することができる。

10

【0042】

係数インターポレータ 460 は、係数が保存されている ROM と、インターポレータで使用する係数検索用の ROM アドレス発生器と共に動作する。フィルタ係数は、実際は二つの ROMs に保存されている。一つは偶数の係数を保存し、他方は奇数の係数を保存している。インターポレータは、三次スプライン補間を実行する。インターポレータは、5 つのステージと、2 サイクルのパイプラインを用いて補間を実行し、これによって、リソースの共用を可能としながらも、2 クロックにつき 1 の補間というスループットを維持している。

20

【0043】

ソフトウェアに実装されている部品は、重畳ユニット 410 と、位相選択ユニット 450 と、FIFO 管理ユニット 407 と、フィードバックユニット 470 である。これらの部品は、従来技術のような厳密なハードウェアの実装においては不可能なフレキシビリティを提供する。ソフトウェア部品は、レートエスティメータカウンタ 421 と 422 の値を読み取って、これらの値から入力サンプルレートを決定する。このレート予測は、FIFO 管理ユニット 407 とフィードバックユニット 470 などのソフトウェア部品からのフィードバックによって調整される。予測したレートは、位相選択ソフトウェア 450 で多段階フィルタ係数を補間するのに使用され、重畳ユニット 410 でこの係数の入力データサンプルとの重畳が実行される。重畳ユニット 410 は、典型的な DSP がこの機能を効率よく実行することができ、主メモリからサンプルを、また係数インターポレータ 460 から係数を読み込むことができるので、ソフトウェアに実装される。

30

【0044】

一の実施例では、サンプルレートコンバータのソフトウェアが複数のタスクを実行するようになっている。例えば、上述したように、レートエスティメータカウンタ 421 と 422 で、それぞれのカウント値にゲインを掛けるが、このゲインはソフトウェアで決定される。同様に、レートエスティメータカウンタに続くローパスフィルタのオフセットとフィルタ係数が、ソフトウェアで決定される。このソフトウェアは更に、好ましい実施例では固定されている、入力サンプルレート (Fin) に対する出力サンプルレート (Fout) の比を計算する。サンプルレートの比とる波したカウンタ値に基づいて、ソフトウェアがフィルタ長、位相及び、多段階フィルタ係数の補間用の位相インクリメントを決定する。更に、このソフトウェアは、多段階フィルタ係数を入力サンプルと重畳し、入力及び出力 FIFOs を管理し、および予測した入力サンプルレート調整用のフィードバックを提供する。

40

【0045】

ソフトウェア部品はデータプロセッサ内に実装されている。典型的な最近のプロセッサは、大変効率よくタイトループを実行すると共に、データストリームを読み取ることができる。例えば、デジタル信号プロセッサ (DSP's) は、「ゼロオーバーヘッドルーピ

50

ング」能力を有する。現在のマイクロコントローラもサイクルごとに複数の指示を実行する能力を有する。これらのDSP'sとマイクロコントローラは、通常、別々のプログラムとデータメモリを有しており、これらをサンプルレート変換アプリケーションに好適なものにする。

【0046】

これらのプロセッサは、例えば、一のプロセッササイクルで、メモリからデータサンプルを読み取る（サンプルポインタレジスタで表示される）、サンプルポインタレジスタを次のサンプルポイントにアップデートする、周辺の係数補間ユニットから係数値を取り込む、係数値でデータサンプルを乗算する、乗算結果をデータレジスタに加える（蓄積する）、といったことを実行する能力を持っている。多段階フィルタがX個の係数を含む場合、X個のクロックサイクルを用いて一の出力サンプルを計算する。

10

【0047】

プロセッサは、複数の平行チャネルYを同時に操作できる。ここで、Yは入手可能なアキュムレータの数とサンプルポインタレジスタによって限定される。Y個のチャネルが同じ係数を用いて同時に処理されるとき、比較的コンパクトなハードウェアを設計して、Y個またはそれ以下のサイクルにおいて、メモリから複数の係数を読み出す（係数ポインタで表示されている）、係数ポインタレジスタをアップデートする、フィルタ係数を所望の精密さに計算する補間を実行する、などを実行することができる。

【0048】

「pseudo C」において、プロセッサは以下のことを行う。

20

各出力プットサイクルについて

ハードウェア係数計数器を初期化する

j=1 to Y について

o[Y] = 0; // アキュムレータを初期化する

p[Y] = start (N) // ポインタを初期化する

i=1 to X について // 各係数に対して

C=mem[coeff] // 係数を読み取る

j = 1 to Yについて // 各チャネルに対して

o[Y] += C*mem[p[Y]++]

【0049】

30

通常、jを用いた内側ループが展開され、次の計数の読み取りが最後の反復と並行して行われる（j=Y）。単純で効率のよいプロセッサがY個の各サイクルについての新しい係数を計算する。よりフレキシブルな解が、Y個またはそれより少ないサイクルにおける係数を計算する。新しいサンプルが入手できる場合、このサンプルが読み取られ、DSPがフィルタ係数を読み取るレートに自動的に調整を行うまで、計算を続ける。Y個の実際の値をよりフレキシブルにする一方で、これは、プロセッサに定期的にこの計算を保持させて、中断などの他の機能に助力を提供する。

【0050】

本発明の様々な実施例は、従来技術では不可能な様々な利点を提供することができる。例えば、非常に高レベルで、ハードウェア部品とソフトウェア部品の組み合わせが、サンプルレート変換機能の実行において、全部がハードウェアに実装されている、あるいは全部がソフトウェアに実装されている従来システムより、本発明のシステムと方法がより速いスピードとよりよいフレキシビリティを提供している。これらは、従来例で実装されているより、より効率的に実装されている。

40

【0051】

いくつかの実施例では、サンプルレートコンバータの部品を二つまたはそれ以上の独立したサンプルレート変換パス間で共用することができる。例えば、2つのパスの双方が、潜在的にこの係数を保存するROMsと、アドレス発生器と、自身の補間器を含む同じ多段階フィルタ係数補間ハードウェアを使用することができる。その他のサンプルレート変換パス間で共用されているリソースの例は、各パスのソフトウェア部品を実行するデータ

50

プロセッサである。共用しているリソースに代えて、各サンプルレート変換パスが、その他から独立している各サンプルレート変換機能を実行する。

【0052】

本発明の少なくともいくつかの実施例のその他の利点は、変動するサンプルレートを有する入力データストリームを処理する能力である。各サンプルレート変換パスがサンプルレートコンバータ機能を入力サンプルレートに適応させるための様々な部品と共に入力サンプルレートを決定するサンプルレートエスティメータを含んでいるので、サンプルレートコンバータは、サンプルレートの変動によるエラーにさらされない。関連する利点は、二つの異なるサンプルレート変換パスを、サンプルレートが異なる入力データストリームに独立して適応させうる点である。

10

【0053】

その他の利点は、サンプルレートコンバータの部品のいくつかを簡単に実装できる能力である。例えば、一実施例では、各サンプルレート変換パスのレートエスティメータハードウェアが単純なカウンタでできている。このカウンタは、ソフトウェア部品によって容易に読み取ることができ、カウンタの値に基づいて入力データストリームのサンプルレートを決定することができる。

【0054】

情報と信号が、様々な技術と技法を用いて表すことができることは当業者には自明である。例えば、データ、指示、コマンド、情報、信号、ビット、シンボル、および上記記載を通じて引用されているクリップは、電圧、電流、電磁波、磁界または粒子、光学フィールドまたは粒子、あるいはこれらの組み合わせによって表わすことができる。情報と信号は、ワイヤ、金属トレース、通路、光学ファイバなど、あらゆる好適な転送媒体を用いて開示されているシステムの部品間で通信することができる。

20

【0055】

当業者は、更に、様々な論理ブロック、モジュール、回路、およびここに開示した実施例に関して述べたアルゴリズムステップが、電子ハードウェア、コンピュータソフトウェア、あるいは両者の組み合わせとして実装できることは自明である。このハードウェアとソフトウェアの互換性を明らかにするために、様々な部材、ブロック、モジュール、回路およびステップが、一般的な機能性の意味で記載されている。このような機能性をハードウェアとして実装するか、ソフトウェアとして実装するかは、システム全体にかかるアプリケーションとデザインの制限による。当業者は、記載されている機能を様々な方法で各特定のアプリケーションに実装することができるが、このような実装の決定が、本発明の範囲から離れているものと解するべきではない。

30

【0056】

ここに開示した実施例に関連して述べた様々な論理ブロック、モジュール、回路は、一般的な目的のプロセッサ、デジタル信号プロセッサ(DSPs)、あるいはその他の論理装置、特定用途向け集積回路(ASICs)、フィールドプログラム可能なゲートアレイ(FPGAs)、分散ゲートあるいはトランジスタロジック、分散ハードウェアコンポーネント、あるいはここに述べた機能を実行するように設計されたこれらの組み合わせを用いて実装あるいは実行することができる。一般的な目的のプロセッサは、従来プロセッサ、コントローラ、マイクロコントローラ、状態マシンなどのいずれであってもよい。プロセッサは、計算装置の組み合わせ、すなわち、DSPとマイクロプロセッサの組み合わせ、複数のマイクロプロセッサ、DSPコアとともに動作する一又はそれ以上のマイクロプロセッサ、あるいはその他のこのような構成、として実装してもよい。

40

【0057】

ここに開示した実施例に関連して述べた方法あるいはアルゴリズムのステップは、ハードウェア、ソフトウェア、あるいはプロセッサで実行するファームウェアモジュール、あるいはこれらの組み合わせによって直接的に実施することもできる。ソフトウェアモジュールは、RAMメモリ、フラッシュメモリ、ROMメモリ、EPROMメモリ、EEPROMメモリ、レジスタ、ハードディスク、消去可能なディスク、CD-ROM、あるいは

50

この分野で知られているその他のすべての形の保存媒体に存在する。具体的な保存媒体は、プロセッサがその保存媒体から情報を読み、その保存媒体へ情報を書き込むことができるようにプロセッサに接続されている。代替的に、保存媒体がプロセッサに一体化していてもよい。プロセッサと保存媒体は、A S I Cに存在していてもよい。A S I Cは、ユーザのターミナルに存在していてもよい。代替として、プロセッサと保存媒体がユーザのターミナル内に分散コンポーネントとして存在していてもよい。

【0058】

開示されている実施例の上記記載は、当業者が本発明を作成して使用できるように提供されている。これらの実施例の様々な変形例は、当業者には容易であり、ここで提起されている一般的な原理は、本発明の精神あるいは範囲から外れることなく他の実施例に適用することができる。したがって、本発明はここに示す実施例に限定されるものではなく、ここに述べた原理と新規な特徴に最も広い範囲で合致するものである。

10

【0059】

本発明が提供する受益と利点は、特別な実施例に関連させて上述した。これらの受益と利点、およびこれを発生させるあるいはより一層表明する、すべての要素と限定は、一部の又はすべての請求項の臨界的な、必須の、あるいは本質的な特徴と解されるものではない。ここに用いる、「具える」の用語またはこの変形は、この用語に続く要素や限定を非排他的に含むものとして解釈するように使用されている。したがって、システム、方法、あるいは要素セットを具えるその他の実施例は、これらの要素のみに限定されない。また、請求項に記載の実施例に明白に挙げられている、あるいはこれらに固有のその他の要素を含んでいてもよい。

20

【0060】

本発明は特定の実施例を参照して述べられているが、実施例は図に示しただけであり、本発明の範囲をこれらの実施例に限定するものではないと理解すべきである。上述した実施例の様々な変形例、変更例、追加および改良が可能である。本発明の範囲内にあるこれらの変形例、変更例、追加及び改良は、以下の請求の範囲に詳細を示す。

【図面の簡単な説明】

【0061】

本発明のその他の目的及び利点は、以下の詳細な説明及び添付の図面を参照にして明らかになる。

30

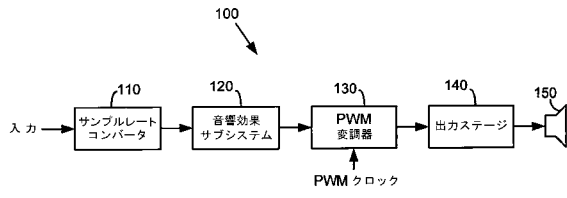
【図1】図1はP W M技術を用いたデジタル音響増幅システムを示す機能ブロック図である。

【図2】図2は、サンプルレート変換が行われる通常の方法を示す図である。

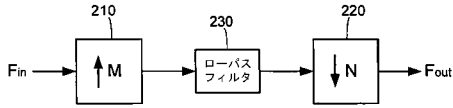
【図3】図3は、対応する信号を別のサンプルレートで生成するためのサンプリング入力信号の補間とデシメーションを示す図である。

【図4】図4は、本発明の一実施例によるサンプルレートコンバータの部品を示す図である。

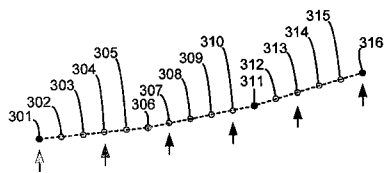
【図1】



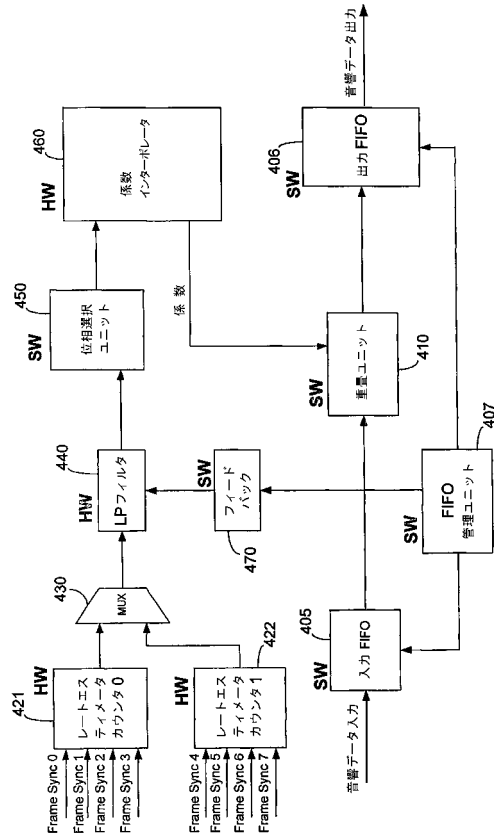
【図2】



【図3】



【図4】



フロントページの続き

- (72)発明者 ハンド, ラリー, イー.
アメリカ合衆国 ミシシッピ州 39301, メリディアン, スプリングヒルループロード 54
28
- (72)発明者 チェン, ダニエル, エル., ダブリュー.
アメリカ合衆国 テキサス州 78748, オースティン, アナトールコート 11601
- (72)発明者 ページ, ジョエル, ダブリュー.
アメリカ合衆国 テキサス州 78737, オースティン, コーチハウスロード 3

審査官 渡辺 未央子

- (56)参考文献 特開平08-018518(JP, A)
特開2002-314429(JP, A)
米国特許第05986589(US, A)

- (58)調査した分野(Int.Cl., DB名)
H03M 3/02