

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(10) 国際公開番号

WO 2011/114502 A1

PCT

(43) 国際公開日

2011 年 9 月 22 日(22.09.2011)

- (51) 国際特許分類:
H01L 21/8247 (2006.01) H01L 29/788 (2006.01)
H01L 27/115 (2006.01) H01L 29/792 (2006.01)
- (21) 国際出願番号: PCT/JP2010/054771
- (22) 国際出願日: 2010 年 3 月 19 日(19.03.2010)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人 (米国を除く全ての指定国について): 株式会社 東芝(KABUSHIKI KAISHA TOSHIBA) [JP/JP]; 〒1058001 東京都港区芝浦一丁目 1 番 1 号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 藤井 章輔 (FUJII, Shosuke) [JP/JP]. 佐久間 究(SAKUMA, Kiwamu) [JP/JP]. 藤木 潤(FUJIKI, Jun) [JP/JP]. 木下 敦寛(KINOSHITA, Atsuhiko) [JP/JP].
- (74) 代理人: 鈴江 武彦, 外(SUZUYE, Takehiko et al.); 〒1050001 東京都港区虎ノ門 1 丁目 1 2 番 9 号 鈴榮特許総合事務所内 Tokyo (JP).

- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

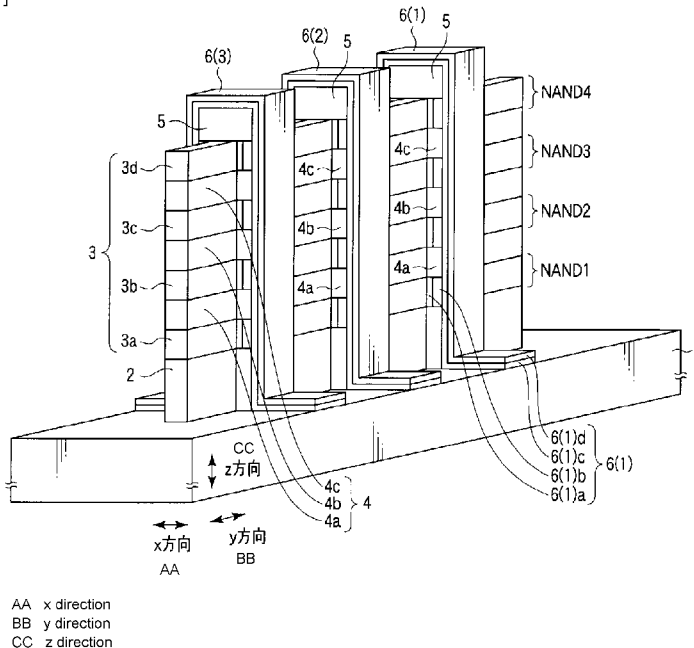
添付公開書類:

— 国際調査報告 (条約第 21 条(3))

(54) Title: NONVOLATILE SEMICONDUCTOR STORAGE DEVICE AND METHOD FOR PRODUCING SAME

(54) 発明の名称: 不揮発性半導体記憶装置及びその製造方法

[図1]



(57) Abstract: A nonvolatile semiconductor storage device is provided with: a semiconductor substrate (1); first to n semiconductor layers (where n is a natural number of 2 or more) (3a, 3b, 3c, 3d), which are stacked insulated from one another in a first direction perpendicular to the surface of the semiconductor substrate (1), and which extend in a second direction parallel to the surface of the semiconductor substrate; an electrode (6(1)d) that extends in a first direction along the side surface of the first to nth semiconductor layers (3a, 3b, 3c, 3d) perpendicular to a third direction that intersects with the first and second directions; and first to nth charge storage layers (6(1)b) that are disposed between the first to nth semiconductor layers ((3a, 3b, 3c, 3d) and the electrode (6(1)d). The 1st to nth charge storage layers (6(1)b) are physically separated from one another between the 1st to nth semiconductor layers (3a, 3b, 3c, 3d).

(57) 要約: 本発明の例に係わる不揮発性半導体記憶装置は、半導体基板(1)と、半導体基板(1)の表面に対して垂直な第1の方向に互いに絶縁されて積み重ねられ、半導体基

板(1)の表面に平行な第2の方向に延びる第1乃至第nの半導体層(nは2以上の自然数)(3a, 3b, 3c, 3d)と、第1及び第2の方向に交差する第3方向に垂直な第1乃至第nの半導体層(3a, 3b, 3c, 3d)の側面に沿って第1の方向に延びる電極(6(1)d)と、第1乃至第nの半導体層(3a, 3b, 3c, 3d)と電極(6(1)d)との間に配置される第1乃至第nの電荷蓄積層(6(1)b)とを備える。第1乃至第nの電荷蓄積層(6(1)b)は、第1乃至第nの半導体層(3a, 3b, 3c, 3d)間において互いに物理的に切り離される。

WO 2011/114502 A1

明 細 書

発明の名称： 不揮発性半導体記憶装置及びその製造方法

技術分野

[0001] 本発明は、不揮発性半導体記憶装置及びその製造方法に関する。

背景技術

[0002] NAND型フラッシュメモリは、大容量データの記憶装置として広く普及している。現在、メモリセルを微細化することによってビット当たりのコスト削減や大容量化が進められており、今後の一層の微細化が進展することが要求されている。しかしながら、フラッシュメモリをさらに微細化するためには、リソグラフィー技術開発や、短チャネル効果、素子間干渉、素子間ばらつきの抑制など、解決すべき多くの課題がある。このため、単純な平面内の微細化技術の開発だけでは、今後継続的に記憶密度を向上させることは困難となる可能性が高い。

[0003] そのため、リソグラフィー技術の微細化に頼らない新たな大容量化の手法として、三次元積層型半導体メモリが提案されている（例えば、特許文献１～４を参照）。この三次元積層型半導体メモリは、大幅な工程増を伴わずにメモリセルを三次元化でき、低コストで大メモリ容量を実現できる、という利点がある。

[0004] 三次元積層型半導体メモリのメモリセルとしては、一般的には、SONOS (silicon/oxide/nitride/oxide/silicon) 型が採用される。また、SONOS型メモリセルを実用化する上での問題点としては、書き込み／消去特性とサイクリング耐性の改善が挙げられる。即ち、書き込み／消去特性とサイクリング耐性の改善は、SONOS型メモリセルを用いた三次元積層型半導体メモリの実用化にとって重要である。

[0005] この点について我々が鋭意研究を重ねた結果、これら特性を改善するには、電荷蓄積層として窒化シリコンを用いる場合、その組成は、化学量論組成比よりもシリコン過剰側へずらす（シリコンリッチSiNとする）のが好ましい

ことが明らかとなった。

[0006] しかしながら、シリコンリッチSiNは、膜中のトラップ準位が比較的浅い、と言われており、トラップされた電子がトラップ準位間のホッピング伝導などによって拡散しやすいことが知られている。その一方で、三次元積層型半導体メモリにおいては、複数のメモリセルの電荷蓄積層は、物理的に結合されている。

[0007] そのため、シリコンリッチSiNを電荷蓄積層とするSONOS型メモリセルにより三次元積層型半導体メモリを形成するときは、あるメモリセルの電荷蓄積層へ注入した電子がそれに隣接する他のメモリセルの電荷蓄積層へ拡散して、データが失われる、という問題が発生する。

[0008] これを防ぐには、三次元積層型半導体メモリのメモリセルアレイにおいて、複数の電荷蓄積層をメモリセルごとに独立させた構造とすればよい。

[0009] このような新たなデバイス構造及びそれを実現するための製造方法を開発すれば、三次元積層型半導体メモリにおいて、特性改善が見込まれるシリコンリッチSiNなどの絶縁体を電荷蓄積層として採用できる他、電氣的にフローティング状態のフローティングゲートとしての導電体を電荷蓄積層として採用することも可能になる。

先行技術文献

特許文献

[0010] 特許文献1：特開2009-238874号公報

特許文献2：特開2009-27136号公報

特許文献3：特開2008-78404号公報

特許文献4：特開2004-152893号公報

発明の概要

発明が解決しようとする課題

[0011] 本発明は、三次元積層型半導体メモリにおいて、電荷蓄積層がメモリセルごとに独立した構造と、それを工程数の大幅な増加なしに形成するための製

造方法とを提案する。

課題を解決するための手段

- [0012] 本発明の例に係わる不揮発性半導体記憶装置は、半導体基板と、前記半導体基板の表面に対して垂直な第1の方向に互いに絶縁されて積み重ねられ、前記半導体基板の表面に平行な第2の方向に延びる第1乃至第 n の半導体層（ n は2以上の自然数）と、前記第1及び第2の方向に交差する第3方向に垂直な前記第1乃至第 n の半導体層の側面に沿って前記第1の方向に延びる電極と、前記第1乃至第 n の半導体層と前記電極との間に配置される第1乃至第 n の電荷蓄積層とを備え、前記第1乃至第 n の電荷蓄積層は、前記第1乃至第 n の半導体層間において互いに物理的に切り離される。
- [0013] 本発明の例に係わる不揮発性半導体記憶装置の製造方法は、半導体基板の表面に対して垂直な第1の方向に、第1の絶縁層、第1の半導体層、…第 n の絶縁層、第 n の半導体層、第 $(n+1)$ の絶縁層（ n は2以上の自然数）の順に積み重ねられ、前記半導体基板の表面に平行な第2の方向に延びる積層構造を形成する工程と、前記第1及び第2の方向に交差する第3方向に垂直な前記第1乃至第 n の半導体層の側面を前記第3の方向にエッチングすることにより、前記第2の方向に延びる第1乃至第 n の凹部を形成する工程と、前記第1乃至第 n の半導体層の側面の前記第3の方向側にそれぞれ前記第1乃至第 n の凹部を埋める第1乃至第 n の電荷蓄積層を形成する工程と、前記第 $(n+1)$ の絶縁層の前記第1の方向側において前記第3の方向に延び、前記第1乃至第 n の電荷蓄積層の前記第3の方向側において前記第1の方向に延びる電極を形成する工程と、前記電極をマスクにして前記第 $(n+1)$ の絶縁層を前記第1の方向にエッチングすることにより、前記第1の方向において前記第 n の半導体層及び前記第 n の電荷蓄積層を露出させる工程と、前記電極及び前記第 n の半導体層をマスクにして、前記第 n の電荷蓄積層、前記第 n の絶縁層、…前記第1の電荷蓄積層を、順次、前記第1の方向にエッチングすることにより、前記第1乃至第 n の電荷蓄積層を前記第2の方向において互いに物理的に切り離す工程とを備える。

[0014] 本発明の例に係わる不揮発性半導体記憶装置の製造方法は、半導体基板の表面に対して垂直な第1の方向に、第1のテンポラリ層、第1の半導体層、…第 n のテンポラリ層、第 n の半導体層、第 $(n+1)$ のテンポラリ層(n は2以上の自然数)の順に積み重ねられ、前記半導体基板の表面に平行な第2の方向に延びる積層構造を形成する工程と、前記第1及び第2の方向に交差する第3方向に垂直な前記第1乃至第 n の半導体層の側面を前記第3の方向にエッチングすることにより、前記第2の方向に延びる第1乃至第 n の凹部を形成する工程と、前記第1乃至第 n の半導体層の側面の前記第3の方向側にそれぞれ前記第1乃至第 n の凹部を埋める第1乃至第 n の電荷蓄積層を形成する工程と、前記第 $(n+1)$ のテンポラリ層の前記第1の方向側において前記第3の方向に延び、前記第1乃至第 n の電荷蓄積層の前記第3の方向側において前記第1の方向に延びる電極を形成する工程と、前記電極をマスクにして前記第 $(n+1)$ のテンポラリ層を前記第1の方向にエッチングすることにより、前記第1の方向において前記第 n の半導体層及び前記第 n の電荷蓄積層を露出させる工程と、前記電極及び前記第 n の半導体層をマスクにして、前記第 n の電荷蓄積層、前記第 n のテンポラリ層、…前記第1の電荷蓄積層を、順次、前記第1の方向にエッチングすることにより、前記第1乃至第 n の電荷蓄積層を前記第2の方向において互いに物理的に切り離す工程と、前記第1乃至第 $(n+1)$ のテンポラリ層を選択的に除去する工程とを備える。

[0015] 本発明の例に係わる不揮発性半導体記憶装置の製造方法は、半導体基板の表面に対して垂直な第1の方向に、第1のテンポラリ層、第1の半導体層、…第 n のテンポラリ層、第 n の半導体層、第 $(n+1)$ のテンポラリ層(n は2以上の自然数)の順に積み重ねられ、前記半導体基板の表面に平行な第2の方向に延びる積層構造を形成する工程と、前記第 $(n+1)$ のテンポラリ層の前記第1の方向側において前記第1及び第2の方向に交差する第3の方向に延び、前記第1乃至第 n の半導体層の前記第3の方向側において前記第1の方向に延び、第1のゲート絶縁層、結合電荷蓄積層、第2のゲート絶

縁層及び電極の順番で積み重ねられる積層構造を形成する工程と、前記第 1 乃至第 $(n+1)$ のテンポラリ層を選択的に除去する工程と、前記第 1 乃至第 $(n+1)$ のテンポラリ層が除去された領域から前記結合電荷蓄積層を選択的に酸化することにより、互いに物理的に切り離された第 1 乃至第 n の電荷蓄積層を形成する工程とを備える。

[0016] 本発明の例に係わる不揮発性半導体記憶装置の製造方法は、半導体基板の表面に対して垂直な第 1 の方向に、第 1 の絶縁層、第 1 の半導体層、…第 n の絶縁層、第 n の半導体層、第 $(n+1)$ の絶縁層 (n は 2 以上の自然数) の順に積み重ねられ、前記半導体基板の表面に平行な第 2 の方向に延びる積層構造を形成する工程と、前記第 1 及び第 2 の方向に交差する第 3 方向に垂直な前記第 1 乃至第 n の半導体層の側面を前記第 3 の方向にエッチングすることにより、前記第 2 の方向に延びる第 1 乃至第 n の凹部を形成する工程と、前記第 1 乃至第 n の半導体層の側面の前記第 3 の方向側にそれぞれ前記第 1 乃至第 n の凹部を埋める第 1 乃至第 n の電荷蓄積層を形成する工程と、前記第 3 方向における前記第 1 乃至第 $(n+1)$ の絶縁層の側面を前記第 3 の方向にエッチングすることにより、前記第 1 の方向における前記第 1 乃至第 n の電荷蓄積層の側面を露出させる工程と、前記第 1 乃至第 n の電荷蓄積層の前記第 1 の方向側において前記第 3 の方向に延び、前記第 1 乃至第 n の電荷蓄積層の前記第 3 の方向側において前記第 1 の方向に延び、前記第 1 乃至第 n の電荷蓄積層の前記第 1 及び第 3 方向の側面をそれぞれ覆う電極を形成する工程と、前記電極をマスクにして前記第 $(n+1)$ の絶縁層を前記第 1 の方向にエッチングすることにより、前記第 1 の方向において前記第 n の半導体層及び前記第 n の電荷蓄積層を露出させる工程と、前記電極及び前記第 n の半導体層をマスクにして、前記第 n の電荷蓄積層、前記第 n の絶縁層、…前記第 1 の電荷蓄積層を、順次、前記第 1 の方向にエッチングすることにより、前記第 1 乃至第 n の電荷蓄積層を前記第 2 の方向において互いに物理的に切り離す工程とを備える。

発明の効果

[0017] 本発明によれば、電荷蓄積層がメモリセルごとに独立した構造を、工程数の大幅な増加なしに形成することにより、三次元積層型半導体メモリの高信頼性を実現できる。

図面の簡単な説明

- [0018] [図1] 第1の実施例の構造の全体を示す斜視図。
[図2] 第1の実施例の構造の要部を示す斜視図。
[図3] 第1の実施例の第1の変形例を示す斜視図。
[図4] 第1の実施例の第2の変形例を示す斜視図。
[図5] NANDセルユニット構造の第1の例を示す斜視図。
[図6] 図5のVI-VI線に沿う断面図。
[図7] 図5のVII-VII線に沿う断面図。
[図8] NANDセルユニット構造の第2の例を示す斜視図。
[図9] 図8のIX-IX線に沿う断面図。
[図10] 図8のX-X線に沿う断面図。
[図11] NANDセルユニット構造の第3例を示す斜視図。
[図12] 図11のXII-XII線に沿う断面図。
[図13] 図11のXIII-XIII線に沿う断面図。
[図14A] 第1の実施例の製造方法の第1の例を示す図。
[図14B] 第1の実施例の製造方法の第1の例を示す図。
[図14C] 第1の実施例の製造方法の第1の例を示す図。
[図14D] 第1の実施例の製造方法の第1の例を示す図。
[図14E] 第1の実施例の製造方法の第1の例を示す図。
[図14F] 第1の実施例の製造方法の第1の例を示す図。
[図14G] 第1の実施例の製造方法の第1の例を示す図。
[図14H] 第1の実施例の製造方法の第1の例を示す図。
[図14I] 第1の実施例の製造方法の第1の例を示す図。
[図14J] 第1の実施例の製造方法の第1の例を示す図。
[図14K] 第1の実施例の製造方法の第1の例を示す図。

[図14L] 第1の実施例の製造方法の第1の例を示す図。

[図15A] 第1の実施例の製造方法の第2の例を示す図。

[図15B] 第1の実施例の製造方法の第2の例を示す図。

[図15C] 第1の実施例の製造方法の第2の例を示す図。

[図15D] 第1の実施例の製造方法の第2の例を示す図。

[図15E] 第1の実施例の製造方法の第2の例を示す図。

[図15F] 第1の実施例の製造方法の第2の例を示す図。

[図15G] 第1の実施例の製造方法の第2の例を示す図。

[図15H] 第1の実施例の製造方法の第2の例を示す図。

[図15I] 第1の実施例の製造方法の第2の例を示す図。

[図15J] 第1の実施例の製造方法の第2の例を示す図。

[図15K] 第1の実施例の製造方法の第2の例を示す図。

[図15L] 第1の実施例の製造方法の第2の例を示す図。

[図15M] 第1の実施例の製造方法の第2の例を示す図。

[図15N] 第1の実施例の製造方法の第2の例を示す図。

[図16] 第2の実施例の構造の全体を示す斜視図。

[図17] 第2の実施例の構造の要部を示す斜視図。

[図18] 第2の実施例の変形例を示す斜視図。

[図19A] 第2の実施例の製造方法を示す図。

[図19B] 第2の実施例の製造方法を示す図。

[図19C] 第2の実施例の製造方法を示す図。

[図19D] 第2の実施例の製造方法を示す図。

[図19E] 第2の実施例の製造方法を示す図。

[図20] 第3の実施例の構造の全体を示す斜視図。

[図21] 第3の実施例の構造の要部を示す斜視図。

[図22] 第3の実施例の第1の変形例を示す斜視図。

[図23] 第3の実施例の第2の変形例を示す斜視図。

[図24A] 第3の実施例の製造方法を示す図。

[図24B] 第3の実施例の製造方法を示す図。

[図24C] 第3の実施例の製造方法を示す図。

[図24D] 第3の実施例の製造方法を示す図。

[図24E] 第3の実施例の製造方法を示す図。

[図24F] 第3の実施例の製造方法を示す図。

[図24G] 第3の実施例の製造方法を示す図。

[図24H] 第3の実施例の製造方法を示す図。

[図24I] 第3の実施例の製造方法を示す図。

[図24J] 第3の実施例の製造方法を示す図。

[図24K] 第3の実施例の製造方法を示す図。

[図24L] 第3の実施例の製造方法を示す図。

[図24M] 第3の実施例の製造方法を示す図。

[図25] 第4の実施例の構造の全体を示す斜視図。

発明を実施するための形態

[0019] 以下、図面を参照しながら、本発明の例を実施するための最良の形態について詳細に説明する。

[0020] 1. 基本思想

本発明の基本思想は、半導体基板の表面に対して垂直な第1の方向に互いに絶縁されて積み重ねられ、半導体基板の表面に平行な第2の方向に延びる第1乃至第 n の半導体層（ n は2以上の自然数）と、第1及び第2の方向に交差する第3の方向における第1乃至第 n の半導体層の側面に沿って第1の方向に延びる電極と、第1乃至第 n の半導体層と電極との間に配置される第1乃至第 n の電荷蓄積層とを備える三次元積層型半導体メモリにおいて、第1乃至第 n の電荷蓄積層を互いに独立させ、書き込み／消去特性とサイクリング耐性の改善を図る、ということにある。

[0021] ここで、第1乃至第 n の電荷蓄積層が互いに独立であるとは、第1乃至第 n の電荷蓄積層が物理的に切り離されていること、具体的には、第1乃至第 n の電荷蓄積層間にそれらを構成する要素とは異なる要素が存在することを

意味する。

[0022] コンベンショナルな三次元積層型半導体メモリにおいては、第1乃至第nの電荷蓄積層は、互いに物理的に結合されているのが一般的である。しかしながら、このことは、あるメモリセルの電荷蓄積層へ注入した電子がそれに隣接する他のメモリセルの電荷蓄積層へ拡散して、データが失われる、という問題を発生させる。

[0023] そこで、本発明では、三次元積層型半導体メモリにおいて、第1乃至第nの電荷蓄積層を互いに独立させ、書き込み／消去特性とサイクリング耐性の改善を図る。

[0024] ところで、本発明における電荷蓄積層の独立性は、コンベンショナルな二次元NANDフラッシュメモリにおいて採用されている電荷蓄積層の独立性の単なる転用では実現することはできない。なぜなら、二次元構造のメモリセルをそのまま三次元構造のメモリセルとすることは不可能だからである。

[0025] 従って、本発明における電荷蓄積層の独立性は、メモリセル特性や、製造工程数の複雑化防止の観点から、第1乃至第nの半導体層間の要素及び第1乃至第nの電荷蓄積層を構成する材料の酸化物のうちの一つにより、第1乃至第nの電荷蓄積層を互いに物理的に切り離す、ということにより実現する。

[0026] 尚、本発明の三次元積層型半導体メモリを実現するための具体的な製造方法については、以下の実施例で詳述することにする。

[0027] 本発明は、電荷蓄積層がメモリセルごとに独立した構造を提案するものであるため、例えば、シリコンリッチSiNを電荷蓄積層とするSONOS型メモリセルの他、電氣的にフローティング状態のフローティングゲートとしての導電体を電荷蓄積層とするフローティングゲート型メモリセルにも適用可能である。

[0028] 2. 実施例

(1) 第1の実施例

A. 構造

図 1 は、第 1 の実施例としての不揮発性半導体記憶装置を示している。図 2 は、図 1 の構造から第 2 のゲート絶縁層 6 (1) c 及びコントロールゲート電極 6 (1) d を取り除いた構造を示している。

[0029] 半導体基板 1 は、例えば、シリコン基板である。半導体基板 1 上には、半導体基板 1 の表面に平行な y 方向に延びるフィン型積層構造が配置される。

[0030] このフィン型積層構造は、半導体基板 1 の表面に対して垂直な z 方向に積み重ねられる、第 1 の絶縁層 2、第 1 の半導体層 3 a、第 2 の絶縁層 4 a、第 2 の半導体層 3 b、第 3 の絶縁層 4 b、第 3 の半導体層 3 c、第 4 の絶縁層 4 c、第 4 の半導体層 3 d 及び第 5 の絶縁層 5 から構成される。

[0031] 第 1 乃至第 5 の絶縁層 2、4 a ~ 4 c、5 は、絶縁体であれば何でもよいが、例えば、酸化シリコンを用いることができる。第 1 乃至第 4 の半導体層 3 a ~ 3 d は、例えば、シリコンから構成される。

[0032] 第 1 乃至第 4 の半導体層 3 (3 a、3 b、3 c、3 d) の x 方向側には、x 方向に、第 1 のゲート絶縁層 6 (1) a、電荷蓄積層 6 (1) b、第 2 のゲート絶縁層 6 (1) c 及びコントロールゲート電極 6 (1) d の順で積み重ねられる積層構造 6 (1) が配置される。

[0033] 第 1 のゲート絶縁層 6 (1) a は、トンネル電流が流れるトンネル絶縁層であり、例えば、酸化シリコンから構成される。電荷蓄積層 6 (1) b は、電荷を蓄積する層であり、その電荷量は、トンネル電流により制御される。

[0034] 電荷蓄積層 6 (1) b は、絶縁体又は導電体から構成される。電荷蓄積層 6 (1) a が絶縁体 (例えば、窒化シリコン) のとき、メモリセルは、SONOS 型になり、電荷蓄積層 6 (1) a が導電体 (例えば、導電性ポリシリコン) のとき、メモリセルは、フローティングゲート型になる。

[0035] 電荷蓄積層 6 (1) b は、メモリセルごとに独立している。特に、z 方向に並んで配置される 4 つの電荷蓄積層 6 (1) b、…は、第 1 乃至第 4 の半導体層 3 (3 a、3 b、3 c、3 d) 間の要素、本例では、第 2 乃至第 4 の絶縁層 4 (4 a、4 b、4 c) により、互いに物理的に切り離されている。

[0036] 第 2 のゲート絶縁層 6 (1) c は、電荷蓄積層 6 (1) b とコントロール

ゲート電極 6 (1) d との間のリーク電流を防止する。また、第 2 のゲート絶縁層 6 (1) c は、メモリセルのカップリング比を大きくし、書き込み／消去特性を向上させるために、例えば、積層構造や、高誘電率材料などから構成される。

[0037] メモリセルがSONOS型るとき、第 2 のゲート絶縁層 6 (1) c は、一般的にブロック絶縁層と呼ばれ、メモリセルがフローティングゲート型るとき、第 2 のゲート絶縁層 6 (1) c は、一般的に電極間絶縁層と呼ばれる。

[0038] コントロールゲート電極 6 (1) d は、ワード線として機能し、第 5 の絶縁層 5 の z 方向側において x 方向に延び、第 1 乃至第 4 の半導体層 3 (3 a, 3 b, 3 c, 3 d) の x 方向側において z 方向に延びる。

[0039] 即ち、コントロールゲート電極 6 (1) d は、4 つの電荷蓄積層 6 (1) b, …を覆うと共に、フィン型積層構造を x 方向に跨がる。

[0040] 積層構造 6 (2), 6 (3) は、積層構造 6 (1) と同じ構造を有する。

[0041] 以上のようなデバイス構造により、第 1 乃至第 4 の半導体層 3 (3 a, 3 b, 3 c, 3 d) には、それぞれ、y 方向に直列接続される複数のメモリセルの列、即ち、NAND列が形成される。ここでは、第 1 の半導体層 3 a に形成されるNAND列をNAND1とし、第 2 の半導体層 3 b に形成されるNAND列をNAND2とし、第 3 の半導体層 3 c に形成されるNAND列をNAND3とし、第 4 の半導体層 3 d に形成されるNAND列をNAND4とする。

[0042] これらNAND列を構成する複数のメモリセルは、電荷蓄積層 6 (1) b がメモリセルごとに独立している。即ち、複数の電荷蓄積層 6 (1) b, …は、第 2 乃至第 4 の絶縁層 4 (4 a, 4 b, 4 c) により、互いに物理的に切り離されている。従って、三次元積層型半導体メモリの信頼性の向上を実現できる。

[0043] B. 材料例

図 1 及び図 2 のデバイス構造の各要素を構成する材料については、半導体メモリの各世代に応じた最適な材料を適宜選択することができる。

[0044] 例えば、第 1 のゲート絶縁層 6 (1) a は、SiO₂とし、電荷蓄積層 6 (1)

bは、 Si_3N_4 とし、第2のゲート絶縁層6(1) cは、 Al_2O_3 とし、コントロールゲート電極6(1) dは、NiSiとすることができる。

[0045] 第1のゲート絶縁層6(1) aは、酸窒化シリコン、酸化シリコンと窒化シリコンとの積層構造などとしてもよい。また、第1のゲート絶縁層6(1) aは、シリコンナノ粒子や、金属イオンなどを含んでいてもよい。

[0046] 電荷蓄積層6(1) bは、シリコンと窒素の組成比x、yが任意である Si_xN_y 、酸窒化シリコン(SiON)、酸化アルミニウム(Al_2O_3)、酸窒化アルミニウム(AlON)、ハフニア(HfO_2)、ハフニウム・アルミネート(HfAlO_3)、窒化ハフニア(HfON)、窒化ハフニウム・アルミネート(HfAlON)、ハフニウム・シリケート(HfSiO)、窒化ハフニウム・シリケート(HfSiON)、酸化ランタン(La_2O_3)、及び、ランタン・アルミネート(LaAlO_3)のうちの少なくとも1つから構成してもよい。

[0047] 電荷蓄積層6(1) bは、不純物が添加されたポリシリコン、メタルなどの導電体から構成してもよい。

[0048] 第2のゲート絶縁層6(1) cは、酸化シリコン(SiO_2)、酸窒化シリコン(SiON)、酸化アルミニウム(Al_2O_3)、酸窒化アルミニウム(AlON)、ハフニア(HfO_2)、ハフニウム・アルミネート(HfAlO_3)、窒化ハフニア(HfON)、窒化ハフニウム・アルミネート(HfAlON)、ハフニウム・シリケート(HfSiO)、窒化ハフニウム・シリケート(HfSiON)、酸化ランタン(La_2O_3)、ランタン・アルミネート(LaAlO_3)、及び、ランタンアルミシリケート(LaAlSiO)のうちの少なくとも1つから構成してもよい。

[0049] コントロールゲート電極6(1) dは、タンタルナイトライド(TaN)、タンタルカーバイト(TaC)、チタンナイトライド(TiN)などの金属化合物、又は、金属的な電気伝導特性を示す、V、Cr、Mn、Y、Mo、Ru、Rh、Hf、Ta、W、Ir、Co、Ti、Er、Pt、Pd、Zr、Gd、Dy、Ho及びこれらのシリサイドから構成できる。

[0050] C. 第1の変形例

図3は、第1の実施例の第1の変形例を示している。

[0051] 第1の変形例の特徴は、第1乃至第4の半導体層3（3a, 3b, 3c, 3d）のうち最上層、即ち、第4の半導体層3dを、非メモリセルとしてのダミーセルが形成されるダミー層DUMMYとしたことにある。

[0052] 最上層としての第4の半導体層3dは、後述する第1及び第2の製造方法の一工程において、エッチングマスクとして用いられるため、ダメージを受け易い。このため、第4の半導体層3dに形成されるNAND列は、メモリセルとして使用せず、非メモリセルとしてのダミーセルとする。

[0053] この場合、第4の半導体層3dのマスクとしての機能を向上させるため、z方向における第4の半導体層3dの幅は、z方向における第1乃至第3の半導体層3a, 3b, 3cの幅よりも広くするのが好ましい。

[0054] D. 第2の変形例

図4は、第1の実施例の第2の変形例を示している。

[0055] 第2の変形例の特徴は、z方向に並んで配置される4つの電荷蓄積層6（1）b, …を、キャビティ（例えば、エアギャップ）により、互いに物理的に切り離したことにある。即ち、第2の変形例では、第1乃至第4の半導体層3（3a, 3b, 3c, 3d）間の要素は、キャビティとなっている。

[0056] メモリセルが微細化されると、複数の電荷蓄積層6（1）b間に発生する寄生容量が増え、相互干渉による誤動作の原因になる。これを防ぐには、複数の電荷蓄積層6（1）bの間を、低誘電率のキャビティとするのが好ましい。

[0057] 本例では、第1の実施例（図1及び図2）における第1乃至第5の絶縁層2, 4a～4c, 5の全てをキャビティに変更したが、そのうちの一部のみをキャビティに変更してもよい。また、キャビティは、完全なキャビティであるのが好ましいが、部分的に絶縁体が残っていても構わない。

[0058] また、キャビティは、ポーラス絶縁体(porous insulator)に変えることもできる。

[0059] E. NANDセルユニット構造の第1の例

図5は、NANDセルユニット構造の第1の例を示している。図6は、図5のV

I-VI線に沿う断面図、図7は、図5のVII-VII線に沿う断面図である。

- [0060] 本例は、第1の実施例（図1及び図2）の応用例としてのNANDセルユニット構造を示すものである。従って、第1の実施例と同じ要素には同じ符号を付してある。本例が第1の実施例と異なる点は、NAND列 NAND1, NAND2, NAND3の数が3つであることにある。
- [0061] フィン型積層構造9は、半導体基板1上にz方向に積み重ねられる、第1の絶縁層2、第1の半導体層3a、第2の絶縁層4a、第2の半導体層3b、第3の絶縁層4b、第3の半導体層3c及び第5の絶縁層5から構成される。
- [0062] フィン型積層構造9のy方向の一端は、階段構造を有する。フィン型積層構造9のy方向の一端では、第1乃至第3の半導体層3（3a, 3b, 3c）のz方向の側面がそれぞれ露出する。コンタクトプラグ7a, 7b, 7cは、それぞれ、第1乃至第3の半導体層3（3a, 3b, 3c）のz方向の側面にコンタクトする。
- [0063] コンタクトプラグ7a, 7b, 7cは、それぞれ、ビット線BLa, BLb, BLcとNAND列 NAND1, NAND2, NAND3とを接続する。
- [0064] フィン型積層構造9のy方向の他端では、コンタクトプラグ8は、第1乃至第3の半導体層3（3a, 3b, 3c）を貫通し、これらにコンタクトする。コンタクトプラグ8は、ソース線SLとNAND列 NAND1, NAND2, NAND3とを接続する。
- [0065] 積層構造6（1）, …6（n-1）, 6（n）は、それぞれ、メモリセルを構成する。
- [0066] 積層構造6（1）は、第1のゲート絶縁層6（1）a、電荷蓄積層6（1）b、第2のゲート絶縁層6（1）c及びコントロールゲート電極6（1）dから構成される。その他の積層構造6（2）, …6（n-1）, 6（n）も、積層構造6（1）と同じ構造を有する。
- [0067] また、積層構造10, 11も、積層構造6（1）と同じ構造を有する。
- [0068] 積層構造10, 11は、それぞれ、選択トランジスタを構成する。積層構

造 10 は、ドレイン側選択トランジスタを構成し、積層構造 11 は、ソース側選択トランジスタを構成する。

[0069] このように、第 1 の実施例の NAND 列を用いて NAND セルユニットを構成することができるため、高信頼性の三次元 NAND フラッシュメモリを実現できる。

[0070] F. NAND セルユニット構造の第 2 の例

図 8 は、NAND セルユニット構造の第 2 の例を示している。図 9 は、図 8 の I-X-X 線に沿う断面図、図 10 は、図 8 の X-X 線に沿う断面図である。

[0071] 本例は、第 1 の変形例（図 3）の応用例としての NAND セルユニット構造を示すものである。従って、第 1 の変形例と同じ要素には同じ符号を付してある。本例が第 1 の変形例と異なる点は、NAND 列 NAND1, NAND2, NAND3 の数が 3 つであることにある。

[0072] フィン型積層構造 9 は、半導体基板 1 上に z 方向に積み重ねられる、第 1 の絶縁層 2、第 1 の半導体層 3 a、第 2 の絶縁層 4 a、第 2 の半導体層 3 b、第 3 の絶縁層 4 b、第 3 の半導体層 3 c 及び第 5 の絶縁層 5 から構成される。

[0073] フィン型積層構造 9 の y 方向の一端は、階段構造を有する。フィン型積層構造 9 の y 方向の一端では、第 1 乃至第 3 の半導体層 3（3 a, 3 b, 3 c）の z 方向の側面がそれぞれ露出する。コンタクトプラグ 7 a, 7 b は、それぞれ、第 1 及び第 2 の半導体層 3 a, 3 b の z 方向の側面にコンタクトする。

[0074] コンタクトプラグ 7 a, 7 b は、それぞれ、ビット線 B L a, B L b と NAND 列 NAND1, NAND2 とを接続する。

[0075] 第 3 の半導体層 3 c は、ダミー層 DUMMY であるため、これにコンタクトプラグは接続されない。

[0076] フィン型積層構造 9 の y 方向の他端では、コンタクトプラグ 8 は、第 1 乃至第 3 の半導体層 3（3 a, 3 b, 3 c）を貫通し、これらにコンタクトする。コンタクトプラグ 8 は、ソース線 S L と NAND 列 NAND1, NAND2, NAND3 とを接続する。

- [0077] 積層構造 6 (1), ... 6 (n-1), 6 (n) は、それぞれ、メモリセルを構成する。但し、ダミー層DUMMYとしての第 3 の半導体層 3 c に形成されるダミーセルを除く。
- [0078] 積層構造 6 (1) は、第 1 のゲート絶縁層 6 (1) a、電荷蓄積層 6 (1) b、第 2 のゲート絶縁層 6 (1) c 及びコントロールゲート電極 6 (1) d から構成される。その他の積層構造 6 (2), ... 6 (n-1), 6 (n) も、積層構造 6 (1) と同じ構造を有する。
- [0079] また、積層構造 10, 11 も、積層構造 6 (1) と同じ構造を有する。
- [0080] 積層構造 10, 11 は、それぞれ、選択トランジスタを構成する。但し、ダミー層DUMMYとしての第 3 の半導体層 3 c に形成されるダミートランジスタを除く。積層構造 10 は、ドレイン側選択トランジスタを構成し、積層構造 11 は、ソース側選択トランジスタを構成する。
- [0081] このように、第 1 の変形例のNAND列を用いてNANDセルユニットを構成することができるため、高信頼性の三次元NANDフラッシュメモリを実現できる。
- [0082] G. NANDセルユニット構造の第 3 の例
- 図 11 は、NANDセルユニット構造の第 3 の例を示している。図 12 は、図 11 のXII-XII線に沿う断面図、図 13 は、図 11 のXIII-XIII線に沿う断面図である。
- [0083] 本例は、NANDセルユニット構造の第 1 の例の変形例である。従って、図 5 ~ 図 7 と同じ要素には同じ符号を付してある。
- [0084] 本例がNANDセルユニット構造の第 1 の例と異なる点は、ドレイン側選択トランジスタを直列接続される 3 つのトランジスタから構成したことにある。具体的には、積層構造 10 は、3 つの積層構造 10 a, 10 b, 10 c から構成する。積層構造 10 a, 10 b, 10 c は、図 5 ~ 図 7 の積層構造 10 と同じ構造とする。
- [0085] 第 1 の半導体層 3 a 内の積層構造 10 a に覆われた部分には、ドレイン側選択トランジスタが常にオン（ノーマリオン）となるように不純物領域 13 a が設けられる。

[0086] 同様に、第2の半導体層3b内の積層構造10bに覆われた部分には、ドレイン側選択トランジスタがノーマリオンとなるように不純物領域13bが設けられる。また、第3の半導体層3c内の積層構造10cに覆われた部分には、ドレイン側選択トランジスタがノーマリオンとなるように不純物領域13cが設けられる。

[0087] このような構成にすると、フィン型積層構造9のy方向の一端においても、コンタクトプラグ7を共有化することができる。即ち、コンタクトプラグ7は、第1乃至第3の半導体層3（3a, 3b, 3c）を貫通し、これらにコンタクトする。

[0088] コンタクトプラグ7は、ビット線BLとNAND列 NAND1, NAND2, NAND3とを接続する。

[0089] NANDセルユニット構造の第3の例の詳細については、例えば、国際特許出願（PCT/JP2009/060803）に記載されている。

[0090] H. NANDセルユニット構造のその他の例

第1の実施例（図1及び図2）において、図11乃至図13に示すような積層構造10a, 10b, 10cを採用することもできる。

[0091] 第1の変形例（図3）において、図11乃至図13に示すような積層構造10a, 10b, 10cを採用することもできる。

[0092] 第2の変形例（図4）において、図5乃至図7に示すようなセルユニット構造、図8乃至図10に示すようなセルユニット構造、さらには、図11乃至図13に示すような積層構造10a, 10b, 10cを採用することもできる。

[0093] これらを組み合わせて使用することも可能である。

[0094] I. 第1の製造方法

第1の実施例（図1及び図2）及び第1の変形例（図3）に係わる構造を製造する方法について、図14A乃至図14Lを参照しつつ以下に説明する。これらの図において、（a）は、平面図、（b）は、x方向から見たときの側面図、（c）は、y方向から見たときの側面図である。

- [0095] まず、図 1 4 A に示すように、半導体基板 1 の表面に対して垂直な z 方向に、第 1 の絶縁層 2、第 1 の半導体層 3 a、第 2 の絶縁層 4 a、第 2 の半導体層 3 b、第 3 の絶縁層 4 b、第 3 の半導体層 3 c、第 4 の絶縁層 4 c、第 4 の半導体層 3 d、及び、第 5 の絶縁層 5 を、順次形成する。
- [0096] ここで、半導体基板 1 は、例えば、面方位 (1 0 0)、比抵抗 $10 \sim 20 \Omega \text{ cm}$ の p 型シリコン基板とし、第 1 乃至第 5 の絶縁層 2, 4 a ~ 4 c, 5 は、酸化シリコンとし、第 1 乃至第 4 の半導体層 3 a ~ 3 d は、シリコンとする。
- [0097] この後、PEP (photo engraving process) 及び異方性ドライエッチングにより、第 1 乃至第 5 の絶縁層 2, 4 a ~ 4 c, 5 及び第 1 乃至第 4 の半導体層 3 a ~ 3 d を加工し、半導体基板 1 の表面に平行な y 方向に延びるフィン型積層構造を形成する。
- [0098] 次に、図 1 4 B に示すように、等方性ドライエッチングにより、 x 方向における第 1 乃至第 4 の半導体層 3 a ~ 3 d の側面を x 方向に選択的にエッチングする。その結果、第 1 乃至第 4 の半導体層 3 a ~ 3 d の x 方向の側面は後退し、 y 方向に延びる第 1 乃至第 4 の凹部 2 1 a ~ 2 1 d が形成される。
- [0099] 次に、図 1 4 C に示すように、熱酸化により、第 1 乃至第 4 の半導体層 3 a ~ 3 d の x 方向の側面を酸化し、第 1 乃至第 4 の半導体層 3 a ~ 3 d の x 方向の側面側にそれぞれ第 1 のゲート絶縁層 (例えば、酸化シリコン) 6 a を形成する。
- [0100] 次に、図 1 4 D に示すように、フィン型積層構造を覆う電荷蓄積層 6 b を形成する。電荷蓄積層 6 b としては、例えば、窒化シリコン、導電性ポリシリコンなどの材料を用いることができる。
- [0101] 次に、図 1 4 E に示すように、異方性ドライエッチングにより、電荷蓄積層 6 b を選択的にエッチングする。その結果、電荷蓄積層 6 b は、第 1 乃至第 4 の半導体層 3 a ~ 3 d の x 方向の側面側において、第 1 乃至第 4 の凹部 2 1 a ~ 2 1 d 内のみに残存する。
- [0102] 即ち、最上部の電荷蓄積層 6 b が除去されると、第 5 の絶縁層 5 が露出す

るため、さらに続けて、第5の絶縁層5をマスクに電荷蓄積層6bをエッチングすると、第1乃至第4の凹部21a～21d内にそれぞれ第1乃至第4の電荷蓄積層6bが形成される。

[0103] ここで、第5の絶縁層5は、電荷蓄積層6bをエッチングするときのマスクとして機能するため、第5の絶縁層5のz方向の幅は、第1乃至第4の絶縁層2, 4a～4cのz方向の幅より大きくしてもよい。

[0104] また、第5の絶縁層5は、マスクとしての機能を重視し、第1乃至第4の絶縁層2, 4a～4cとは異なる方法又は異なる材料（例えば、異なる複数の絶縁層による積層構造など）により構成してもよい。

[0105] この時点で、第1乃至第4の電荷蓄積層6bは、z方向に切り離される。

[0106] 次に、図14Fに示すように、フィン型積層構造（第1乃至第4の電荷蓄積層6bを含む）を覆う第2のゲート絶縁層6c及びコントロールゲート電極6dを形成する。第2のゲート絶縁層6cとしては、例えば、酸化アルミニウムなどの材料、コントロールゲート電極6dとしては、例えば、ニッケルシリサイドなどの材料を用いることができる。

[0107] 次に、図14Gに示すように、PEP及び異方性ドライエッチングにより、第2のゲート絶縁層6c及びコントロールゲート電極6dを加工し、複数のコントロールゲート電極（ワード線）6d, …を形成する。複数のコントロールゲート電極（ワード線）6d, …は、それぞれ、第5の絶縁層5のz方向側においてx方向に延び、第1乃至第4の電荷蓄積層6bのx方向側においてz方向に延びる。

[0108] 次に、図14Hに示すように、異方性ドライエッチングにより、第5の絶縁層5を選択的にエッチングする。この時、複数のコントロールゲート電極6d, …は、異方性ドライエッチングのマスクとして機能する。従って、複数のコントロールゲート電極6d, …により覆われていない部分において、第5の絶縁層5が選択的に除去され、第4の半導体層3d及び第4の電荷蓄積層6bのz方向の側面がそれぞれ露出する。

[0109] 続けて、図14Iに示すように、異方性ドライエッチングにより、第4の

電荷蓄積層 6 b を選択的にエッチングする。この時、複数のコントロールゲート電極 6 d, …及び第 4 の半導体層 3 d は、それぞれ異方性ドライエッチングのマスクとして機能する。

[0110] 従って、複数のコントロールゲート電極 6 d, …により覆われていない部分の第 4 の電荷蓄積層 6 b が選択的に除去されるため、第 4 の半導体層 3 d の x 方向側には、y 方向に切り離された複数の第 4 の電荷蓄積層 6 b, …が形成される。

[0111] さらに続けて、図 1 4 J に示すように、異方性ドライエッチングにより、第 4 の絶縁層 4 c を選択的にエッチングする。この時、複数のコントロールゲート電極 6 d, …及び第 4 の半導体層 3 d は、それぞれ異方性ドライエッチングのマスクとして機能する。

[0112] 従って、複数のコントロールゲート電極 6 d, …及び第 4 の半導体層 3 d により覆われていない部分において、第 4 の絶縁層 4 c が選択的に除去され、第 3 の電荷蓄積層 6 b の z 方向の側面がそれぞれ露出する。

[0113] 続けて、図 1 4 K に示すように、異方性ドライエッチングにより、第 3 の電荷蓄積層 6 b を選択的にエッチングする。この時、複数のコントロールゲート電極 6 d, …及び第 4 の半導体層 3 d は、それぞれ異方性ドライエッチングのマスクとして機能する。

[0114] 従って、複数のコントロールゲート電極 6 d, …により覆われていない部分の第 3 の電荷蓄積層 6 b が選択的に除去されるため、第 3 の半導体層 3 c の x 方向側には、y 方向に切り離された複数の第 3 の電荷蓄積層 6 b, …が形成される。

[0115] 同様にして、第 2 の半導体層 3 b の x 方向側に、y 方向に切り離された複数の第 2 の電荷蓄積層 6 b, …を形成し、第 1 の半導体層 3 a の x 方向側に、y 方向に切り離された複数の第 1 の電荷蓄積層 6 b, …を形成する。

[0116] 以上の工程により、図 1 4 L に示すように、メモリセルごとに物理的に切り離された複数の電荷蓄積層 6 b, …が形成される。これにより、第 1 乃至第 4 の電荷蓄積層 6 b, …において、ある電荷蓄積層内の電荷が他の電荷蓄

積層に移動する、という事態が発生することはなく、良好なデータ保持特性を得ることができる。

[0117] 尚、本例の製造方法では、図 1 4 I 乃至図 1 4 K から明らかなように、電荷蓄積層の独立性を実現するためのエッチング時に、最上層としての第 4 の半導体層 3 d がエッチングマスクとして機能する。

[0118] このため、第 4 の半導体層 3 d は、ダミー層とし、第 4 の半導体層 3 d の z 方向の幅は、第 1 乃至第 3 の半導体層 3 a ~ 3 c の z 方向の幅よりも大きくするのが好ましい。

[0119] J. 第 2 の製造方法

第 2 の変形例（図 4）に係わる構造を製造する方法について、図 1 5 A 乃至図 1 5 N を参照しつつ以下に説明する。これらの図において、（a）は、平面図、（b）は、x 方向から見たときの側面図、（c）は、y 方向から見たときの側面図である。

[0120] まず、図 1 5 A に示すように、半導体基板 1 の表面に対して垂直な z 方向に、第 1 のテンポラリ層 1 2 a、第 1 の半導体層 3 a、第 2 のテンポラリ層 1 2 b、第 2 の半導体層 3 b、第 3 のテンポラリ層 1 2 c、第 3 の半導体層 3 c、第 4 のテンポラリ層 1 2 d、第 4 の半導体層 3 d、及び、第 5 のテンポラリ層 1 2 e を、順次形成する。

[0121] ここで、半導体基板 1 は、例えば、面方位（1 0 0）、比抵抗 1 0 ~ 2 0 $\Omega \text{ cm}$ の p 型シリコン基板とし、第 1 乃至第 5 のテンポラリ層 1 2 a ~ 1 2 e は、シリコンゲルマニウムとし、第 1 乃至第 4 の半導体層 3 a ~ 3 d は、シリコンとする。

[0122] シリコンとシリコンゲルマニウムの積層構造とすると、エピタキシャル成長により両者を交互に積層し、単結晶シリコンを得ることができる。このため、第 1 乃至第 4 の半導体層（シリコンチャネル）3 a ~ 3 d 間の特性のバラツキが軽減され、かつ、シリコンチャネルのチャネル移動度を向上させることができる。

[0123] この後、PEP 及び異方性ドライエッチングにより、第 1 乃至第 5 のテン

ポリシリ層 12a ~ 12e 及び第 1 乃至第 4 の半導体層 3a ~ 3d を加工し、半導体基板 1 の表面に平行な y 方向に延びるフィン型積層構造を形成する。

[0124] 次に、図 15B に示すように、等方性ドライエッチングにより、x 方向における第 1 乃至第 4 の半導体層 3a ~ 3d の側面を x 方向に選択的にエッチングする。その結果、第 1 乃至第 4 の半導体層 3a ~ 3d の x 方向の側面は後退し、y 方向に延びる第 1 乃至第 4 の凹部 21a ~ 21d が形成される。

[0125] 次に、図 15C に示すように、熱酸化により、第 1 乃至第 4 の半導体層 3a ~ 3d の x 方向の側面を酸化し、第 1 乃至第 4 の半導体層 3a ~ 3d の x 方向の側面側にそれぞれ第 1 のゲート絶縁層（例えば、酸化シリコン）6a を形成する。

[0126] 次に、図 15D に示すように、フィン型積層構造を覆う電荷蓄積層 6b を形成する。電荷蓄積層 6b としては、例えば、窒化シリコン、導電性ポリシリコンなどの材料を用いることができる。

[0127] 次に、図 15E に示すように、異方性ドライエッチングにより、電荷蓄積層 6b を選択的にエッチングする。その結果、電荷蓄積層 6b は、第 1 乃至第 4 の半導体層 3a ~ 3d の x 方向の側面側において、第 1 乃至第 4 の凹部 21a ~ 21d 内のみに残存する。

[0128] 即ち、最上部の電荷蓄積層 6b が除去されると、第 5 のテンポリシリ層 12e が露出するため、さらに続けて、第 5 のテンポリシリ層 12e をマスクに電荷蓄積層 6b をエッチングすると、第 1 乃至第 4 の凹部 21a ~ 21d 内にそれぞれ第 1 乃至第 4 の電荷蓄積層 6b が形成される。

[0129] ここで、第 5 のテンポリシリ層 12e は、電荷蓄積層 6b をエッチングするときのマスクとして機能するため、第 5 のテンポリシリ層 12e の z 方向の幅は、第 1 乃至第 4 のテンポリシリ層 12a ~ 12d の z 方向の幅より大きくしてもよい。

[0130] また、第 5 のテンポリシリ層 12e は、マスクとしての機能を重視し、第 1 乃至第 4 のテンポリシリ層 12a ~ 12d とは異なる方法又は異なる材料により構成してもよい。

- [0131] この時点で、第1乃至第4の電荷蓄積層6bは、z方向に切り離される。
- [0132] 次に、図15Fに示すように、フィン型積層構造（第1乃至第4の電荷蓄積層6bを含む）を覆う第2のゲート絶縁層6c及びコントロールゲート電極6dを形成する。第2のゲート絶縁層6cとしては、例えば、酸化アルミニウムなどの材料、コントロールゲート電極6dとしては、例えば、ニッケルシリサイドなどの材料を用いることができる。
- [0133] 次に、図15Gに示すように、PEP及び異方性ドライエッチングにより、第2のゲート絶縁層6c及びコントロールゲート電極6dを加工し、複数のコントロールゲート電極（ワード線）6d、…を形成する。複数のコントロールゲート電極（ワード線）6d、…は、それぞれ、第5のテンポラリ層12eのz方向側においてx方向に延び、第1乃至第4の電荷蓄積層6bのx方向側においてz方向に延びる。
- [0134] 次に、図15Hに示すように、異方性ドライエッチングにより、第5のテンポラリ層12eを選択的にエッチングする。この時、複数のコントロールゲート電極6d、…は、異方性ドライエッチングのマスクとして機能する。従って、複数のコントロールゲート電極6d、…により覆われていない部分において、第5のテンポラリ層12eが選択的に除去され、第4の半導体層3d及び第4の電荷蓄積層6bのz方向の側面がそれぞれ露出する。
- [0135] 続けて、図15Iに示すように、異方性ドライエッチングにより、第4の電荷蓄積層6bを選択的にエッチングする。この時、複数のコントロールゲート電極6d、…及び第4の半導体層3dは、それぞれ異方性ドライエッチングのマスクとして機能する。
- [0136] 従って、複数のコントロールゲート電極6d、…により覆われていない部分の第4の電荷蓄積層6bが選択的に除去されるため、第4の半導体層3dのx方向側には、y方向に切り離された複数の第4の電荷蓄積層6b、…が形成される。
- [0137] さらに続けて、図15Jに示すように、異方性ドライエッチングにより、第4のテンポラリ層12dを選択的にエッチングする。この時、複数のコン

トロールゲート電極 6 d, …及び第 4 の半導体層 3 d は、それぞれ異方性ドライエッチングのマスクとして機能する。

[0138] 従って、複数のコントロールゲート電極 6 d, …及び第 4 の半導体層 3 d により覆われていない部分において、第 4 のテンポラリ層 1 2 d が選択的に除去され、第 3 の電荷蓄積層 6 b の z 方向の側面がそれぞれ露出する。

[0139] 続けて、図 1 5 K に示すように、異方性ドライエッチングにより、第 3 の電荷蓄積層 6 b を選択的にエッチングする。この時、複数のコントロールゲート電極 6 d, …及び第 4 の半導体層 3 d は、それぞれ異方性ドライエッチングのマスクとして機能する。

[0140] 従って、複数のコントロールゲート電極 6 d, …により覆われていない部分の第 3 の電荷蓄積層 6 b が選択的に除去されるため、第 3 の半導体層 3 c の x 方向側には、y 方向に切り離された複数の第 3 の電荷蓄積層 6 b, …が形成される。

[0141] 同様にして、第 2 の半導体層 3 b の x 方向側に、y 方向に切り離された複数の第 2 の電荷蓄積層 6 b, …を形成し、第 1 の半導体層 3 a の x 方向側に、y 方向に切り離された複数の第 1 の電荷蓄積層 6 b, …を形成する。

[0142] 以上の工程により、図 1 5 L に示すように、メモリセルごとに物理的に切り離された複数の電荷蓄積層 6 b, …が形成される。これにより、第 1 乃至第 4 の電荷蓄積層 6 b, …において、ある電荷蓄積層内の電荷が他の電荷蓄積層に移動する、という事態が発生することはなく、良好なデータ保持特性を得ることができる。

[0143] この後、図 1 5 M に示すように、等方性ドライエッチングにより、第 1 乃至第 5 のテンポラリ層 1 2 a ~ 1 2 e を選択的に除去し、第 1 乃至第 4 の半導体層 3 a ~ 3 d の上下側（z 方向側）にそれぞれキャビティ 2 2, …を形成する。

[0144] 図 1 5 L において、第 1 乃至第 5 のテンポラリ層 1 2 a ~ 1 2 e は、複数のコントロールゲート電極 6 d, …の間のスペース、さらには、第 1 乃至第 4 の半導体層 3 a ~ 3 d（第 1 乃至第 4 の電荷蓄積層 6 b, …）の間のス

ースに剥き出しになっているため、等方性ドライエッチングにより容易に除去できる。

[0145] キャビティ 22, ...は、そのままでよいが、図 15 Nに示すように、キャビティ 22, ...に絶縁層（例えば、酸化シリコン）13を満たしてもよい。この時、絶縁層 13は、ポーラス絶縁層となっても構わない。

[0146] 尚、本例の製造方法においても、図 15 I乃至図 15 Kから明らかなように、電荷蓄積層の独立性を実現するためのエッチング時に、最上層としての第 4の半導体層 3dがエッチングマスクとして機能する。

[0147] このため、第 4の半導体層 3dは、ダミー層とし、第 4の半導体層 3dの z 方向の幅は、第 1乃至第 3の半導体層 3a~3cの z 方向の幅よりも大きくするのが好ましい。

[0148] K. まとめ

以上、第 1の実施例によれば、電荷蓄積層がメモリセルごとに独立した構造を、工程数の大幅な増加なしに形成することにより、三次元積層型半導体メモリの高信頼性を実現できる。

[0149] (2) 第 2の実施例

A. 構造

図 16は、第 2の実施例としての不揮発性半導体記憶装置を示している。

図 17は、図 16の構造から第 2のゲート絶縁層 6(1)c及びコントロールゲート電極 6(1)dを取り除いた構造を示している。

[0150] 半導体基板 1は、例えば、シリコン基板である。半導体基板 1上には、半導体基板 1の表面に平行な y 方向に延びるフィン型積層構造が配置される。

[0151] このフィン型積層構造は、半導体基板 1の表面に対して垂直な z 方向に積み重ねられる、第 1の絶縁層 2、第 1の半導体層 3a、第 2の絶縁層 4a、第 2の半導体層 3b、第 3の絶縁層 4b、第 3の半導体層 3c、第 4の絶縁層 4c、第 4の半導体層 3d及び第 5の絶縁層 5から構成される。

[0152] 第 1乃至第 5の絶縁層 2, 4a~4c, 5は、絶縁体であれば何でもよいが、例えば、酸化シリコンを用いることができる。第 1乃至第 4の半導体層

3 a ~ 3 d は、例えば、シリコンから構成される。

[0153] 第 1 乃至第 4 の半導体層 3 (3 a , 3 b , 3 c , 3 d) の x 方向側には、x 方向に、第 1 のゲート絶縁層 6 (1) a 、電荷蓄積層 6 (1) b 、第 2 のゲート絶縁層 6 (1) c 及びコントロールゲート電極 6 (1) d の順で積み重ねられる積層構造 6 (1) が配置される。

[0154] 第 1 のゲート絶縁層 6 (1) a は、トンネル電流が流れるトンネル絶縁層であり、例えば、酸化シリコンから構成される。電荷蓄積層 6 (1) b は、電荷を蓄積する層であり、その電荷量は、トンネル電流により制御される。

[0155] 電荷蓄積層 6 (1) b は、絶縁体又は導電体から構成される。電荷蓄積層 6 (1) a が絶縁体 (例えば、窒化シリコン) のとき、メモリセルは、SONOS 型になり、電荷蓄積層 6 (1) a が導電体 (例えば、導電性ポリシリコン) のとき、メモリセルは、フローティングゲート型になる。

[0156] 電荷蓄積層 6 (1) b は、メモリセルごとに独立している。特に、z 方向に並んで配置される 4 つの電荷蓄積層 6 (1) b , ... は、それぞれ、4 つの電荷蓄積層 6 (1) b , ... を構成する材料の酸化物 (例えば、電荷蓄積層 6 (1) b が窒化シリコンのときは、酸窒化シリコン) 1 4 により、互いに物理的に切り離されている。

[0157] 第 2 のゲート絶縁層 6 (1) c は、電荷蓄積層 6 (1) b とコントロールゲート電極 6 (1) d との間のリーク電流を防止する。また、第 2 のゲート絶縁層 6 (1) c は、メモリセルのカップリング比を大きくし、書き込み／消去特性を向上させるために、例えば、積層構造や、高誘電率材料などから構成される。

[0158] メモリセルが SONOS 型のとき、第 2 のゲート絶縁層 6 (1) c は、一般的にブロック絶縁層と呼ばれ、メモリセルがフローティングゲート型のとき、第 2 のゲート絶縁層 6 (1) c は、一般的に電極間絶縁層と呼ばれる。

[0159] コントロールゲート電極 6 (1) d は、ワード線として機能し、第 5 の絶縁層 5 の z 方向側において x 方向に延び、第 1 乃至第 4 の半導体層 3 (3 a , 3 b , 3 c , 3 d) の x 方向側において z 方向に延びる。

- [0160] 即ち、コントロールゲート電極 6 (1) d は、4 つの電荷蓄積層 6 (1) b, ... を覆うと共に、フィン型積層構造を x 方向に跨がる。
- [0161] 積層構造 6 (2), 6 (3) は、積層構造 6 (1) と同じ構造を有する。
- [0162] 以上のようなデバイス構造により、第 1 乃至第 4 の半導体層 3 (3 a, 3 b, 3 c, 3 d) には、それぞれ、y 方向に直列接続される複数のメモリセルの列、即ち、NAND 列が形成される。ここでは、第 1 の半導体層 3 a に形成される NAND 列を NAND1 とし、第 2 の半導体層 3 b に形成される NAND 列を NAND2 とし、第 3 の半導体層 3 c に形成される NAND 列を NAND3 とし、第 4 の半導体層 3 d に形成される NAND 列を NAND4 とする。
- [0163] これら NAND 列を構成する複数のメモリセルは、電荷蓄積層 6 (1) b がメモリセルごとに独立している。即ち、複数の電荷蓄積層 6 (1) b, ... は、それぞれ、4 つの電荷蓄積層 6 (1) b, ... を構成する材料の酸化物 14 により、互いに物理的に切り離されている。従って、三次元積層型半導体メモリの信頼性の向上を実現できる。
- [0164] B. 材料例
- 図 16 及び図 17 のデバイス構造の各要素を構成する材料については、半導体メモリの各世代に応じた最適な材料を適宜選択することができる。
- [0165] 第 1 のゲート絶縁層 6 (1) a、電荷蓄積層 6 (1) b、第 2 のゲート絶縁層 6 (1) c 及びコントロールゲート電極 6 (1) d の材料例については、第 1 の実施例と同じであるので、ここでは、その説明については、省略する。
- [0166] C. 変形例
- 図 18 は、第 2 の実施例の変形例を示している。
- [0167] この変形例の特徴は、z 方向に並んで配置される 4 つの電荷蓄積層 6 (1) b, ... を、キャビティ（例えば、エアギャップ）により、互いに物理的に切り離したことにある。即ち、この変形例では、第 1 乃至第 4 の半導体層 3 (3 a, 3 b, 3 c, 3 d) 間の要素は、キャビティとなっている。
- [0168] メモリセルが微細化されると、複数の電荷蓄積層 6 (1) b 間に発生する

寄生容量が増え、相互干渉による誤動作の原因になる。これを防ぐには、複数の電荷蓄積層 6 (1) b の間を、低誘電率のキャビティとするのが好ましい。

[0169] 本例では、第 2 の実施例 (図 1 6 及び図 1 7) における第 1 乃至第 5 の絶縁層 2, 4 a ~ 4 c, 5 の全てをキャビティに変更したが、そのうちの一部のみをキャビティに変更してもよい。また、キャビティは、完全なキャビティであるのが好ましいが、部分的に絶縁体が残っていても構わない。

[0170] また、キャビティは、ポーラス絶縁体に変えることもできる。

[0171] D. NANDセルユニット構造の例

第 2 の実施例 (図 1 6 及び図 1 7) が適用された NANDセルユニット構造は、図 5 乃至図 7 の NANDセルユニット構造、又は、図 1 1 乃至図 1 3 の NANDセルユニット構造とすることができる。但し、これら NANDセルユニット構造において、NANDセルユニット部は、図 1 6 及び図 1 7 の構造に変更することが必要である。

[0172] また、第 2 の実施例の変形例 (図 1 8) において、図 5 乃至図 7 に示すようなセルユニット構造、又は、図 1 1 乃至図 1 3 に示すようなセルユニット構造を採用することもできる。但し、これら NANDセルユニット構造において、NANDセルユニット部は、図 1 8 の構造に変更することが必要である。

[0173] E. 製造方法

第 2 の実施例 (図 1 6 及び図 1 7) 及びその変形例 (図 1 8) に係わる構造を製造する方法について、図 1 9 A 乃至図 1 9 E を参照しつつ以下に説明する。これらの図において、(a) は、平面図、(b) は、x 方向から見たときの側面図、(c) は、y 方向から見たときの側面図である。

[0174] まず、図 1 9 A に示すように、半導体基板 1 の表面に対して垂直な z 方向に、第 1 のテンポラリ層 1 2 a、第 1 の半導体層 3 a、第 2 のテンポラリ層 1 2 b、第 2 の半導体層 3 b、第 3 のテンポラリ層 1 2 c、第 3 の半導体層 3 c、第 4 のテンポラリ層 1 2 d、第 4 の半導体層 3 d、及び、第 5 のテンポラリ層 1 2 e を、順次形成する。

- [0175] ここで、半導体基板 1 は、例えば、面方位（100）、比抵抗 10～20 $\Omega \text{ cm}$ の p 型シリコン基板とし、第 1 乃至第 5 のテンポラリ層 12 a～12 e は、シリコンゲルマニウムとし、第 1 乃至第 4 の半導体層 3 a～3 d は、シリコンとする。
- [0176] シリコンとシリコンゲルマニウムの積層構造とすると、エピタキシャル成長により両者を交互に積層し、単結晶シリコンを得ることができる。このため、第 1 乃至第 4 の半導体層（シリコンチャネル）3 a～3 d 間の特性のバラツキが軽減され、かつ、シリコンチャネルのチャネル移動度を向上させることができる。
- [0177] この後、PEP 及び異方性ドライエッチングにより、第 1 乃至第 5 のテンポラリ層 12 a～12 e 及び第 1 乃至第 4 の半導体層 3 a～3 d を加工し、半導体基板 1 の表面に平行な y 方向に延びるフィン型積層構造を形成する。
- [0178] 次に、図 19 B に示すように、熱酸化により、第 1 乃至第 4 の半導体層 3 a～3 d の x 方向の側面、第 1 乃至第 4 のテンポラリ層 12 a～12 d の x 方向の側面及び第 5 のテンポラリ層 12 e の x 方向及び z 方向の側面をそれぞれ酸化し、第 1 乃至第 4 の半導体層 3 a～3 d の x 方向の側面側に第 1 のゲート絶縁層（例えば、酸化シリコン）6 a を形成する。
- [0179] 続けて、フィン型積層構造（第 1 のゲート絶縁層 6 a）を覆う結合電荷蓄積層 (combined charge storage layer) 6 b、第 2 のゲート絶縁層 6 c 及びコントロールゲート電極 6 d を順次形成する。
- [0180] 結合電荷蓄積層 6 b としては、例えば、窒化シリコン、導電性ポリシリコンなどの材料を用いることができる。また、第 2 のゲート絶縁層 6 c としては、例えば、酸化アルミニウムなどの材料、コントロールゲート電極 6 d としては、例えば、ニッケルシリサイドなどの材料を用いることができる。
- [0181] この後、PEP 及び異方性ドライエッチングにより、第 1 のゲート絶縁層 6 a、結合電荷蓄積層 6 b、第 2 のゲート絶縁層 6 c 及びコントロールゲート電極 6 d を加工し、複数のコントロールゲート電極（ワード線）6 d、…を形成する。複数のコントロールゲート電極（ワード線）6 d、…は、それ

ぞれ、第5のテンポラリ層12eのz方向側においてx方向に延び、第1乃至第4の電荷蓄積層6bのx方向側においてz方向に延びる。

[0182] この段階において、第1のゲート絶縁層6a、結合電荷蓄積層6b及び第2のゲート絶縁層6cは、コントロールゲート電極6dと同じ形状を有し、かつ、コントロールゲート電極6dに覆われる。

[0183] 次に、図19Cに示すように、等方性ドライエッチングにより、第1乃至第5のテンポラリ層12a～12eを選択的に除去し、第1乃至第4の半導体層3a～3dの上下側（z方向側）にそれぞれキャビティ22，…を形成する。

[0184] 図19Bにおいて、第1乃至第5のテンポラリ層12a～12eは、複数のコントロールゲート電極6d，…の間のスペース、さらには、第1乃至第4の半導体層3a～3d（第1乃至第4の電荷蓄積層6b，…）の間のスペースに剥き出しになっているため、等方性ドライエッチングにより容易に除去できる。

[0185] 次に、図19Dに示すように、第1乃至第5のテンポラリ層12a～12eが除去された領域から結合電荷蓄積層6bを選択的に酸化する。

[0186] 例えば、酸素を含む雰囲気中でアニールを実行することにより、第1乃至第5のテンポラリ層12a～12eが除去された領域から結合電荷蓄積層6bの酸化が進行する。

[0187] この時、第1乃至第4の半導体層3a～3dとコントロールゲート電極6dとの間において、結合電荷蓄積層6bは、酸化されることがない。従って、結合電荷蓄積層6bは、結合電荷蓄積層6bの酸化物14により互いに物理的に切り離された複数の電荷蓄積層6b，…に変化する。

[0188] ここで、複数の電荷蓄積層6b，…は、x方向の側面が第1乃至第4の半導体層3a～3dとコントロールゲート電極6dとにより覆われ、かつ、y方向及びz方向の側面が結合電荷蓄積層6bの酸化物14により覆われる。

[0189] このため、この後の工程、例えば、層間絶縁層を形成する工程などにおいて、カーボンなどの不純物が複数の電荷蓄積層6b，…に拡散するのを有効

に防止できる。

[0190] ところで、キャビティ 22, ...は、そのままでよいが、図 19 Eに示すように、キャビティ 22, ...に絶縁層（例えば、酸化シリコン）15を満たしてもよい。この時、絶縁層 15は、ポーラス絶縁層となっても構わない。

[0191] F. まとめ

以上、第 2 の実施例によれば、電荷蓄積層がメモリセルごとに独立した構造を、工程数の大幅な増加なしに形成することにより、三次元積層型半導体メモリの高信頼性を実現できる。

[0192] (3) 第 3 の実施例

A. 構造

図 20 は、第 3 の実施例としての不揮発性半導体記憶装置を示している。

図 21 は、図 20 の構造から第 2 のゲート絶縁層 6 (1) c 及びコントロールゲート電極 6 (1) d を取り除いた構造を示している。

[0193] 半導体基板 1 は、例えば、シリコン基板である。半導体基板 1 上には、半導体基板 1 の表面に平行な y 方向に延びるフィン型積層構造が配置される。

[0194] このフィン型積層構造は、半導体基板 1 の表面に対して垂直な z 方向に積み重ねられる、第 1 の絶縁層 2、第 1 の半導体層 3 a、第 2 の絶縁層 4 a、第 2 の半導体層 3 b、第 3 の絶縁層 4 b、第 3 の半導体層 3 c、第 4 の絶縁層 4 c、第 4 の半導体層 3 d 及び第 5 の絶縁層 5 から構成される。

[0195] 第 1 乃至第 5 の絶縁層 2, 4 a ~ 4 c, 5 は、絶縁体であれば何でもよいが、例えば、酸化シリコンを用いることができる。第 1 乃至第 4 の半導体層 3 a ~ 3 d は、例えば、シリコンから構成される。

[0196] 第 1 乃至第 4 の半導体層 3 (3 a, 3 b, 3 c, 3 d) の x 方向側には、x 方向に、第 1 のゲート絶縁層 6 (1) a、電荷蓄積層 6 (1) b、第 2 のゲート絶縁層 6 (1) c 及びコントロールゲート電極 6 (1) d の順で積み重ねられる積層構造 6 (1) が配置される。

[0197] 第 1 のゲート絶縁層 6 (1) a は、トンネル電流が流れるトンネル絶縁層であり、例えば、酸化シリコンから構成される。電荷蓄積層 6 (1) b は、

電荷を蓄積する層であり、その電荷量は、トンネル電流により制御される。

[0198] 電荷蓄積層 6 (1) b は、絶縁体又は導電体から構成される。電荷蓄積層 6 (1) a が絶縁体（例えば、窒化シリコン）のとき、メモリセルは、SONOS 型になり、電荷蓄積層 6 (1) a が導電体（例えば、導電性ポリシリコン）のとき、メモリセルは、フローティングゲート型になる。

[0199] 電荷蓄積層 6 (1) b は、メモリセルごとに独立している。特に、z 方向に並んで配置される 4 つの電荷蓄積層 6 (1) b, …は、第 1 乃至第 4 の半導体層 3 (3 a, 3 b, 3 c, 3 d) 間の要素、本例では、第 2 乃至第 4 の絶縁層 4 (4 a, 4 b, 4 c) により、互いに物理的に切り離されている。

[0200] 第 2 のゲート絶縁層 6 (1) c は、電荷蓄積層 6 (1) b とコントロールゲート電極 6 (1) d との間のリーク電流を防止する。また、第 2 のゲート絶縁層 6 (1) c は、メモリセルのカップリング比を大きくし、書き込み／消去特性を向上させるために、例えば、積層構造や、高誘電率材料などから構成される。

[0201] メモリセルが SONOS 型のとき、第 2 のゲート絶縁層 6 (1) c は、一般的にブロック絶縁層と呼ばれ、メモリセルがフローティングゲート型のとき、第 2 のゲート絶縁層 6 (1) c は、一般的に電極間絶縁層と呼ばれる。

[0202] コントロールゲート電極 6 (1) d は、ワード線として機能し、第 5 の絶縁層 5 の z 方向側において x 方向に延び、第 1 乃至第 4 の半導体層 3 (3 a, 3 b, 3 c, 3 d) の x 方向側において z 方向に延びる。

[0203] 即ち、コントロールゲート電極 6 (1) d は、4 つの電荷蓄積層 6 (1) b, …を覆うと共に、フィン型積層構造を x 方向に跨がる。

[0204] ここで、4 つの電荷蓄積層 6 (1) b, …の x 方向の側面は、それらの上下方向に配置される第 1 乃至第 5 の絶縁層 2, 4 a ~ 4 c, 5 の x 方向の側面よりも突出している。従って、コントロールゲート電極 6 (1) d は、4 つの電荷蓄積層 6 (1) b, …の x 方向の側面と z 方向の側面とを覆うため、メモリセルのカップリング比の向上により、書き込み／消去特性を向上させることができる。

- [0205] 積層構造 6 (2), 6 (3) は、積層構造 6 (1) と同じ構造を有する。
- [0206] 以上のようなデバイス構造により、第 1 乃至第 4 の半導体層 3 (3 a, 3 b, 3 c, 3 d) には、それぞれ、y 方向に直列接続される複数のメモリセルの列、即ち、NAND 列が形成される。ここでは、第 1 の半導体層 3 a に形成される NAND 列を NAND1 とし、第 2 の半導体層 3 b に形成される NAND 列を NAND2 とし、第 3 の半導体層 3 c に形成される NAND 列を NAND3 とし、第 4 の半導体層 3 d に形成される NAND 列を NAND4 とする。
- [0207] これら NAND 列を構成する複数のメモリセルは、電荷蓄積層 6 (1) b がメモリセルごとに独立している。即ち、複数の電荷蓄積層 6 (1) b, …は、第 2 乃至第 4 の絶縁層 4 (4 a, 4 b, 4 c) により、互いに物理的に切り離されている。従って、三次元積層型半導体メモリの信頼性の向上を実現できる。

[0208] B. 材料例

図 20 及び図 21 のデバイス構造の各要素を構成する材料については、半導体メモリの各世代に応じた最適な材料を適宜選択することができる。

- [0209] 第 1 のゲート絶縁層 6 (1) a、電荷蓄積層 6 (1) b、第 2 のゲート絶縁層 6 (1) c 及びコントロールゲート電極 6 (1) d の材料例については、第 1 の実施例と同じであるので、ここでは、その説明については、省略する。

[0210] C. 第 1 の変形例

図 22 は、第 3 の実施例の第 1 の変形例を示している。

- [0211] 第 1 の変形例の特徴は、第 1 乃至第 4 の半導体層 3 (3 a, 3 b, 3 c, 3 d) のうち最上層、即ち、第 4 の半導体層 3 d を、非メモリセルとしてのダミーセルが形成されるダミー層 DUMMY としたことにある。
- [0212] 最上層としての第 4 の半導体層 3 d は、後述する製造方法の一工程において、エッチングマスクとして用いられるため、ダメージを受け易い。このため、第 4 の半導体層 3 d に形成される NAND 列は、メモリセルとして使用せず、非メモリセルとしてのダミーセルとする。

[0213] この場合、第4の半導体層3dのマスクとしての機能を向上させるため、z方向における第4の半導体層3dの幅は、z方向における第1乃至第3の半導体層3a, 3b, 3cの幅よりも広くするのが好ましい。

[0214] D. 第2の変形例

図23は、第3の実施例の第2の変形例を示している。

[0215] 第2の変形例の特徴は、z方向に並んで配置される4つの電荷蓄積層6(1)b, ...を、キャビティ(例えば、エアギャップ)により、互いに物理的に切り離したことにある。即ち、第2の変形例では、第1乃至第4の半導体層3(3a, 3b, 3c, 3d)間の要素は、キャビティとなっている。

[0216] メモリセルが微細化されると、複数の電荷蓄積層6(1)b間に発生する寄生容量が増え、相互干渉による誤動作の原因になる。これを防ぐには、複数の電荷蓄積層6(1)bの間を、低誘電率のキャビティとするのが好ましい。

[0217] 本例では、第3の実施例(図20及び図21)における第1乃至第5の絶縁層2, 4a~4c, 5の全てをキャビティに変更したが、そのうちの一部のみをキャビティに変更してもよい。また、キャビティは、完全なキャビティであるのが好ましいが、部分的に絶縁体が残っていても構わない。

[0218] また、キャビティは、ポーラス絶縁体に変えることもできる。

[0219] E. NANDセルユニット構造の例

第3の実施例(図20及び図21)が適用されたNANDセルユニット構造は、図5乃至図7のNANDセルユニット構造、又は、図11乃至図13のNANDセルユニット構造とすることができる。

[0220] 第1の変形例(図22)が適用されたNANDセルユニット構造は、図8乃至図10のNANDセルユニット構造、又は、図11乃至図13のNANDセルユニット構造とすることができる。

[0221] 第2の実施例(図23)が適用されたNANDセルユニット構造は、図5乃至図7のNANDセルユニット構造、図8乃至図10のNANDセルユニット構造、又は、図11乃至図13のNANDセルユニット構造とすることができる。

[0222] 但し、これらNANDセルユニット構造において、NANDセルユニット部は、図20乃至図23の構造に変更することが必要である。

[0223] F. 製造方法

第1の実施例（図20及び図21）及び第1の変形例（図22）に係わる構造は、図14A乃至図14Lと同様の方法により製造することができる。また、第2の変形例（図23）に係わる構造は、図15A乃至図15Nと同様の方法により製造することができる。

[0224] 以下では、第1の実施例（図20及び図21）に係わる構造を製造する方法について、図24A乃至図24Mを参照しつつ以下に説明する。これらの図において、（a）は、平面図、（b）は、x方向から見たときの側面図、（c）は、y方向から見たときの側面図である。

[0225] まず、図24Aに示すように、半導体基板1の表面に対して垂直なz方向に、第1の絶縁層2、第1の半導体層3a、第2の絶縁層4a、第2の半導体層3b、第3の絶縁層4b、第3の半導体層3c、第4の絶縁層4c、第4の半導体層3d、及び、第5の絶縁層5を、順次形成する。

[0226] ここで、半導体基板1は、例えば、面方位（100）、比抵抗10～20 $\Omega \text{ cm}$ のp型シリコン基板とし、第1乃至第5の絶縁層2、4a～4c、5は、酸化シリコンとし、第1乃至第4の半導体層3a～3dは、シリコンとする。

[0227] この後、PEP及び異方性ドライエッチングにより、第1乃至第5の絶縁層2、4a～4c、5及び第1乃至第4の半導体層3a～3dを加工し、半導体基板1の表面に平行なy方向に延びるフィン型積層構造を形成する。

[0228] 次に、図24Bに示すように、等方性ドライエッチングにより、x方向における第1乃至第4の半導体層3a～3dの側面をx方向に選択的にエッチングする。その結果、第1乃至第4の半導体層3a～3dのx方向の側面は後退し、y方向に延びる第1乃至第4の凹部21a～21dが形成される。

[0229] 次に、図24Cに示すように、熱酸化により、第1乃至第4の半導体層3a～3dのx方向の側面を酸化し、第1乃至第4の半導体層3a～3dのx

方向の側面側にそれぞれ第1のゲート絶縁層（例えば、酸化シリコン）6aを形成する。

[0230] 次に、図24Dに示すように、フィン型積層構造を覆う電荷蓄積層6bを形成する。電荷蓄積層6bとしては、例えば、窒化シリコン、導電性ポリシリコンなどの材料を用いることができる。

[0231] 次に、図24Eに示すように、異方性ドライエッチングにより、電荷蓄積層6bを選択的にエッチングする。その結果、電荷蓄積層6bは、第1乃至第4の半導体層3a～3dのx方向の側面側において、第1乃至第4の凹部21a～21d内のみに残存する。

[0232] 即ち、最上部の電荷蓄積層6bが除去されると、第5の絶縁層5が露出するため、さらに続けて、第5の絶縁層5をマスクに電荷蓄積層6bをエッチングすると、第1乃至第4の凹部21a～21d内にそれぞれ第1乃至第4の電荷蓄積層6bが形成される。

[0233] ここで、第5の絶縁層5は、電荷蓄積層6bをエッチングするときのマスクとして機能するため、第5の絶縁層5のz方向の幅は、第1乃至第4の絶縁層2, 4a～4cのz方向の幅より大きくしてもよい。

[0234] また、第5の絶縁層5は、マスクとしての機能を重視し、第1乃至第4の絶縁層2, 4a～4cとは異なる方法又は異なる材料（例えば、異なる複数の絶縁層による積層構造など）により構成してもよい。

[0235] この時点で、第1乃至第4の電荷蓄積層6bは、z方向に切り離される。

[0236] 次に、図24Fに示すように、等方性ドライエッチングにより、第1乃至第5の絶縁層2, 4a～4c, 5を選択的にエッチングする。従って、第1乃至第5の絶縁層2, 4a～4c, 5のx方向の側面がx方向に後退し、電荷蓄積層6bのx方向の側面は、第1乃至第5の絶縁層2, 4a～4c, 5のx方向の側面よりも突出する。

[0237] 次に、図24Gに示すように、フィン型積層構造（第1乃至第4の電荷蓄積層6bを含む）を覆う第2のゲート絶縁層6c及びコントロールゲート電極6dを形成する。第2のゲート絶縁層6cとしては、例えば、酸化アルミ

ニウムなどの材料、コントロールゲート電極 6 d としては、例えば、ニッケルシリサイドなどの材料を用いることができる。

[0238] 次に、図 2 4 H に示すように、PEP 及び異方性ドライエッチングにより、第 2 のゲート絶縁層 6 c 及びコントロールゲート電極 6 d を加工し、複数のコントロールゲート電極（ワード線）6 d、…を形成する。複数のコントロールゲート電極（ワード線）6 d、…は、それぞれ、第 5 の絶縁層 5 の z 方向側において x 方向に延び、第 1 乃至第 4 の電荷蓄積層 6 b の x 方向側において z 方向に延びる。

[0239] ここで、複数のコントロールゲート電極（ワード線）6 d、…は、第 1 乃至第 4 の電荷蓄積層 6 b の x 方向の側面と z 方向の側面の少なくとも一部とを覆うため、メモリセルのカップリング比を向上させることができる。

[0240] 次に、図 2 4 I に示すように、異方性ドライエッチングにより、第 5 の絶縁層 5 を選択的にエッチングする。この時、複数のコントロールゲート電極 6 d、…は、異方性ドライエッチングのマスクとして機能する。従って、複数のコントロールゲート電極 6 d、…により覆われていない部分において、第 5 の絶縁層 5 が選択的に除去され、第 4 の半導体層 3 d 及び第 4 の電荷蓄積層 6 b の z 方向の側面がそれぞれ露出する。

[0241] 続けて、図 2 4 J に示すように、異方性ドライエッチングにより、第 4 の電荷蓄積層 6 b を選択的にエッチングする。この時、複数のコントロールゲート電極 6 d、…及び第 4 の半導体層 3 d は、それぞれ異方性ドライエッチングのマスクとして機能する。

[0242] 従って、複数のコントロールゲート電極 6 d、…により覆われていない部分の第 4 の電荷蓄積層 6 b が選択的に除去されるため、第 4 の半導体層 3 d の x 方向側には、y 方向に切り離された複数の第 4 の電荷蓄積層 6 b、…が形成される。

[0243] さらに続けて、図 2 4 K に示すように、異方性ドライエッチングにより、第 4 の絶縁層 4 c を選択的にエッチングする。この時、複数のコントロールゲート電極 6 d、…及び第 4 の半導体層 3 d は、それぞれ異方性ドライエ

チングのマスクとして機能する。

[0244] 従って、複数のコントロールゲート電極 6 d, …及び第 4 の半導体層 3 d により覆われていない部分において、第 4 の絶縁層 4 c が選択的に除去され、第 3 の電荷蓄積層 6 b の z 方向の側面がそれぞれ露出する。

[0245] 続けて、図 2 4 L に示すように、異方性ドライエッチングにより、第 3 の電荷蓄積層 6 b を選択的にエッチングする。この時、複数のコントロールゲート電極 6 d, …及び第 4 の半導体層 3 d は、それぞれ異方性ドライエッチングのマスクとして機能する。

[0246] 従って、複数のコントロールゲート電極 6 d, …により覆われていない部分の第 3 の電荷蓄積層 6 b が選択的に除去されるため、第 3 の半導体層 3 c の x 方向側には、y 方向に切り離された複数の第 3 の電荷蓄積層 6 b, …が形成される。

[0247] 同様にして、第 2 の半導体層 3 b の x 方向側に、y 方向に切り離された複数の第 2 の電荷蓄積層 6 b, …を形成し、第 1 の半導体層 3 a の x 方向側に、y 方向に切り離された複数の第 1 の電荷蓄積層 6 b, …を形成する。

[0248] 以上の工程により、図 2 4 M に示すように、メモリセルごとに物理的に切り離された複数の電荷蓄積層 6 b, …が形成される。これにより、第 1 乃至第 4 の電荷蓄積層 6 b, …において、ある電荷蓄積層内の電荷が他の電荷蓄積層に移動する、という事態が発生することはなく、良好なデータ保持特性を得ることができる。

[0249] 尚、本例の製造方法では、図 2 4 J 乃至図 2 4 L から明らかなように、電荷蓄積層の独立性を実現するためのエッチング時に、最上層としての第 4 の半導体層 3 d がエッチングマスクとして機能する。

[0250] このため、第 4 の半導体層 3 d は、ダミー層とし、第 4 の半導体層 3 d の z 方向の幅は、第 1 乃至第 3 の半導体層 3 a ~ 3 c の z 方向の幅よりも大きくするのが好ましい。

[0251] G. まとめ

以上、第 3 の実施例によれば、電荷蓄積層がメモリセルごとに独立した構

造を、工程数の大幅な増加なしに形成することにより、三次元積層型半導体メモリの高信頼性を実現できる。

[0252] 3. その他（第4の実施例）

上述の全ての実施例は、フィン型積層構造のx方向の両側面にそれぞれ電荷蓄積層が配置されるダブルゲート型メモリセルに関する。しかし、これら全ての実施例において、図25に示すように、フィン型積層構造内に絶縁層19を設け、シングルゲート型メモリセルを有する三次元積層型半導体メモリを形成することも可能である。

[0253] このような構造とすることによって、さらにメモリセルの集積度が向上し、メモリの大容量化が可能となる。

[0254] 尚、図25において、図11に示される要素と同じ要素には同じ符号が付すことにより、詳しい説明については省略する。

[0255] 4. むすび

本発明によれば、電荷蓄積層がメモリセルごとに独立した構造を、工程数の大幅な増加なしに形成することにより、三次元積層型半導体メモリの高信頼性を実現できる。

[0256] 本発明の例は、上述の実施例に限定されるものではなく、その要旨を逸脱しない範囲で、各構成要素を変形して具体化できる。また、上述の実施例に開示されている複数の構成要素の適宜な組み合わせにより種々の発明を構成できる。例えば、上述の実施例に開示される全構成要素から幾つかの構成要素を削除してもよいし、異なる実施例の構成要素を適宜組み合わせてもよい。

産業上の利用可能性

[0257] 本発明は、高速ランダム書き込み可能なファイルメモリ、高速ダウンロード可能な携帯端末、高速ダウンロード可能な携帯プレーヤー、放送機器用半導体メモリ、ドライブレコーダ、ホームビデオ、通信用大容量バッファメモリ、防犯カメラ用半導体メモリなどに対して産業上のメリットは多大である。

符号の説明

[0258] 1 : 半導体基板、 2, 4 a, 4 b, 4 c, 5, 13, 15 : 絶縁層、 3 a, 3 b, 3 c, 3 d : 半導体層、 6 (1), 6 (2), 6 (3) : 積層構造、 6 (1) a : ゲート絶縁層、 6 (1) b : 電荷蓄積層、 6 (1) c : ブロック絶縁層 (電極間絶縁層)、 6 (1) d : コントロールゲート電極 (ワード線)、 7, 7 a, 7 b, 7 c : ドレイン電極、 8 : ソース電極、 9 : 不揮発性半導体記憶装置 (メモリセルアレイ)、 10, 10 a, 10 b, 10 c : ドレイン側選択トランジスタ、 11 : ソース側選択トランジスタ、 12 a, 12 b, 12 c, 12 d, 12 e : テンポラリ層、 14 : 酸化層 (酸窒化シリコン層)。

請求の範囲

- [請求項1] 半導体基板と、前記半導体基板の表面に対して垂直な第1の方向に互いに絶縁されて積み重ねられ、前記半導体基板の表面に平行な第2の方向に延びる第1乃至第nの半導体層（nは2以上の自然数）と、
前記第1及び第2の方向に交差する第3方向に垂直な前記第1乃至第nの半導体層の側面に沿って前記第1の方向に延びる電極と、
前記第1乃至第nの半導体層と前記電極との間に配置される第1乃至第nの電荷蓄積層とを具備し、
前記第1乃至第nの電荷蓄積層は、前記第1乃至第nの半導体層間において互いに物理的に切り離されることを特徴とする不揮発性半導体記憶装置。
- [請求項2] 前記第1乃至第nの半導体層のうち最上層は、非メモリセルとしてのダミーセルが形成されるダミー層であることを特徴とする請求項1に記載の不揮発性半導体記憶装置。
- [請求項3] 前記第1の方向における前記最上層の幅は、前記第1方向における前記最上層以外の半導体層の幅よりも広いことを特徴とする請求項2に記載の不揮発性半導体記憶装置。
- [請求項4] 前記第1乃至第nの電荷蓄積層は、前記第1乃至第nの半導体層間の絶縁体により物理的に切り離されることを特徴とする請求項1に記載の不揮発性半導体記憶装置。
- [請求項5] 前記第1乃至第nの電荷蓄積層は、前記第1乃至第nの電荷蓄積層を構成する材料の酸化物により物理的に切り離されることを特徴とする請求項1に記載の不揮発性半導体記憶装置。
- [請求項6] 前記第1乃至第nの電荷蓄積層は、前記第1乃至第nの半導体層間のキャビティにより物理的に切り離されることを特徴とする請求項1に記載の不揮発性半導体記憶装置。
- [請求項7] 前記第1乃至第nの電荷蓄積層は、窒化シリコンであり、酸窒化シリコンにより物理的に切り離されることを特徴とする請求項1に記載

の不揮発性半導体記憶装置。

[請求項8]

半導体基板の表面に対して垂直な第1の方向に、第1の絶縁層、第1の半導体層、…第 n の絶縁層、第 n の半導体層、第 $(n+1)$ の絶縁層 (n は2以上の自然数)の順に積み重ねられ、前記半導体基板の表面に平行な第2の方向に延びる積層構造を形成する工程と、

前記第1及び第2の方向に交差する第3方向に垂直な前記第1乃至第 n の半導体層の側面を前記第3の方向にエッチングすることにより、前記第2の方向に延びる第1乃至第 n の凹部を形成する工程と、

前記第1乃至第 n の半導体層の側面の前記第3の方向側にそれぞれ前記第1乃至第 n の凹部を埋める第1乃至第 n の電荷蓄積層を形成する工程と、

前記第 $(n+1)$ の絶縁層の前記第1の方向側において前記第3の方向に延び、前記第1乃至第 n の電荷蓄積層の前記第3の方向側において前記第1の方向に延びる電極を形成する工程と、

前記電極をマスクにして前記第 $(n+1)$ の絶縁層を前記第1の方向にエッチングすることにより、前記第1の方向において前記第 n の半導体層及び前記第 n の電荷蓄積層を露出させる工程と、

前記電極及び前記第 n の半導体層をマスクにして、前記第 n の電荷蓄積層、前記第 n の絶縁層、…前記第1の電荷蓄積層を、順次、前記第1の方向にエッチングすることにより、前記第1乃至第 n の電荷蓄積層を前記第2の方向において互いに物理的に切り離す工程と

を具備することを特徴とする不揮発性半導体記憶装置の製造方法。

[請求項9]

半導体基板の表面に対して垂直な第1の方向に、第1のテンポラリ層、第1の半導体層、…第 n のテンポラリ層、第 n の半導体層、第 $(n+1)$ のテンポラリ層 (n は2以上の自然数)の順に積み重ねられ、前記半導体基板の表面に平行な第2の方向に延びる積層構造を形成する工程と、

前記第1及び第2の方向に交差する第3方向に垂直な前記第1乃至

第 n の半導体層の側面を前記第 3 の方向にエッチングすることにより、前記第 2 の方向に延びる第 1 乃至第 n の凹部を形成する工程と、

前記第 1 乃至第 n の半導体層の側面の前記第 3 の方向側にそれぞれ前記第 1 乃至第 n の凹部を埋める第 1 乃至第 n の電荷蓄積層を形成する工程と、

前記第 $(n + 1)$ のテンポラリ層の前記第 1 の方向側において前記第 3 の方向に延び、前記第 1 乃至第 n の電荷蓄積層の前記第 3 の方向側において前記第 1 の方向に延びる電極を形成する工程と、

前記電極をマスクにして前記第 $(n + 1)$ のテンポラリ層を前記第 1 の方向にエッチングすることにより、前記第 1 の方向において前記第 n の半導体層及び前記第 n の電荷蓄積層を露出させる工程と、

前記電極及び前記第 n の半導体層をマスクにして、前記第 n の電荷蓄積層、前記第 n のテンポラリ層、…前記第 1 の電荷蓄積層を、順次、前記第 1 の方向にエッチングすることにより、前記第 1 乃至第 n の電荷蓄積層を前記第 2 の方向において互いに物理的に切り離す工程と、

前記第 1 乃至第 $(n + 1)$ のテンポラリ層を選択的に除去する工程と

を具備することを特徴とする不揮発性半導体記憶装置の製造方法。

[請求項10]

半導体基板の表面に対して垂直な第 1 の方向に、第 1 のテンポラリ層、第 1 の半導体層、…第 n のテンポラリ層、第 n の半導体層、第 $(n + 1)$ のテンポラリ層 (n は 2 以上の自然数) の順に積み重ねられ、前記半導体基板の表面に平行な第 2 の方向に延びる積層構造を形成する工程と、

前記第 $(n + 1)$ のテンポラリ層の前記第 1 の方向側において前記第 1 及び第 2 の方向に交差する第 3 の方向に延び、前記第 1 乃至第 n の半導体層の前記第 3 の方向側において前記第 1 の方向に延び、第 1 のゲート絶縁層、結合電荷蓄積層、第 2 のゲート絶縁層及び電極の順

番で積み重ねられる積層構造を形成する工程と、

前記第 1 乃至第 $(n + 1)$ のテンポラリ層を選択的に除去する工程と、

前記第 1 乃至第 $(n + 1)$ のテンポラリ層が除去された領域から前記結合電荷蓄積層を選択的に酸化することにより、互いに物理的に切り離された第 1 乃至第 n の電荷蓄積層を形成する工程と

を具備することを特徴とする不揮発性半導体記憶装置の製造方法。

[請求項11]

半導体基板の表面に対して垂直な第 1 の方向に、第 1 の絶縁層、第 1 の半導体層、…第 n の絶縁層、第 n の半導体層、第 $(n + 1)$ の絶縁層 (n は 2 以上の自然数) の順に積み重ねられ、前記半導体基板の表面に平行な第 2 の方向に延びる積層構造を形成する工程と、

前記第 1 及び第 2 の方向に交差する第 3 方向に垂直な前記第 1 乃至第 n の半導体層の側面を前記第 3 の方向にエッチングすることにより、前記第 2 の方向に延びる第 1 乃至第 n の凹部を形成する工程と、

前記第 1 乃至第 n の半導体層の側面の前記第 3 の方向側にそれぞれ前記第 1 乃至第 n の凹部を埋める第 1 乃至第 n の電荷蓄積層を形成する工程と、

前記第 3 方向に垂直な前記第 1 乃至第 $(n + 1)$ の絶縁層の側面を前記第 3 の方向にエッチングすることにより、前記第 1 の方向に垂直な前記第 1 乃至第 n の電荷蓄積層の側面を露出させる工程と、

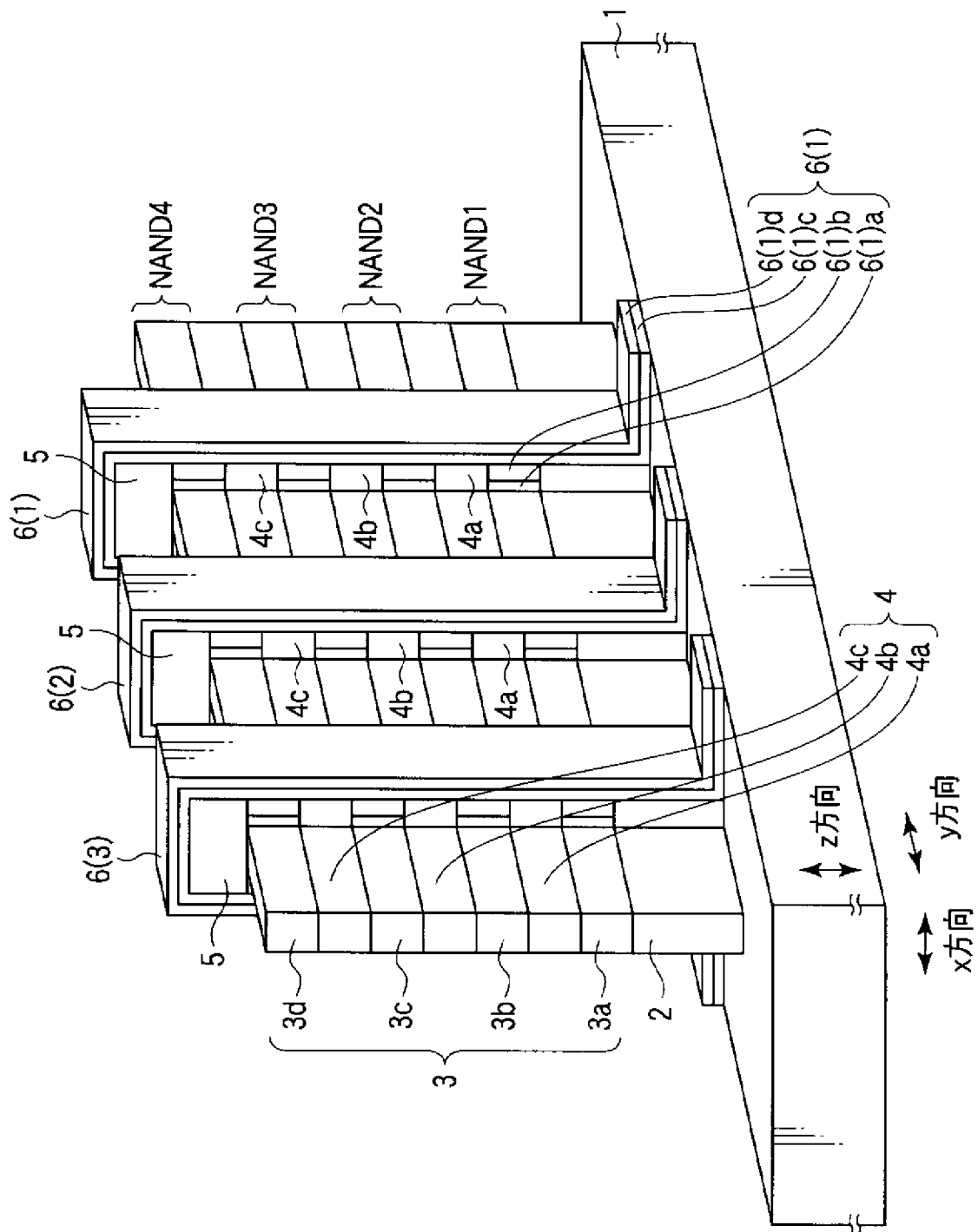
前記第 1 乃至第 n の電荷蓄積層の前記第 1 の方向側において前記第 3 の方向に延び、前記第 1 乃至第 n の電荷蓄積層の前記第 3 の方向側において前記第 1 の方向に延び、前記第 1 乃至第 n の電荷蓄積層の前記第 1 方向の側面の少なくとも一部及び前記第 3 方向の側面をそれぞれ覆う電極を形成する工程と、

前記電極をマスクにして前記第 $(n + 1)$ の絶縁層を前記第 1 の方向にエッチングすることにより、前記第 1 の方向において前記第 n の半導体層及び前記第 n の電荷蓄積層を露出させる工程と、

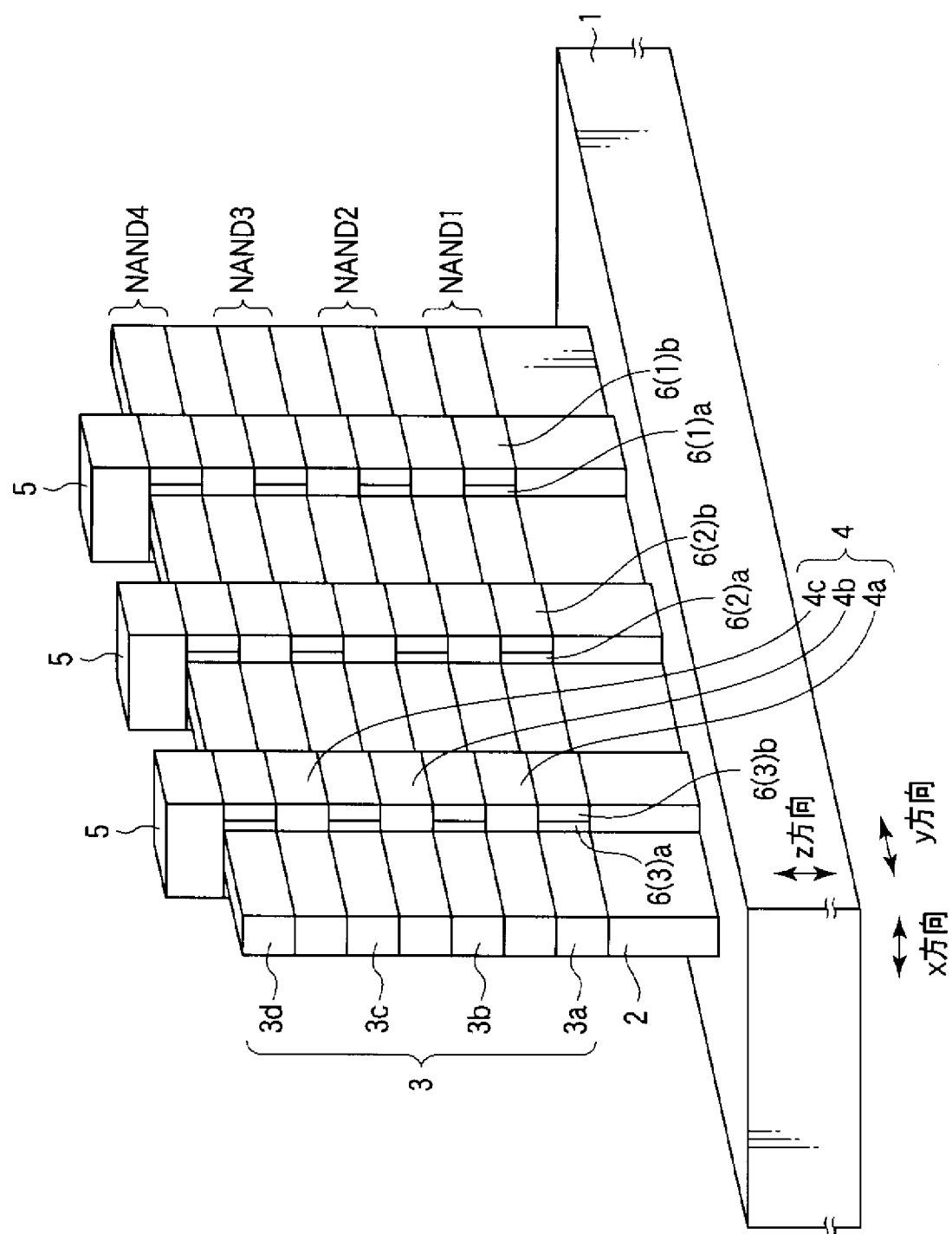
前記電極及び前記第 n の半導体層をマスクにして、前記第 n の電荷蓄積層、前記第 n の絶縁層、…前記第 1 の電荷蓄積層を、順次、前記第 1 の方向にエッチングすることにより、前記第 1 乃至第 n の電荷蓄積層を前記第 2 の方向において互いに物理的に切り離す工程と

を具備することを特徴とする不揮発性半導体記憶装置の製造方法。

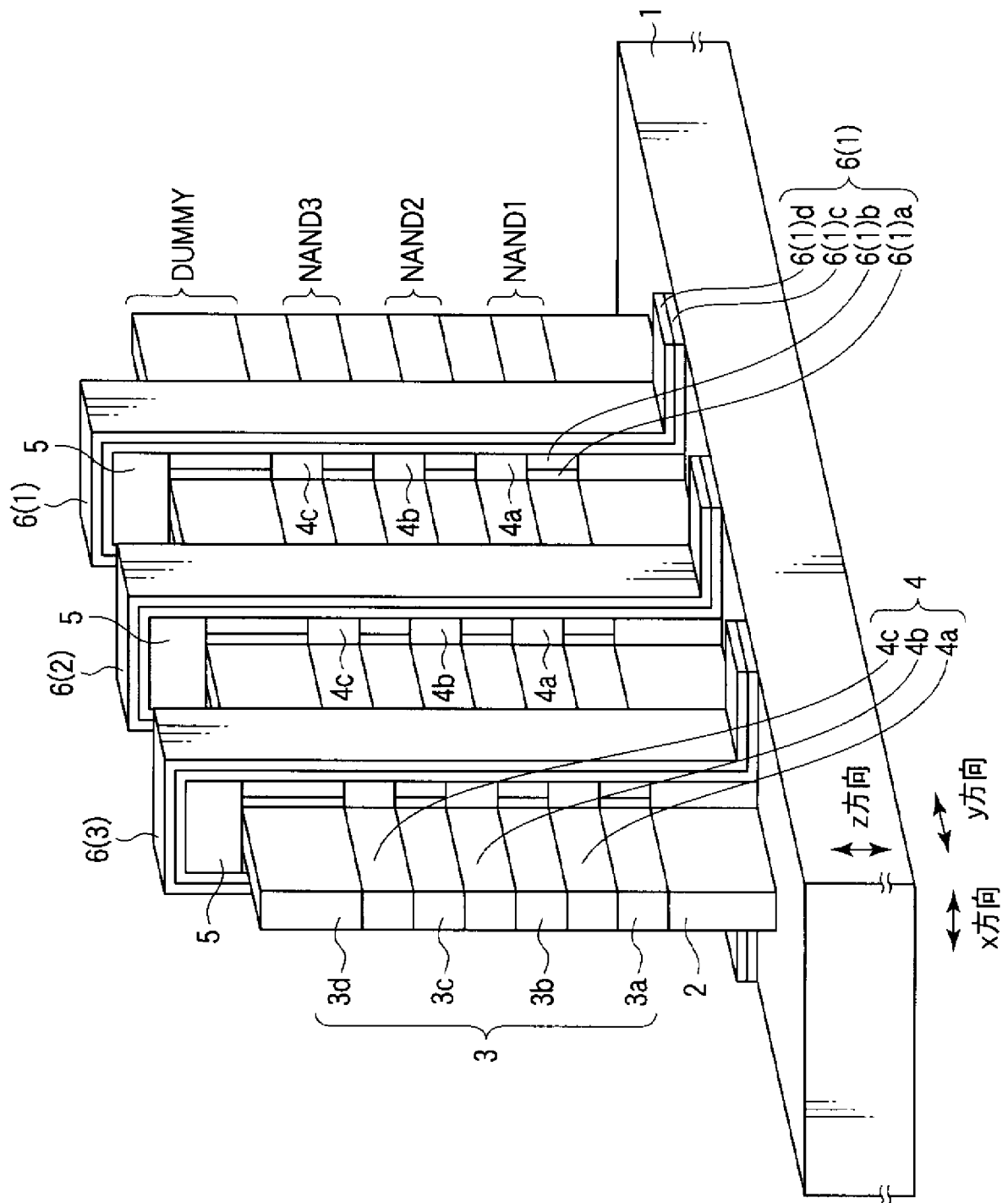
[図1]



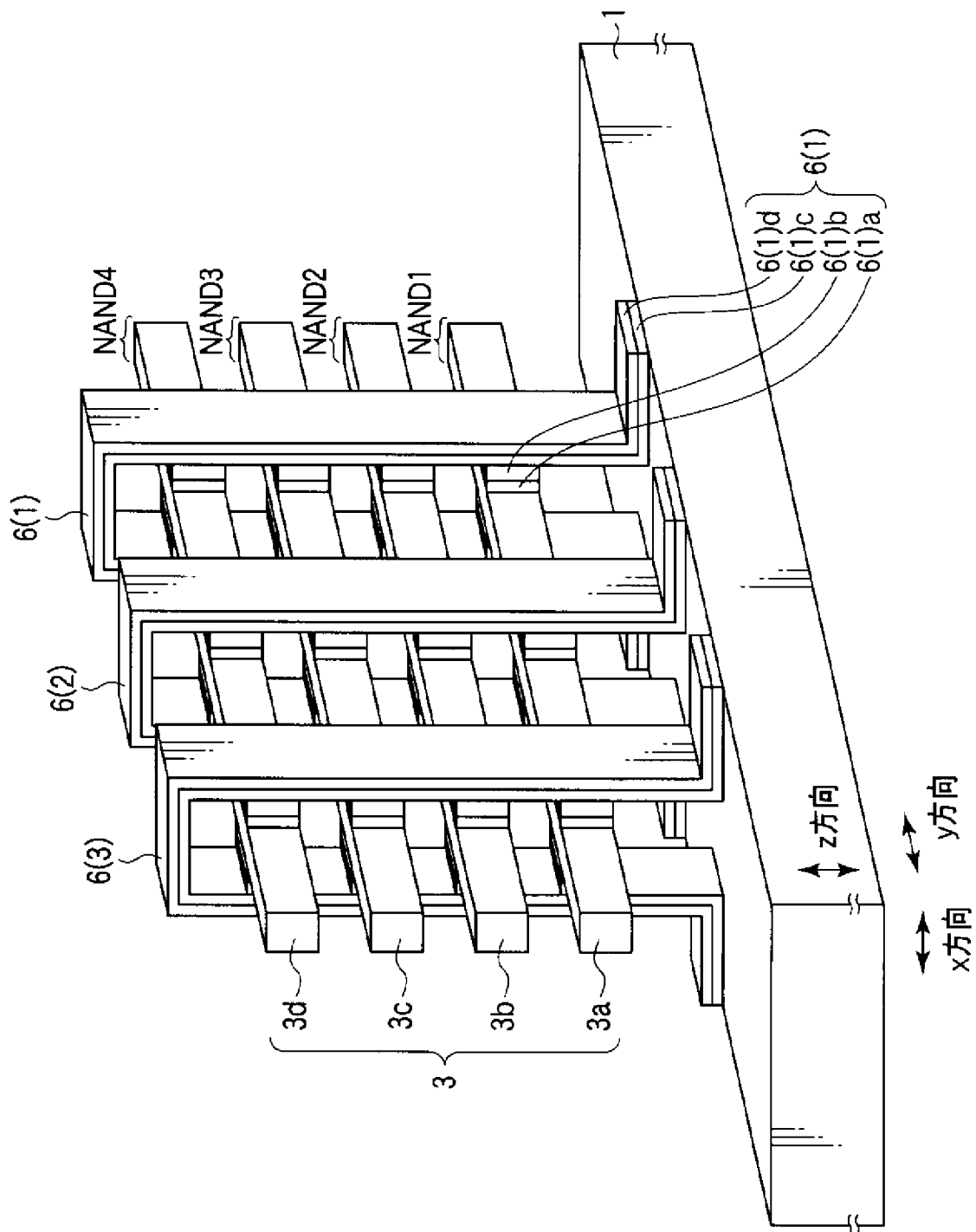
[図2]



[図3]



[図4]



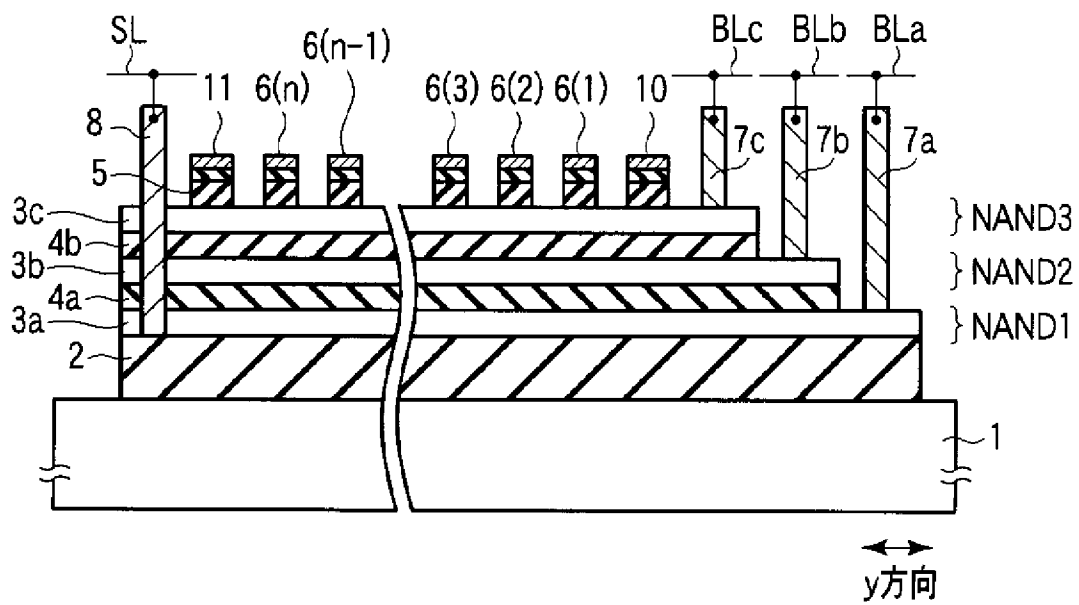
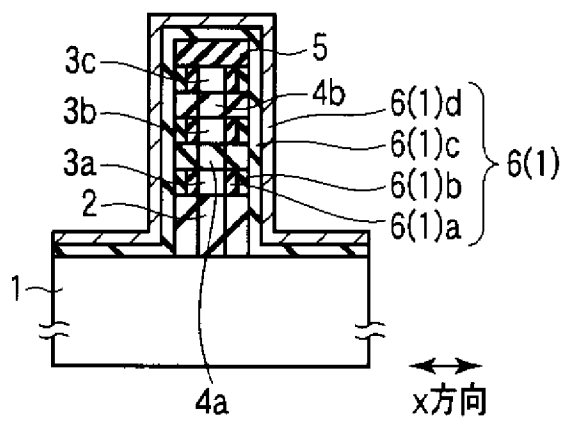


Figure 1 is a cross-sectional view of a semiconductor device. The device includes a substrate 1 with a central region 2. A central vertical structure 4a is formed within region 2, extending through layers 3a, 3b, and 3c. This structure 4a is surrounded by a layer 4b. The top of the device is covered by a layer 5. A dashed line 6(1) indicates a horizontal cross-section at the level of layer 3b. A double-headed arrow labeled 'x方向' indicates the horizontal direction.

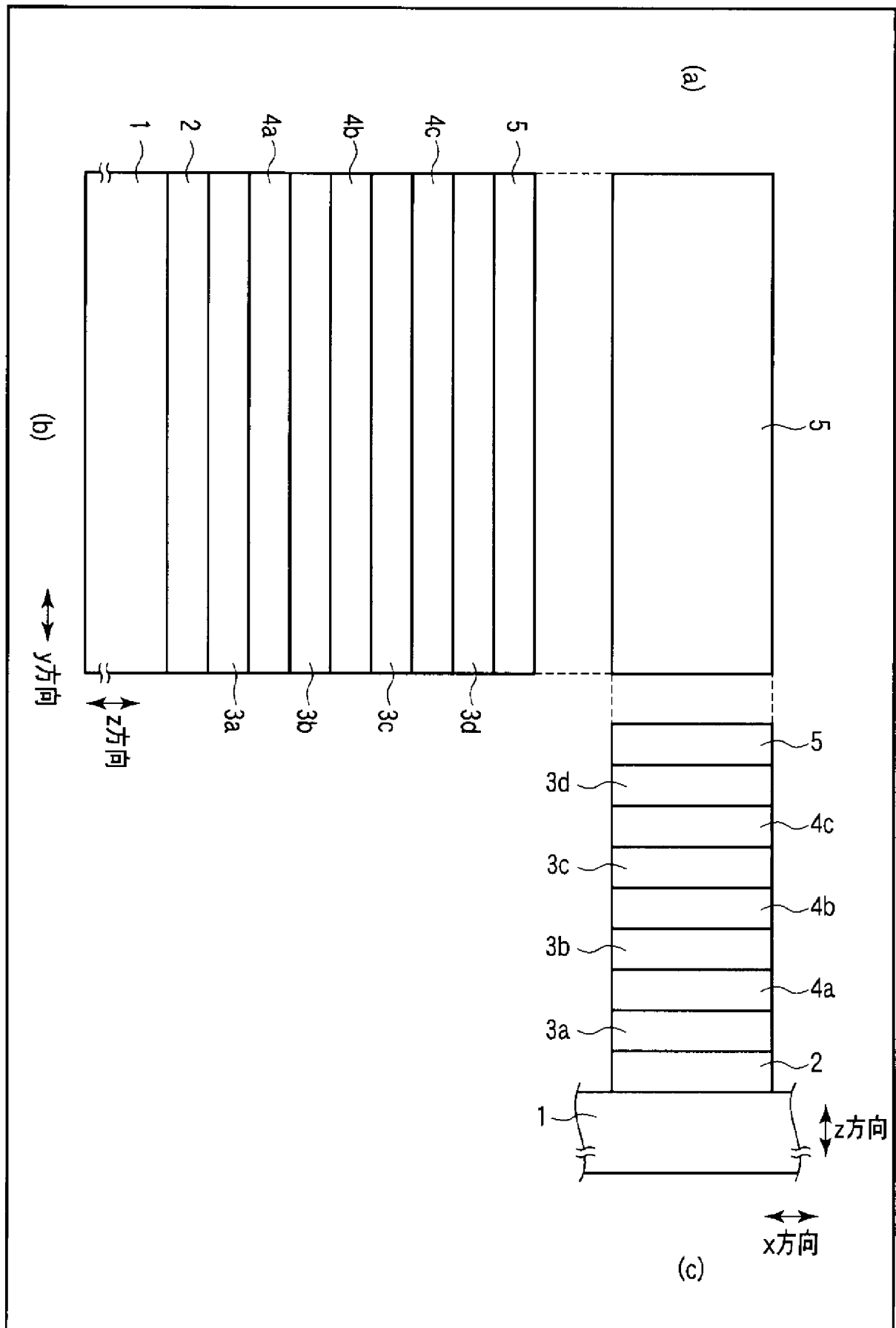
[illegible]

Figure 1 is a cross-sectional view of a semiconductor device. The device consists of a substrate 1 with a base layer 2. On top of the base layer 2, there is a stack of layers 3a, 3b, and 3c. A central region 4a is defined by a patterned layer 4b. A conductive layer 5 is on top of 4b. A group of layers 6(1)a, 6(1)b, 6(1)c, and 6(1)d is shown on the right side of the central region. A double-headed arrow indicates the x-direction.

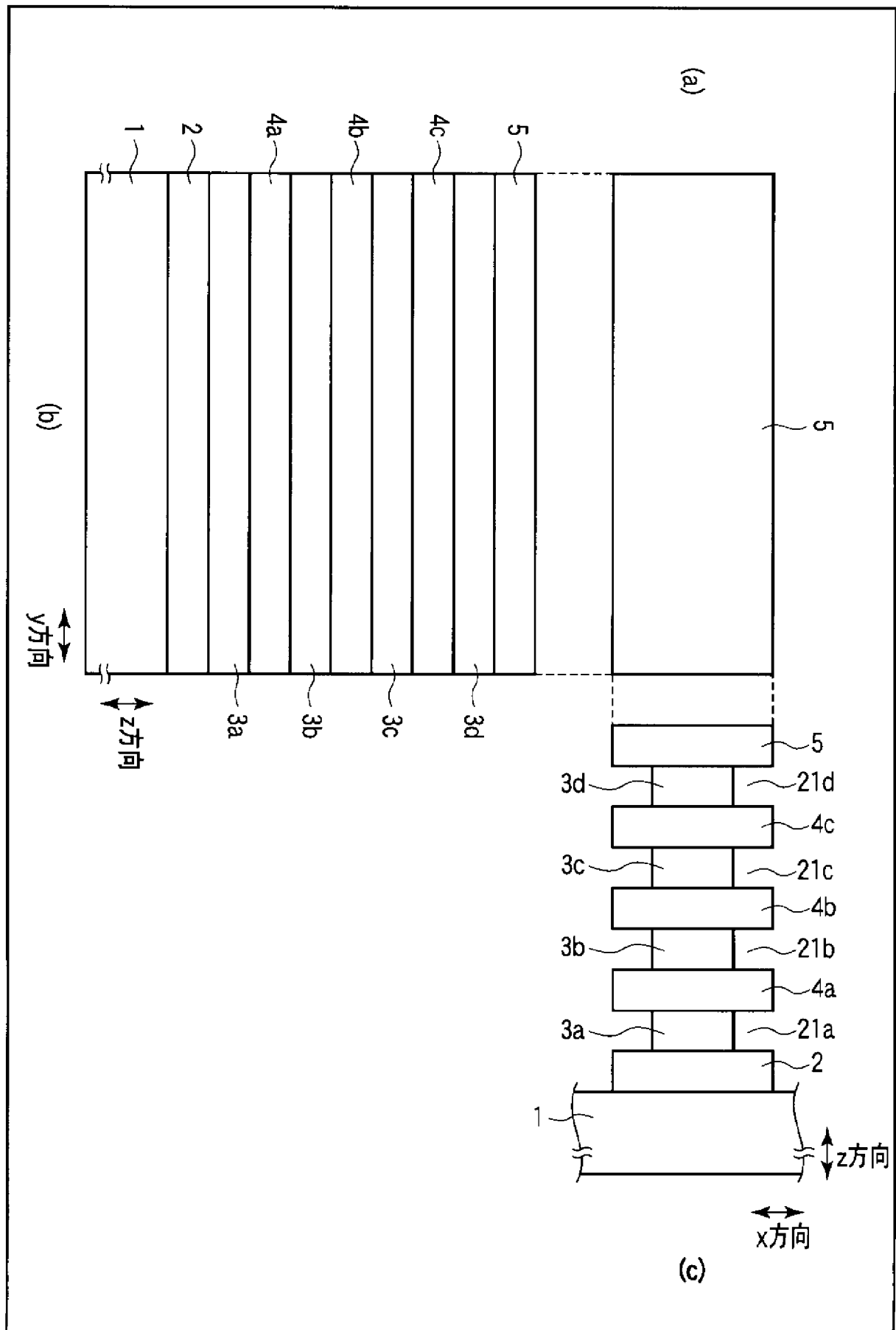
[図13]



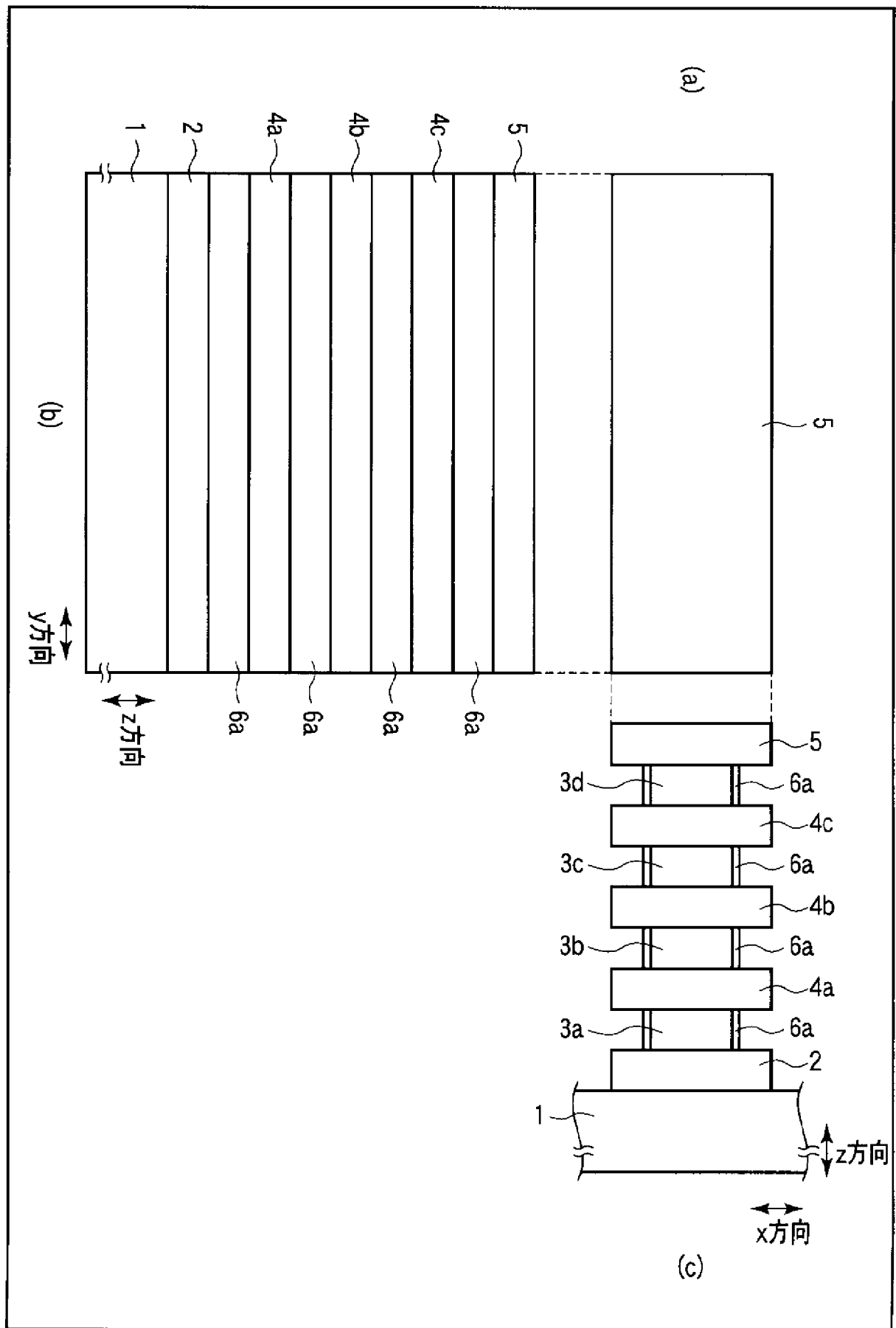
[図14A]



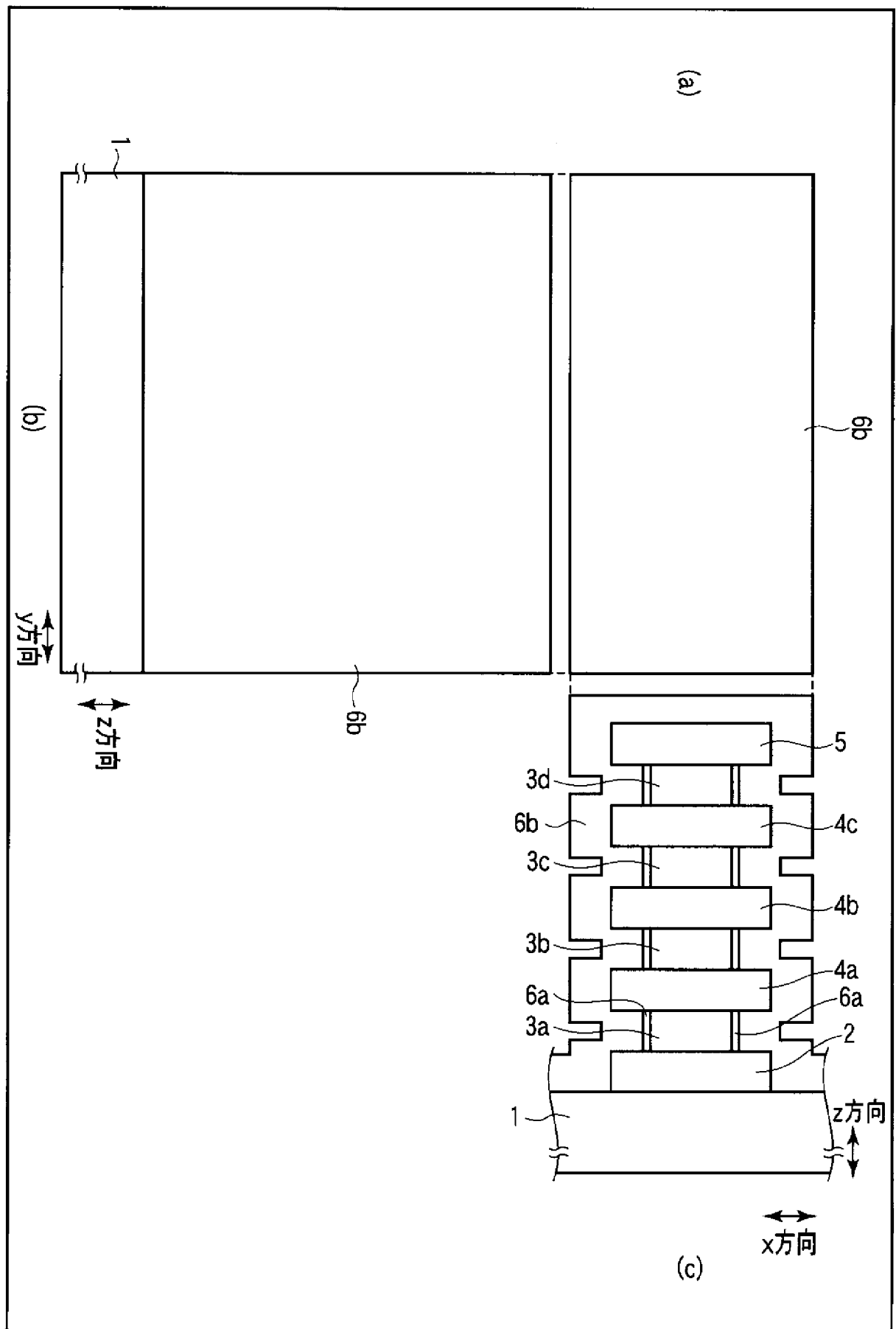
[図14B]



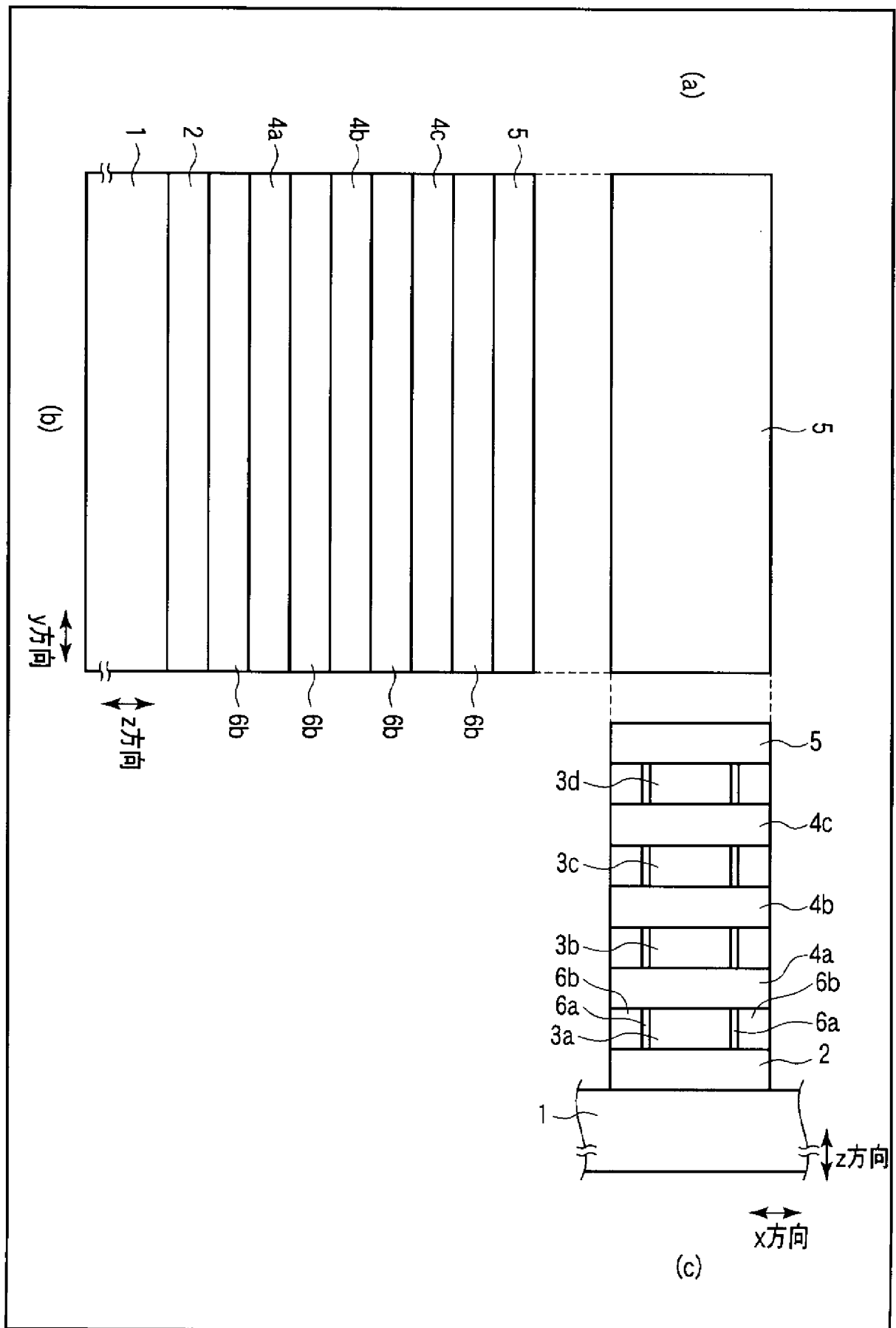
[図14C]



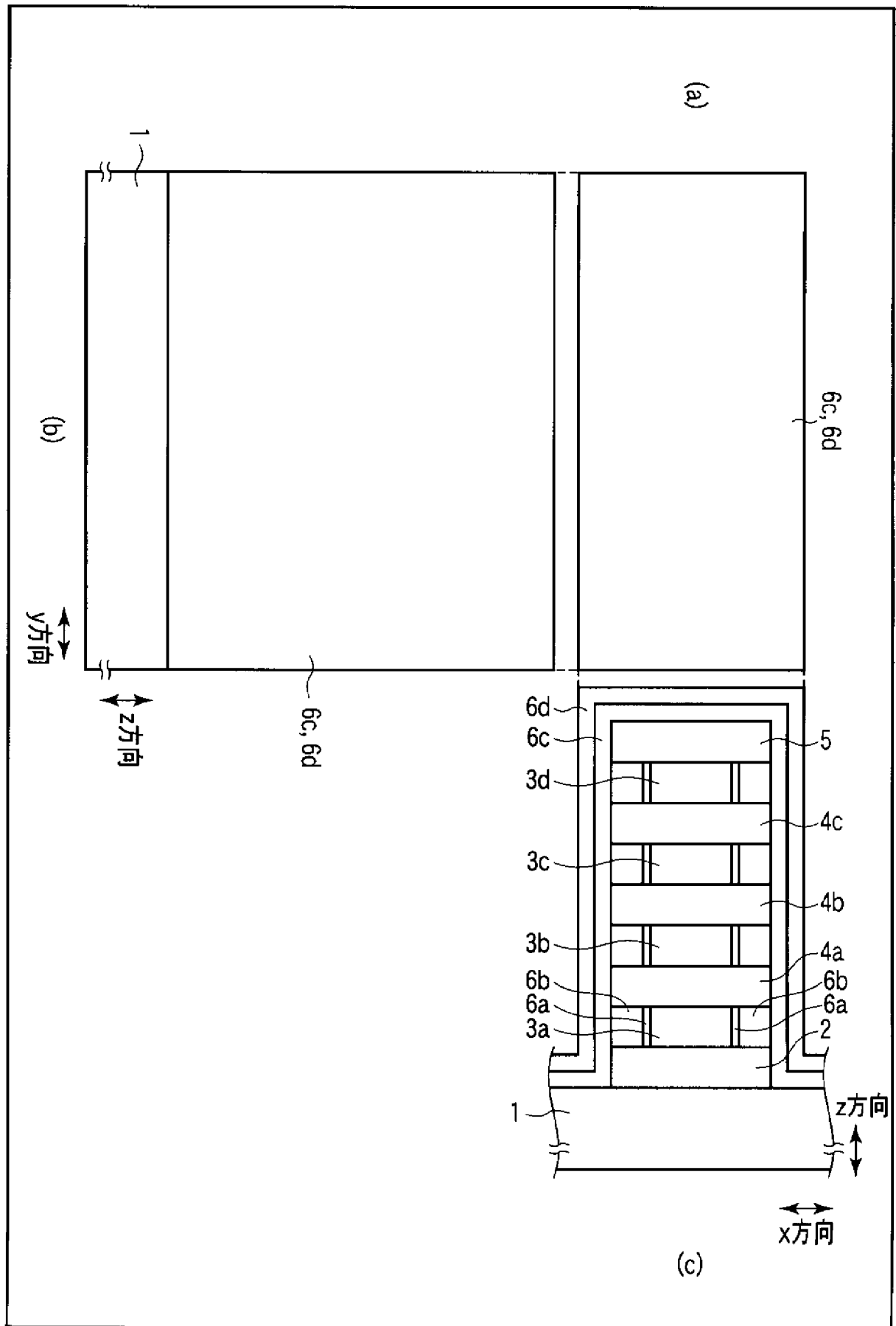
[図14D]



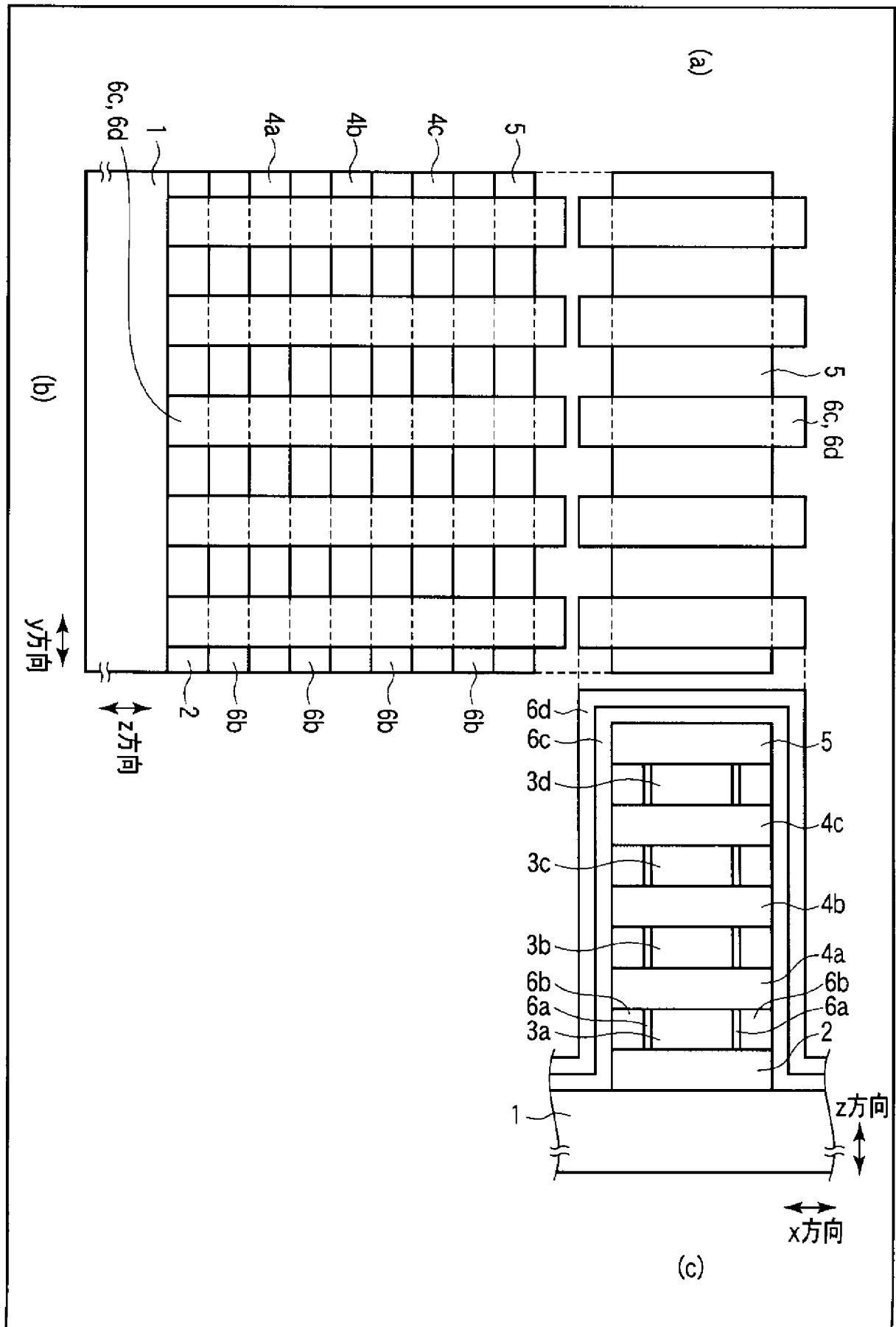
[図14E]



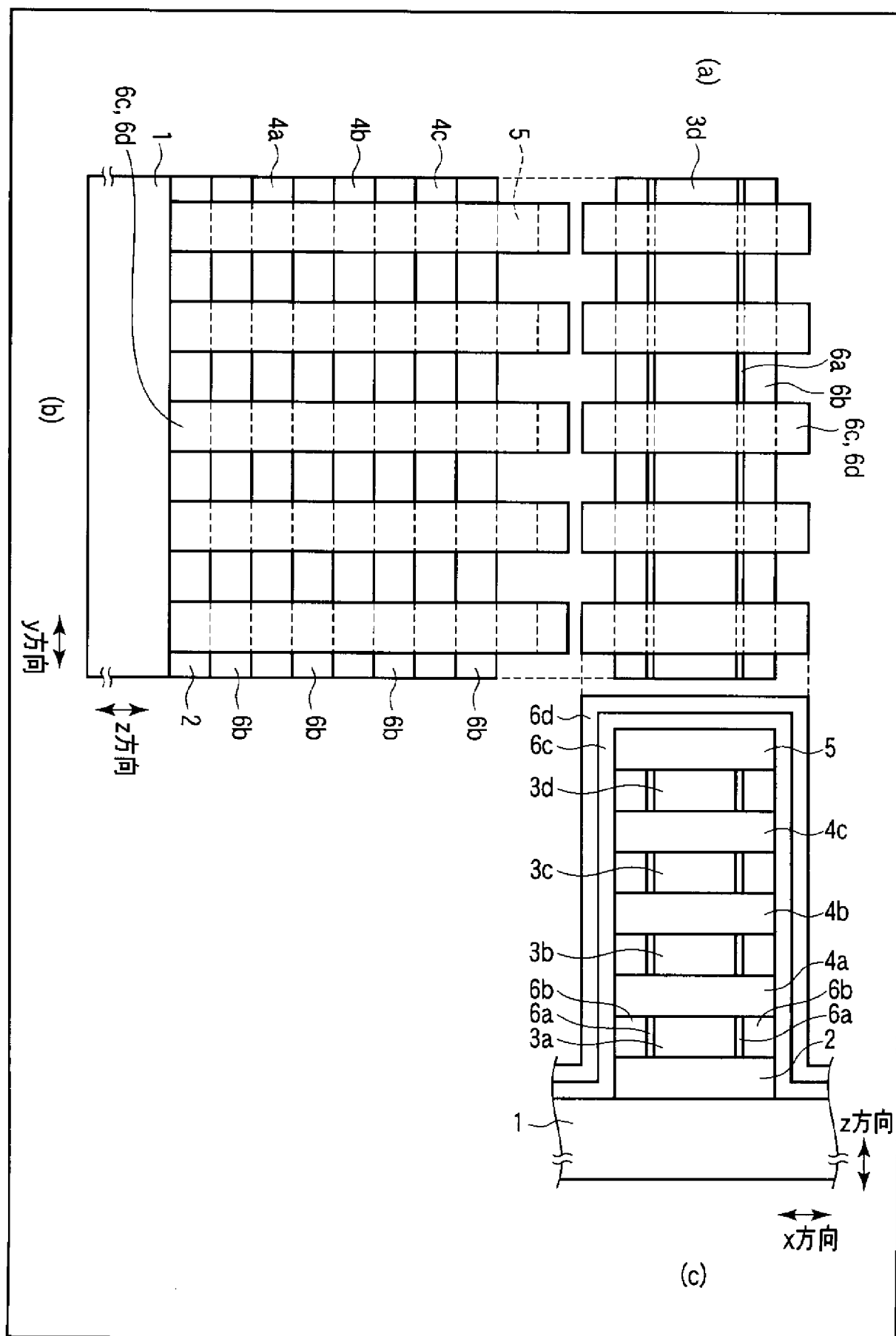
[図14F]



[図14G]



[図14H]



[図14]

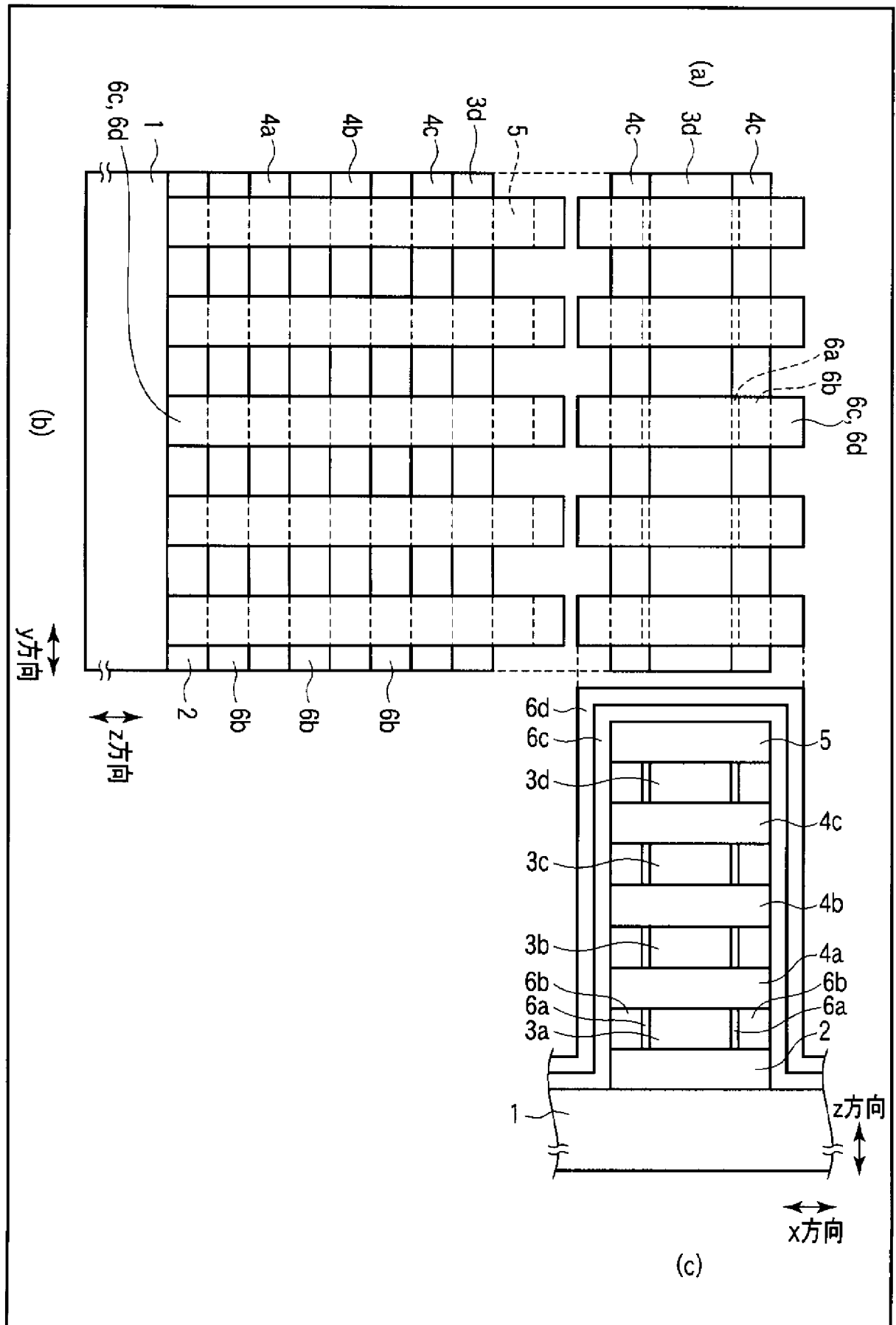
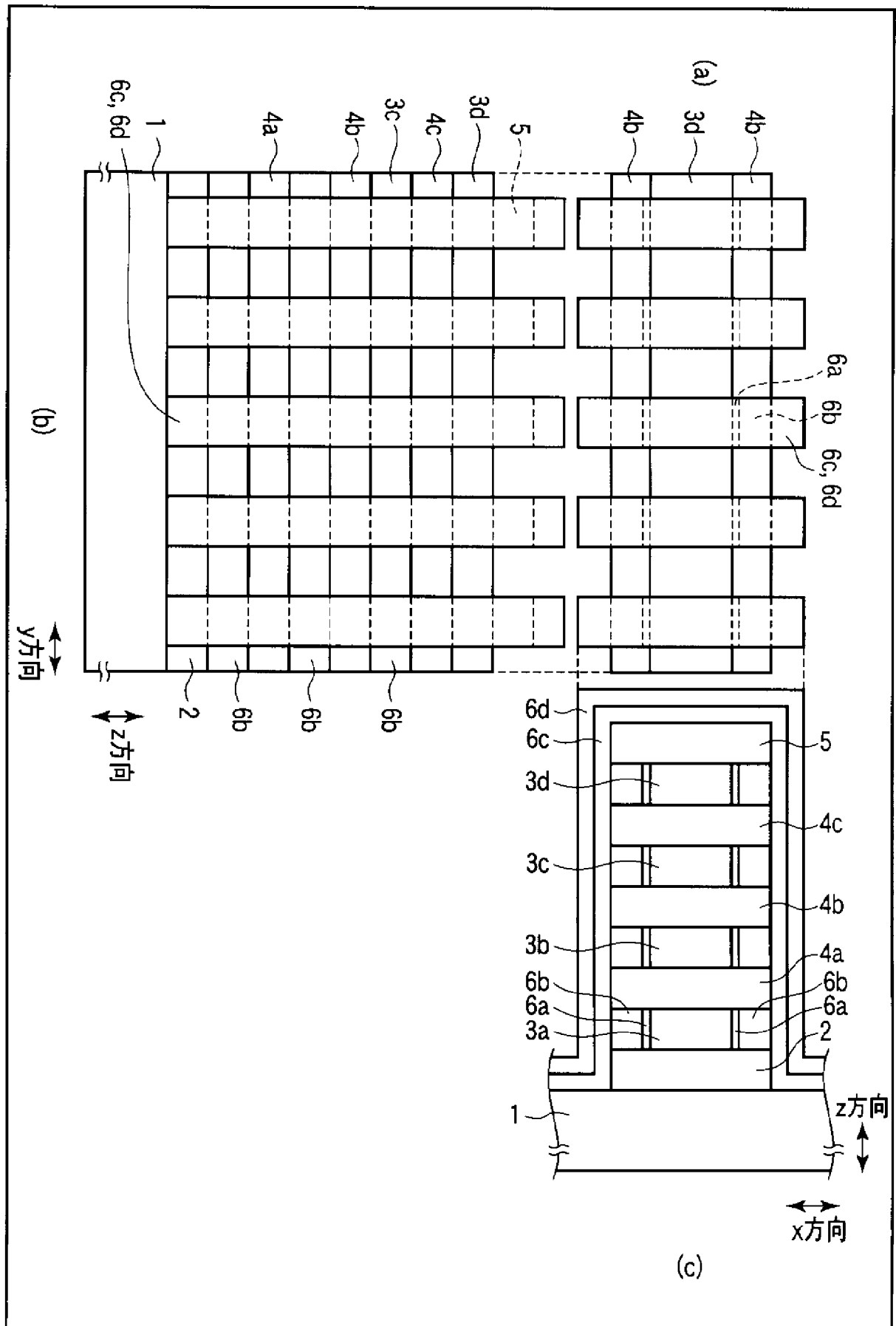
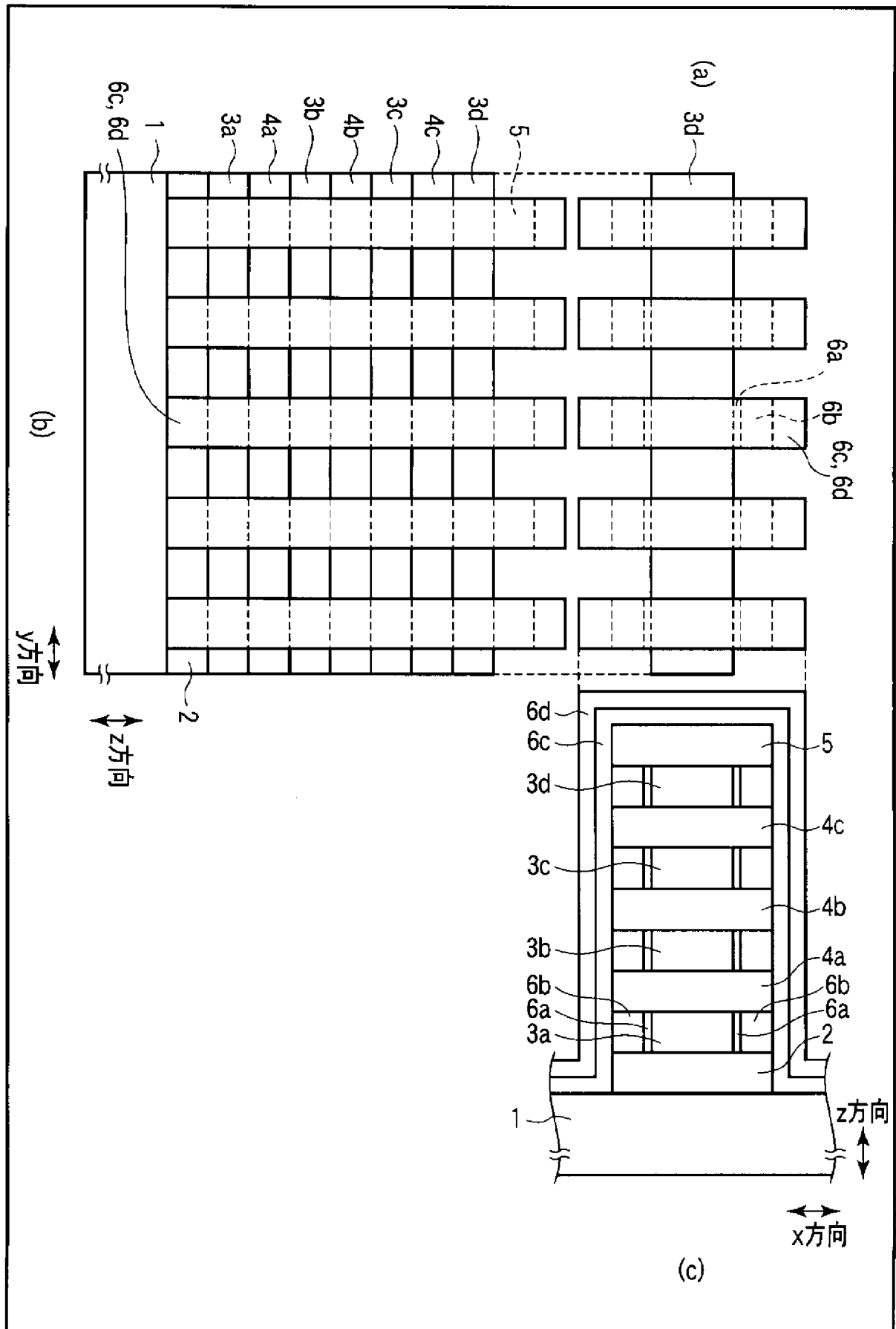


Figure 1 consists of three schematic diagrams labeled (a), (b), and (c).
 (a) is a top view of a semiconductor device showing a grid of elements. The elements are labeled 1, 2, 3a, 3b, 3c, 3d, 4a, 4b, 4c, 4d, 5, 6a, 6b, 6c, 6d. The grid is divided into four columns by dashed lines labeled 3d, 4c, 4b, and 4a. The elements are arranged in a regular pattern within these columns.
 (b) is a cross-sectional view of the device along the y-direction. It shows a series of layers labeled 1, 2, 3, 4, 5, and 6. The layers are stacked vertically, with layer 1 at the bottom and layer 6 at the top. The cross-section shows the thickness of each layer and the arrangement of the elements.
 (c) is a cross-sectional view of the device along the x-direction. It shows a series of layers labeled 1, 2, 3, 4, 5, and 6. The layers are stacked vertically, with layer 1 at the bottom and layer 6 at the top. The cross-section shows the thickness of each layer and the arrangement of the elements. The elements are labeled 3a, 3b, 3c, 3d, 4a, 4b, 4c, 4d, 5, 6a, 6b, 6c, 6d.

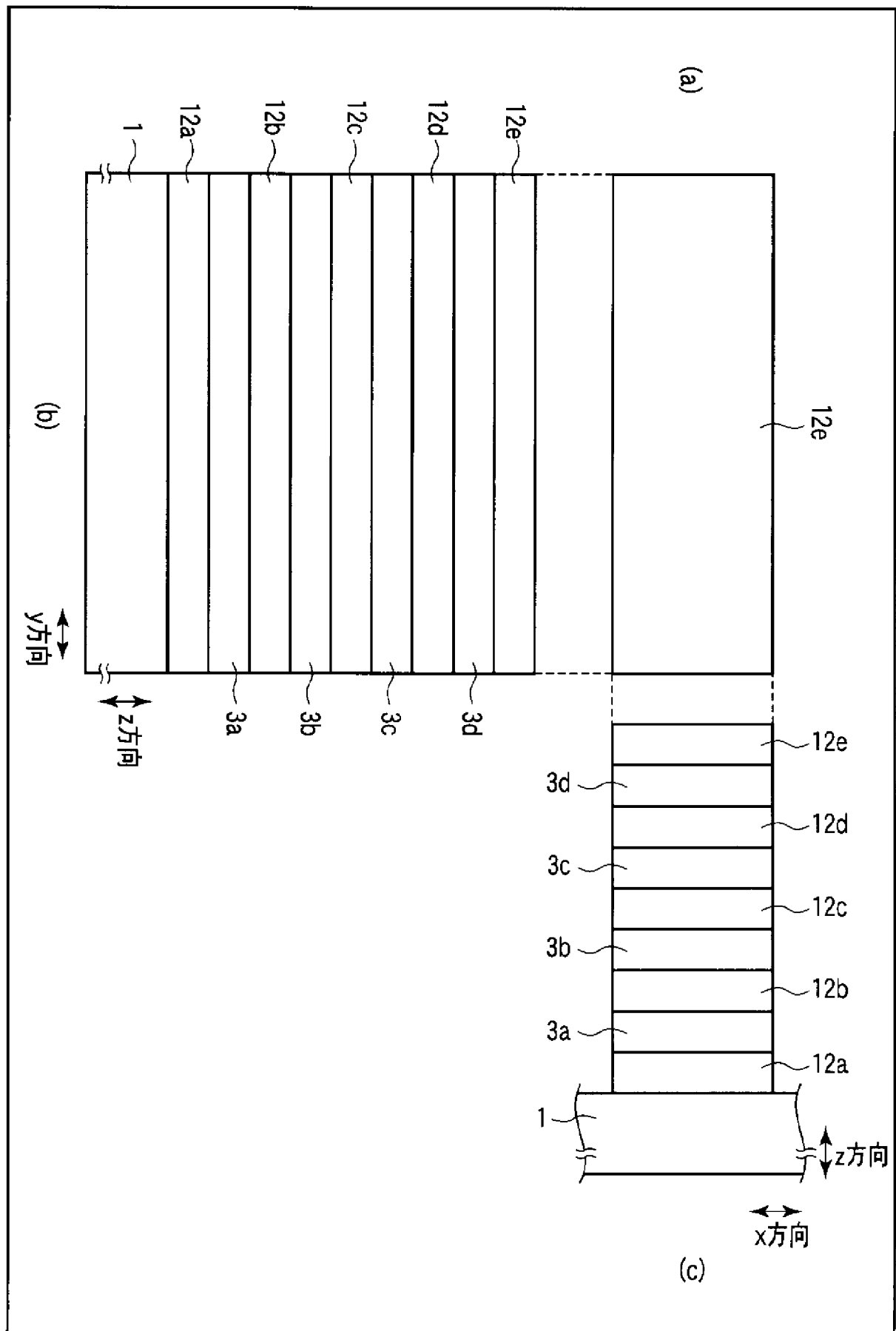
[図14K]



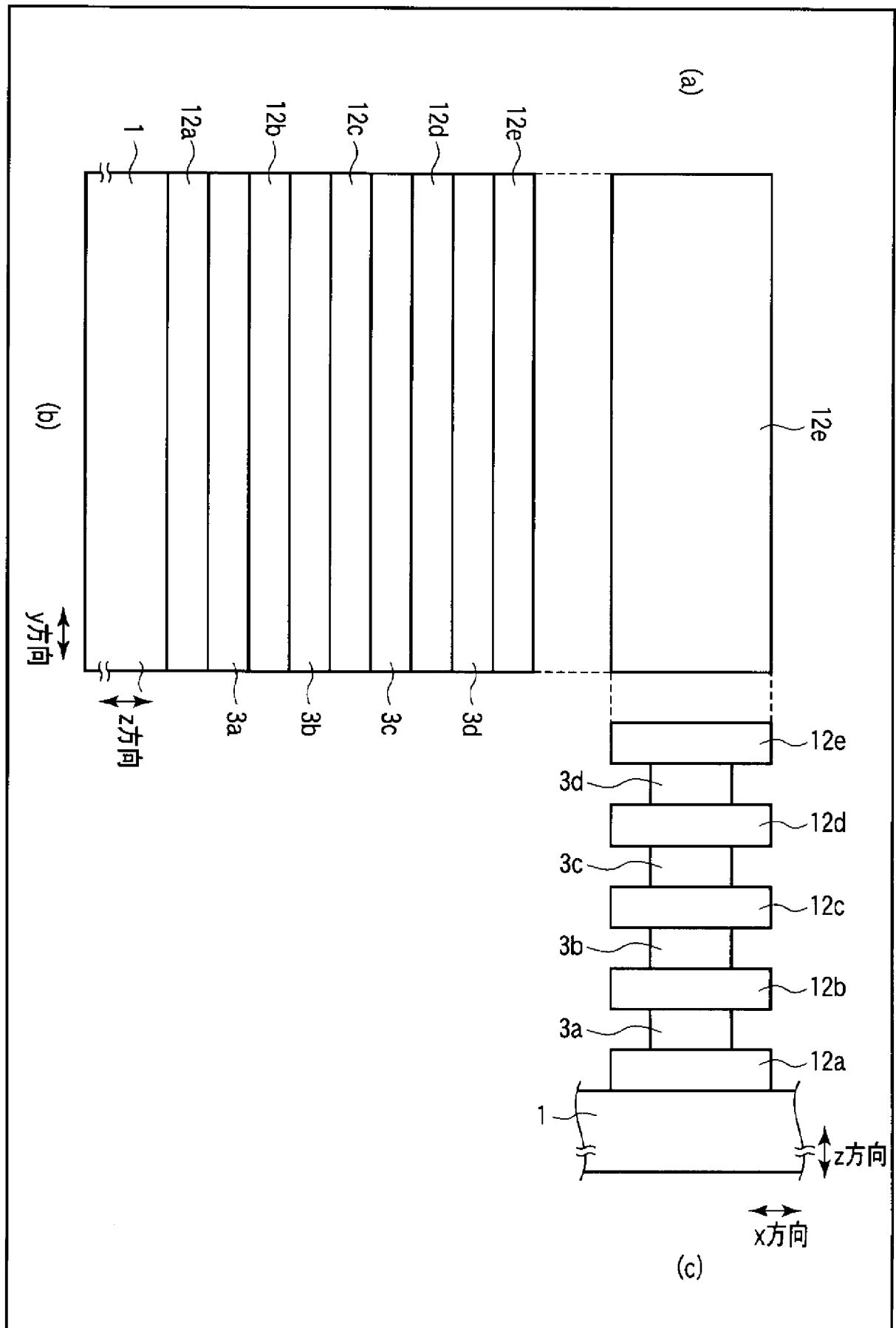
[図14L]



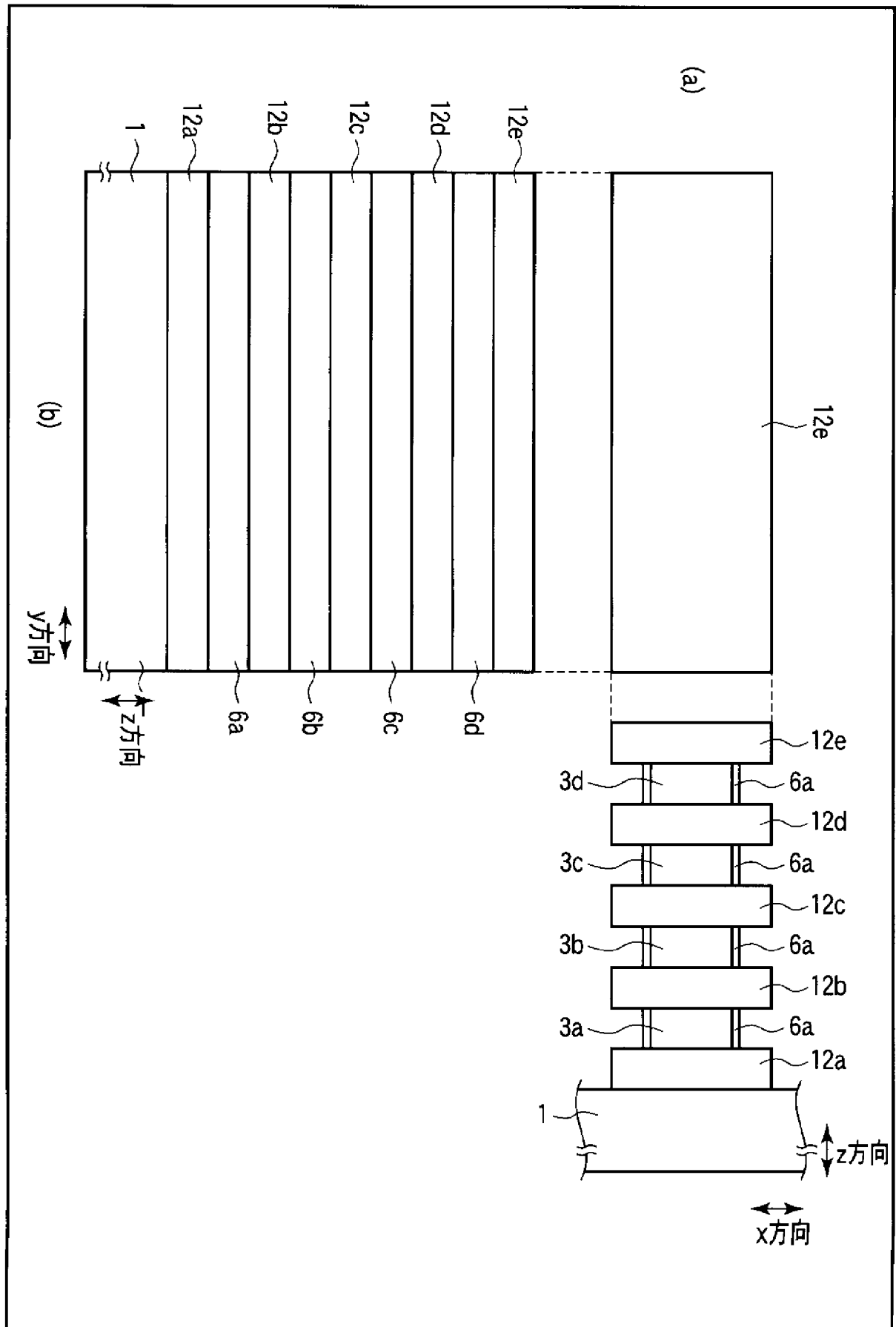
[図15A]



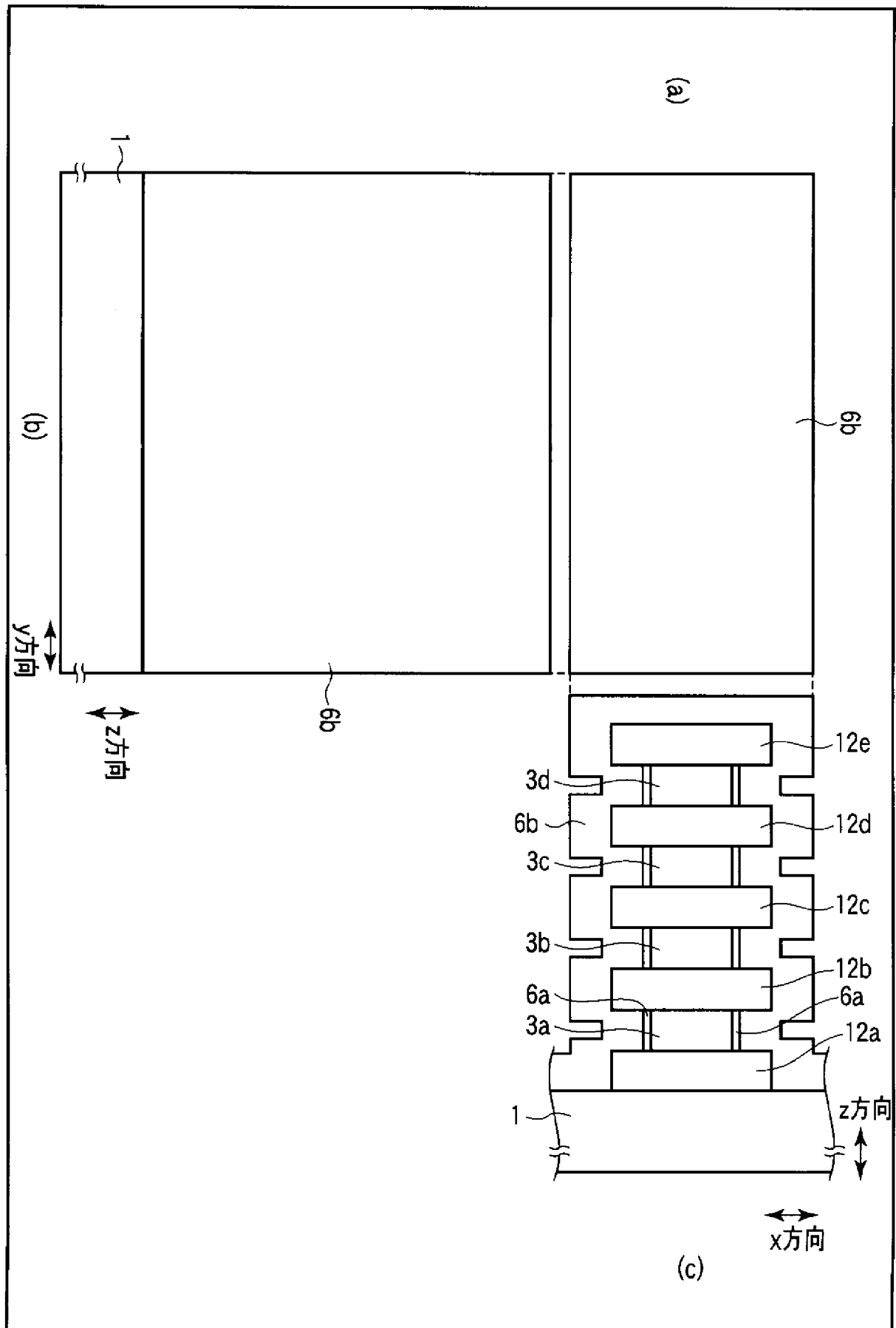
[図15B]



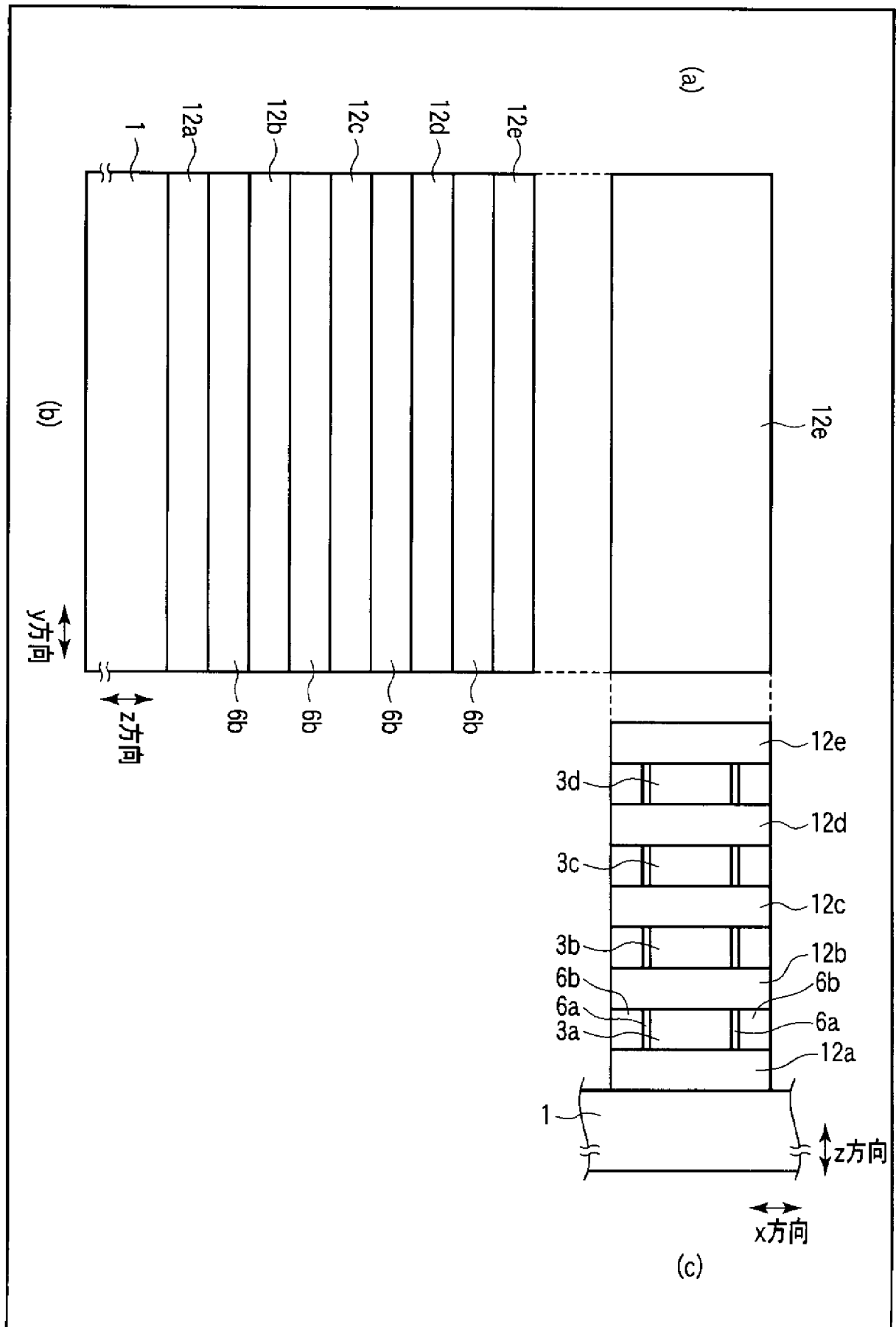
[図15C]



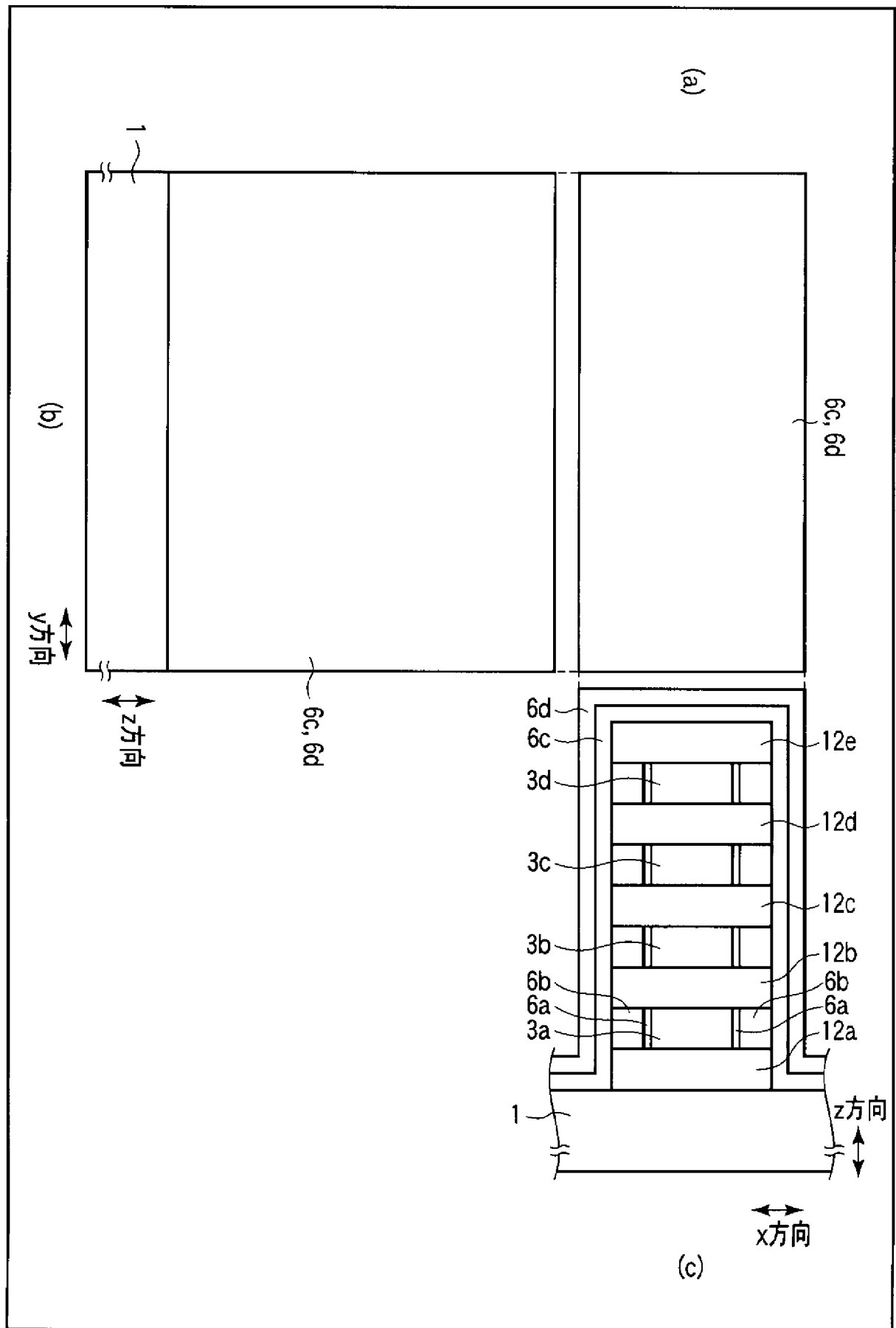
[図15D]



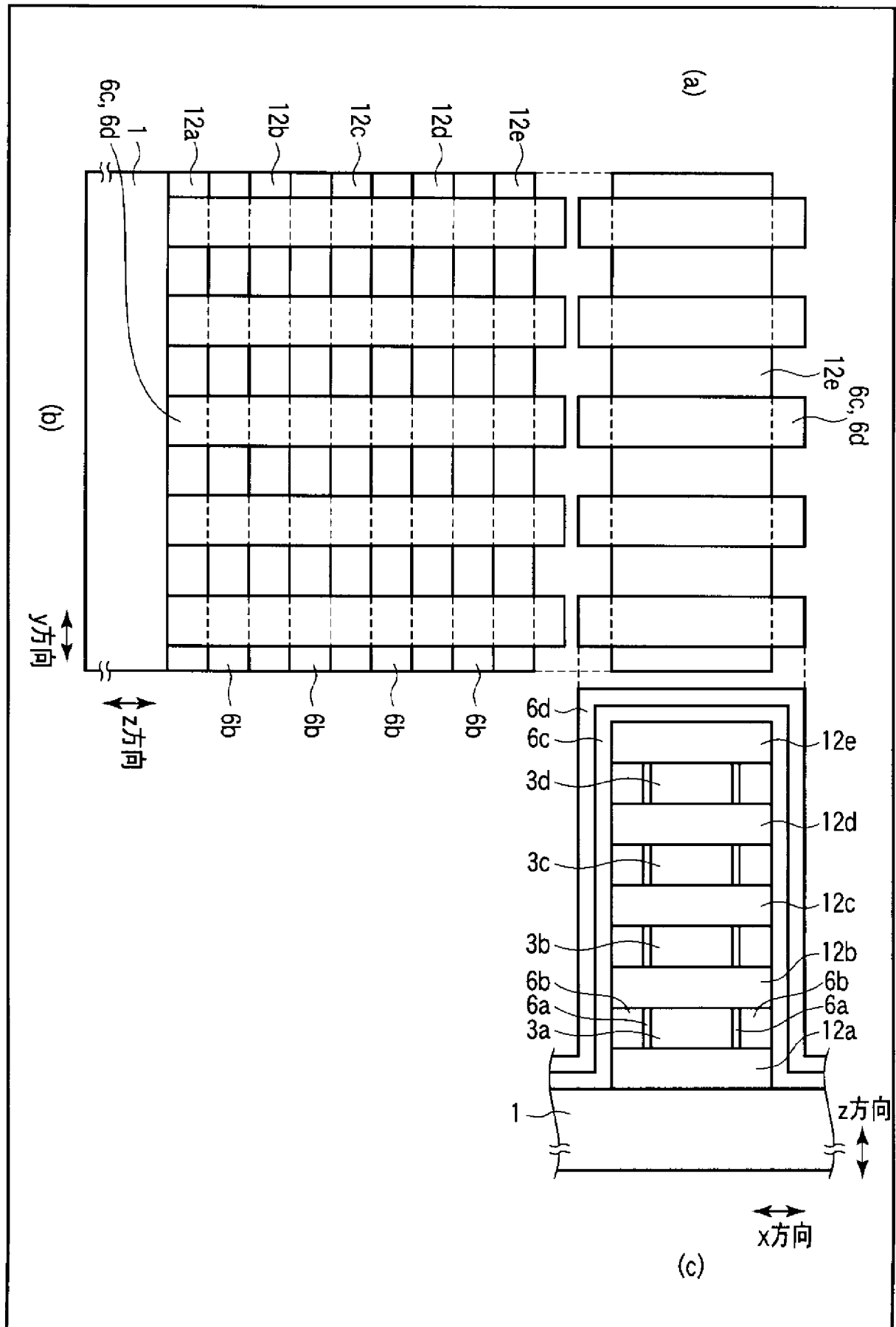
[図15E]



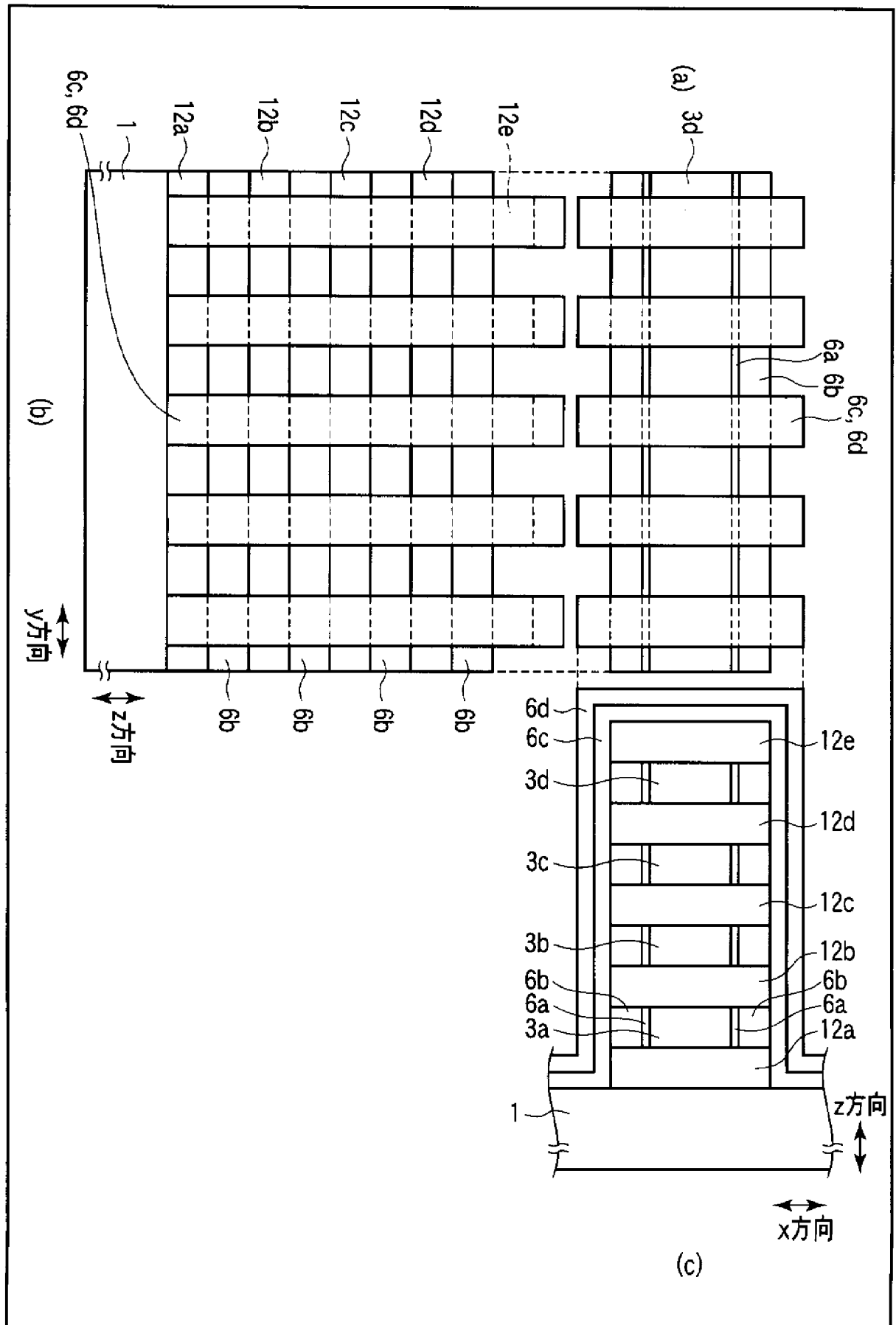
[図15F]



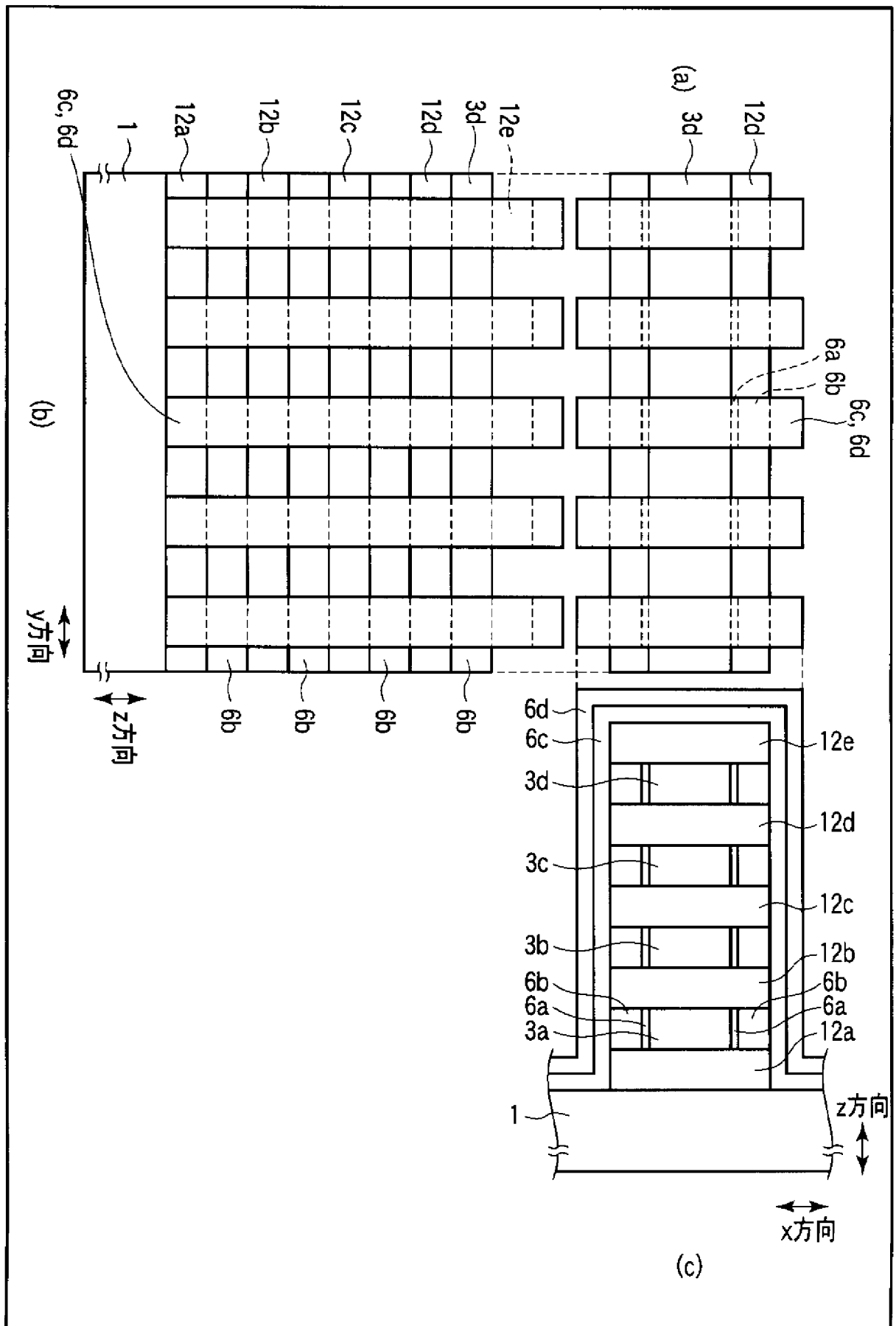
[図15G]



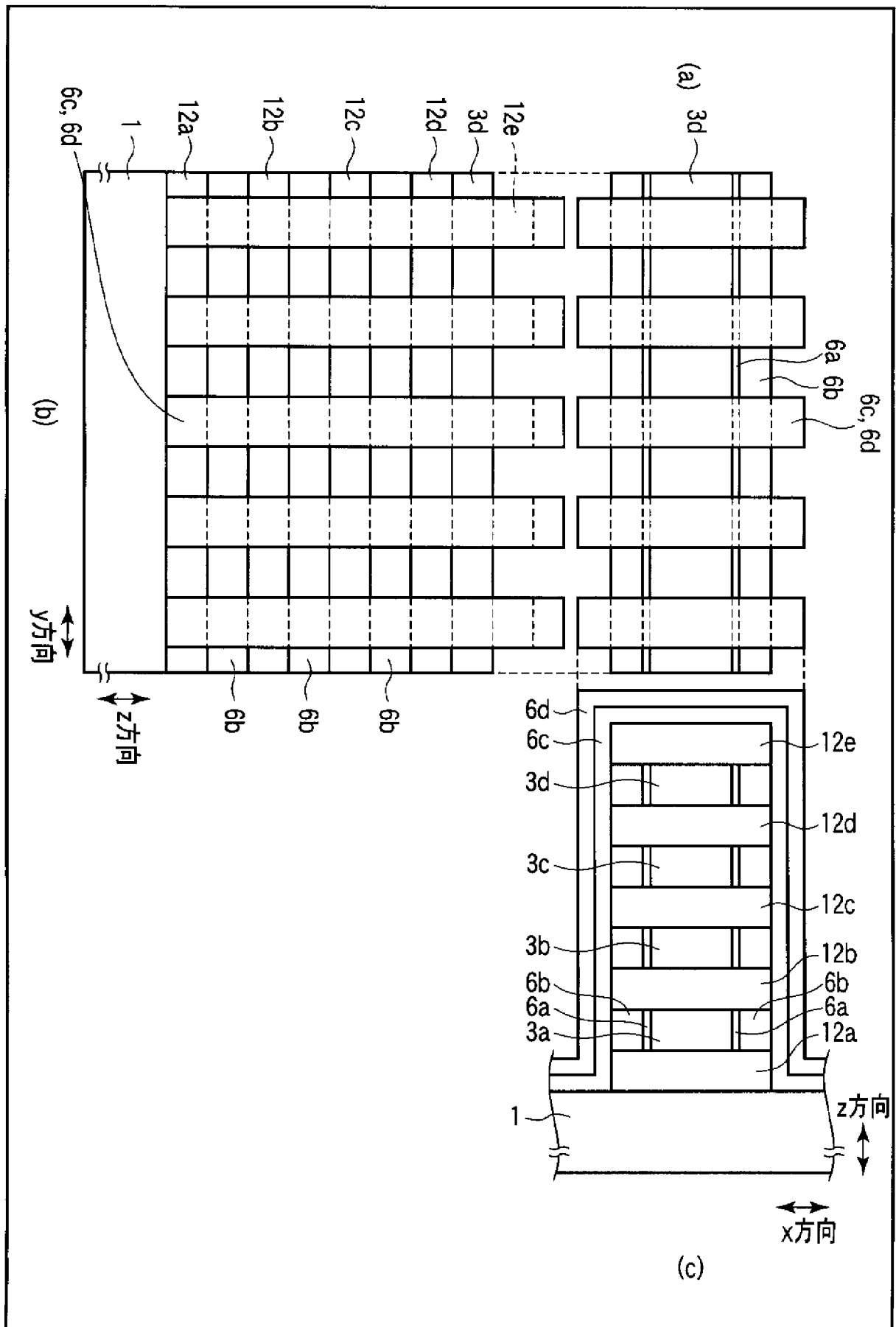
[図15H]



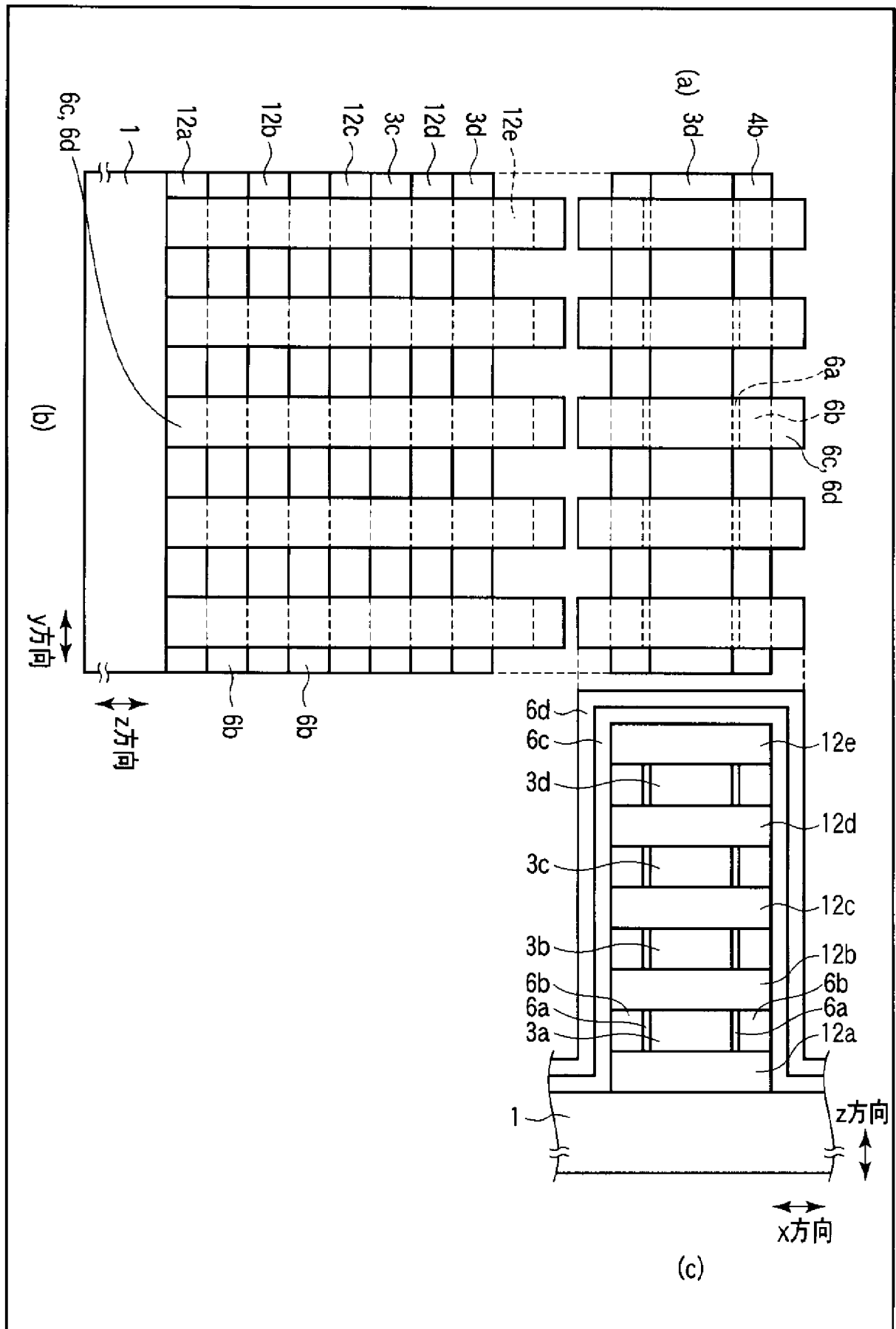
[図15]



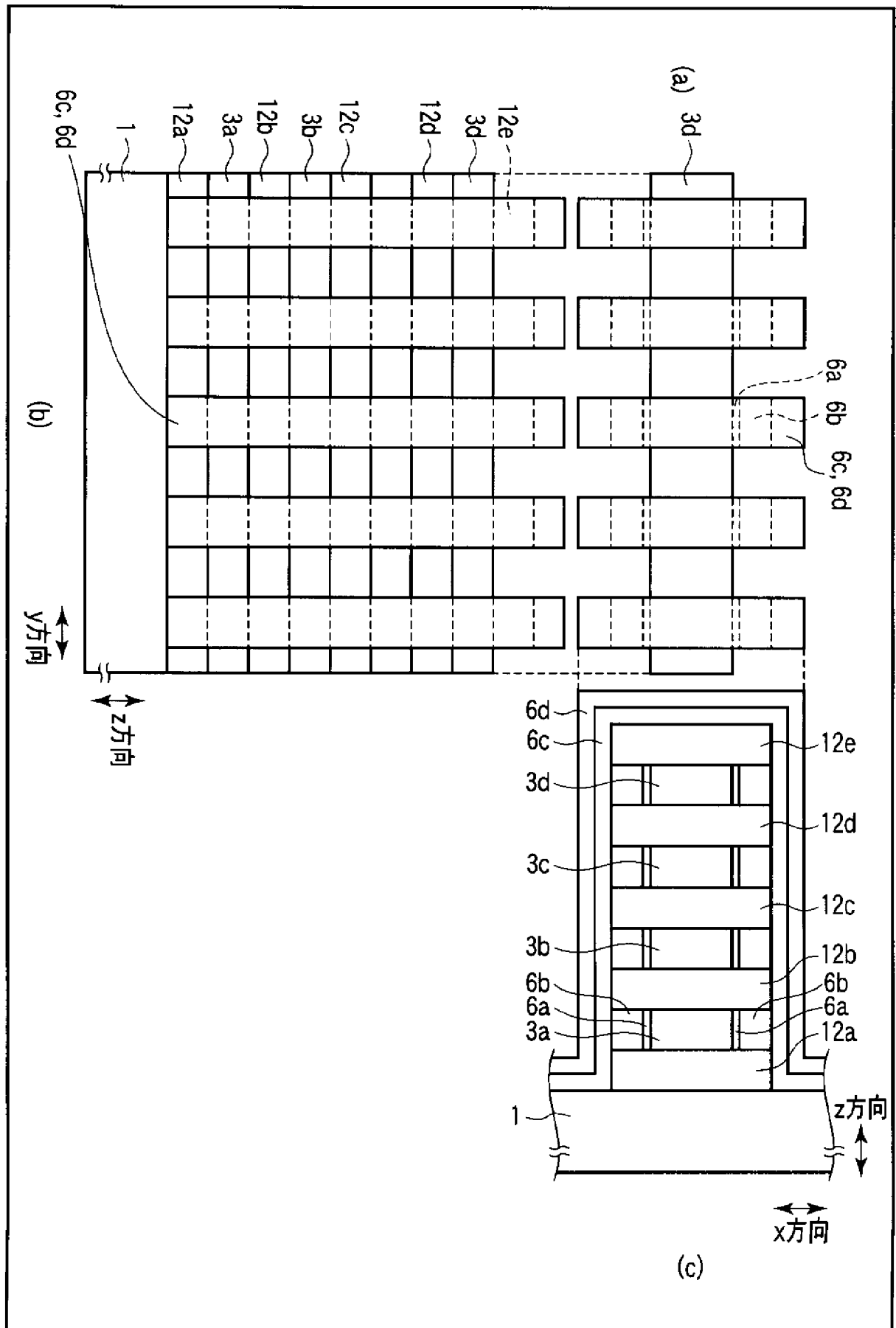
[図15J]



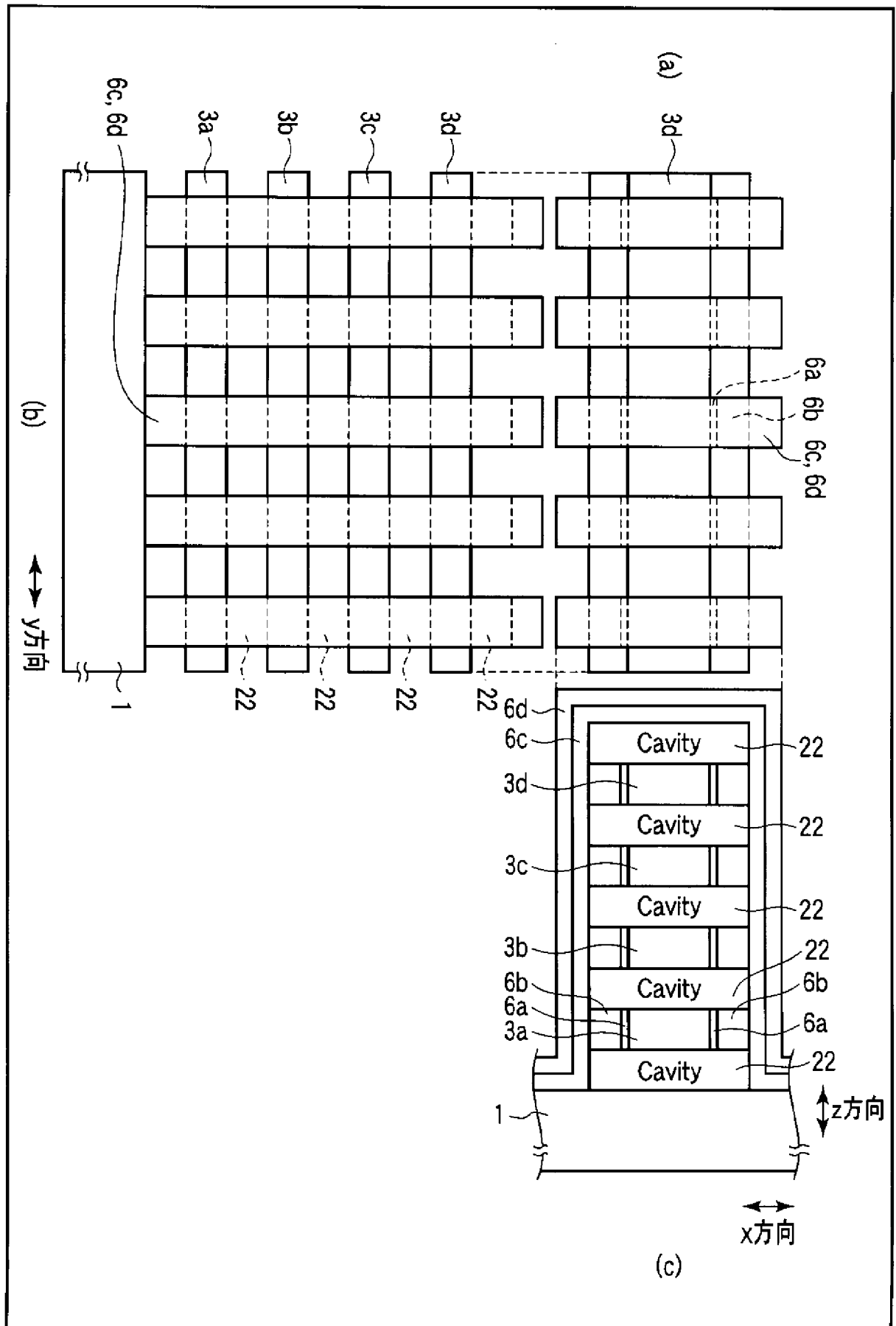
[図15K]



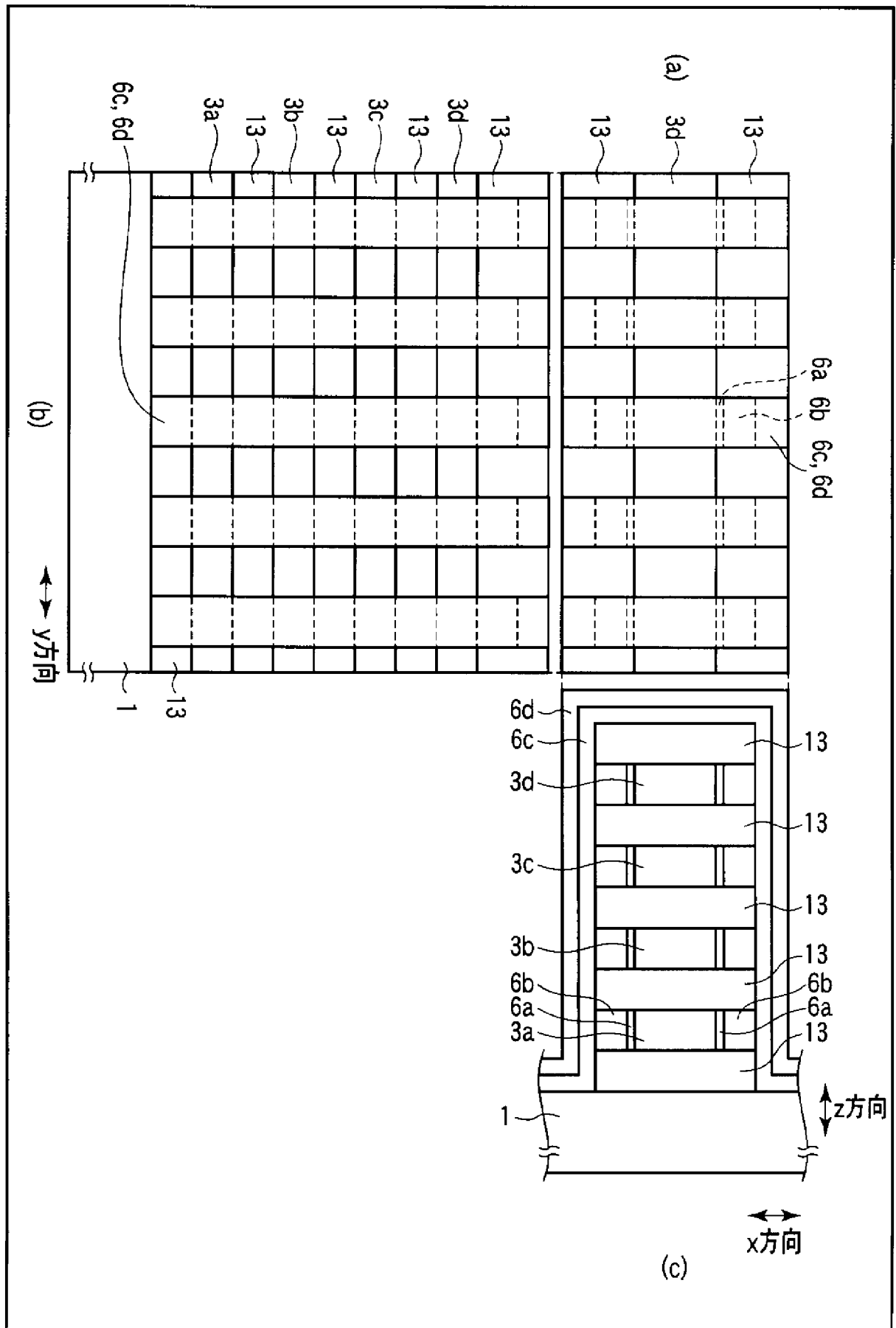
[図15L]



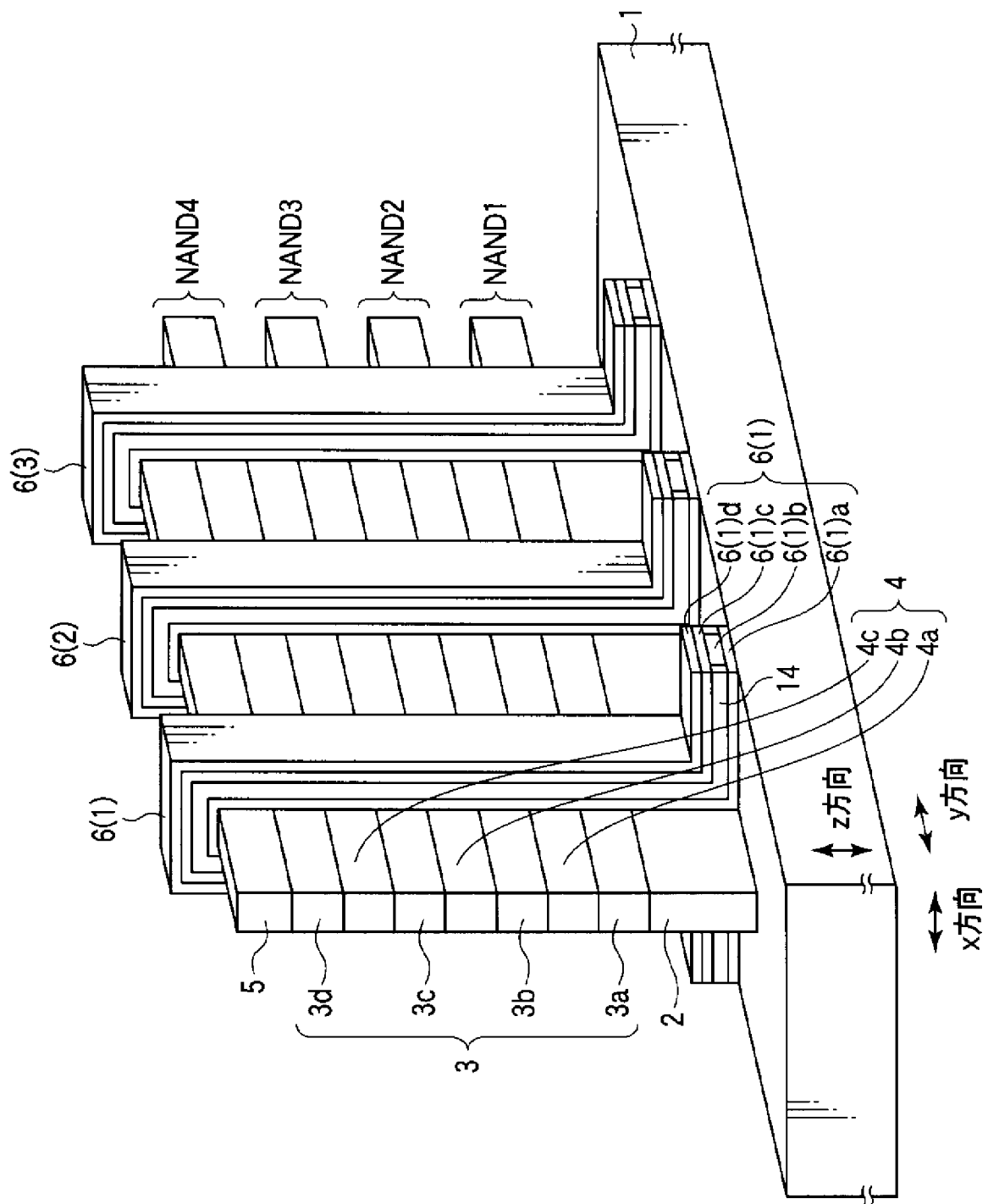
[図15M]



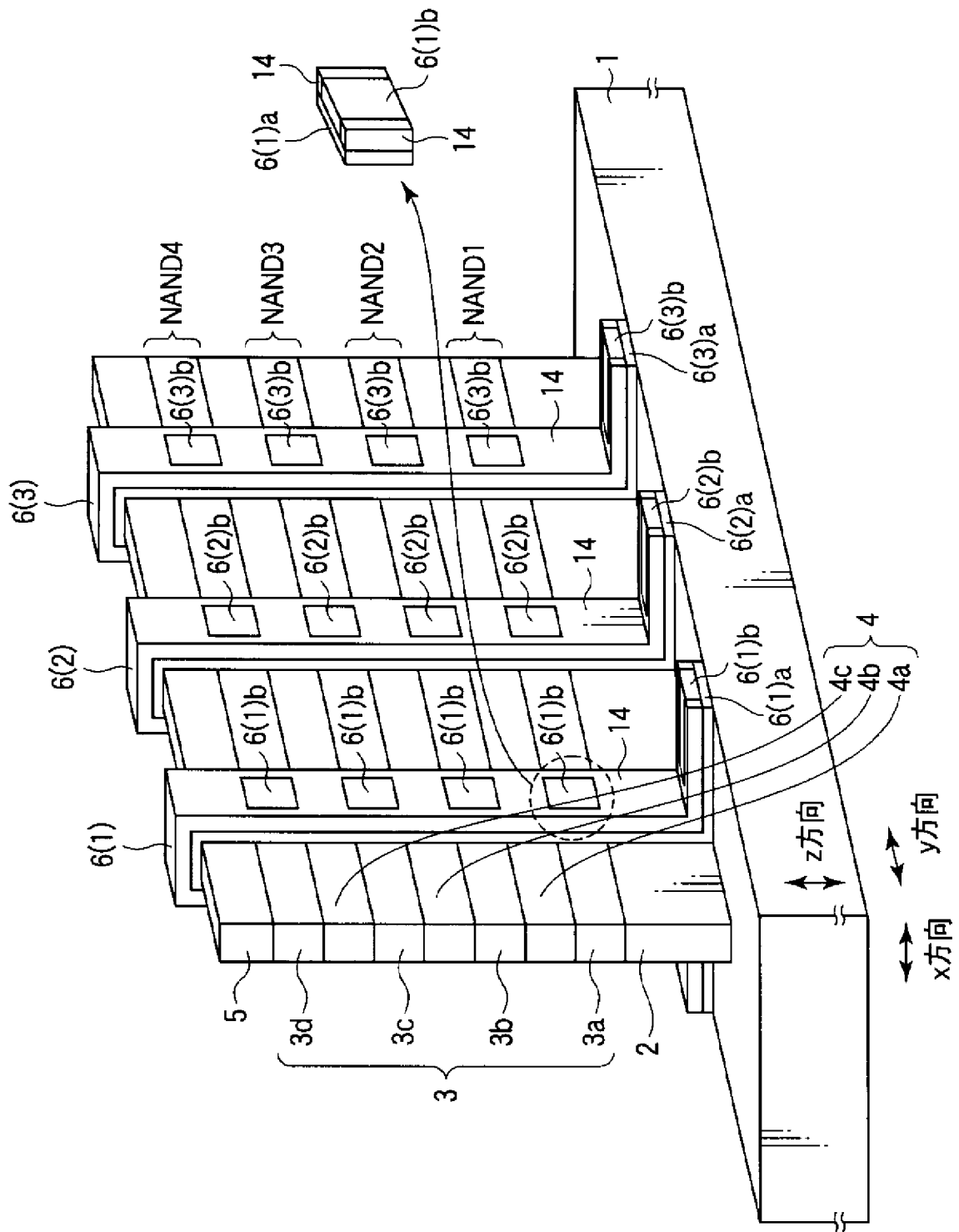
[図15N]



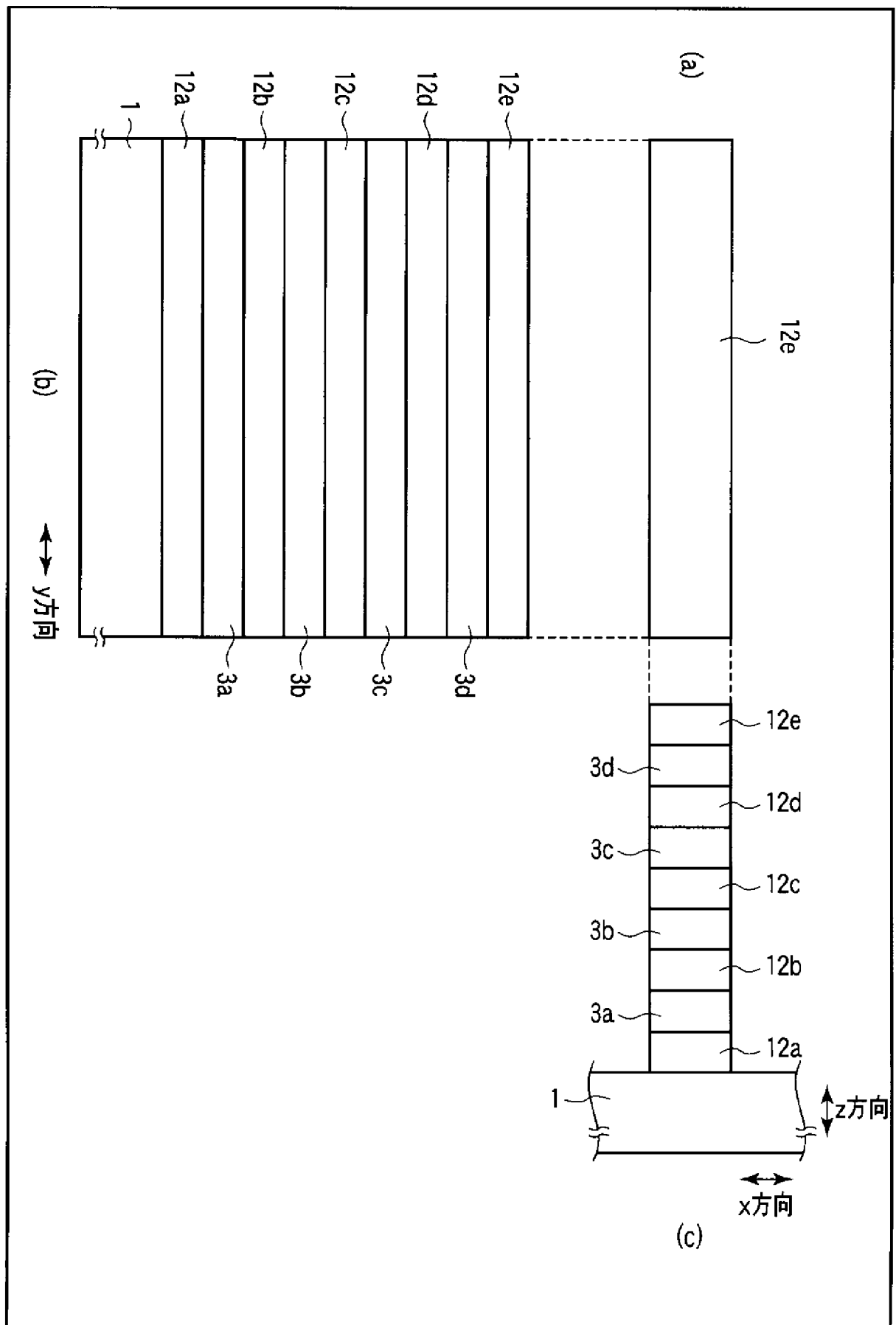
[図16]



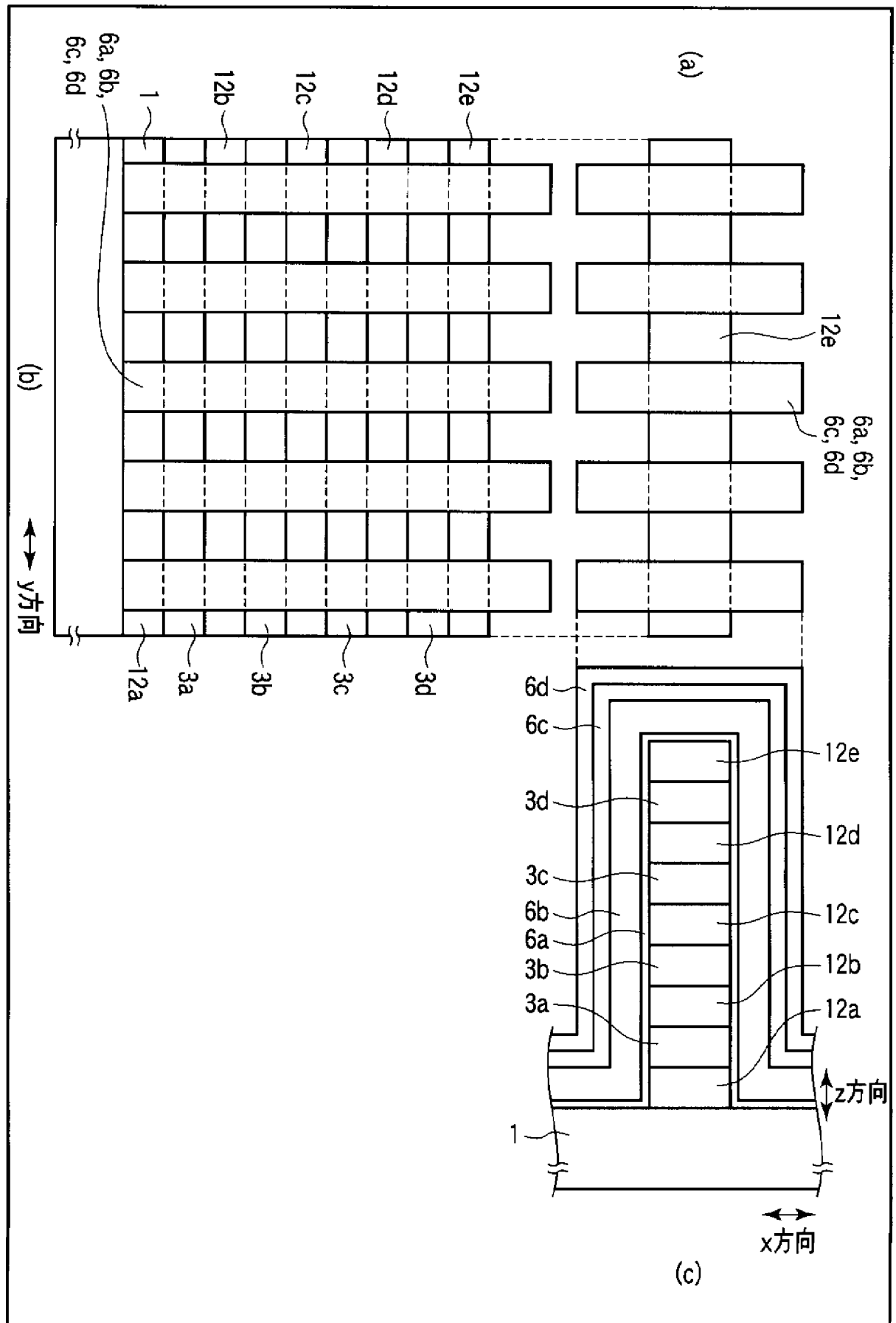
[図17]



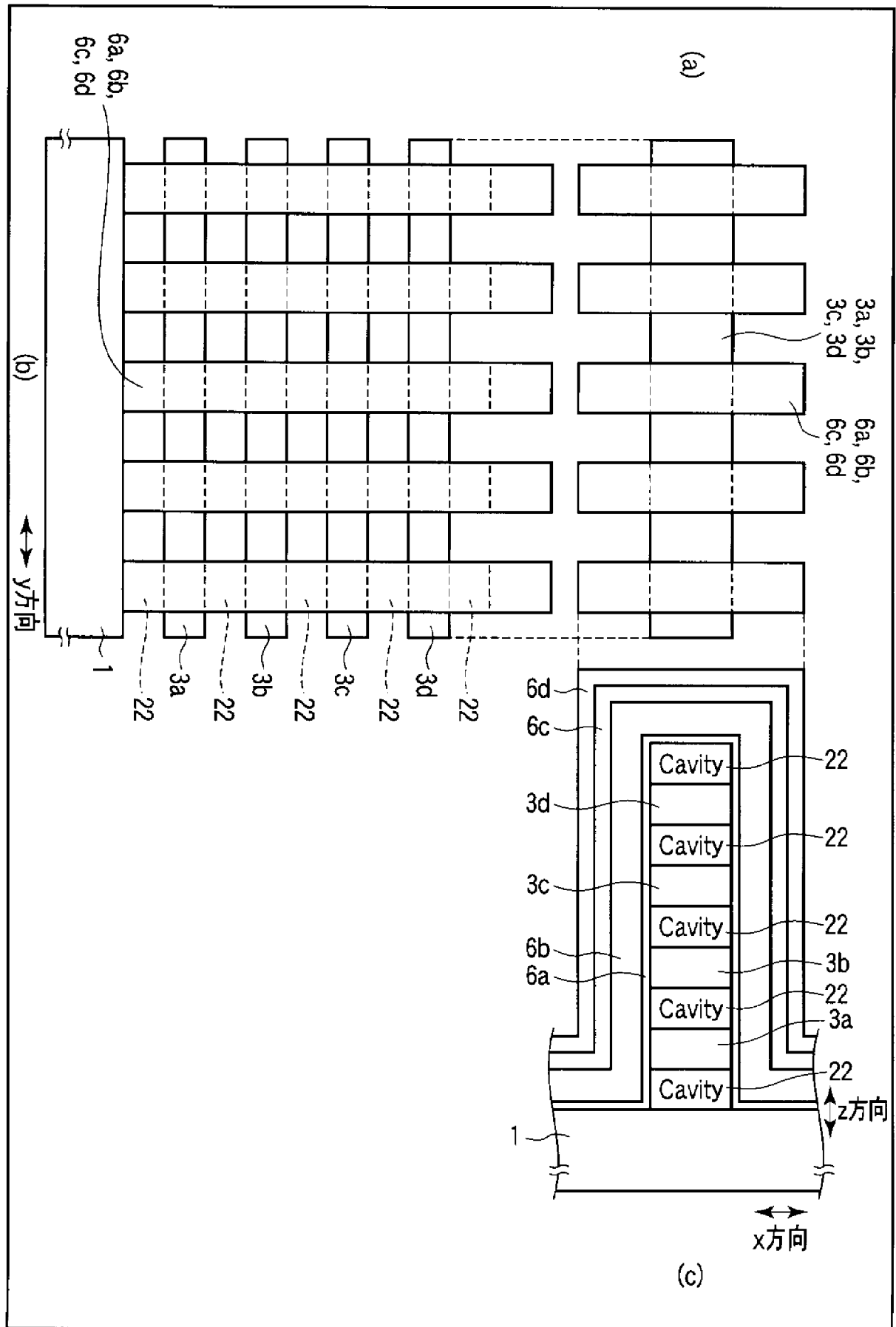
[図19A]



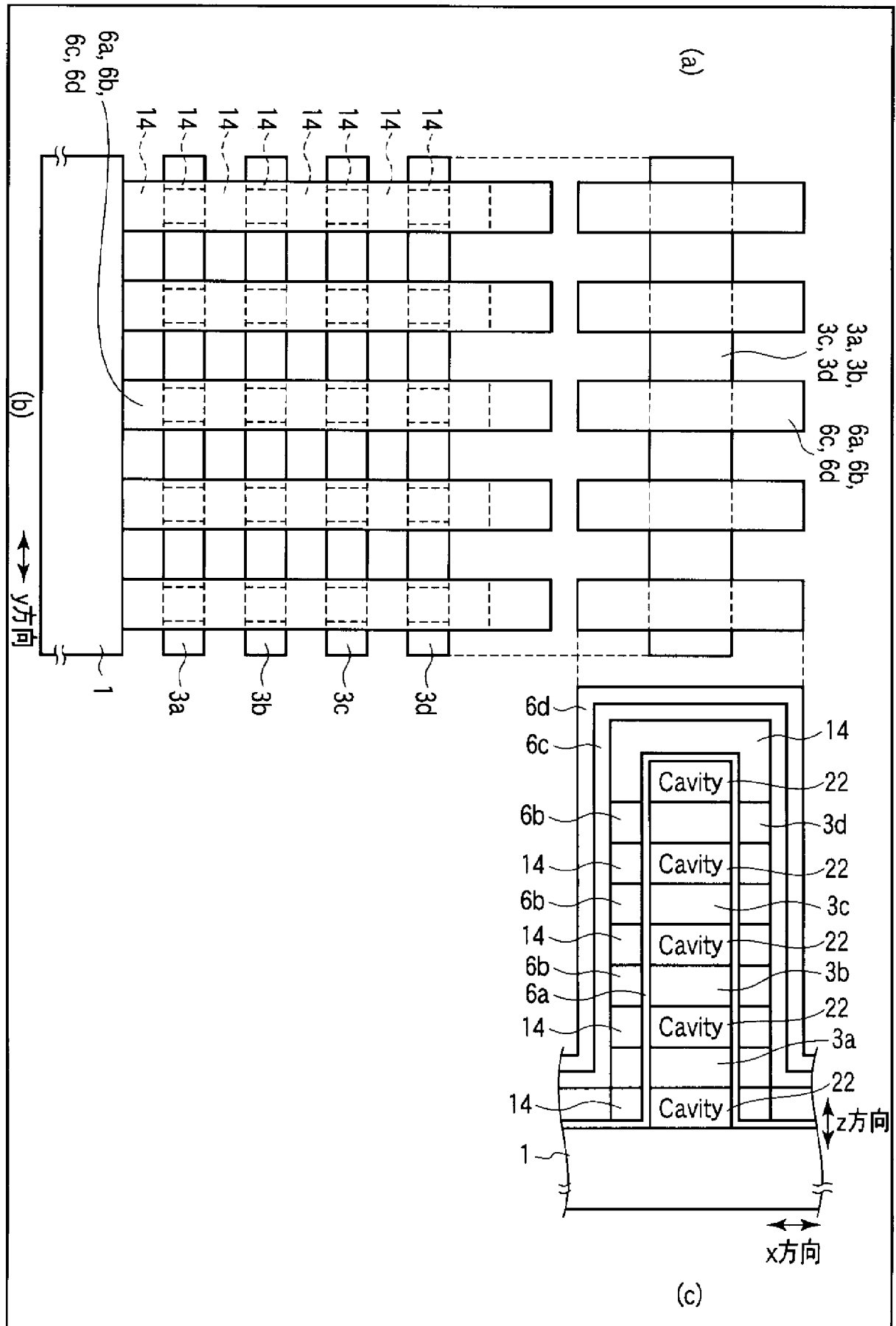
[図19B]



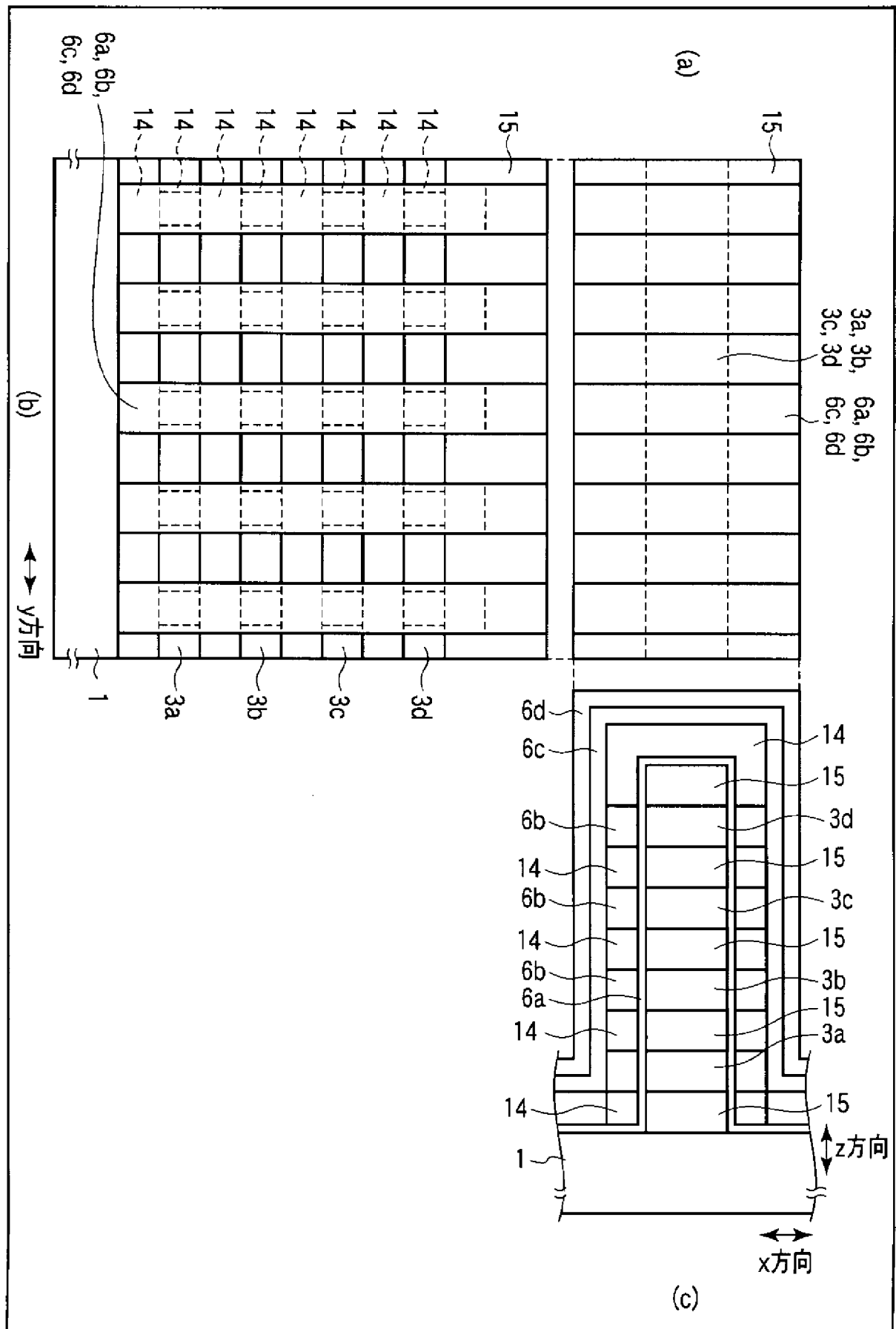
[図19C]



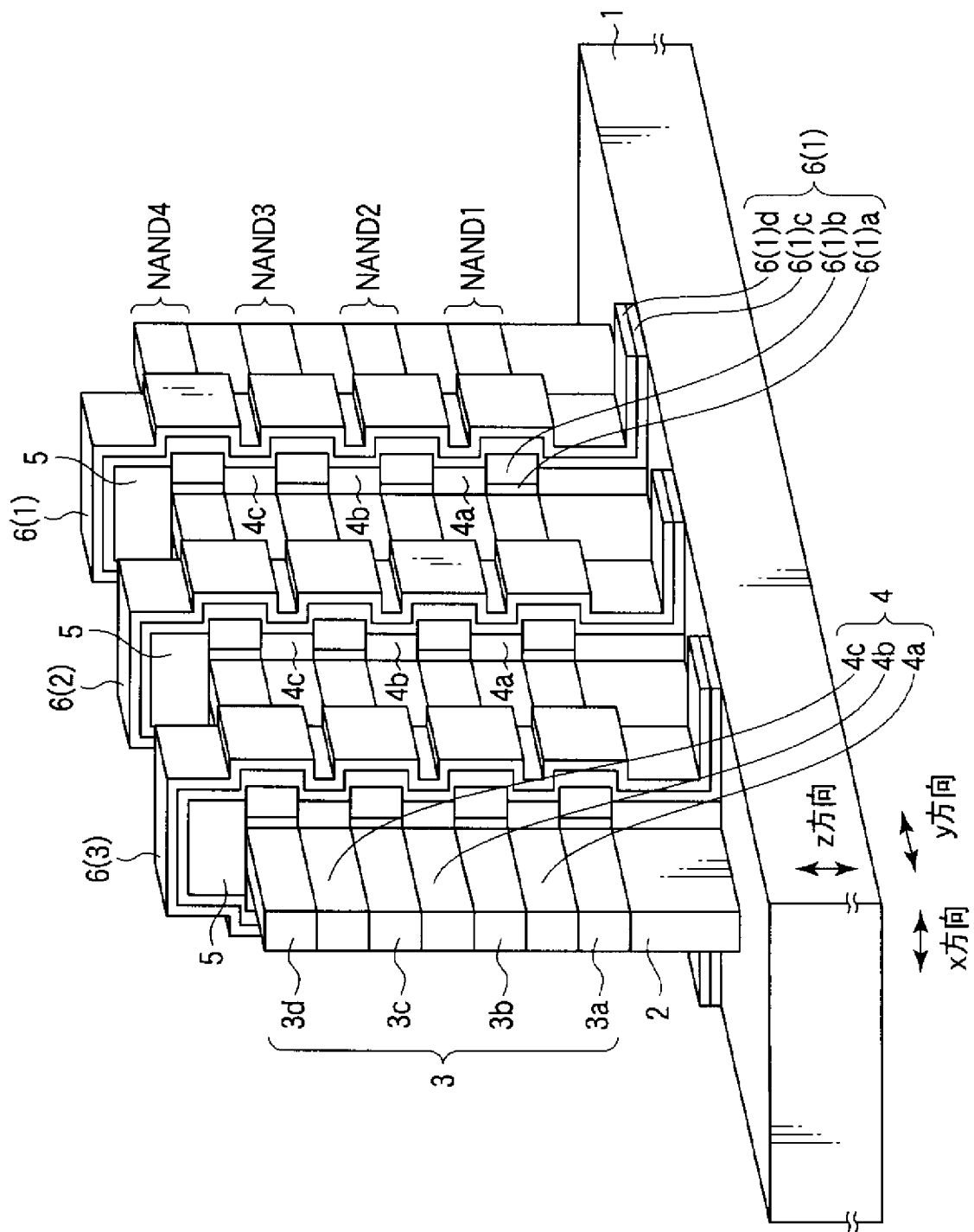
[図19D]



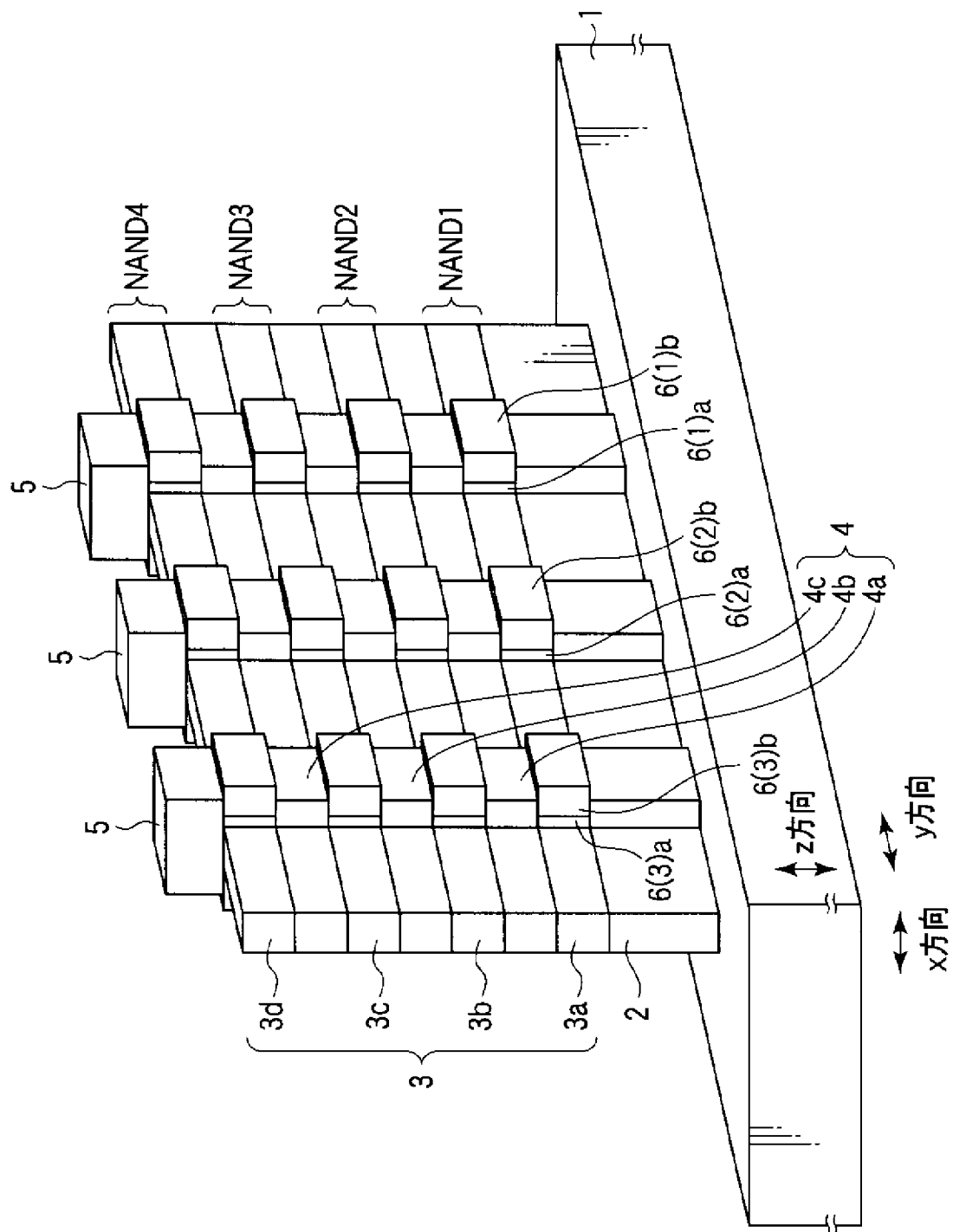
[図19E]



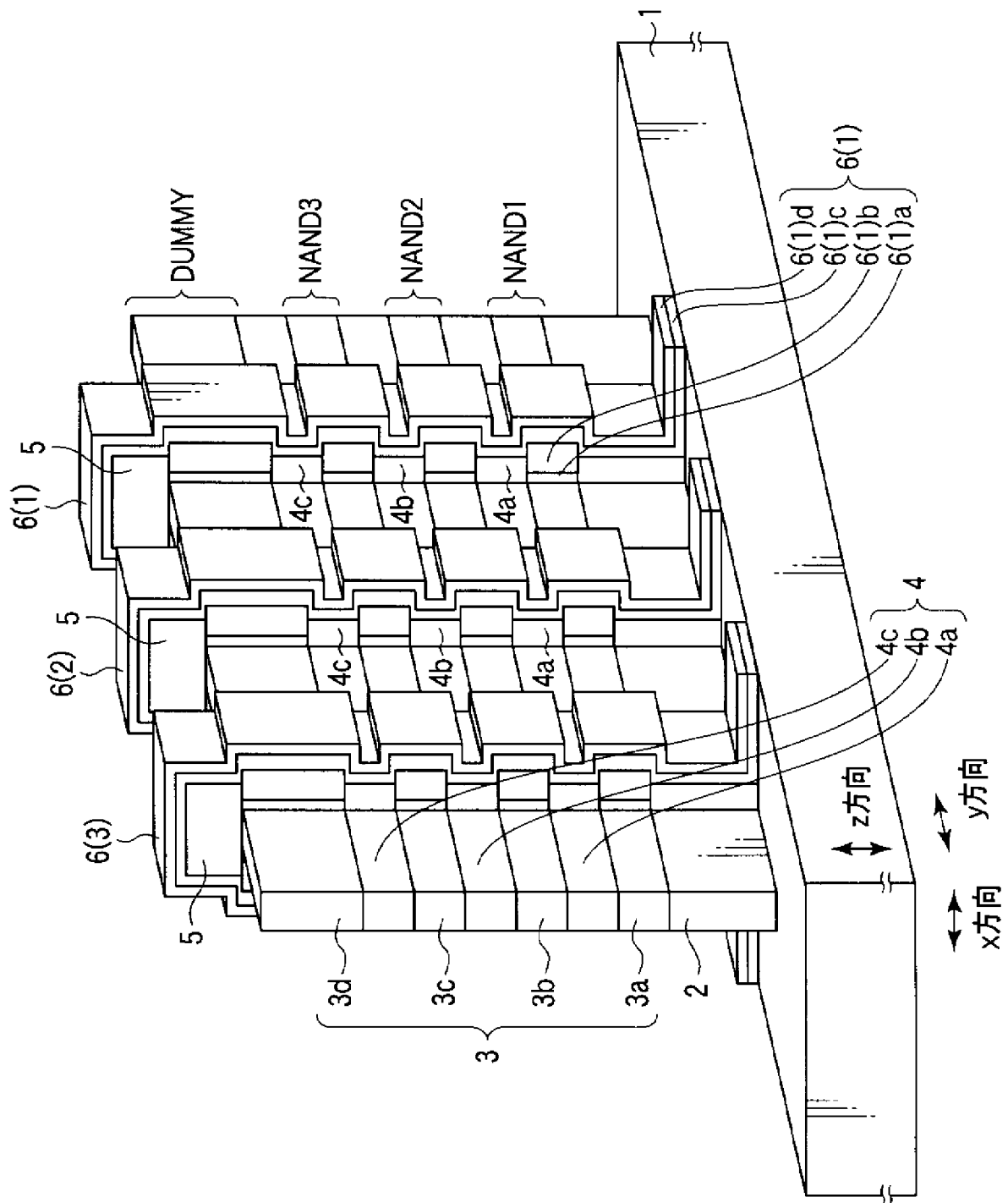
[図20]



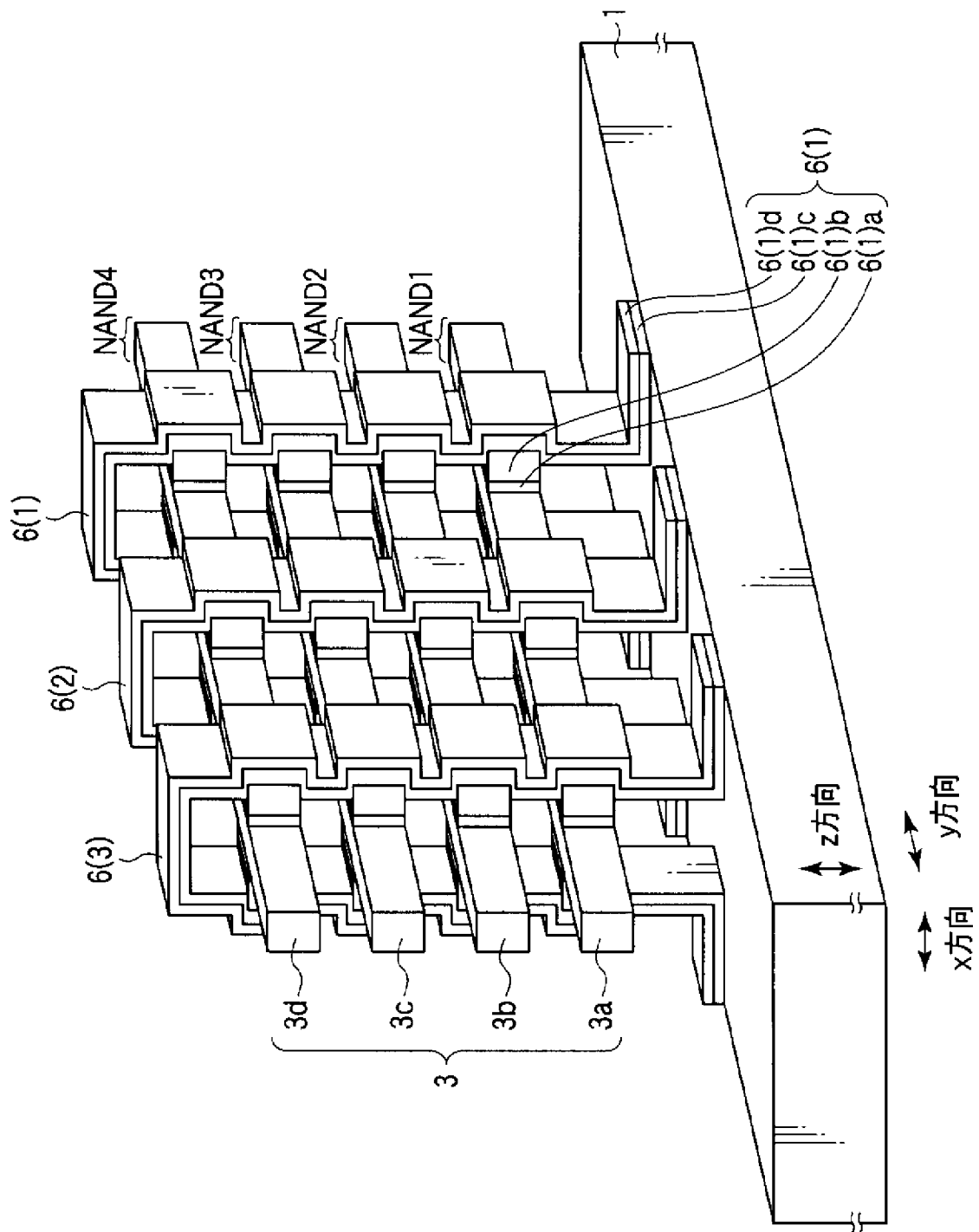
[図21]



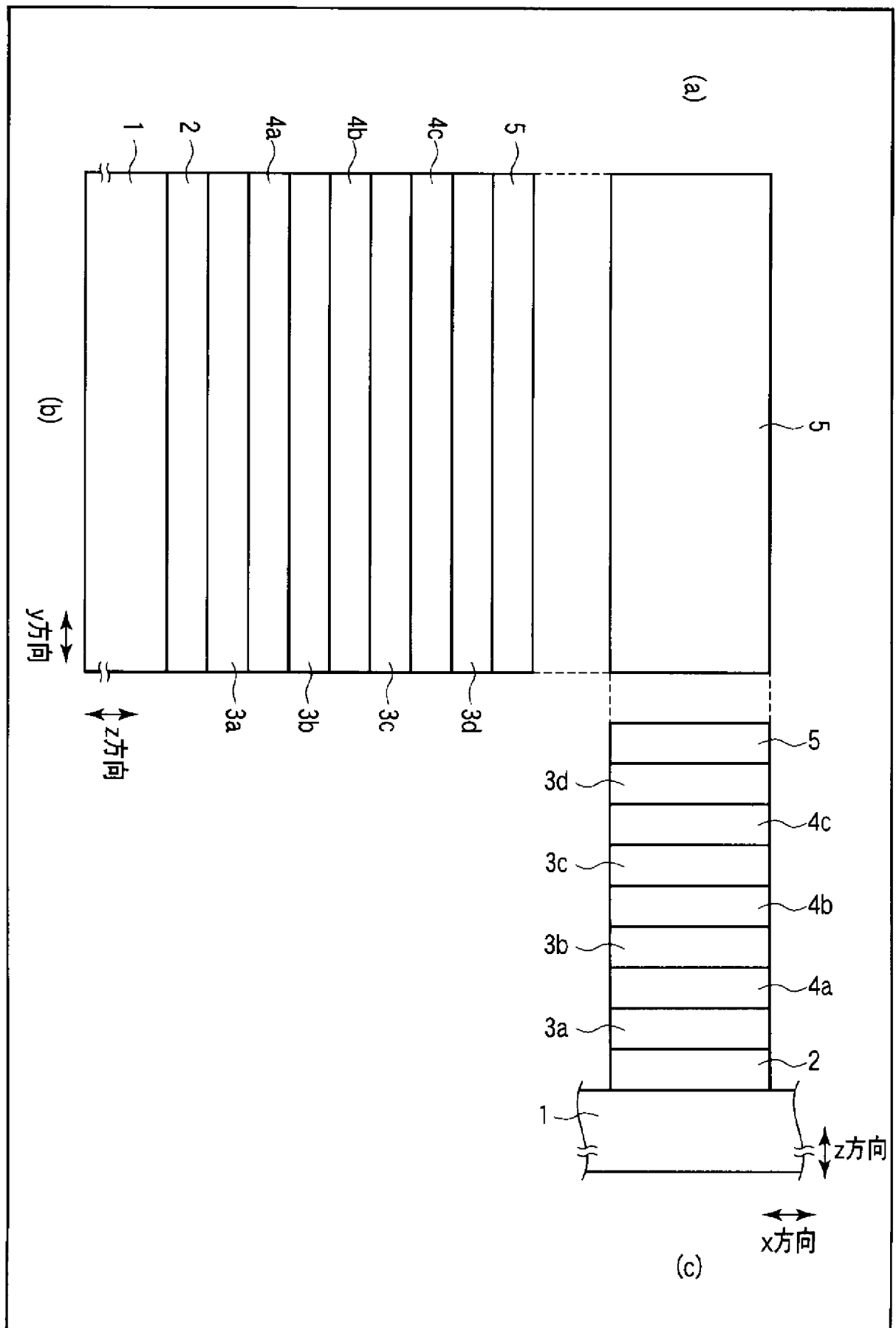
[図22]



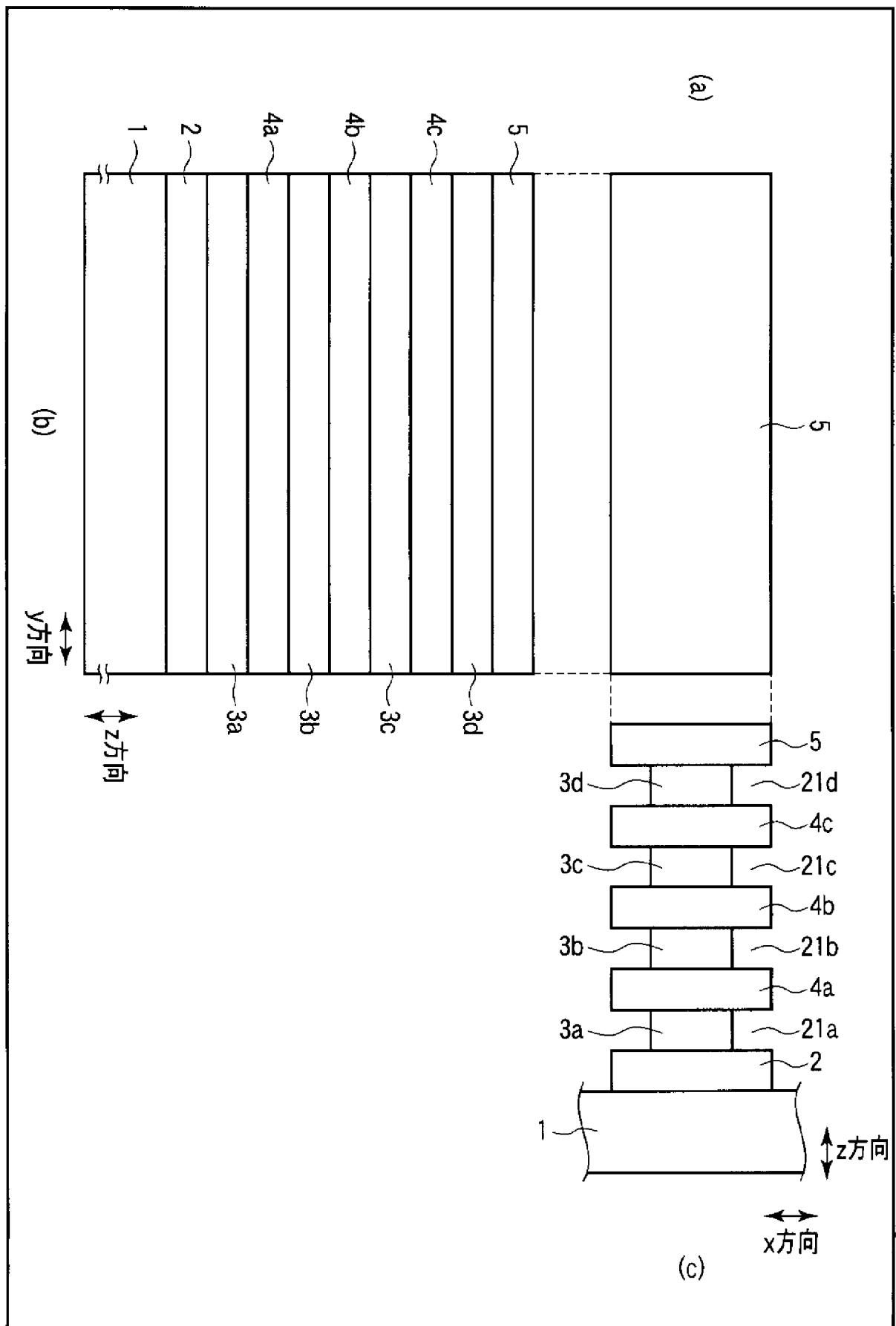
[図23]



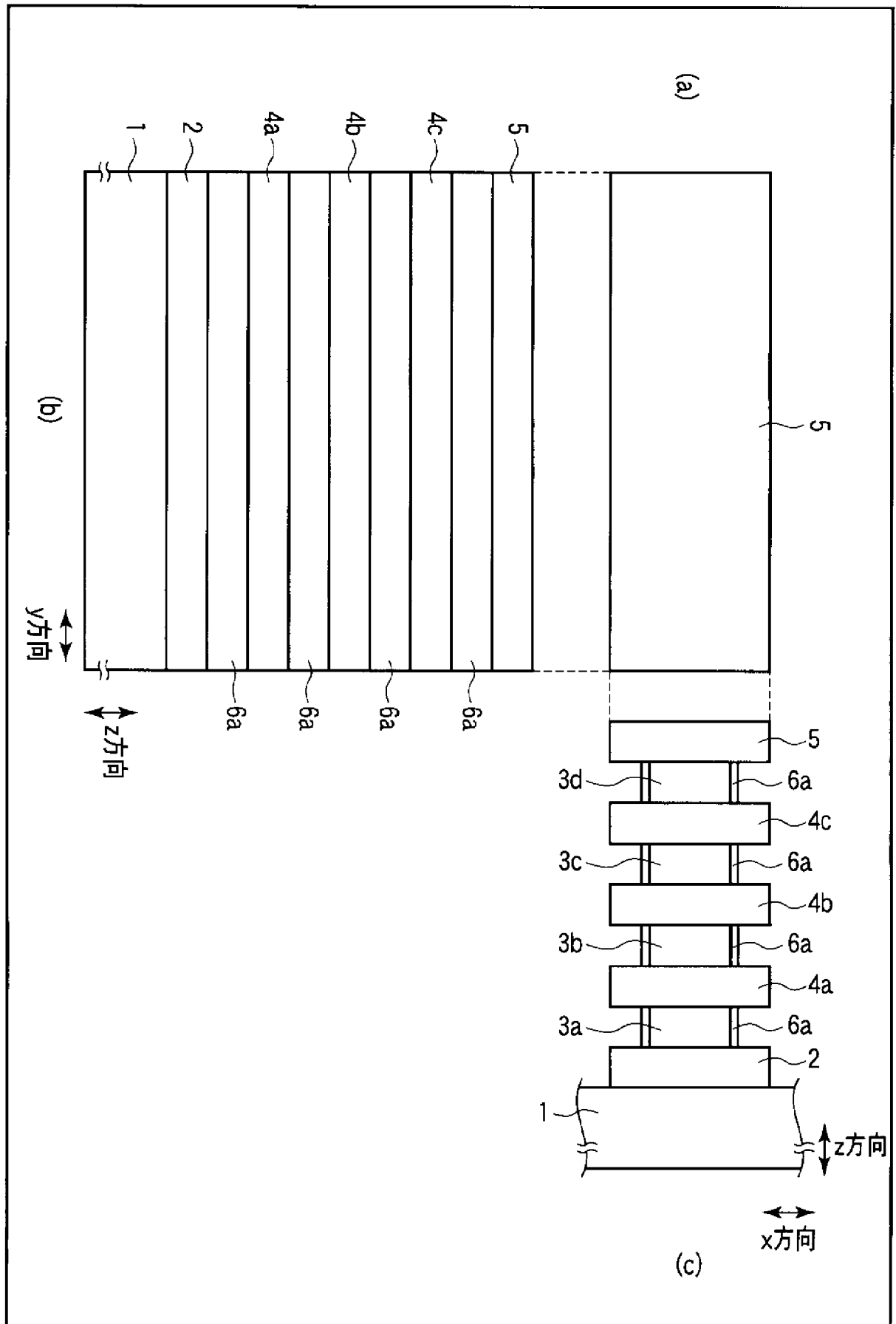
[図24A]



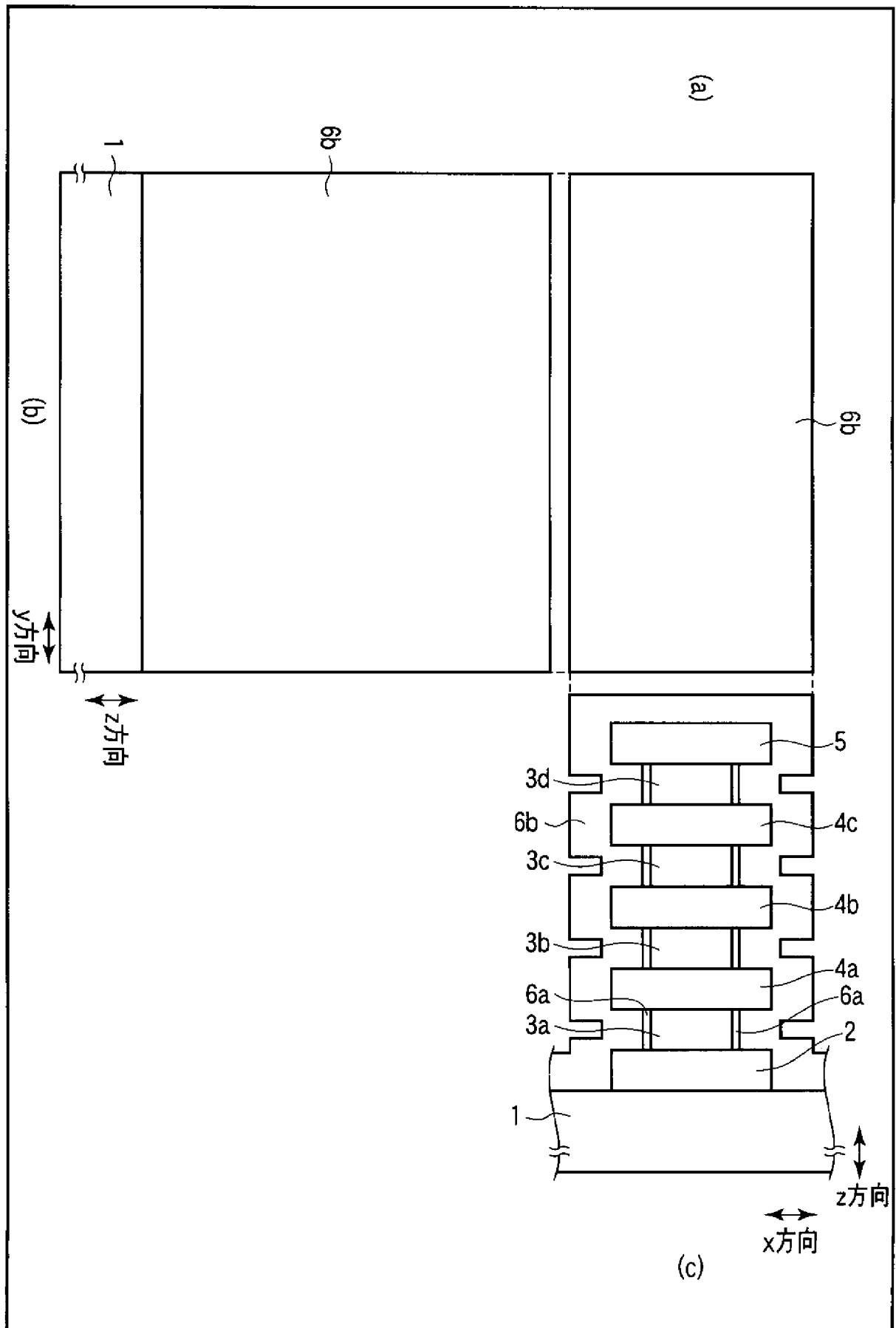
[図24B]



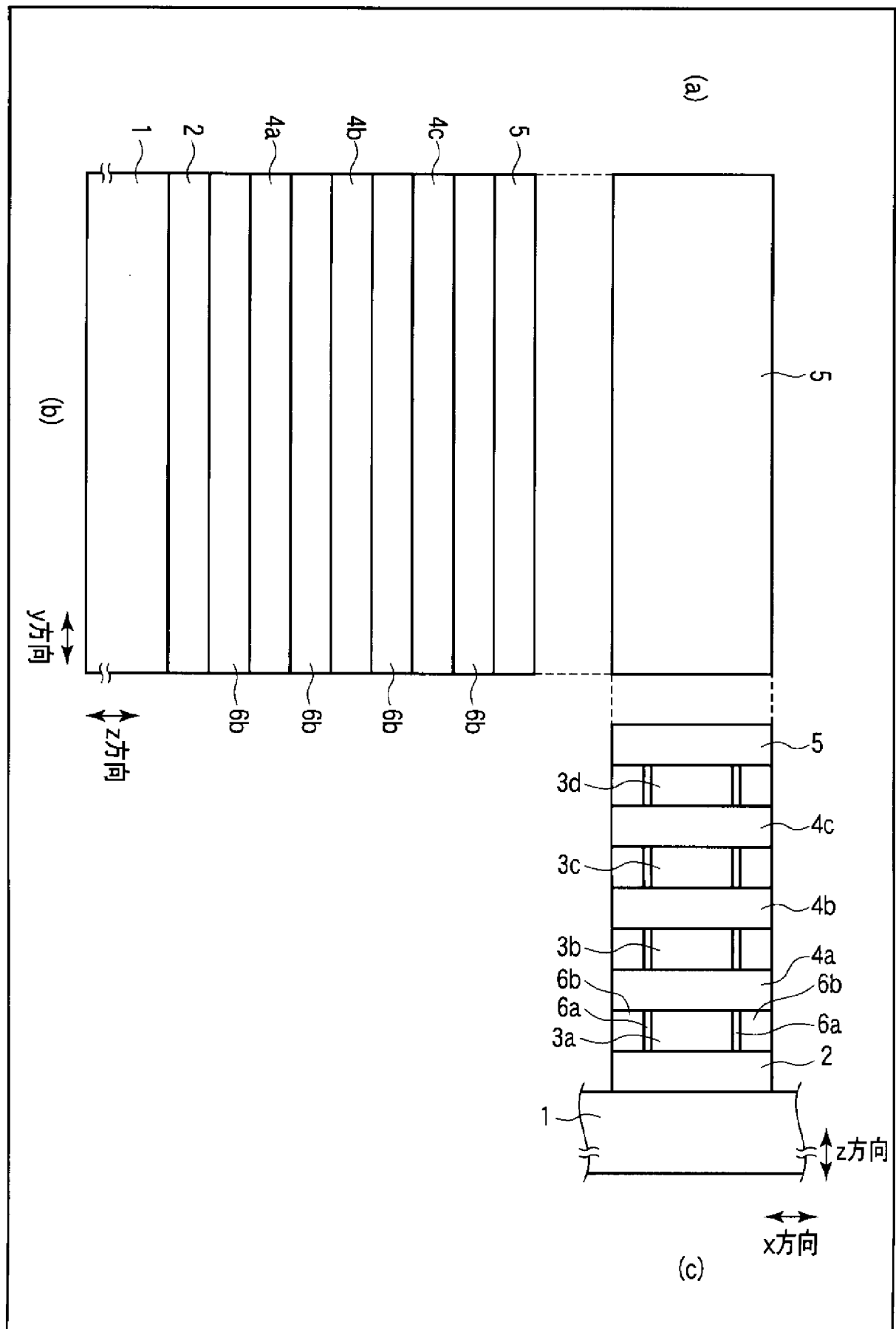
[図24C]



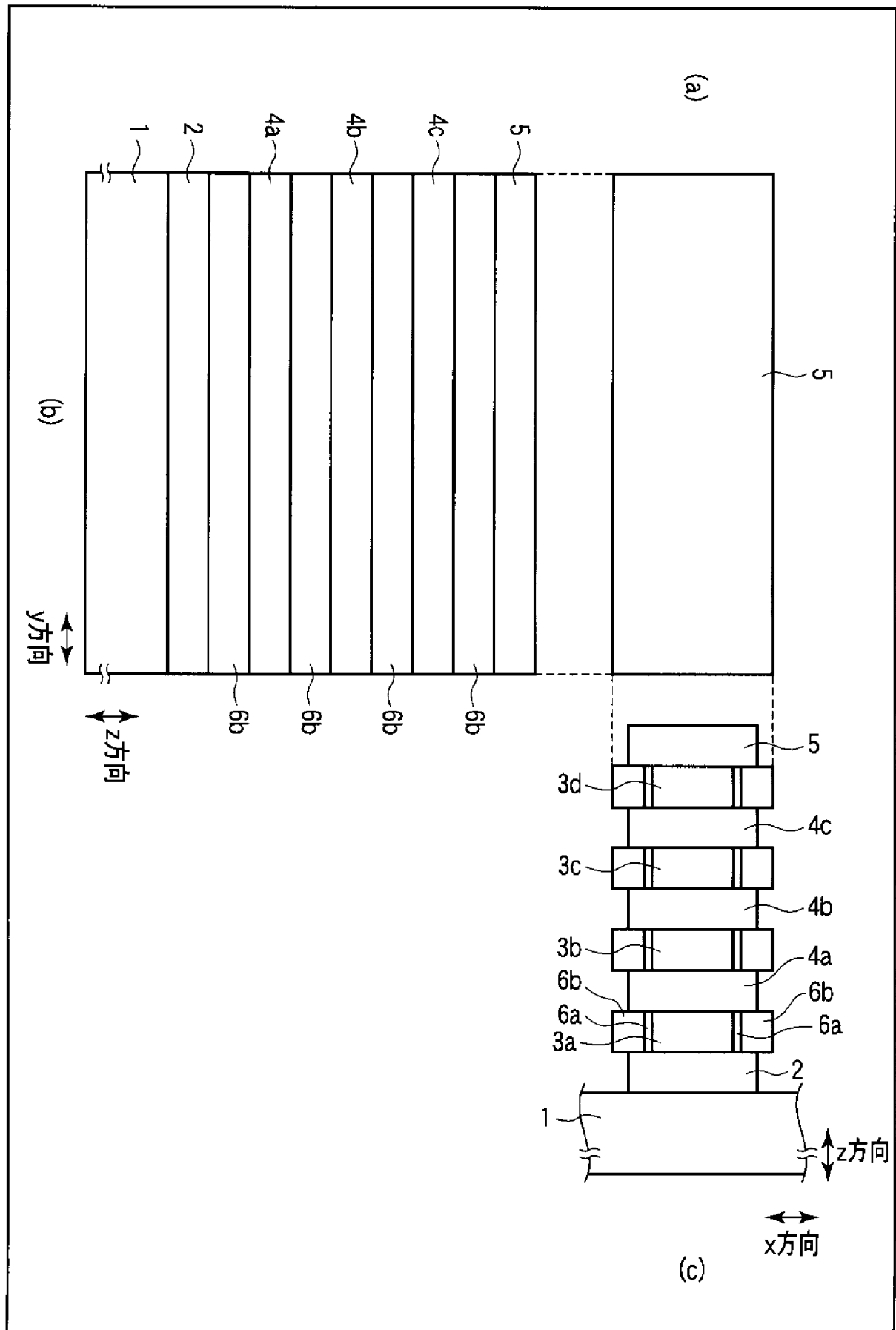
[図24D]



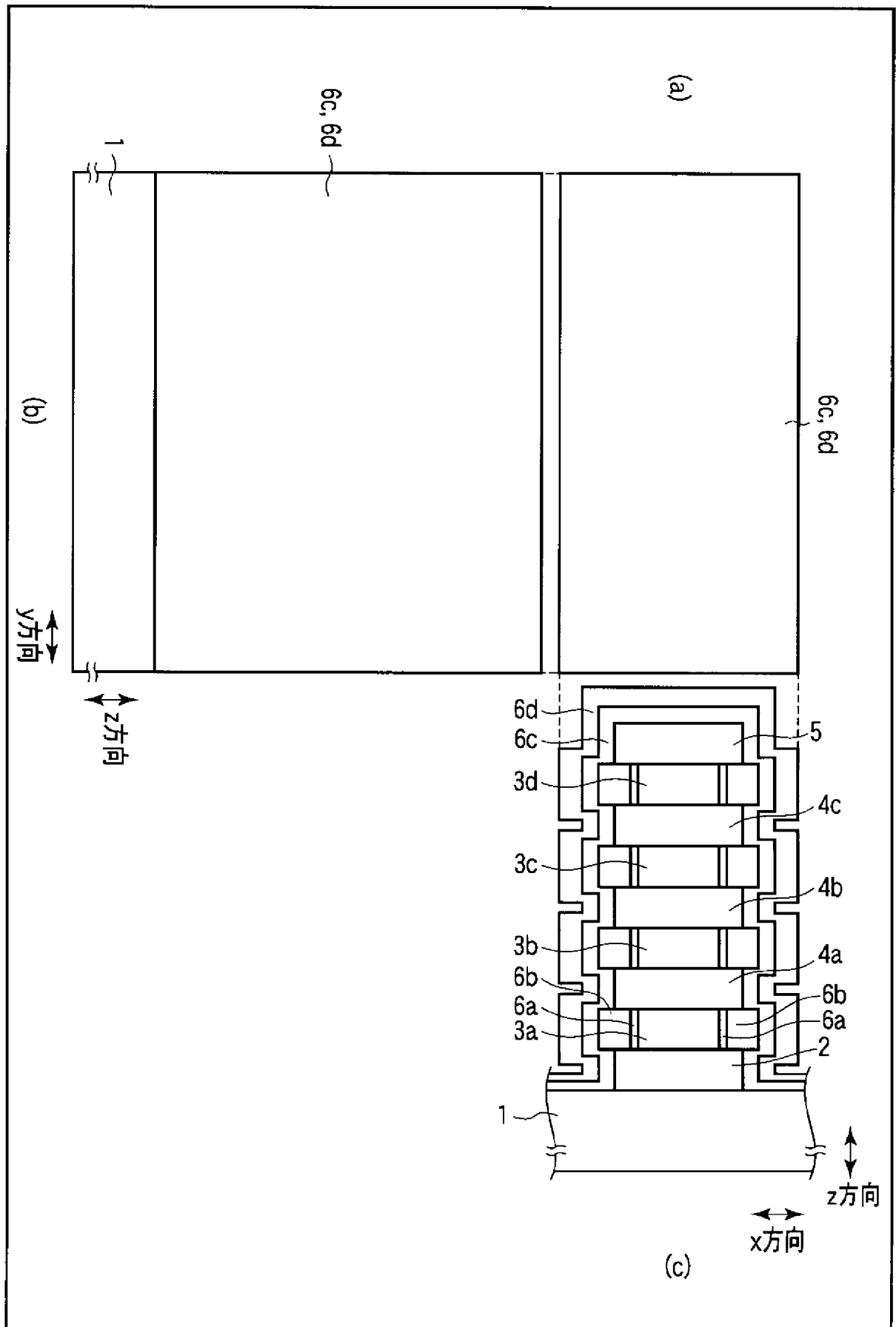
[図24E]



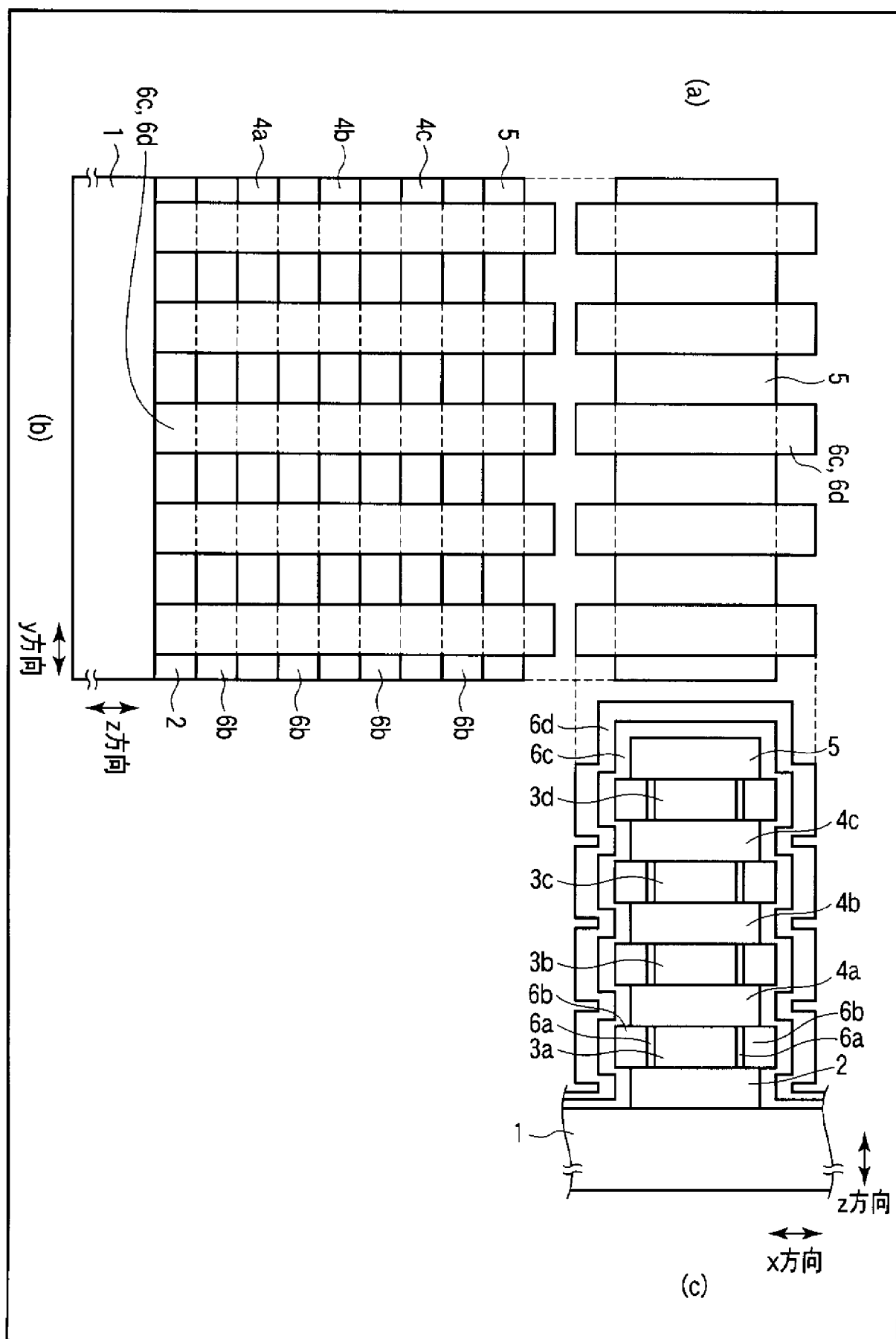
[図24F]



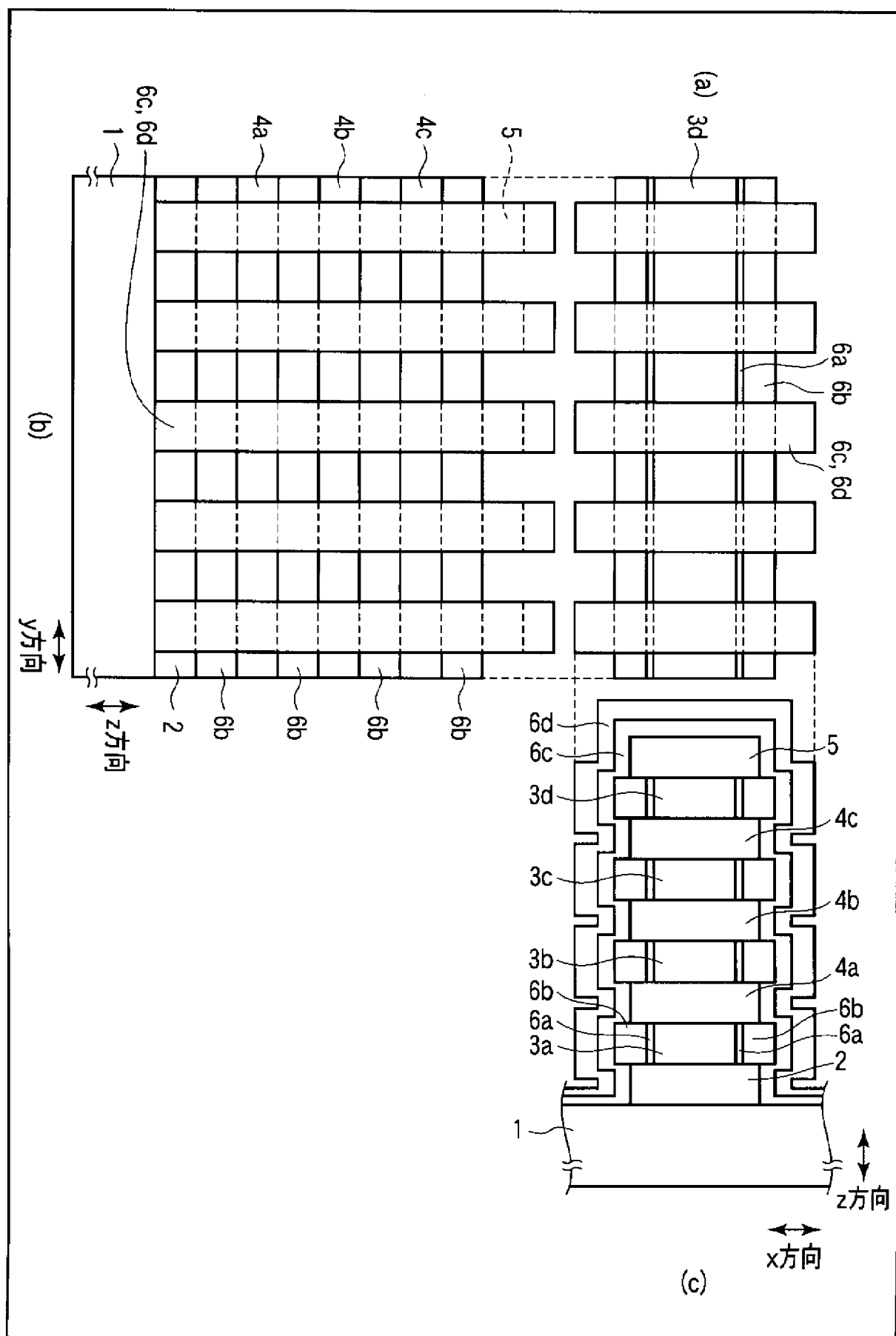
[図24G]



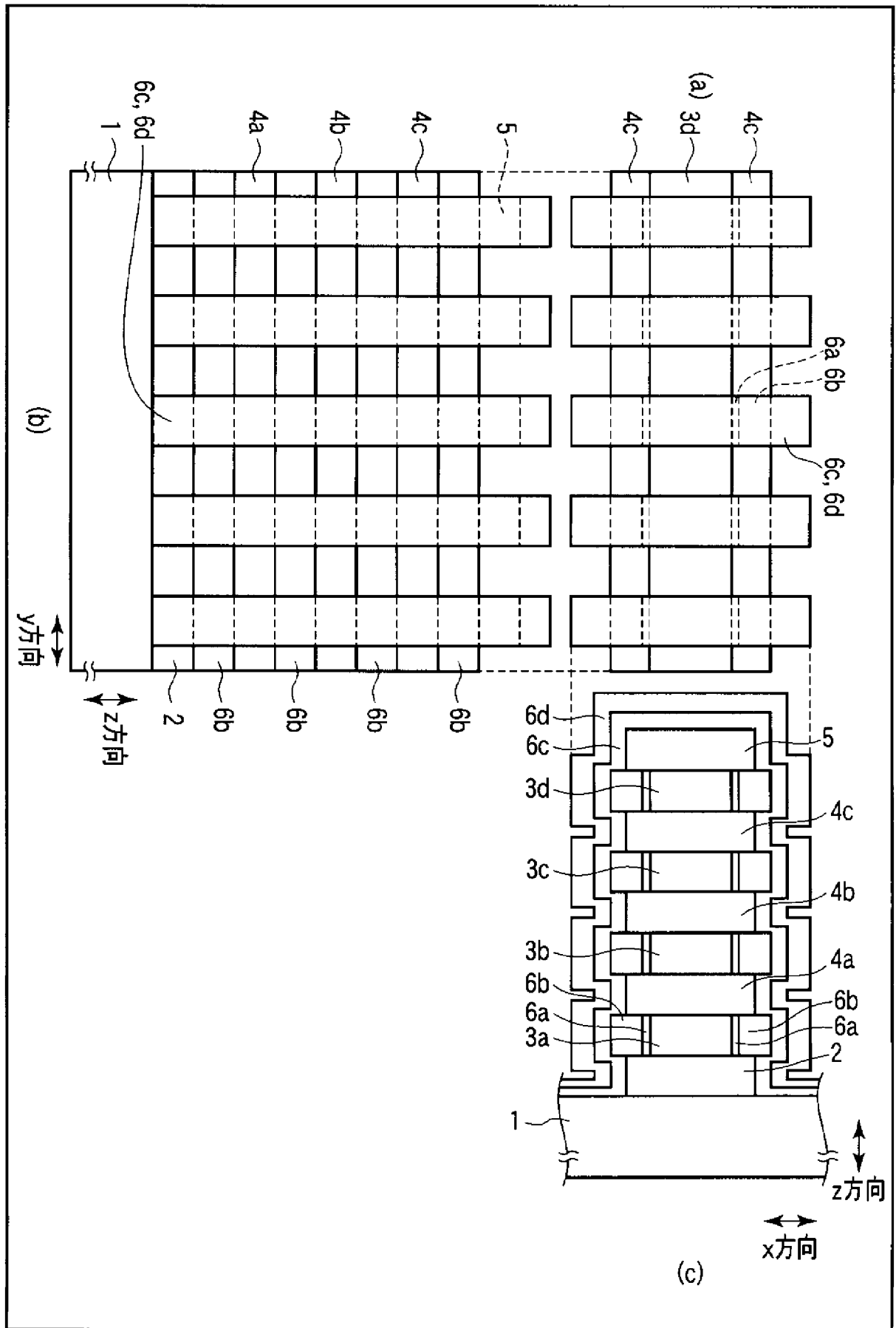
[図24H]



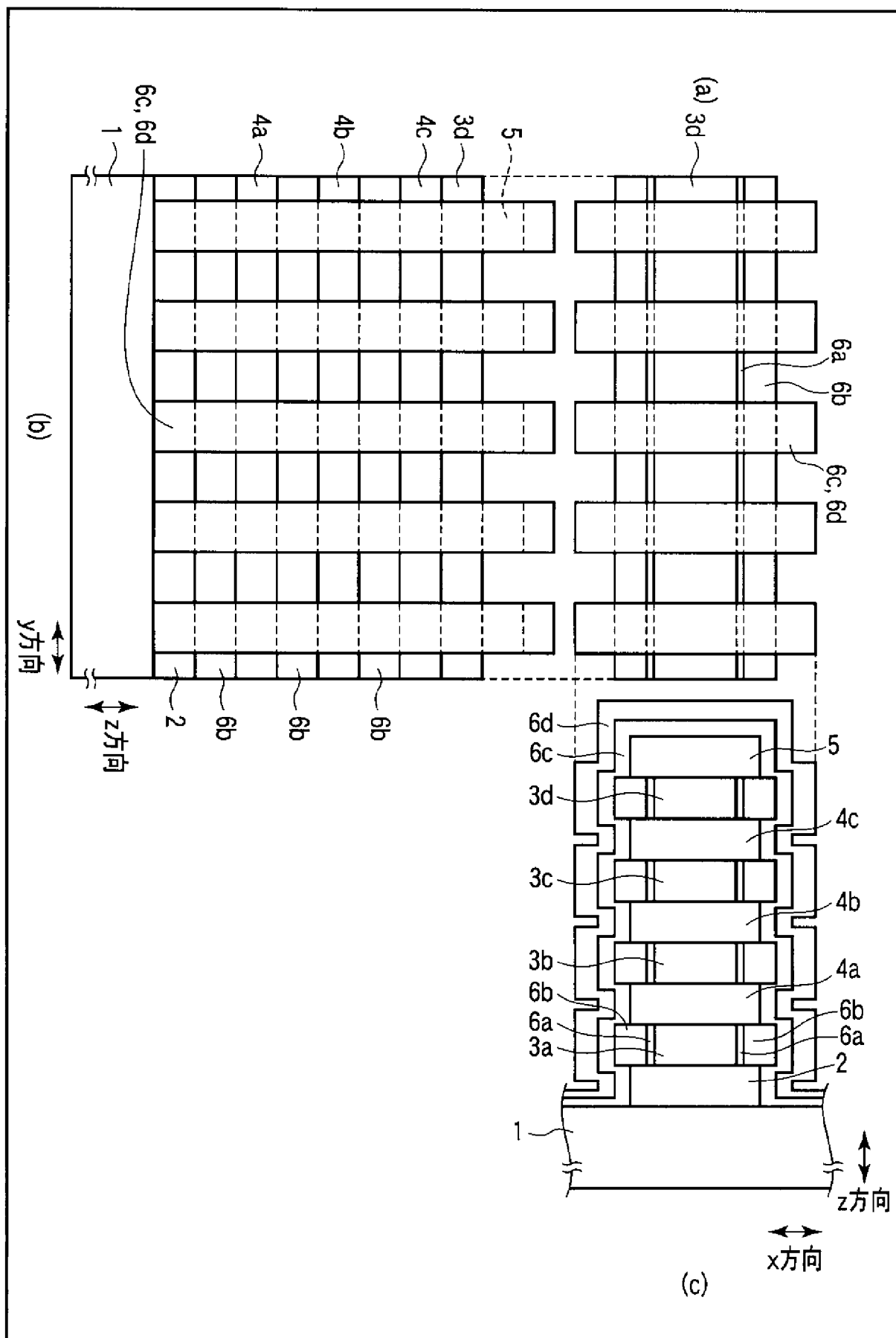
[図24]



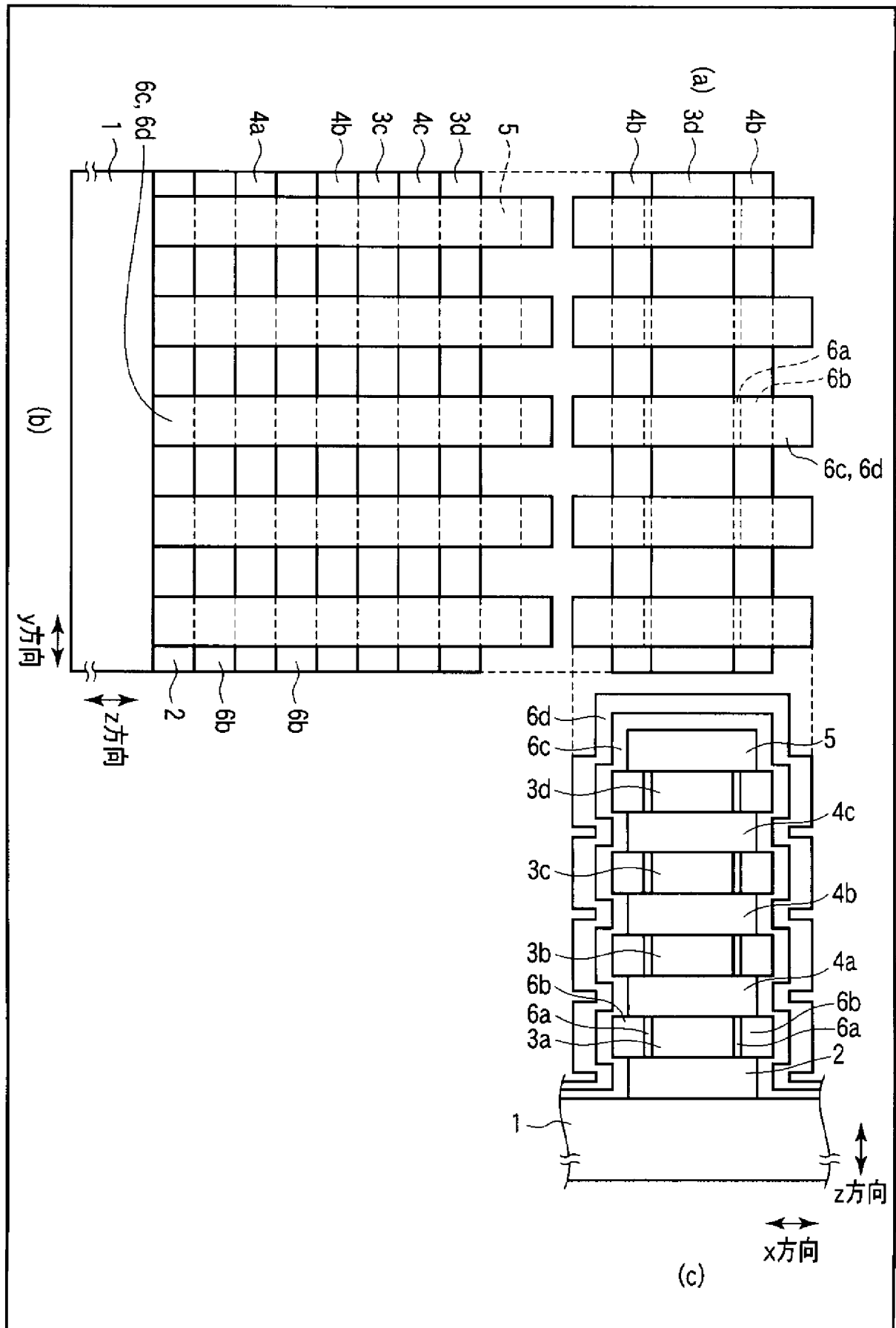
[図24J]



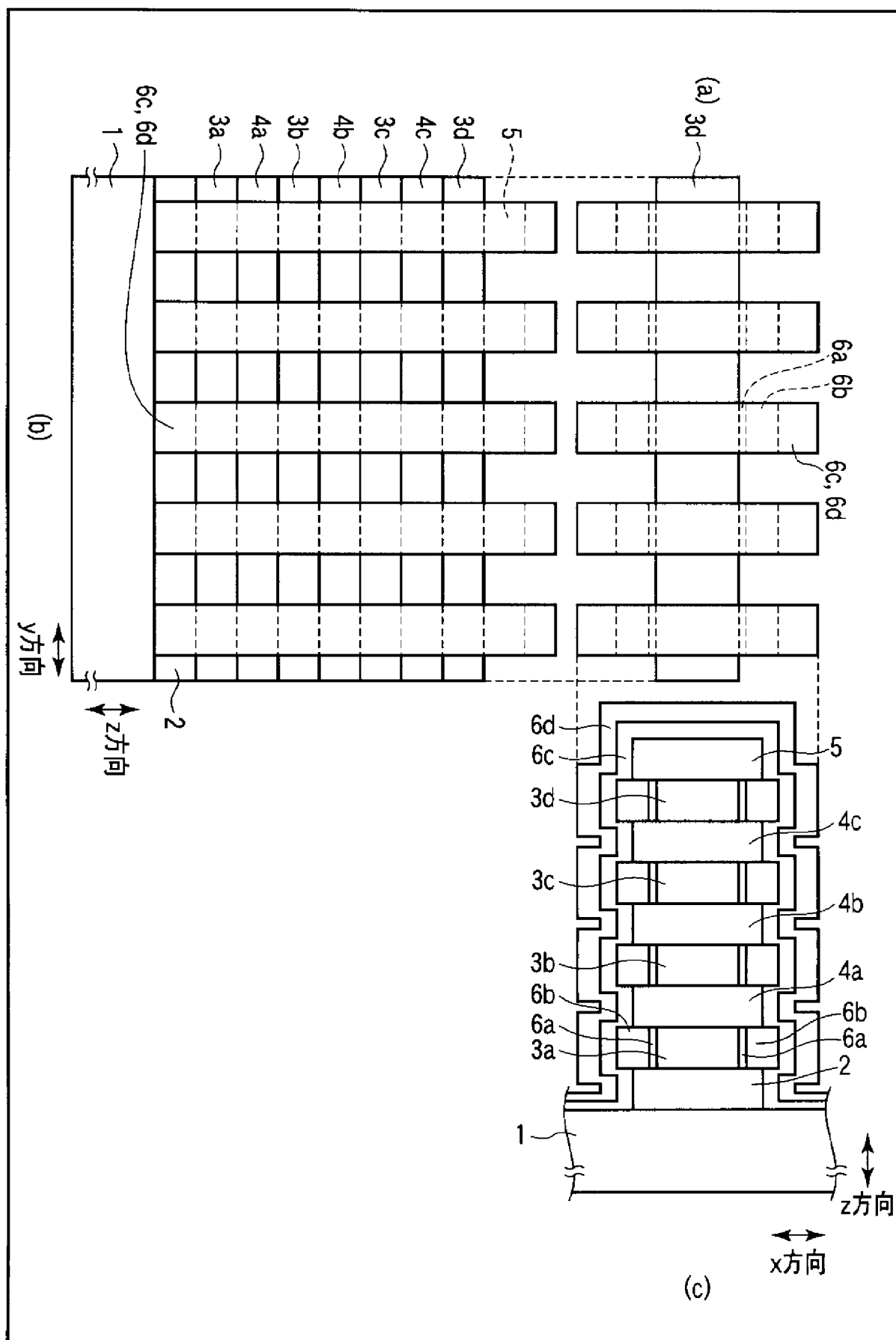
[図24K]



[図24L]



[図24M]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/054771

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/8247(2006.01)i, H01L27/115(2006.01)i, H01L29/788(2006.01)i,
H01L29/792(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/8247, H01L27/115, H01L29/788, H01L29/792

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2010
Kokai Jitsuyo Shinan Koho	1971-2010	Toroku Jitsuyo Shinan Koho	1994-2010

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2009/119527 A1 (Toshiba Corp.), 01 October 2009 (01.10.2009), entire text; all drawings & JP 2009-238874 A	1-11
A	JP 2010-10596 A (Toshiba Corp.), 14 January 2010 (14.01.2010), entire text; all drawings & US 2009/0321813 A1	1-11
A	JP 2010-21191 A (Toshiba Corp.), 28 January 2010 (28.01.2010), entire text; all drawings (Family: none)	1-11



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
11 June, 2010 (11.06.10)

Date of mailing of the international search report
22 June, 2010 (22.06.10)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/054771

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2010-40122 A (Toshiba Corp.), 18 February 2010 (18.02.2010), entire text; all drawings & US 2010/0034028 A1	1-11
A	JP 2009-295837 A (Toshiba Corp.), 17 December 2009 (17.12.2009), entire text; all drawings (Family: none)	1-11
A	JP 2009-295617 A (Toshiba Corp.), 17 December 2009 (17.12.2009), entire text; all drawings & US 2009/0294828 A1	1-11
A	JP 2008-199013 A (Samsung Electronics Co., Ltd.), 28 August 2008 (28.08.2008), entire text; all drawings & US 2008/0191247 A1 & KR 10-2008-0075405 A & CN 101246889 A	1-11
A	JP 2008-78404 A (Toshiba Corp.), 03 April 2008 (03.04.2008), entire text; all drawings & US 2008/0073635 A1 & KR 10-2008-0027162 A	1-11
A	JP 2006-128390 A (Toshiba Corp.), 18 May 2006 (18.05.2006), entire text; all drawings & US 2006/0091556 A1	1-11
A	JP 2007-317920 A (Toshiba Corp.), 06 December 2007 (06.12.2007), entire text; all drawings & US 2007/0290223 A1 & KR 10-2007-0114030 A	1-11

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01L21/8247(2006.01)i, H01L27/115(2006.01)i, H01L29/788(2006.01)i, H01L29/792(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01L21/8247, H01L27/115, H01L29/788, H01L29/792

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 0 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 0 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 0 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2009/119527 A1 (株式会社東芝) 2009.10.01, 全文、全図 & JP 2009-238874 A	1-11
A	JP 2010-10596 A (株式会社東芝) 2010.01.14, 全文、全図 & US 2009/0321813 A1	1-11
A	JP 2010-21191 A (株式会社東芝) 2010.01.28, 全文、全図 (ファミリーなし)	1-11

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

1 1 . 0 6 . 2 0 1 0

国際調査報告の発送日

2 2 . 0 6 . 2 0 1 0

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

正山 旭

4 M

9 2 7 6

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 6 2

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2010-40122 A (株式会社東芝) 2010.02.18, 全文、全図 & US 2010/0034028 A1	1-11
A	JP 2009-295837 A (株式会社東芝) 2009.12.17, 全文、全図 (ファミリーなし)	1-11
A	JP 2009-295617 A (株式会社東芝) 2009.12.17, 全文、全図 & US 2009/0294828 A1	1-11
A	JP 2008-199013 A (三星電子株式会社) 2008.08.28, 全文、全図 & US 2008/0191247 A1 & KR 10-2008-0075405 A & CN 101246889 A	1-11
A	JP 2008-78404 A (株式会社東芝) 2008.04.03, 全文、全図 & US 2008/0073635 A1 & KR 10-2008-0027162 A	1-11
A	JP 2006-128390 A (株式会社東芝) 2006.05.18, 全文、全図 & US 2006/0091556 A1	1-11
A	JP 2007-317920 A (株式会社東芝) 2007.12.06, 全文、全図 & US 2007/0290223 A1 & KR 10-2007-0114030 A	1-11