

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. ⁷ H01L 21/60	(45) 공고일자 (11) 등록번호 (24) 등록일자	2005년09월26일 10-0517010 2005년09월16일
--------------------------------------------	-------------------------------------	------------------------------------------

(21) 출원번호	10-2003-0004005	(65) 공개번호	10-2004-0067048
(22) 출원일자	2003년01월21일	(43) 공개일자	2004년07월30일

(73) 특허권자 오태성
 서울 양천구 목동 신시가지아파트 116-505

(72) 발명자 오태성
 서울 양천구 목동 신시가지아파트 116-505

(74) 대리인 박희규

심사관 : 송원선

(54) 교류자기장에 의한 유도가열체를 이용한 플립칩본딩방법과 그 장치

요약

본 발명은 IC칩(11)을 회로기관(15)에 접합시키는 플립칩 본딩방법과 그 장치에 관한 것으로서, 특히 교류자기장을 유도 가열체(12)에 인가하고 유도가열체(12)에서 발생하는 열로 IC칩(11)을 선택적으로 가열하여 이 열이 IC칩(11)의 솔더범프(14)로 전도되고 솔더범프(14)가 리플로우 되어 회로기관(15)의 금속패드(16)에 용착됨으로써 회로기관(15)에는 손상을 주지 않으면서 IC칩(11)을 회로기관(15)에 접합시키는 플립칩 본딩이 가능하게 된다.

또한 본 발명에서는 회로기관(15)과 IC칩(11)의 열팽창계수 차이에 의해 발생하는 열변형률을 감소시킬 수 있어 플립칩 본딩된 솔더범프(14) 부위의 신뢰성을 향상시킬 수 있는 이점이 있다.

대표도

도 1

색인어

플립칩, 플립칩 본딩, 유도가열체, 회로기관, 솔더범프

명세서

도면의 간단한 설명

도 1은 본 발명에서 교류자기장에 의한 유도가열체를 이용한 플립칩 본딩방법과 그 장치를 나타내는 개략도,

도 2는 본 발명에서 금속막 또는 전도성 세라믹 코팅으로 이루어진 유도가열체를 도시한 단면도,

도 3은 본 발명에서 IC칩에 솔더범프를 형성한 상태를 도시한 사시도,

도 4는 도 3의 A-A선에서 절단한 상태를 도시한 요부단면도,

도 5는 본 발명에서 유도가열판 위에 놓은 IC칩을 유도코일 내에 설치하여 교류자기장을 가한 상태를 도시한 개략설명도,

도 6은 본 발명에서 교류자기장 인가에 의한 유도가열체를 이용하여 리플로우시킨 구형 솔더범프를 도시한 사진,

도 7은 본 발명에서 IC칩에 형성한 폐회로 형태의 유도가열체의 모식도,

도 8은 본 발명에서 유도코일의 하부와 유도가열체를 구비한 IC칩의 상부에 유도코일을 설치한 상태를 도시한 모식도,

도 9는 본 발명에서 유도코일의 하부에만 유도코일을 설치한 상태를 도시한 모식도,

도 10은 본 발명에서 유도가열체를 구비한 IC칩 상부에만 유도코일을 설치한 상태를 도시한 모식도,

도 11은 본 발명에서 회로기관 하부에 냉각블록을 설치한 상태를 도시한 모식도.

* 도면의 주요부분에 대한 부호설명 *

11 : IC칩 12 : 유도가열체

13 : 유도코일 14 : 솔더범프

15 : 회로기관 16 : 금속패드

21 : 금속막 또는 전도성 세라믹 코팅 22 : 기관

111 : 냉각블록

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 IC (Integrated Circuit) 칩을 회로기관에 실장하는 플립칩 본딩방법과 그 장치에 관한 것으로서, 특히 교류자기장 인가에 의한 유도가열체를 이용하여 IC (Integrated Circuit) 칩을 회로기관에 실장하는 플립칩 본딩방법과 그 장치에 관한 것이다.

IC칩을 회로기관에 연결하는 본딩방법으로 기존에는 금 또는 알루미늄 세션을 이용하여 IC칩의 패드와 리드프레임을 연결하는 와이어본딩 방법이 많이 사용되어져 왔다.

이와 같은 와이어본딩 방법에서는 입출력단자로 사용되는 금속패드를 IC칩의 가장자리에만 형성할 수 있기 때문에, IC칩이 고밀도화되어 입출력단자수가 증가하고 패드간의 간격이 미세화될수록 사용하기 어렵다는 문제점이 있다. 또한 신호주파수가 증가할수록 본딩한 와이어에서의 잡음 발생으로 전기적 특성이 떨어지게 된다.

상기 와이어본딩 방법의 문제점을 해결하기 위해 IC칩의 뒷면에 솔더범프를 형성하고 이를 리플로우 하여 회로기관의 금속패드와 융착시켜 IC칩을 회로기관에 본딩하는 플립칩 본딩방법이 사용되고 있다.

플립칩 본딩방법은 칩의 가장자리만을 이용하는 와이어본딩 방법에 비해 칩의 전면적을 활용하는 area array 방식이므로 단위면적당 입출력단자수를 크게 증가시킬 수 있으며, 솔더범프의 길이가 본딩와이어에 비해 매우 짧기 때문에 전기적 특성이 우수한 장점이 있다.

또한, 고분자로 된 회로기판에 플립칩 본딩방법으로 IC칩을 직접 실장하면 패키지의 크기를 최소화할 수 있으며 제조가격을 낮출 수 있어 경박단소화, 고기능화, 고성능화, 고속화와 더불어 저가격화된 전자제품의 구현을 위해 사용되고 있다.

기존의 플립칩 본딩방법에서는 IC칩에 솔더범프를 형성하고 IC칩을 회로기판 상의 금속패드와 정렬 후, 적외선 가열방식이나 대류가열 방식 등을 사용하여 IC칩과 회로기판들을 모두 솔더범프의 용점 이상으로 가열하여 솔더범프를 리플로우, 즉 용해시킴으로써 IC칩의 솔더범프와 회로기판의 금속패드간의 본딩이 이루어지는 것이었다.

현재 고분자 회로기판에 IC칩을 플립칩 본딩하기 위한 솔더 재료로는 63Sn-37Pb가 주로 사용되고 있으나, 최근에는 납의 환경유해성이 문제가 되어 Sn-3.5Ag나 Sn-0.7Cu 또는 Sn-3.5Ag-1.0Cu와 같은 무연솔더로 대체되고 있다.

63Sn-37Pb 솔더의 용점은 183℃이며 Sn-3.5Ag나 Sn-0.7Cu 또는 Sn-3.5Ag-1.0Cu와 같은 무연솔더들의 용점은 220℃ 이상으로 63Sn-37Pb 솔더의 용점보다 높다.

적외선 가열방식이나 대류가열 방식을 이용하는 기존의 플립칩 본딩방법으로 상기의 63Sn-37Pb 솔더범프나 Sn-3.5Ag, Sn-0.7Cu, Sn-3.5Ag-1.0Cu 등의 무연솔더범프를 갖는 IC칩을 고분자 회로기판에 플립칩 본딩하기 위해서는 IC칩과 고분자 회로기판을 모두 솔더범프의 리플로우가 가능한 200~300℃ 범위의 온도까지 가열하여야 하기 때문에, 열에 약한 고분자 회로기판이 손상을 입을 수 있다.

또한, 회로기판 재료인 고분자의 열팽창계수는 $100 \times 10^{-6}/^{\circ}\text{C}$ 정도로 IC칩 재료인 Si의 열팽창계수 $2.6 \times 10^{-6}/^{\circ}\text{C}$ 와 비교하여 큰 차이를 나타낸다.

따라서, 이들을 솔더범프의 리플로우 온도로 가열하여 플립칩 본딩한 후 상온으로 생각하면 고분자 회로기판이 IC칩보다 훨씬 많이 수축하기 때문에 플립칩 본딩된 솔더범프에 심한 열변형률이 발생하여 신뢰성이 저하될 수 있다.

따라서, 회로기판과 IC칩을 모두 리플로우 온도로 가열하는 기존의 플립칩 본딩방법과는 달리 IC칩만을 선택적으로 가열하여 IC칩에 형성된 솔더범프를 리플로우 함으로써 IC칩을 회로기판에 플립칩 본딩할 수 있는 방법과 그 장치가 필요한 것이었다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 상기한 종래 기술의 문제점을 해결하기 위한 것으로서, IC칩을 선택적으로 가열하여 이에 형성된 솔더범프를 리플로우 함으로써 고분자 회로기판에는 손상을 주지 않으며, 또한 플립칩 본딩된 솔더범프의 열변형률에 의한 신뢰성 저하를 방지하면서 IC칩을 회로기판에 접합시킬 수 있는 플립칩 본딩방법과 그 장치를 제공하기 위한 것이다.

이를 위해 본 발명에서는, IC칩의 주변에 교류자기장에 의한 유도가열체를 구비하고, 상기 IC칩을 교류자기장 인가시에 상기 유도가열체에 발생하는 열을 이용하여 선택적 가열하고 솔더범프를 리플로우시켜줌으로써, 고분자 회로기판에는 전혀 손상주지 않으면서 IC칩을 회로기판에 접합시킬 수 있도록 한 것이다.

첨부도면에 의해 본 발명의 구성 및 작용을 보다 상세히 설명해보기로 한다.

발명의 구성 및 작용

도 1은 본 발명에서 교류자기장에 의한 유도가열체를 이용한 플립칩 본딩방법과 그 장치를 나타내는 개략도이며, 도 2는 본 발명에서 금속막 또는 전도성 세라믹 코팅으로 이루어진 유도가열체를 도시한 단면도이며, 도 3은 본 발명에서 IC칩에 솔더범프를 형성한 상태를 도시한 사시도이며, 도 4는 도 3의 A-A선에서 절단한 상태를 도시한 요부단면도이다.

본 발명은 회로기관(15)에 IC칩(11)을 본딩시키는 플립칩 본딩방법에 있어서, 교류자기장에 의한 유도가열체(12)를 이용하여 IC칩(11)을 선택적으로 가열하고 이 열로 IC칩(11)의 솔더범프(14)를 리플로우 시켜 IC칩(11)을 회로기관(15)에 플립칩 본딩시키는 것을 특징으로 한다.

이때, 상기 유도가열체(12)는 IC칩(11)만을 선택적으로 가열하기 위하여 회로기관(15)과 접합하기 위한 IC칩(11)의 주변부에 구비되어진다.

즉, 본 발명에서는, 회로기관(15) 상부에 솔더범프(14)를 사이에 두고 접합되어진 IC칩(11)과, 상기 IC칩(11)의 솔더범프(14)를 리플로우 시키기 위한 가열수단으로 구성되어진 플립칩 본딩장치에 있어서, 상기 가열수단으로 교류자기장에 의한 유도가열체를 이용한 것을 특징으로 하는데, 보다 구체적으로 설명하자면 회로기관(15)과 접합하기 위한 IC칩(11)의 인접 위치에는 유도가열체(12)를 구비하고, 위 장치의 주변부에는 상기 유도가열체(12)에 교류자기장을 인가하기 위한 유도코일(13)이 그 둘레를 에워싸고 있다.

이 때, 상기 교류자기장의 주파수는 고분자 회로기관(15)의 유전자열을 방지하기 위하여 10 MHz 이하로 한다.

도 1에 의해 본 발명의 구성을 상세하게 설명하면, 우선 IC칩(11)의 선택적 가열을 위해 IC칩(11) 위에 설치한 판 형태의 유도가열체(12)와, 상기 유도가열체(12)에 교류자기장을 인가하기 위한 권선형의 유도코일(13)로 구성된다.

본 발명에서 유도코일(13)에 교류전류를 인가하면 유도코일(13)의 내부에 교류자기장이 발생된다. 이때 교류전류 인가에 의한 유도코일(13)의 가열을 방지하기 위해 유도코일(13)은 수냉 구리관으로 구성하는 것이 바람직하나, 경우에 따라서는 유도코일(13)을 수냉하지 않을 수도 있다.

본 발명에서는 상기 유도코일(13)에 의해 발생한 교류자기장에 의해 IC칩(11) 위에 설치한 판 형태의 유도가열체(12)에 와전류가 발생하여 유도가열체(12)가 가열되며, 이 열이 IC칩(11)을 통해 IC칩(11)의 솔더범프(14)로 전도되고 솔더범프(14)가 리플로우 되어 회로기관(15)의 금속패드(16)에 용착됨으로써 회로기관(15)에는 손상을 주지 않으면서 IC칩(11)을 회로기관(15)에 플립칩 본딩하는 것이 가능하게 된다.

교류자기장에 의해 재료에 발생하는 유도기전력(emf)은 Faraday의 법칙, $emf = 10^{-8}N \cdot d\psi/dt$ 으로 나타낼 수 있다. Faraday 법칙에서 N은 유도코일(13)의 권선수, ϕ 는 재료를 관통하는 총자력선수이며 $d\phi/dt$ 는 단위시간당 총자력선수의 변화율로 교류자기장의 주파수와 관련되는 값이다. 교류자기장 인가에 의해 발생하는 유도기전력에 의해 재료 내에 와전류가 흐르게 되어 재료에 주열 열이 발생하게 되는데, 이때 와전류의 크기는 교류자기장의 주파수가 높을수록 커지며 또한 재료의 전기저항이 작을수록 커진다.

회로기관(15)의 재료인 고분자는 전기부도체로 전기비저항이 $10^{17} \Omega\text{-cm}$ 정도로 매우 크며 또한 IC칩(11)인 반도체의 전기비저항은 $10^4 \Omega\text{-cm}$ 정도로 크기 때문에, 10 MHz 이하의 교류자기장을 인가하여도 고분자 회로기관(15)과 IC칩(11)에는 와전류가 흐르지 않아 유도가열되지 않는다.

일반적으로 전기전도체인 금속은 전기비저항이 낮기 때문에 교류자기장 인가에 의해 와전류가 발생하여 유도가열이 가능하며, 이를 금속제품의 유도용해와 유도 열처리 등에 활용하고 있다. 그러나, 금속의 경우에도 그 단면적이 임계크기 이하로 작아지게 되면 와전류가 흐를 수 있는 통로가 확보되지 않아 와전류가 흐르지 않게 되어 교류자기장에 의한 유도가열이 일어나지 않게 된다.

교류자기장을 인가하여 63Sn-37Pb 솔더범프(14)를 유도가열시켜 리플로우 즉, 용해하기 위한 최소지름은 교류자기장의 주파수 10 kHz에서는 14 mm, 50 kHz에서는 6.4 mm, 200 kHz에서는 3.3 mm, 450 kHz에서는 2.1 mm, 2 MHz에서는 1 mm, 즉 1000 μm 정도 크기이다.

63Sn-37Pb 솔더범프(14)의 지름이 교류자기장의 각 주파수에서의 상기 임계지름보다 작으면 교류자기장을 인가하여도 솔더범프의 유도가열에 의한 리플로우가 일어나지 않는다.

5Sn-95Pb와 같이 납의 함량이 높은 솔더나 Sn-3.5Ag, Sn-0.7Cu, Sn-3.5Ag-1.0Cu 등과 같은 무연솔더, In, In-Ag, In-Sn, Bi-Sn 등의 저융점 솔더들도 전기비저항이 63Sn-37Pb 솔더와 별 차이가 없기 때문에 교류자기장의 각 주파수에서 유도가열에 의한 리플로우, 즉 용해가 가능한 이들 솔더범프(14)의 최소지름은 63Sn-37Pb 솔더범프의 최소지름과 유사하다.

현재 플립칩 본딩에 사용되는 솔더범프(14)의 크기는 100 μm 정도이며, 향후에는 미세피치화를 위하여 이를 더욱 감소시키려 하고 있다. 이와 같이 플립칩 본딩에 사용되는 솔더범프(14)의 지름이 상기 교류자기장의 각 주파수에서 유도가열이 가능한 최소지름보다 매우 작기 때문에 교류자기장을 인가하더라도 IC칩(11)의 솔더범프(14)는 유도가열에 의해 리플로우 되지 않는다.

따라서 현재에는 교류자기장 인가를 이용한 플립칩 본딩은 이루어지지 않는 실정이었다.

이에, 본 발명에서는 IC칩(11) 부근에 유도가열체(12)를 구비하고 교류자기장 인가에 의해 유도가열체(12)에서 발생하는 열을 IC칩(11)에 전도하여 IC칩(11)에 형성된 솔더범프(14)를 리플로우 시켜 고분자 회로기판(15)상의 금속패드(16)와 융착함으로써, 회로기판(15)에는 손상을 주지 않으면서 IC칩(11)과 회로기판(15)간의 접합이 가능토록 하였다.

구리, 알루미늄, 철, 니켈, 크롬, 금, 은, 백금과 같은 금속이나 흑연 등의 전기전도체에서 교류자기장을 인가하여 솔더범프(14)의 리플로우가 가능한 200~300℃ 이상으로 유도가열할 수 있는 최소길이는 교류자기장의 주파수 10 kHz에서는 6 mm, 50 kHz에서는 2.5 mm, 200 kHz에서는 1.3 mm, 450 kHz에서는 0.9 mm, 2 MHz에서는 0.4 mm, 즉 400 μm 정도이다.

따라서, 구리, 알루미늄, 철, 니켈, 크롬, 금, 은, 백금과 같은 금속이나 흑연 등의 전기전도체로 제작한 유도가열체(12)의 한 변의 길이가 교류자기장의 각 주파수에서의 상기 최소길이보다 클 경우에는 교류자기장의 인가에 의해 유도가열체(12)가 가열되며, 이 열이 열전도도가 우수한 Si 반도체로 구성된 IC칩(11)을 통하여 솔더범프(14)로 전도되며 솔더범프(14)가 리플로우 되어 IC칩(11)의 플립칩 본딩이 가능하게 된다.

반면에 회로기판(15)의 재료인 고분자의 열전도도는 0.2 W/m-K로 IC칩(11) 재료인 Si의 열전도도인 148 W/m-K에 비해 매우 낮아 유도가열체(12)에서 발생한 열이 회로기판(15)으로 전도되기 어렵기 때문에 본 발명에 의해 플립칩 본딩시 회로기판(15)의 손상을 방지할 수 있다.

교류자기장을 인가하여 솔더범프(14) 내에 와전류를 발생시켜 유도가열하는 것은 현재에도 솔더범프(14)의 크기가 와전류가 발생할 수 있는 최소크기보다 훨씬 작아 적용할 수 없지만, 향후 IC칩(11)의 미세피치화에 의해 솔더범프(14)의 크기가 더욱 감소함에 따라 더욱 더 적용이 불가능하게 된다.

이에 반해 교류자기장에 의해 유도가열체(12)에서 발생하는 열을 IC칩(11)을 통해 전도시켜 솔더범프(14)를 리플로우하여 회로기판(15)에 플립칩 본딩하는 본 발명은 미세피치화에 의해 솔더범프(14)의 크기가 감소할수록 이의 리플로우에 요구되는 열량이 작아지게 되므로 더욱 효과적으로 작용하게 된다.

본 발명에서 유도가열체(12)로는 전기전도체인 구리, 알루미늄, 철, 니켈, 크롬, 금, 은, 백금을 포함한 금속판과 흑연판의 사용이 가능하다.

본 발명에서는 또한 도2에 도시한 바와 같이 전기전도체인 구리, 알루미늄, 철, 니켈, 크롬, 금, 은, 백금을 포함한 금속막(금속박막과 후막) 또는 ITO (indium tin oxide)와 같은 전도성 세라믹 코팅(21)을 세라믹과 같은 전기부도체 또는 Si과 같은 반도체의 기판(22)에 형성하여 이를 유도가열체(12)로 사용하는 것도 가능하다.

상기 유도가열체(12)로서 금속막(금속박막이나 후막) 또는 전도성 세라믹 코팅(21)을 이용하는 경우에는 기판(22)보다는 금속막 또는 전도성 세라믹 코팅(21)이 IC칩(11)에 면접촉하도록 유도가열체(12)와 IC칩(11)을 배치하는 것이 바람직하다. 상기 유도가열체(12)로서 금속막(21)이나 전도성 세라믹 코팅(21)을 형성하는 방법으로는 진공증착, 스퍼터링, 전해도금, 무전해도금, 스크린프린팅, 전자빔 증착, 화학기상증착, MBE를 포함하여 어떠한 박막이나 후막 제조공정과 코팅법의 사용도 가능하다.

본 발명에 있어서, IC칩(11)에 형성하는 솔더범프(14)의 재료로서는 In, In-Ag, In-Sn, Bi-Sn 등의 저융점 솔더와, 63Sn-37Pb 공정솔더 뿐만 아니라 이들보다 용해온도가 높은 5Sn-95Pb 등의 고온솔더와, Sn-3.5Ag, Sn-0.7Cu, Sn-3.5Ag-1.0Cu 등과 같은 무연솔더의 사용이 가능하기 때문에 IC칩(11)과 회로기판(15) 사이에서 솔더범프(14)의 접합부에 대한 신뢰성 향상을 이룰 수 있다.

표 1에 나타낸 본 발명의 실시예에서 교류자기장 인가에 의한 솔더범프(14)의 리플로우와 접합 거동을 살펴보기로 한다. 이를 위한 시편의 제조과정을 도 3 및 도 4를 참조하여 상세히 설명하면 아래와 같다.

표 1.

번호	유도가열판	교류자기장		솔더범프		리플로우 및 플립칩 본딩 여부	
		주파수 (kHz)	인가시간 (초)	재질	융점 (°C)	리플로우	플립칩 본딩
실시예1	없음	14	600	63Sn-37Pb	183	×	×
실시예2	없음	14	600	52In-48Sn	120	×	×
실시예3	Cu 스퍼터박막	14	80	63Sn-37Pb	183	○	○
실시예4	Cu 스퍼터박막	14	80	96.5Sn-3.5Ag	221	○	○
실시예5	Cu 도금막	14	80	96.5Sn-3.5Ag	221	○	○
실시예6	Al 스퍼터박막	14	80	96.5Sn-3.5Ag	221	○	○
실시예7	Cu 판	14	80	63Sn-37Pb	183	○	○
실시예8	Cu 판	14	80	96.5Sn-3.5Ag	221	○	○
실시예9	흑연판	14	80	63Sn-37Pb	183	○	○
실시예10	흑연판	14	80	96.5Sn-3.5Ag	221	○	○
실시예11	없음	275	600	63Sn-37Pb	183	×	×
실시예12	없음	275	600	52In-48Sn	120	×	×
실시예13	Cu 스퍼터박막	275	80	63Sn-37Pb	183	○	○
실시예14	Cu 스퍼터박막	275	80	96.5Sn-3.5Ag	221	○	○
실시예15	Cu 스퍼터박막	275	80	5Sn-95Pb	313	○	○
실시예16	Cu 도금막	275	80	63Sn-37Pb	183	○	○
실시예17	Cu 도금막	275	80	96.5Sn-3.5Ag	221	○	○
실시예18	Al 스퍼터박막	275	80	96.5Sn-3.5Ag	221	○	○
실시예19	Cu 판	275	80	63Sn-37Pb	183	○	○
실시예20	Cu 판	275	80	96.5Sn-3.5Ag	221	○	○
실시예21	Al 판	275	80	96.5Sn-3.5Ag	221	○	○
실시예22	흑연판	275	80	63Sn-37Pb	183	○	○
실시예23	흑연판	275	80	96.5Sn-3.5Ag	221	○	○

도 3은 IC칩(11)에 형성한 솔더범프(14)를 나타내는 사시도이며, 도 4는 도 3의 A-A선에서 절단한 상태를 도시한 요부 단면도이다.

우선 IC칩(11)의 UBM 상에 사진식각기술과 박막증착기술을 이용하여 표 1에 나타낸 것과 같은 63Sn-37Pb, 52In-48Sn, 96.5Sn-3.5Ag와 3Sn-95Pb 솔더들을 진공증착하고 포토레지스트를 제거하여 도 3과 도 4에 도시한 것과 같은 솔더범프(14)를 형성하였다

도 5는 IC칩(11)에 진공증착한 상기 솔더범프(14)를 구형 솔더범프(14)로 리플로우 하기 위해 IC칩(11)을 판 형태의 유도가열체(12) 위에 올려놓고, 유도코일(13) 내에 설치하여 교류자기장을 인가하는 개략도를 나타낸다.

IC칩(11)을 선택적으로 가열하기 위한 유도가열체(12)로는 Cu 스퍼터 박막, Cu 도금막, Al 스퍼터 박막, Cu판과 흑연판을 사용하였다.

도 2에 도시한 것과 같은 Cu 스퍼터 박막을 이용하여 금속막 또는 세라믹 코팅(21)에 의한 유도가열체(12)를 제작하기 위해 우선 알루미늄과 Si 재질의 기판(22)을 10 mm×10 mm의 크기로 절단하였으며, 여타 크기의 기판의 사용도 가능하다.

이와 같은 기판(22)들 위에 접착층인 Cr을 500Å의 두께로 스퍼터 증착한 다음에 그 위에 유도가열체(12)로서 Cu 재질로 된 5μm 두께의 금속막(21)을 스퍼터 증착하였으며, 여타 두께로 된 금속막(21)의 사용도 가능하다.

이때 접착층으로서 Cr 대신 Ti의 사용도 가능하다. Al 스퍼터 박막에 의한 유도가열체(12)는 상기와 같은 방법으로 알루미늄과 Si 기판(22)에 증착한 Cr 접착층 위에 Cu 대신 Al을 5μm 두께로 스퍼터 증착하여 금속막(21)을 형성해줌으로써 만들 수 있다.

유도가열체(12)로서 Cu 도금에 의한 금속막(21)은 전기도금법을 이용하여 제작할 수 있는데, 우선 알루미늄과 Si 기판(22)을 10 mm×10 mm의 크기로 절단하였으며, 여타 크기의 기판의 사용도 가능하다. 기판(22)에 접착층인 Cr을 500Å의 두께로 스퍼터 증착한 다음 5000Å 두께의 Cu 박막을 도금 씨앗층으로 스퍼터 증착하였다. 이와 같이 만든 시편들을 Cu 전착용액 내에 담그고 전기를 가하여 5μm 두께의 Cu 도금에 의한 금속막(21)을 형성하였으며, 여타 두께의 Cu 도금막의 사용도 가능할 것이다.

본 실시예에서는 유도가열체(12)로서 Cu 도금에 의한 금속막(21)을 전기도금법을 이용하여 제조하였으나, 유도가열체(12)로서 상기 금속막(21)을 무전해도금법을 사용하여 형성하는 것도 물론 가능하다.

유도가열체(12)로서 Cu판과 흑연판을 사용한 경우에는 2 mm 두께의 Cu판과 흑연판을 10 mm×10 mm의 크기로 절단하여 사용하였으며, 여타 크기와 두께의 금속판과 흑연판의 사용도 가능하다.

도 5에 도시한 바와 같이 솔더범프(14)를 진공증착한 IC칩(11)을 상기 유도가열체(12) 위에 올려놓고 권선수 9회의 유도코일(13)을 이용하여 14 kHz 또는 275 kHz의 주파수를 갖는 교류자기장을 인가하였다. 이때 교류자기장의 주파수가 14 kHz일 경우에는 출력이 6 kW가 되도록 전원공급기를 조절하였으며, 교류자기장의 주파수가 275 kHz일 경우에는 출력이 1 kW가 되도록 조절하였다.

실시예 1과 실시예 2, 그리고 실시예 11과 실시예 12와 같이 유도가열체(12)를 사용하지 않은 경우에는 14 kHz나 275 kHz의 교류자기장을 600초 동안 가해주더라도 63Sn-37Pb, 96.5Sn-3.5Ag를 비롯하여 용점이 120℃인 52In-48Sn 솔더도 리플로우, 즉 용해가 되지 않았다.

이와 같은 경우 교류자기장을 인가하며 비접촉식 온도계로 IC칩(11)과 증착솔더범프(14)의 온도를 측정한 결과 교류자기장을 인가하기 전과 동일한 상온으로 유지되고 있어, 전기비저항이 큰 IC칩(11)과 크기가 매우 작은 솔더범프(14)는 교류자기장에 의해 유도가열되지 않는다는 것을 확인할 수 있었다.

이에 반하여 실시예 3에서 실시예 10까지와 실시예 13에서 실시예 23까지에서 유도가열체(12)를 구비한 경우에는 교류자기장을 80초 동안 가하여 주어 용점이 183℃인 63Sn-37Pb 뿐만 아니라 용점이 221℃인 96.5Sn-3.5Ag와 용점이 313℃인 5Sn-95Pb 솔더범프(14)도 리플로우, 즉 용해되어 도 6에서와 같은 구형 솔더범프(14)가 형성되었다.

도 6에서는 Cu 스퍼터 박막에 의한 금속막(21)을 알루미늄 기판(22)에 형성하여 제조한 유도가열체(12)위에, IC칩(11)을 올려놓고 275 kHz의 교류자기장을 인가하여 리플로우시킨 80 μm 정도의 직경을 갖는 63Sn-37Pb 구형 솔더범프(14)의 예를 실었다.

실시예 3, 실시예 4와 실시예 13, 실시예 14, 실시예 15의 각 실시예들은 Cu 스퍼터 박막에 의한 금속막(21)을 알루미늄과 Si 기판(22)위에 형성한 유도가열체(12)를 사용하여 실시한 것으로, 상기 금속막(21)을 형성하는 기판(22)에 무관하게 증착 솔더범프(14)들이 모두 구형(球形)으로 리플로우 되었다.

본 발명의 실시예에서는 기판(22)으로서 알루미늄과 Si를 사용하였으나, 이외에도 다른 세라믹이나 내열성 고분자들도 도 2에서와 같은 유도가열체(12)를 형성하기 위한 기판(22)으로 사용하는 것이 가능하다.

본 실시예에서는 Cu 스퍼터 박막, Cu 도금막, Cu 판과 흑연판을 유도가열체(12)로 사용하고 교류자기장을 인가함으로써 IC칩(11)에 형성한 증착 솔더범프(14)를 구형으로 리플로우시켰으나, 이외에도 다른 금속박막이나 후막, 금속판이나 ITO 등의 전도성 세라믹을 유도가열체(12)로 사용하여 구형 솔더범프(14)로 리플로우 하는 것이 가능하다.

도 1에 도시한 것과 같이 구형 솔더범프(14)로 리플로우한 IC칩(11)을 회로기판(15)의 금속패드(16)에 정렬한 후, 유도가열체(12)를 IC칩(11)에 설치하고 14 kHz 또는 275 kHz의 교류자기장을 인가하여 솔더범프(14)를 다시 리플로우 하여 회로기판(15)의 금속패드(16)와 융착시킴으로써 표 1의 실시예에서와 같이 IC칩(11)이 플립칩 본딩되었다.

이와 같은 과정 중에 비접촉식 온도계를 사용하여 회로기판(15)의 온도를 측정된 결과 온도변화를 감지할 수 없어, 회로기판(15)의 손상없이 플립칩 본딩이 가능하였다.

회로기판(15)인 고분자의 열팽창계수는 $100 \times 10^{-6}/^{\circ}\text{C}$ 정도로 IC칩 재료(11)인 Si의 열팽창계수 $2.6 \times 10^{-6}/^{\circ}\text{C}$ 보다 매우 크다. IC칩(11)과 회로기판(15)을 모두 리플로우 온도로 가열하는 기존의 방법을 사용하여 200~300°C에서 플립칩 본딩하는 경우, IC칩(11)과 회로기판(15)의 열팽창계수 차이에 의해 플립칩 본딩된 솔더범프(14) 부위에 $1.7 \sim 2.7 \times 10^{-2}$ 의 열변형율이 발생한다.

이에 비해 본 발명에서 교류자기장에 의한 유도가열체(12)를 이용하여 선택적으로 IC칩(11)만을 리플로우 온도인 200~300°C로 가열하는 경우에는, 플립칩 본딩된 솔더범프(14)에 발생하는 열변형율이 $4.5 \sim 7.1 \times 10^{-4}$ 로 기존의 방법에 비해 38분의 1(1/38) 정도로 크게 감소하게 된다.

이와 같이 교류자기장 인가에 의한 유도가열체(12)를 사용하여 IC칩(11)을 선택적으로 가열하여 플립칩 본딩함으로써 회로기판(15)의 손상을 최소화할 수 있을 뿐만 아니라 IC칩(11)과 고분자 회로기판(15)의 열팽창계수의 차이에 기인한 열변형율을 감소시켜 플립칩 본딩된 솔더범프(14) 부위의 신뢰성을 향상시킬 수 있는 이점이 있다.

본 발명의 실시예에서는 플립칩 접합에 사용되는 IC칩(11)의 솔더범프(14)를 교류자기장에 의한 유도가열체(12)를 사용하여 구형 솔더범프(14)로 리플로우 하였으나, 적외선 가열이나 대류가열과 같이 여타 다른 방법에 의해 리플로우된 구형 솔더범프(14)를 갖는 IC칩(11)을 회로기판(15)에 플립칩 본딩시에도 본 발명의 적용이 가능하다.

본 발명의 실시예에서는 IC칩(11)에 진공증착한 솔더범프(14)를 교류자기장에 의한 유도가열체(12)를 이용하여 구형 솔더범프(14)로 리플로우 후에 이를 회로기판(15)에 플립칩 본딩시켰으나, IC칩(11)에 진공증착한 솔더범프(14)를 구형 솔더범프(14)로 리플로우하지 않은 상태로 회로기판(15)에 플립칩 본딩하는 것도 본 발명의 적용이 가능하다.

본 발명의 실시예에서는 IC칩(11)에 형성하는 솔더범프(14)를 진공증착법으로 제조하였으나, 스퍼터 증착, 전해도금 및 무전해도금, 스크린 프린팅, 스퍼터링, 솔더볼 등의 여타의 방법으로 형성한 솔더범프(14)를 갖는 IC칩(11)을 회로기판(15)에 플립칩 본딩시에도 본 발명의 적용이 가능하다.

또한, 본 발명의 실시예에서와 같이 교류자기장에 의한 유도가열체(12)를 이용하여 IC칩(11)에 형성한 솔더범프(14)를 구형 솔더범프로 리플로우 하는 것이 가능하기 때문에, 본 발명은 플립칩 본딩 뿐만 아니라 칩 스케일 패키지에서와 같이 Si 웨이퍼에 형성한 솔더범프(14)를 리플로우하는 공정에도 적용이 가능하다.

본 발명의 상기 실시예에서는 판 형태의 유도가열체(12)를 IC칩(11)과 면접촉시켜 사용하였다. 이와 같은 판 형태의 유도가열체(12) 뿐만 아니라, 도 7에 도시한 것과 같이 IC칩(11)의 가장자리 등을 따라 형성한 폐회로 형태의 유도가열체(12)에 의해서도 본 발명의 적용이 가능하다.

이때 도 7에 도시한 폐회로 형태의 유도가열체(12)는 전기전도체인 구리, 알루미늄, 철, 니켈, 크롬, 금, 은, 백금을 포함한 금속막(금속박막과 후막) 또는 ITO와 같은 전도성 세라믹 코팅을 사용하여 형성하며, 이에 수직방향으로 교류자기장을 인가시에 폐회로 형태의 유도가열체(12)가 와전류가 흐르는 통로로 작용함으로써 유도가열이 가능하게 된다.

상기 폐회로 형태의 유도가열체(12)인 금속막(금속박막이나 후막) 또는 ITO와 같은 전도성 세라믹 코팅은 진공증착, 스퍼터링, 전해도금, 무전해도금, 스크린프린팅, 전자빔 증착, 화학기상증착, MBE를 포함하여 어떠한 박막이나 후막 제조공정과 코팅법의 사용도 가능하다.

도 7에 도시한 것과 같은 폐회로 형태의 유도가열체(12)를 이용한 실시예로서 10 mm×10 mm 크기의 IC칩(11)의 금속 UBM 상에 사진식각기술과 증착기술을 이용하여 63Sn-37Pb 솔더범프(14)를 진공증착하였으며, IC칩(11)의 바닥 모서리를 따라 폭 2 mm의 Cu 박막을 5 μm 두께로 스퍼터 증착하여 폐회로 형태의 유도가열체(12)를 형성하였다. 이와 같은 시편에 275 kHz의 주파수를 갖는 교류자기장을 1 kW의 출력으로 80초 동안 인가하였더니 폐회로 형태의 유도가열체(12)의 유도가열에 의해 IC칩(11)에 형성된 솔더범프(14)들이 구형 솔더범프(14)로 리플로우 되었다.

상기 폐회로 형태의 유도가열체(12)가 형성된 IC칩(11)을 회로기판(15)에 배열하고 275 kHz의 주파수를 갖는 교류자기장을 1 kW의 출력으로 80초 동안 인가하였더니 IC칩(11)에 형성된 폐회로 형태의 유도가열체(12)에서의 가열에 의해 구형 솔더범프(14)가 리플로우 되어 회로기판(15)의 금속패드(16)에 용착됨으로써 플립칩 본딩이 가능하였다.

이와 같은 플립칩 본딩 중에 비접촉식 온도계로 측정된 회로기판(15)의 온도 변화는 감지되지 않았으며, 이로부터 플립칩 본딩 중에 회로기판(15)의 손상이 발생하지 않음을 알 수 있다.

본 발명의 실시예에서는 회로기판(15)을 가열하지 않으면서 교류자기장 인가에 의한 유도가열체(12)를 이용하여 IC칩(11)을 선택적으로 가열하여 이루어지는 플립칩 본딩을 나타내었다.

이와 더불어 회로기판(15)과 IC칩(11)을 적외선 가열이나 대류가열 등 여타의 가열법을 사용하여 솔더범프의 리플로우 온도 이하이며 회로기판(15)이 손상을 입지 않는 온도로 가열하고, 유도가열체(12)에 교류자기장을 인가하여 IC칩(11)을 솔더범프(14)의 리플로우 온도 이상으로 선택적으로 가열하여 이루어지는 플립칩 본딩도 본 발명에서 가능하다.

이와 같은 경우 IC칩(11)의 선택적 가열을 위해 유도가열체(12)에 인가하는 교류자기장의 세기를 감소시킬 수 있는 장점이 있다.

또한, IC칩(11)과 회로기판(15)의 온도 차이의 조절이 가능하여 회로기판(15)과 IC칩(11)의 열팽창계수 차이에 의해 발생하는 열변형률을 거의 소멸시켜 플립칩 본딩된 솔더범프(14) 부위의 신뢰성이 크게 향상시킬 수 있다.

본 발명에서 교류자기장을 인가하는 유도코일(13)은 도 1에 도시한 것과 같이 유도가열체(12)를 구비한 IC칩(11)과 회로기판(15)이 상기 유도코일(13) 내에 들어갈 수 있는 크기로 제작할 수 있다.

이와 더불어 회로기판(15)의 크기가 큰 경우나, 연속작업 등을 위해 유도코일(13) 부위에서 회로기판(15)의 수평이동이 필요한 경우에는 도 8에 도시한 바와 같이 유도가열체(12)에 균일한 자기장을 형성할 정도의 크기로 제작한 유도코일(13)을 회로기판(15)의 밑과 유도가열체(12)를 구비한 IC칩(11)의 위에 설치하는 것도 본 발명에서 가능하다.

또한 본 발명에서는 도 9에 도시한 것과 같이 유도가열체(12)에 균일한 자기장을 형성할 정도의 크기로 제작한 유도코일(13)을 회로기판(15)의 밑에만 설치하거나, 도 10에 도시한 것과 같이 유도가열체(12)를 구비한 IC칩(11)의 위에만 설치하는 것도 가능하다.

종래의 적외선 가열이나 대류가열 등으로 IC칩(11)을 리플로우 하여 회로기판(15)에 접합하는 방법에서는 회로기판(15) 전체의 온도를 올리기 위해 회로기판(15)을 리플로우 로(爐) 또는 리플로우 오븐 등의 장치 안에다 넣어야 한다.

따라서 종래의 방법에서는 회로기판(15)의 크기가 어느 이상으로 커지는 경우에는 작은 회로기판(15)의 플립칩 본딩에 사용하던 장치는 사용하지 못하게 되며, 또한 회로기판(15)의 크기가 커질수록 상기 장치들의 크기가 커져야 한다는 문제점이 있었다.

이에 반하여 본 발명에서는 도 8, 도 9와 도 10에 도시한 것과 같이 유도코일(13)의 크기가 회로기판(15)의 크기에 무관하게 유도가열체(12)에 균일한 자기장을 형성할 정도의 크기이면 되기 때문에 장치의 소형화가 가능하며 또한 회로기판(15)의 크기에 무관하게 동일한 장치를 사용할 수 있는 경제적인 이점이 있다.

본 발명의 실시예에서 회로기판(15)의 온도 변화는 감지되지 않았다. 그러나, 회로기판(15)의 온도 증가를 보다 더 엄격하게 억제할 필요가 있는 경우에는 회로기판(15) 밑에 냉각블록(111)을 설치하는 것도 본 발명에서 가능하다.

이때 교류자기장 인가에 의해 냉각블록(111)이 유도가열되는 것을 방지하기 위해 냉각블록(111)으로는 세라믹이나 고분자 등과 같은 전기부도체를 사용하는 것이 바람직하다. 냉각블록(111)은 공냉할 수도 있으며, 필요에 따라서는 냉각블록(111)에 냉각수나 여타 냉각매체를 흘려주는 것도 가능하다.

발명의 효과

상술한 바와 같이, 본 발명에 의해 교류자기장을 유도가열체(12)에 인가하고 유도가열체(12)에서 발생하는 열로 IC칩(11)을 선택적으로 가열하여 솔더범프(14)를 리플로우시켜 플립칩 본딩함으로써 회로기판(15)의 손상을 최소화하는 효과가 있다.

또한, 본 발명에서는 고분자 회로기판(15)과 IC칩(11)의 열팽창계수의 차이에 의해 발생하는 열변형률을 감소시켜 플립칩 본딩된 솔더범프(14) 부위의 신뢰성이 향상되는 이점이 있다.

뿐만 아니라, 본 발명에 의한 장치에서는 유도코일(13)의 크기가 회로기판(15)의 크기에 무관하여 플립칩 본딩장치의 소형화가 가능하며, 또한 회로기판(15)의 크기에 무관하게 동일한 장치의 사용이 가능하여 경제적인 이점이 있다.

(57) 청구의 범위

청구항 1.

일정간격으로 배열된 다수개의 솔더범프(14)를 사이에 두고 회로기판(15)과 IC칩(11)이 층설된 상태에서, 상기 솔더범프(14)가 가열수단에 의해 리플로우되도록 하여 IC칩(11)이 회로기판(15)에 접합되어지도록 하는 플립칩 본딩장치에 있어서,

IC칩(11)에 금속막 또는 전도성 세라믹 코팅방법을 사용하여 형성한 폐회로 형태의 유도가열체(12)가 IC칩(11)만이 선택적 가열되어지도록 상기 IC칩(11)의 인접위치에 배치되고, 상기 유도가열체(12)의 주변부에는 상기 유도가열체(12)에 교류자기장을 인가하기 위한 유도코일(13)이 구비되어져 있는 것을 특징으로 하는 교류자기장에 의한 유도가열체를 이용한 플립칩 본딩장치.

청구항 2.

삭제

청구항 3.

삭제

청구항 4.

삭제

청구항 5.

청구항 1에 있어서, 상기 회로기판(15)에 냉각블록(111)이 인접 설치되어진 것을 특징으로 하는 교류자기장에 의한 유도가열체를 이용한 플립칩 본딩장치.

청구항 6.

삭제

청구항 7.
삭제

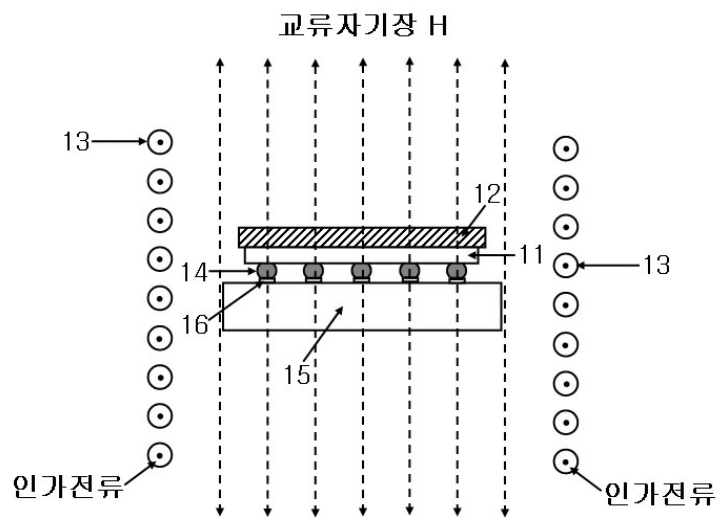
청구항 8.
삭제

청구항 9.
삭제

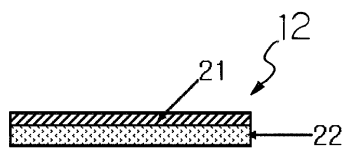
청구항 10.
삭제

도면

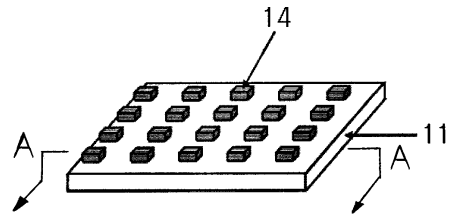
도면1



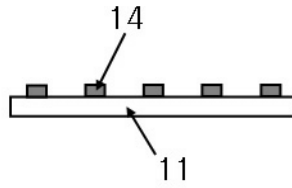
도면2



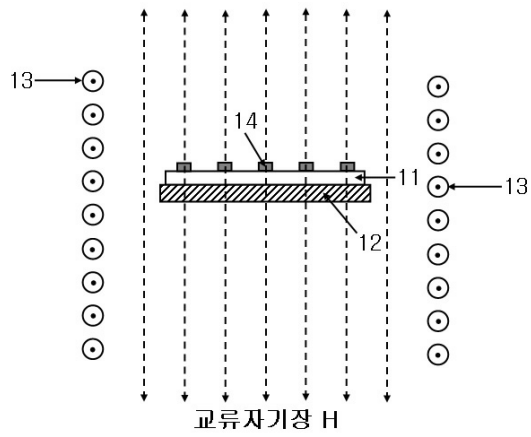
도면3



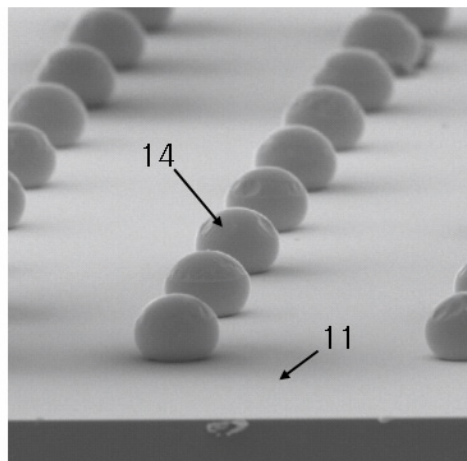
도면4



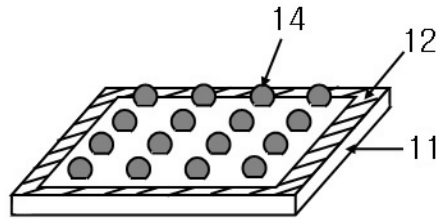
도면5



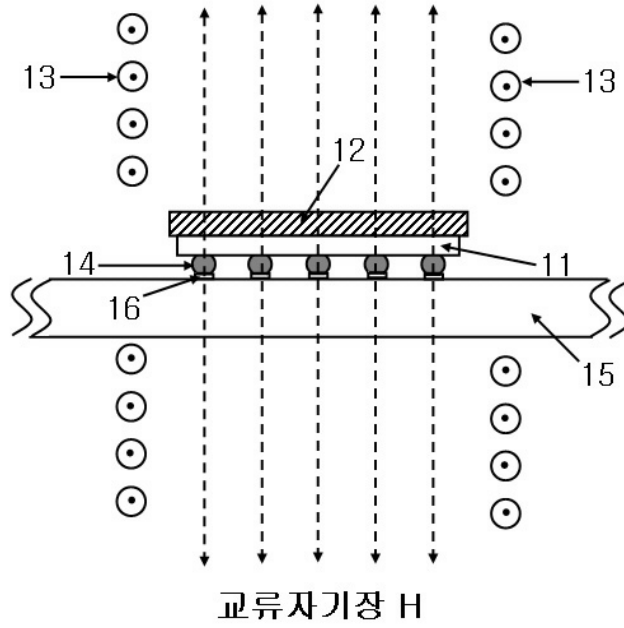
도면6



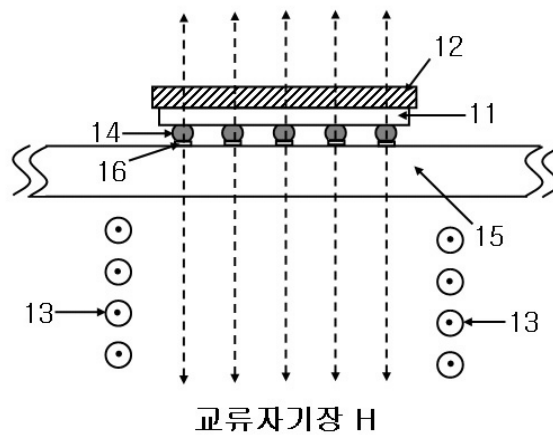
도면7



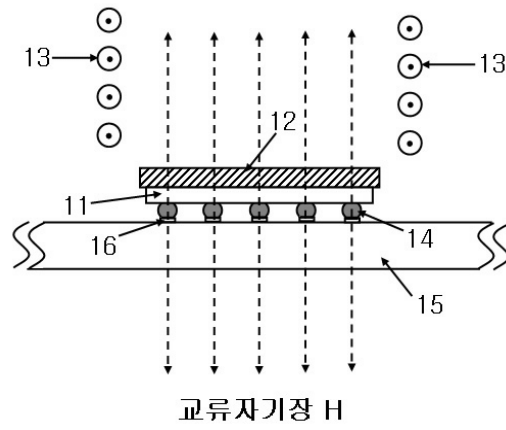
도면8



도면9



도면10



도면11

