

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4769729号
(P4769729)

(45) 発行日 平成23年9月7日(2011.9.7)

(24) 登録日 平成23年6月24日(2011.6.24)

(51) Int.Cl.

F I

H O 1 L 27/04 (2006.01)

H O 1 L 27/04 H

H O 1 L 21/822 (2006.01)

H O 1 L 29/78 6 1 5

H O 1 L 29/786 (2006.01)

H O 1 L 29/84 Z

H O 1 L 29/84 (2006.01)

H O 1 L 35/30

H O 1 L 35/30 (2006.01)

H O 1 L 29/06 3 O 1 G

請求項の数 12 (全 24 頁) 最終頁に続く

(21) 出願番号 特願2006-541394 (P2006-541394)
 (86) (22) 出願日 平成16年11月18日(2004.11.18)
 (65) 公表番号 特表2007-519228 (P2007-519228A)
 (43) 公表日 平成19年7月12日(2007.7.12)
 (86) 国際出願番号 PCT/US2004/038793
 (87) 国際公開番号 W02005/050714
 (87) 国際公開日 平成17年6月2日(2005.6.2)
 審査請求日 平成18年7月18日(2006.7.18)
 (31) 優先権主張番号 60/520,950
 (32) 優先日 平成15年11月18日(2003.11.18)
 (33) 優先権主張国 米国(US)
 (31) 優先権主張番号 60/520,992
 (32) 優先日 平成15年11月18日(2003.11.18)
 (33) 優先権主張国 米国(US)

(73) 特許権者 504206551
 ハリバートン エナジー サービスズ,
 インコーポレーテッド
 アメリカ合衆国 77072 テキサス,
 ヒューストン, ベレイア ブールバード
 10200
 (74) 代理人 110000394
 特許業務法人岡田国際特許事務所
 (72) 発明者 ロドニー, ポール, エフ
 アメリカ合衆国 77389 テキサス,
 ヒューストン, ジェイドクレスト コート
 6134

最終頁に続く

(54) 【発明の名称】 高温電子素子

(57) 【特許請求の範囲】

【請求項 1】

サファイア又は炭化シリコン基板上に製造された集積回路と、
 約2ミクロンよりも厚い不活性化層と、
 を有する電子素子であって、

前記集積回路は、発振器、論理ゲート、アナログ - デジタル変換器、デジタル - アナロ
 グ変換器、サンプルアンドホールド回路、電荷結合遅延線、及び演算増幅器、からなるグ
 ループの中から選択される少なくとも1つの回路を有し、

前記不活性化層は、窒化物又は酸化物層を有し、

前記電子素子は、約200 の環境温度において少なくとも1週間を上回る期間、動作継
 続するように構成されている電子素子。

10

【請求項 2】

集積回路の一部のまわりにガードリングをさらに有する請求項1に記載の電子素子。

【請求項 3】

集積回路に関連するダイの周縁沿いにシールリングをさらに有し、
 シールリングの幅は、ダイとダイとの間の切断レーンの幅の少なくとも約2倍である、
 請求項1に記載の電子素子。

【請求項 4】

集積回路は、集積回路が高温で動作する際に電流密度を約104A / cm²よりも下回る
 ように制限する金属相互接続部を有する請求項1に記載の電子素子。

20

【請求項 5】

集積回路は、約 100MHz を上回るクロック周波数で動作するように構成される請求項 1 に記載の電子素子。

【請求項 6】

少なくとも 1 つの回路は、アンチヒューズメモリ、状態機械、浮遊ポリ - ポリ間メモリ、マイクロプロセッサ、マイクロエレクトロメカニカルシステム (MEMS)、タグセンサ、DC/DC 電圧変換器、デジタルメモリ、アナログメモリ、オンチップ変圧器、オンチップインダクタ、オンチップキャパシタ、オンチップ抵抗器、プログラマブル論理素子 (PLD)、ミキサ、スイッチ及び電荷ポンプからなるグループの中のユニットで使用するために構成される請求項 1 に記載の電子素子。

10

【請求項 7】

電子素子は、加速度計、圧力センサ、ジャイロ、温度センサ、及びサーマルアレイからなるグループから選択されるセンサとして動作するマイクロエレクトロメカニカルシステム (MEMS) 構造で使用するために構成される請求項 1 に記載の電子素子。

【請求項 8】

基板上に製造された不揮発性メモリと、
基板上に製造されて情報を無線送信するように構成可能なアンテナと、をさらに有し、素子はタグ素子として構成可能な請求項 1 に記載の素子。

【請求項 9】

基板上に製造されたセンサをさらに有する請求項 8 に記載の素子。

20

【請求項 10】

基板上に製造された電力回路をさらに有し、
電力回路は、その他の素子部材に、高周波電磁信号から抽出された電力を与えるように構成される請求項 8 に記載の素子。

【請求項 11】

基板上に製造されて環境パラメータを示す周波数を有する発振信号を生成するように構成されたリング発振器をさらに有する請求項 1 に記載の素子。

【請求項 12】

環境パラメータは温度である請求項 11 に記載の素子。

【発明の詳細な説明】

30

【技術分野】

【0001】

連邦政府による資金提供を受けた研究又は開発に関する記載
不適用。

【0002】

背景

近年の石油の掘削及び生産の作業には、坑井内のパラメータ及び条件に関する膨大な量の情報が必要である。かかる情報は通常、坑井が横切る地層の特徴を含み、坑井自体のサイズ及び構成に関するデータも伴う。坑井内条件に関する情報収集は通常、「検層 (logging)」と称され、いくつかの方法によって行うことができる。

40

【0003】

従来のワイヤ線の検層では、地層センサを有するプローブ (又は「ゾンデ」) が、坑井の一部又は全てが掘削された後に坑井の中に下降される。地層センサは、坑井が横切る地層の所定の特性を決定するために使用される。ゾンデの上端は、坑井内にゾンデを垂下させる導電線に取り付けられる。導電線を通じて、電力がゾンデ内の機器に送られる。他方、ゾンデ内の機器は、ワイヤ線を通して送られる電子信号を用いて地表に情報を通信する。

【0004】

これに代わる検層方法は、掘削プロセス中のデータ収集である。掘削プロセス中にデータを収集して処理することにより、掘削アセンブリを取り除いてワイヤ線検層ツールを挿

50

入する必要性がなくなる。そのため、掘削者が必要に応じて正確な修正又は訂正を行い、性能を最適化する一方で停止時間を最小化することが可能となる。「掘削中計測」(Measurement-while-drilling(MWD))は、掘削が継続している間の掘削アセンブリの動き及び位置に関する坑井内条件の計測を表す用語である。「掘削中検層」(Logging-while-drilling(LWD))は、地層パラメータの計測にさらに集中した同様の技術を表す用語である。MWDとLWDとの差異は存在するが、用語MWD及びLWDは、互換的に用いられることが多い。本開示の目的のため、用語LWDが用いられるが、この用語は地層パラメータの収集、及び掘削アセンブリの動き及び位置に関する情報の収集の両方を包含するという理解を伴う。

【0005】

10

LWDシステムでは、センサは通常、ドリルストリングの下端に配置される。より具体的には、坑井内センサは通常、ドリルビット付近に位置する円筒状のドリルカラーに配置される。掘削が進行している間は、これらのセンサは、所定の掘削パラメータ及び地層データを連続的に又は断続的にモニターし、その情報を所定のテレメトリ形態によって地表の検出器に送る。その代わりに、データが、センサが坑井内にある間に格納されて、ドリルストリングが取り出される際に地表で復元されてもよい。

【0006】

坑井への掘削がひとたび完了すれば、坑井は炭化水素生産のために使用される。坑井孔は、崩壊を防ぐためにケーシングで被覆される。ケーシングは所定領域内に穿孔され、炭化水素が地層から坑井孔に入ることができる。生産チュービングストリングがケーシングを通して、炭化水素が坑井孔に入っている箇所まで下降される。特に、ケーシングが多数のレベル又は位置(水平坑井の場合)で穿孔されている状況では、坑井孔に入る炭化水素の場所、種類及び量を決定するための機器が生産チュービングに取り付けられる。さらに、機器は、坑井孔の選択された領域内の流量を制限するか、又は高めるための制御動作を行うように設定される。

20

【0007】

完了した坑井は、付加的に又は代替的に、地震データ収集及び長期的埋蔵量モニタのために使用される。通常は、一連のセンサが坑井の長さによって配置されて所定位置に固定される。テレメトリシステムは、センサのデータを中央(地表)設備に集め、そこでデータが処理されて所望の情報が抽出される。

30

【0008】

掘削技術が向上して、より深い坑井が掘削されている。より深い坑井深さにおいては、圧力及び温度は著しく高くなる。200に近い温度では、既存の電子技術品の性能は劣化するか又は故障する。200に近い温度及びそれを十分上回る温度での使用に適したデータ収集システムを作り出すことが望まれている。

【発明の開示】

【0009】

概要

いくつかの実施例では、高温で動作可能な電子素子は、炭化シリコン基板上に製造された集積回路を有する。各電子素子は、厚い不活性化層をさらに有する。別の実施例では、高温で動作可能な電子素子は、サファイア基板上に製造された集積回路、及び厚い不活性化層を有する。集積回路は、発振器、論理ゲート、アナログ-デジタル変換器、デジタル-アナログ変換器、サンプルアンドホールド回路、電荷結合遅延線及び演算増幅器を有する。電子素子は、高温環境で長時間、データを検知、格納、及び処理するユニットで使用されるように構成される。電子素子は、炭化水素掘削及び生産作業で使用されるように構成される。

40

【0010】

以下の図面と組み合わせて以下の詳細な説明を考慮することで、開示された実施例がよりよく理解される。

【0011】

50

本発明は様々な修正形態及び代替形態が可能であるが、それらの特定の実施例が、図面に例示され、本明細書に詳細に説明される。しかし、理解しておくべきなのは、図面及びそれに対する詳細な説明は、本発明を、開示される特定の形態に限定することを意図するのではなく、逆に、添付した請求の範囲により規定される本発明の要旨及び範囲内にある全ての修正例、均等例及び代替例をカバーすることを意図するものである。

【 0 0 1 2 】

表記及び用語

特定のシステムコンポーネント及び構成を言及するために、以下の説明及び請求の範囲を通じて所定の用語が使用される。当業者であればわかるように、会社は異なる名称で1つの部材を言及する場合がある。本明細書は、名称は異なるが機能はそうではない部材を区別することを意図していない。以下の説明において及び請求の範囲において、「含む」及び「有する」は、オープンエンド様式で用いられ、そのため「含むが、・・・に限定されるわけではない」意に解釈されるべきである。また、用語「接続」又は「接続する」は、間接的又は直接的な電氣的接続を意味するように意図している。すなわち、第1素子が第2素子に接続する場合、その接続は直接的な電氣的接続によるかもしれないし、その他の素子及び接続を介した間接的な電氣的接続によるかもしれない。上流及び下流という用語は、本開示の関連においては一般的に、それぞれ地表下機器から地表機器への情報の伝達及び地表機器から地表下機器への情報の送信を指す。また、地表及び地表下という用語は相対的な用語である。ハードウェアの特定の部材が地表にあるものとして説明されているからといって必ずしも、それが地球の物理的表面上になければならないということではなく、むしろ、機器の地表部材及び地表下部材の相対的位置を説明しているに過ぎない。

【 0 0 1 3 】

詳細な説明

本発明の実施例では、高温環境で動作可能な基本電子回路が与えられる。少なくともいくつかの実施例では、電子回路は、炭化シリコン (SiC) 基板上に製造された集積回路として形成される。または、電子回路は、サファイア基板 (本明細書ではシリコン・オン・サファイアすなわち SOS (silicon on sapphire) 技術を示す) 上に製造された集積回路として形成される。電子回路は、発振器、論理ゲート、アナログ・デジタル変換器、デジタル・アナログ変換器、サンプルアンドホールド回路、電荷結合遅延線及び演算増幅器を有する。また、高温が電子回路に与えるマイナスの効果 (例えば、エレクトロマイグレーション、漏洩電流、材料劣化) を減らすために様々な技術が用いられる。例えば、上述の集積回路の実施例では、厚い不活性化層、高感度回路部品まわりのガードリング、金属腐食を減らすシールリング、及び電流密度を減らす金属相互接続部が用いられる。電子回路はまた、長時間 (例えば1週間以上) 高温で動作可能なメモリ及びプロセッサのような電子素子に対するビルディングブロックとして用いられる。

【 0 0 1 4 】

少なくともいくつかの実施例では、電子回路及び電子素子は掘削ツールのようなツールにおいて用いられるように構成され、これによりツールは高温環境で動作可能となる。例えば、電子回路は、ツール又は環境に関連したパラメータ (例えば温度、振動、加速度) を検知するように機能し、並びに高温環境での処理能力、格納能力、及びデータ送信能力を与える。

【 0 0 1 5 】

ここで、図を参照すると、図1Aには、SOS技術を用いて構成された相補型金属酸化物半導体 (CMOS) インバータの断面が図解的に示されている。インバータは2つのトランジスタを有し、各々はサファイア基板102上の離島として構成される。第1のトランジスタは、2つのn⁺ドープ領域104、108の間にシリコンのpドープ領域106を有する。第2のトランジスタは、2つのp⁺ドープ領域110、114の間にnドープ領域112を有する。領域106及び112はアクティブ領域であり、各々は、対応する絶縁酸化物層116、118によって、対応するゲート電極120、122から分離されている。正の電圧がゲート120に印加されると、アクティブ領域106にチャンネルが形

成され、これにより電極 1 2 4 は中央電極 1 2 6 に電氣的に接続される。ゲート 1 2 2 に印加される同様の電圧により、領域 1 1 2 のチャンネルがなくなり、これにより中央電極 1 2 6 は電極 1 2 8 から隔離される。逆に、正の電圧がゲート 1 2 0 及び 1 2 2 から取り除かれると、領域 1 0 6 のチャンネルが消滅する一方、領域 1 1 2 のチャンネルが再確立される。こうして、中央電極 1 2 6 は、電極 1 2 4 から隔離されて電極 1 2 8 に接続される。電極 1 2 4 が接地されて電極 1 2 8 が正の供給電圧に接続されている場合は、中央電極 1 2 6 へ向けて駆動される電圧は、ゲート電極上の電圧のデジタル反転である。

【 0 0 1 6 】

なお、これら及びその他の集積回路の断面図は、縮尺通りに描かれているわけではない。通常は、ウェーハ基板は約 1 mm 厚である一方、半導体層は（例えば）1 0 - 8 から 1 0 - 4 m 厚である。導電層の厚さは約 1 0 ~ 1 0 0 nm 厚である。

10

【 0 0 1 7 】

トランジスタを絶縁基板上の島として作ることにより、迷走漏洩経路がなくなる。かかる電流漏洩経路は、高温での性能劣化又は故障の主要原因であり、それらをなくすことにより、そうでない場合に可能な温度よりもはるかに高い温度での動作が可能になる。

【 0 0 1 8 】

図 1 B は、異なる S O S 技術を用いる C M O S インバータの断面を図解的に示す。このアプローチでは、半導体層 1 3 0 が、サファイア基板 1 0 2 の表面にわたって存在する。トランジスタは、前述とほぼ同じ方法で形成されるが、それらは離島というよりはむしろ、薄い半導体層 1 3 0 内で離間されている。ここで、トランジスタに相互接続される導体（例えば中央電極 1 3 2）は、厚い絶縁層 1 3 2 によって半導体層の中間領域から分離されて、望ましくないチャンネル及び電流漏洩経路の生成が防止される必要がある。それにもかかわらず、この S O S 技術での素子の性能は、基板の漏洩経路をなくしているため、バルクシリコン上の素子と比べてなお著しく改善している。また、性能は、トレンチ、ガードリング、及びその他の構造によりさらに向上し、半導体層 1 3 0 を通る漏洩が減るか又はなくなる。（ガードリングは、高感度領域まわりの導電性構造部である。構造部は、高感度領域に近いか又は同じ電位に維持されて電場勾配を減らし、これにより漏洩電流を減らす。）

20

【 0 0 1 9 】

高温で動作する電子部品は、高温により生じる（漏洩電流以外の）環境の影響に対抗するように設計されている。例えば、無期限に高温環境に配置される電子部品パッケージは、「アウトガス放出」効果が生じることが予想される。アウトガス放出は、電子部品パッケージを構成するのに使用される材料からの化学蒸気の放出である。例えば、プラスチックや接着剤は、高温で蒸発する残留溶剤を含む。その他の材料は、（ゆっくりと）分解し始める。腐食性及び外来性の化学種が形成することも珍しいことではない。適切な保護がなければ、集積回路は、劣化に対して特に敏感である。

30

【 0 0 2 0 】

図 1 C は、保護の 1 つの形態を示す。すなわち、集積回路ダイのアクティブな表面にわたって配置される厚い不活性化層 1 5 0 である。不活性化層は、酸化物又は窒化物材料である。1 つの実施例では、不活性化層は、約 1 5 0 0 0 オングストロームの Si_3N_4 で覆われた約 5 0 0 0 オングストロームのリンドープ SiO_2 を有する。このため、厚い不活性化層は、少なくとも 2 ミクロン（概算）又はそれ以上の厚さである。高温環境での長期間の使用に対しては、不活性化層の厚さを約 6 ミクロンまで増やすのが望ましい。

40

【 0 0 2 1 】

図 2 2 は、保護のもう 1 つの形態を示す。すなわち、各ダイまわりの幅広いシールリング 2 4 2 である。図 2 2 に示されるように、多くの集積回路 2 4 0 が各ウェーハ上に製造される。製造後、ウェーハはソーで切断レーン 2 4 4 沿いに切り取られて、集積回路ダイが形成される。（切断作業中、ダイを所定位置に保持するために、接着性裏張り材料が使用されてもよい）切断作業は、例えば、切れ端、小碎片、及び / 又は不活性化層とウェーハ基板との接着の疲労が生じることにより、しばしば集積回路ダイの周縁に損傷を与える

50

。これらの損傷機構の各々により、アウトガス放出効果による劣化に対するダイの脆弱性が増す。したがって、幅広いシールリングを与えて、接着面積を増やし、及び、（ダイを所定位置に保持するために）接着片上に配置されてウェーハ個片切断により生じた損傷周縁からの集積回路部品の距離を大きくする。１つの実施例では、シールリングの幅は、切断レーン 244 の幅の少なくとも 2 倍である。

【0022】

図 2 A は、SiC 技術を用いて構成された相補型金属酸化物半導体 (CMOS) インバータの断面を図解的に示す。インバータは 2 つのトランジスタを有し、炭化シリコン基板 102 の表面上に製造される。第 1 のトランジスタは、2 つの n^+ ドープ領域 104、108 の間に炭化シリコンの p ドープ領域 106 を有する。第 2 のトランジスタは、2 つの p^+ ドープ領域 110、114 の間に n ドープ領域 112 を有する。領域 106 及び 112 はアクティブ領域であり、各々は、対応する絶縁酸化物層 116、118 によって、対応するゲート電極 120、122 から分離されている。正の電圧がゲート 120 に印加されると、アクティブ領域 106 にチャネルが形成され、これにより電極 124 は中央電極 126 に電氣的に接続される。ゲート 122 に印加される同様の電圧により、領域 112 のチャネルがなくなり、これにより中央電極 126 は電極 128 から隔離される。逆に、正の電圧がゲート 120 及び 122 から取り除かれると、領域 106 のチャネルが消滅する一方、領域 112 のチャネルが再確立される。こうして、中央電極 126 は、電極 124 から隔離されて電極 128 に接続される。電極 124 が接地されて電極 128 が正の供給電圧に接続されている場合は、中央電極 126 へ向けて駆動される電圧は、ゲート電極上の電圧のデジタル反転である。

【0023】

なお、これら及びその他の集積回路の断面図は、縮尺通りに描かれているわけではない。通常、ウェーハ基板は約 1 mm 厚であるが、拡散ドープ領域は（例えば） 10^{-8} から 10^{-4} m 厚である。導電層の厚さは約 10 ~ 100 nm 厚であり、絶縁層の厚さは数ナノメートルから数マイクロメートルまでの範囲に及ぶ。

【0024】

炭化シリコンの大きなエネルギーバンドギャップによって、漏洩電流が減り、シリコンよりも高い温度での集積回路の動作が可能になる。また、漏洩電流をさらに減らし又はなくすためのトレンチ、ガードリング（すなわち高感度領域まわりの導電構造）、及びその他の構造によって性能がさらに高められる。電場勾配を減らすために、構造は、高感度領域と同じ又はそれに近い電位に保持され、これにより漏洩電流を減らす。

【0025】

図 2 B は、アウトガス放出により誘発される劣化に対する保護を与えるために集積回路ダイのアクティブな表面を覆って配置された厚い不活性化層 202 を備える図 2 A の SiC 素子を示す。不活性化層は酸化物又は窒化物材料である。１つの実施例では、不活性化層は、約 15000 オングストロームの Si_3N_4 で覆われた約 5000 オングストロームのリンドープ SiO_2 を有する。このため、厚い不活性化層は、少なくとも 2 ミクロン（概算）又はそれ以上の厚さである。高温環境での長期間の使用に対しては、不活性化層の厚さを約 6 ミクロンまで増やすのが望ましい。アウトガス放出効果による劣化に対する保護を高めるために、シールリングが用いられてもよい。

【0026】

高温でのもう 1 つの環境の影響は、増強されたエレクトロマイグレーションである。エレクトロマイグレーションは、電子流によって生じる金属原子の移動である。エレクトロマイグレーションにより、集積回路内の相互接続部が薄くなるか又は分離される可能性がある。エレクトロマイグレーションに対する保護の 1 つの形態は、電流密度を制限することである。集積回路が、より低い電流で（例えばより遅く）動作するように設計されるか、又は、相互接続部が、より大きな断面積を有して電流密度を減らすように設計される。いくつかの実施例では、集積回路には、集積回路が高温（約 200）で動作する場合であっても、所定レベルを下回るように電流密度を制限する金属の相互接続部が実装される

10

20

30

40

50

。従来の回路では、金属相互接続部のエレクトロマイグレーションは、約 10^5 A/cm^2 の電流密度において観測される。この値は、より高い温度で落ち込むことが予想され、相互接続部を製造するために用いられる金属又は合金に依存する。しかし、 $5 \times 10^3 \text{ A/cm}^2$ から $5 \times 10^4 \text{ A/cm}^2$ までの範囲での電流密度制限を確立することによって、性能劣化又は素子故障の原因としてのエレクトロマイグレーションがなくなると予想される。電流密度を制限するため、集積回路は、より低い電流で（例えばより遅く）動作するように設計されるか、又は、相互接続部が、より大きな断面積を有するように設計される。例えば、相互接続部は、電流密度を減らすために、従来の相互接続部と比べて2倍から5倍の幅及び2倍から3倍の厚さになるように製造される。

【0027】

10

図3Aは、SiC又はSOS技術を用いて実装されるCMOSインバータの電氣的な概略を示す。インバータは、2つのトランジスタ302、304を有する。トランジスタ302は、p型アクティブ領域を備えるMOSトランジスタ(PMOS)であり、トランジスタ304は、n型アクティブ領域を備えるMOSトランジスタ(NMOS)である。このトランジスタ構成は、ノードAの電圧のデジタル反転をノードBへ向けて駆動する。図3Bは、インバータのための電氣的な記号306を示す。

【0028】

図4は、インバータリング発振器の例を示す。発振器は、奇数個のインバータ306を直列に用いて作られる。電力をその直列に印加することにより、ノードCに発振信号が生じる。インバータは、温度に敏感に設計されるか、又はインバータ同士の間温度に敏感な部材が付加される。かかる設計では、発振周波数が温度に敏感であり、インバータリングは温度センサとして使用される。ドリルビットの関連では(図16)、発振センサ信号がセンサ1616から受信され、テレメトリパッケージ1618によって無線で送信される。または、センサがアンテナに直接接続されて、発振信号が介入なしに送信される。その他の実施例では、インバータリングは、温度以外のパラメータに対しても敏感に設計される。

20

【0029】

インバータリングセンサは単純かつ頑丈である。しかし、高精度センサとしては不向きである。高精度の検知には、デジタルデータの収集及び処理が好ましい。デジタルデータ収集回路の構成要素は通常、電圧基準器、サンプルアンドホールド回路、及びアナログ-デジタル変換器(ADC)である。電荷結合遅延線及びデジタルメモリも有用であることがわかっている。以下の説明では、選択された部材の様々な構成例が与えられる。

30

【0030】

図5は、高温での使用に適した高精度温度補償電圧基準器を示す。電圧基準器は、アナログ-デジタル変換を採用して高温環境で用いられる地熱ツール、スマート・トランスデュース・インターフェイス・ノード・テレメトリ(STINT)システム、ワイヤ線検層ツール、MWDツール、及び任意のツールによる使用に適している。電圧基準器は、バンドギャップ回路又は温度補償ツェナーダイオードのような1次電圧基準ソース502を有する。与えられる両方の例は、1次基準ソース内の他の場所の負温度係数を補償するための、正温度係数を有する温度補償部材を有する。この部材をタップすることにより、温度指標電圧の決定が可能になる。

40

【0031】

図5の1次電圧基準ソース502は、温度補償ツェナーダイオードのソースであり、順方向バイアスダイオード506と直列をなすツェナーダイオード504を有する。(ダイオードにかかる電圧は、我々の温度指標電圧として機能する。)電流ソース508は、1次ソース502に印加される際に、ノード510に1次電圧基準を発生する。アナログ-デジタル変換器(ADC)514は、ノード512から温度指示電圧をサンプリングし、好ましくは16ビットの分解能でその値をデジタル化する。デジタル値は、不揮発性メモリ516にアドレスとして供給される。メモリ516は、プロダクト展開における較正プロセス中に決定される補償値で満たされる。測定された温度指標電圧に対する補償値は、

50

アナログ補償電圧を発生するデジタル - アナログ変換器 (DAC) 518 に供給される。(さらに、16ビットの精度が好ましい。) 加算回路520によって、1次電圧基準及び補償電圧から高精度電圧基準が発生する。高精度基準電圧は、電流ソース508を駆動するために用いられ、ADC514及びDAC518のための基準として機能する。

【0032】

図6は、サンプルアンドホールド回路の例を示す。SiC技術を用いて実装されると、サンプルアンドホールド回路の性能は、SiC回路に存在する漏洩電流が本来低いため、比較シリコン回路の性能よりも著しく良好になると予想される。

【0033】

ノード602での入力信号電圧は、演算増幅器604によってバッファされる。ノード610に供給されたゲート信号により、ゲートトランジスタ606の「開」と「閉」とが切り替えられる。ゲートトランジスタ606が導電状態にあると、演算増幅器604はバッファされた電圧をキャパシタ608に向けて駆動する。ゲートトランジスタが非導電にあると、キャパシタ電圧608は固定される、すなわちサンプリングされた入力電圧が「保持」される。キャパシタ608は、オンチップ・キャパシタであり、又は、長時間保持用途のためにはキャパシタ608は、オフチップ・キャパシタに並列接続されたオンチップ・キャパシタである。もう1つの演算増幅器612は、キャパシタ電圧をバッファして、キャパシタ電圧を示す電圧を出力信号ノード614に供給する。

【0034】

図7Aは、SiC技術を用いて実装された電荷結合遅延線を示す。SiCウェーハ102には、pドープ炭化シリコンのアクティブ領域まわりにn⁺ドープ炭化シリコンのターミナル領域を有する素子構造が設けられている。「ローディング」電極702が一方のターミナル領域に接続され、「アンローディング」電極704が他方のターミナル領域に接続される。ターミナル領域間では、ゲート絶縁体706によって一連のゲート708~720がアクティブ領域から分離されている。適切なシーケンスで駆動されると、(ローディング電極に供給される電流を示す)電荷がゲートからゲートへ通過し、最終的にアンローディング電極に到達し、ここで電荷が測定される。駆動シーケンスは、プログラマブルな遅延を発生するように制御することができる。駆動シーケンスが以下の表に図解的に示される。ここで、「B」は、ゲートの下に保持される電荷が無視できるバッファ電圧(例えば5ボルト)を表し、「H」は、電荷がゲートの下に格納される保持電圧(例えば10ボルト)を示し、及び、「P」は、電荷が隣接ゲートの下から引き出される通過電圧(例えば15ボルト)を表す。

【表1】

ステップ	ゲート708	ゲート710	ゲート712	ゲート714	ゲート716	ゲート718	ゲート720
1	H	P	B	H	P	B	B
2	B	P	B	B	P	B	B
3	B	H	B	B	H	B	B
4	B	H	P	B	H	P	B
5	B	B	P	B	B	P	B
6	B	B	H	B	B	H	B
7	B	B	H	P	B	H	H
8	B	B	B	P	B	B	H
9	B	B	B	H	B	B	B
1(反復)	H	P	B	H	P	B	B

【0035】

各ゲート（ターミナル領域に隣接するものは除く）は、前のゲートから電荷を引き出し、その電荷を一時的に保持し、その電荷を次のゲートに向けて通過させ、及び、前のゲートが電荷を集める間バッファとして作用する、9ステップの電圧シーケンスを経る。ターミナルに隣接するゲートはパルプとして機能し、電荷を引き出すことはなく、電荷をターミナル電極に向けて（又はそこから）通過させるのみである。

【0036】

電荷結合遅延線は、非常に高い周波数で動作可能である。例えば、制御シーケンスは、性能を著しく損なうことなく無線周波数でクロックを刻む。他方の極端な例として、電荷結合遅延は、非常に低い周波数で動作可能である。制御シーケンスは、遅延線で電荷を格納するためにステップ3、6又は9で無期限に止められる場合もある。この構成により、遅延線は、複雑性の低いアナログメモリとして使用することができる。このため、例えば、複雑性の低いセンサは、トランスデューサ、単純な増幅器、及び、適切にクロックを刻みトランスデューサによりなされた一連の計測値を格納する遅延線を有する。そして、センサは中央施設に物理的に輸送される。そこで計測値は、復元され、デジタル値に変換され、その後の通例のデジタル信号処理を受ける。

【0037】

図7Bは、SOS技術を用いて実装された電荷結合遅延線を示す。サファイアウェーハ102には、pドープシリコンのアクティブ領域まわりにn⁺ドープシリコンのターミナル領域を有する半導体層130が設けられる。「ローディング」電極702が一方のターミナル領域に接続され、「アンローディング」電極704が他方のターミナル領域に接続される。ターミナル領域間では、ゲート絶縁体706によって一連のゲート708～720がアクティブ領域から分離されている。図7Bの電荷結合遅延線の動作は、図7Aの上記の電荷結合遅延線の動作と同じであるか又は類似する。

【0038】

マイクロエレクトロメカニカルシステム（MEMS）技術が、SiC又はSOS技術を用いて実装される。図8A及び図8Bは、加速度又は振動センサとして使用されるカンチレバーの例を示す。サファイアウェーハ102の表面は、パターニング及び化学的エッチングが施され、頂部電極804を有するカンチレバー802が作られる。図8Aは側面図を示すが、図8Bは、カンチレバー構造の「端面」図を示す。図8Bでは、側壁電極806が示されている。素子が加速度を受ける場合、カンチレバー802はわずかに偏向する。偏向は、頂部電極804と側壁電極806との間の静電容量の変化として検知される。バルクシリコンに対する様々な構成技術及びセンサ構造が、本明細書で文献援用されるJulian W. Gardner, et al., Microsensors, MEMS and Smart Devices, (c) 2001 Wiley & Sonsに説明されている。加速度計の他、MEMS技術は、圧力センサ、ジャイロ、温度センサ、サーマルアレイ等にも適用される。センサの構成は、（例の中でも特に）回転運動検知、ねじれ力検知、側方又は垂直カンチレバー構成、並びに、容量性、誘導性、抵抗性及び光学性トランスデューサ、に基づいている。

【0039】

SiC及びSOS技術により、高温での性能上の利点が得られる。しかし、新技術のため、SiC及びSOSのダイは、比較的多数の製造上の欠陥を被る。すなわち、大きな複合集積回路が実現不可能となるほど、欠陥密度が高い。歩留まり率（適切に機能する製造された素子の割合）は、主として集積回路ダイのサイズで決まる。大きなダイのサイズでは、各ダイの欠陥の存在が実質的に確実となり、歩留まり率が劇的に減る。既存のSiC及びSOSの製造技術では、受容可能な歩留まり率が得られるのは、ダイのサイズが厳しく制限されている場合となる。かかる歩留まり率の制限があるため、高性能のプロセッサ及びコンピュータのような複合回路が実現可能となるのは、分割化設計としてのみとなる。分割化設計とは、すなわち、各片が所定サイズのダイに合うような、かつ、全体設計が、機能ダイが接合されて（マルチチップモジュールのような）ハイブリッド回路にまとめられて構成されるような、分割化された設計のことである。

【 0 0 4 0 】

図 9 は、高温環境での使用に適した複合電子部品パッケージ 9 0 2 を製造するための製造技術の使用を可能にする分割化を図解的に示す。パッケージ 9 0 2 は、命令及びデータをメモリから並びにデータをレジスタから取り出すためのフェッチモジュール 9 0 6、中間計算値を格納するためのレジスタモジュール 9 0 8、命令に従ってデータを処理するための実行モジュール 9 1 0、並びに実行モジュールからの結果をレジスタ及びメモリに格納するためのコミットモジュール 9 1 2、に分割化されたプロセッサ 9 0 4 を有する。各モジュールは別々のダイにあり、まとめて接続されてプロセッサ 9 0 4 を形成する。パッケージ 9 0 2 は、プロセッサによって要求されたデータ及び命令をキャッシュするためのキャッシュモジュール 9 1 4、キャッシュ及びプロセッサをその他のシステムコンポーネントに接続するためのバスインターフェイスモジュール 9 1 6、ソフトウェア及びデータを格納するためのメモリモジュール 9 1 8、パッケージを外部のコンピュータコンポーネントに接続するためのネットワークインターフェイスモジュール 9 2 0、トランスデューサを制御してセンサのデータを収集するためのデータ収集モジュール 9 2 2、アクチュエータ及びトランスデューサに電力を供給するためのドライバモジュール 9 2 4、センサからの信号を増幅して検知するためのセンサモジュール 9 2 6、及び様々なパラメータの内部検知のためのマイクロエレクトロメカニカルシステム (MEMS) モジュール 9 2 8 をさらに有する。各モジュールは、別々のダイにあり、まとめて接続されて電子部品パッケージ 9 0 2 を形成する。

【 0 0 4 1 】

図 2 3 は、大きな回路の最善の分割化を決定するための方法を図解的に示す。この方法は、ソフトウェアプログラムに具体化されてコンピュータにより実行される。ブロック 2 5 2 では、最初の回路設計が取得される。回路設計を表現するため、及び電子ファイルに回路設計を格納するため、利用可能な集積回路レイアウト仕様言語のいずれかが使用される。ブロック 2 5 2 では、回路設計は、本方法を行うコンピュータによってアクセスされる既存のコンピュータファイルである。ブロック 2 5 4 では、回路設計に必要な表面積が決定される。ブロック 2 5 6 では、歩留まり (すなわち、製造された集積回路の無欠陥割合) は、必要な表面積の少なくとも一部に基づいて推定される。1 つの実施例では、歩留まり Y は、マーフィーのモデルを用いて以下のように推定される。

$$Y = \left[\frac{1 - e^{-AD}}{AD} \right]^2$$

ここで、A は点欠陥に敏感な回路面積であり、D は点欠陥の密度である。その他の歩留まりモデルも存在し使用されてよい。

【 0 0 4 2 】

ブロック 2 5 8 では、パッケージ化されたチップのコストが計算される。コストは、ウェーハ当たりの無欠陥ダイの平均数で割られた各ウェーハの処理コストを含み、さらに無欠陥ダイのパッケージ化コストを含む。ブロック 2 6 0 からブロック 2 7 2 まででは、様々な数のチップを備えるチップセットのコストが決定される。チップセット中のチップの数が増えるに従い、総コストは下がるが、結局はパッケージ化コストが支配因子となるので際限なく増える。したがって、ブロック 2 6 0 からブロック 2 7 2 までで行われる作業は、チップセットのコストが最小化される点を特定することを目的とする。なお、ブロック 2 5 8 で決定されるコストは最小コストであり得るが、欠陥密度が高くて回路設計が比較的大きな面積を必要とする場合にこれを期待するべきではない。

【 0 0 4 3 】

ブロック 2 6 0 では、回路設計は、小さなアクティブ面積を必要とする 2 つの回路に分割化される。分割化作業は、回路部分を相対的に等しいサイズにしようとするものであり、その部分はモジュール式である必要、すなわち、その部分は限定数の相互接続部を有す

る必要がある。相互接続部の数を限定することは、ダイの表面上の接続パッドのために利用可能な限定された空間による強制である。(接続パッドが必要なため、分割化回路の総表面積は大きくなるが、接続パッドは製造欠陥に対して概ね鈍感なので、歩留まり計算への影響は最小限にすぎない。)

【 0 0 4 4 】

ブロック 2 6 4 では、各回路の分割化に対する必要面積が決定される。ブロック 2 6 8 では、各回路分割部に対する歩留まりが決定される。ブロック 2 7 0 では、各チップに対するコストが (ブロック 2 5 8 のように) 決定され、そのコストが合計されてチップセットのコストが決定される。ブロック 2 7 2 では、現在のコストが以前のコストと比較される。現在のコストがより高ければ、以前のコストは最小のチップセットコストとなり、それによって回路が分割化されるべきである。こうして、制御は、最適な分割化チップセットが製造されるブロック 2 7 6 まで進行する。

10

【 0 0 4 5 】

現在のコストが以前のコストよりも低ければ、制御はブロック 2 7 4 から、回路設計が再分割化されてより大きな数のチップを有するチップセット設計が得られるブロック 2 6 2 まで進行する。ブロック 2 6 2 ~ 2 7 4 は、コストが上昇し始めることにより最小コストが特定されたことが示されるまで繰り返される。

【 0 0 4 6 】

所望の機能性を与えるため、チップセット中のチップは電氣的にまとめて接続される。図 1 0 は、回路カード 1 0 0 4 上にマウントされた多数のパッケージ化集積回路チップ 1 0 0 2 を示す。示されている回路カード 1 0 0 4 は、回路カード 1 0 0 4 を、他の回路カードに接続されるツールバスに接続するのに適したコネクタ 1 0 0 6 に取り付けられる。回路カード 1 0 0 4 にはまた、回路カードによって個々に制御されるセンサ及びアクチュエータに回路カードを接続するのに適したコネクタ 1 0 0 8 が取り付けられる。回路カード 1 0 0 4 は、パッケージ化チップ 1 0 0 2、コネクタ 1 0 0 6、1 0 0 8、及び、カードに取り付けられるその他の部材、に対する物理的な支持及び電氣的な相互接続部を与える。

20

【 0 0 4 7 】

各チップパッケージ 1 0 0 2 は、マルチチップモジュール、すなわち、多重集積回路ダイがマウントされる基板を有するパッケージ、の形態をとることができる。基板は、多重ダイ間の、及びさらにはダイと外部のピン又はパッドとの間の、物理的な支持及び電氣的な相互接続部を与える。

30

【 0 0 4 8 】

多くの集積回路が、中程度の高温 (例えば 1 5 0) で性能劣化又は故障を受ける一方で、その他の集積回路は、かかる温度で適切に動作し続ける。中程度の高温での長期間の設置に所望される様々な回路では、連続的な動作が必要とされるわけではない。むしろ、回路の所定部分が、短時間かつ低頻度の間隔でのみアクセスされる必要がある。例えば、不揮発性のプログラムメモリは、電力オン及びリセットの事象でアクセスされる必要があるのみである。電圧基準器は、低頻度の較正事象で必要となるのみである。かかる回路では、冷却を要する回路のまさにその部分に対し、冷却の努力が局所的に行われる。さらに、その冷却は、温度に敏感な回路の動作が必要とされる場合にのみ行われる。かかる回路では、冷却作業は、温度に敏感な回路部品を有するダイ又はパッケージに直接行われ、冷却が必要な熱容量を大きく減らす。さらに、冷却作業は短時間かつ低頻度なので、冷却システムは小さく、ヒートシンクはサイズが小さいか又は省略される。このように、電子部品冷却のために必要なサイズ及び電力は、劇的に減る。

40

【 0 0 4 9 】

図 1 1 A は、外部電気接続のためのパッド 1 1 0 4 を備える基板 1 1 0 2 を有するマルチチップモジュール (M C M) を図解的に示す。電氣的な経路及びパッドはまた、基板 1 1 0 2 の反対面の内部接続のためにも与えられる。図 1 1 A には、集積回路ダイ 1 1 0 8 が、「フリップチップ」構成で示される。この構成では、はんだボール 1 1 0 6 が、ダイ

50

1108のアクティブな表面に取り付けられ、これらのボールは基板1102上の接合ボール又はパッドに対向して配置される。はんだボールは部分的に溶融し、物理的で導電的な接続部を形成する。その他のダイ1110も同様にマウントされる。非導電性の接着剤材料1112が、ダイ1108、1112と基板1102との間のギャップに導入されて、物理的な取り付けが強化される。ワイヤボンディングのようなその他のMCM構成も使用されてよい。

【0050】

図11AのMCMでは、ペルチェ冷却器1114が、ダイ1108の非アクティブ(「裏」)面上に熱伝導性接着剤1116でマウントされる。ペルチェ冷却器は、交互配置された金属層の多層サンドイッチ構造を有する。電流が層から層へ流れると、熱が冷却器の一方の表面から反対の表面へ輸送される。電極1118は冷却される(底)面に取り付けられて、電極1120は加熱される(頂)面に取り付けられる。これらの電極は、基板1102に結合される。

10

【0051】

電子部品を冷却するための様々なパラメータ、及び冷却器の性能によっては、専用のヒートシンクは不必要となる。図11AのMCMでは、熱伝導性かつ変形可能な材料1122により、ペルチェ冷却器1114の頂面が、パッケージ化及びヒートシンクという二重の目的に供するパッケージキャップ1124に熱的に接続される。接着剤結合1126により、キャップ1124が基板1102に取り付けられてパッケージがシールされる。1つの実施例では、基板1102は、相互接続部のためのパターンニングされた金属層を備えるセラミック材料を有する。キャップ1124は、セラミック、プラスチック、又は金属材料である。

20

【0052】

図11Bは、ペルチェ冷却器1114が基板1102に直接マウントされるMCM構成の変形例を示す。ペルチェ冷却器1114によって、ダイ1108は、熱伝導体1130を介して間接的に冷却される。熱伝導体1130は、冷却器1114及びダイ1108の両方に熱伝導性接着剤で結合される。

【0053】

ダイ1108は、フラッシュメモリ及び電圧基準器を有する。フラッシュメモリは通常、読み出し及び書き込み回路部品が故障する点よりも上の温度において、情報を保持可能である。フラッシュメモリにアクセスしてデータを取り出す又は格納する必要性から、コントローラはペルチェ冷却器に通電し、所定時間のインターバルの間一時停止する。インターバルが終了すると、コントローラは、必要なメモリアクセスを行い、冷却器への通電を停止する。揮発性メモリが、フラッシュメモリとの間を行き来するデータをバッファするために使用され、これにより不揮発性メモリへのアクセス頻度が減る。

30

【0054】

電圧基準器は、同様にして温度を制御することができる。すなわち、コントローラは、ペルチェ冷却器に通電して電圧基準器の温度を一時的に調整し、所定時間のインターバルの間一時停止して電圧基準器の温度を安定化させた後に、電圧基準器による較正作業を行う。電圧基準器の精度は、それが使用される温度範囲を制限することによって高くなる。コントローラは、電圧基準器が使用されていない場合は、冷却器の通電を停止することが可能である。冷却の必要性は、異なる半導体技術の使用によって減らす又はなくすることができる。トランジスタ及びその他の集積回路部材は、ドープ領域が異なるシリコンを、各々接触させて空乏領域を生成するように配置することによって形成される。素子の温度が高くなると、熱的に励起される電子が、空乏領域内に迷走電流キャリアを生成する。迷走電流キャリアにより、これらの空乏領域によって隔離されているはずの領域へ又はその領域から漏洩電流が流れる。漏洩電流は温度の関数として急速に大きくなり、高温において漏洩電流は極めて大きくなる。大きな漏洩電流は、多数の理由により弊害をもたらす。漏洩電流は付加的な熱放散を引き起こし、その熱放散はさらに温度を上昇させ、これにより漏洩電流がさらに大きくなる。漏洩電流は、集積回路の電力消費を実質的に大きくする。漏

40

50

洩電流は通常、集積回路の性能を劣化させ、所定の温度で回路は動作不能になる。最終的に、漏洩電流は、集積回路部材間の意図しない及び望ましくない相互作用の可能性を大きくする。よくある相互作用の1つの例は「ラッチアップ」効果である。「ラッチアップ」効果では、熱暴走効果（runaway effect）によって異なるトランジスタ間に電流経路が形成されて、通常は回路から電力を除去することで止めるしかない大電流が生じる。

【0055】

集積回路は、シリコンウェーハからのダイに頼らずに、炭化シリコンウェーハ上に形成されてもよい。炭化シリコンは、シリコンよりも大きなエネルギーバンドギャップを有し、熱励起電子が迷走電流キャリアを生成することがはるかに困難となる。この部分的免疫により、集積回路内の漏洩電流は急激に小さくなる。適切に設計された素子がパターンニングされた場合、炭化シリコン（SiC）ウェーハは、高温で十分に動作する電子部品を構成するのに適する。したがって、かかる素子は、高温環境（例えば坑井内）での使用に適する。

10

【0056】

また、集積回路は電氣的に絶縁されたウェーハ上に形成されてもよい。アクティブな素子領域をウェーハバルクから分離することにより、空乏領域のサイズが大きく減少し、漏洩電流もそれに応じて小さくなる。かかる絶縁ウェーハは、回路部品とウェーハ基板のバルクとの間に絶縁層を備えるバルクシリコンウェーハを有する。しかし、かかる絶縁構成では、集積回路製造中に絶縁層を形成及び保存するために、付加的なステップが必要となる。また、かかる構成には、電力消費に影響して集積回路の動作速度を制限する、ウェーハバルクとの容量性の接続が依然として残る。坑井内での用途に対しては、バルク絶縁材料のウェーハを使用することが好ましい。例えば、サファイアは、単結晶ウェーハに形成されて半導体表面層が設けられる絶縁材料である。薄いシリコン表面層を備えるサファイアウェーハは、市販されている。適切に設計された素子がパターンニングされた場合、シリコン・オン・サファイア（SOS）ウェーハは、高温で十分に動作する電子部品を構成するのに適する。

20

【0057】

図12は、分割化設計を行うのに使用されるマルチチップモジュール1102を示す。各ダイ1202、1204、1206は、全体設計の分割化部分を有し、マルチチップモジュール1102を構成する前にテストされる。設計の全体コストは、各ダイの歩留まり率が高められたことにより、大きく減少する。

30

【0058】

SiC及びSOS技術により、漏洩電流が最小となる素子を作ることが可能になるので、SiC及びSOS技術はアナログメモリの基礎として役立つ。漏洩が小さくなることにより、漏洩電流に起因する劣化が最小限でしかない長期間の電荷の格納が可能になる。図13は、一連のメモリセル1302を有するアナログメモリを図解的に示す。各メモリセルは、アクセストランジスタ1304及びキャパシタ1306を有する。行ライン1310がアサートされると、アサートされた行ラインに接続されたアクセストランジスタによって、キャパシタが対応する列ライン1308に接続される。格納作業の間、列ラインによりキャパシタは充電されてアナログ値を格納する。読み出し作業の間、キャパシタの電荷は列ラインと共有され、列ラインの電位を測定可能な方法で変更する。

40

【0059】

アナログメモリは、デジタルアドレス信号、デジタル読み出し／書き込み信号、及び1つ以上の双方向性アナログデータ信号を受信する。行デコーダ1312は、アドレス信号によって示された行ラインをアサートする。1つ以上の検出器及びドライバ回路1314は、読み出し／書き込み信号を受信する。制御信号が読み出し作業を示すと、検出器及びドライバ回路は列ラインで検知作業を行い、行ラインのアサートによってアクセス可能とされたアナログメモリセルに格納された電荷を測定する。アナログ値は、アナログデータラインの出力信号として増幅及び駆動される。その後、検出器及びドライバ回路によって

50

、メモリセルは測定された値まで再充電される。制御信号が書き込み作業を示すと、検出器及びドライバ回路は、アナログデータバスからのアナログデータ信号値をバッファし、アクセス可能なメモリセルのキャパシタを対応する値まで充電する。

【 0 0 6 0 】

漏洩電流は小さくても、完全になくなるわけではない。したがって、格納されたアナログ値のある程度の減衰が時間の経過にわたって予想される。減衰率が十分に長い場合は、減衰は、アナログメモリアレイの基準セルを使用して測定される。1つ以上の選択されたセルが使用されて、所定のアナログ値が格納されると同時にメモリアレイの残りが満たされる。その後、メモリが読み出されると、基準セルが減衰率を測定するために使用され、他方の格納されたアナログ値がそれに応じて補償される。

10

【 0 0 6 1 】

減衰率がある程度大きい場合は、各アナログメモリセルは周期的にリフレッシュされる。リフレッシュ作業の間、格納されたアナログ値は、読み出され、増幅されて仮の減衰率に対して補償され、及びメモリセルに戻されて格納される。基準メモリセルは減衰及びリフレッシュのサイクルを繰り返すことによって生じた全変化を測定するために使用され、最終的にデータが読み出されると、リフレッシュ作業で蓄積した誤差に対するある程度の補償が行われる。

【 0 0 6 2 】

図 1 4 は、S i C 又は S O S 技術を用いて実装されたタグ素子 1 4 0 2 を示す。S i C 又は S O S 技術を用いて実装された場合、かかる素子は高温環境で動作する。タグ素子 1 4 0 2 は、キャパシタの 2 つのプレート 1 4 0 6 及び 1 4 0 8 の間に接続された誘導コイル 1 4 0 4 を有する。誘導コイル 1 4 0 4 は、高周波電磁信号に応答してキャパシタと共振する。電力回路 1 4 1 0 は共振から電力を得て、電力をその他の素子部材に供給する。タグ素子は、トランシーバモジュール 1 4 1 2、及びプリントされたダイポールアンテナ 1 4 1 4 をさらに有する。トランシーバモジュール 1 4 1 2 は、タグ素子 1 4 0 2 に送信されたコマンドが検出されるように構成され、ダイポール 1 4 1 4 上で送信して応答するようにさらに構成される。

20

【 0 0 6 3 】

タグ素子は、データを格納するための不揮発性メモリモジュール 4 1 6 をさらに有する。トランシーバ 1 4 1 2 は、検知されたコマンドに応答して受信したデータを格納する。トランシーバは、もう 1 つの検知されたコマンドに応答して、格納されたデータを送信する。

30

【 0 0 6 4 】

タグ素子 1 4 0 2 は、各側部が（例えば）5 mm 以下の小さなダイとして実装される。タグ素子は、パッケージ化ではなく、不活性化層でコーティングされてもよい。このように構成される場合、各タグ素子は非常に低コストとなる。タグ素子は、極端な圧力及び高温に耐えて動作することが可能である。したがって、タグ素子は、流体の流れ（例えば、坑井内への掘削流体の流れ）に情報担体として添加されてもよい。タグ素子がセンサステーションを通過すると、タグ素子は、センサデータを受信及び格納するように作動する。後に、流体の流れがデータ収集センターを通過すると、タグ素子は、その格納されたデータを送信するように作動する。各素子は、異なる周波数で又は異なる変調コードで送信するように構成され、多数の素子が同時に問い合わせを受ける。タグ素子は、3 ~ 1 0 . 6 G H z の範囲の周波数を用いた超広帯域（ultra-wide band（UWB））ワイヤレス・プロトコルを使用してセンサ及びデータ収集ステーションと通信を行う。

40

【 0 0 6 5 】

テレメトリ輸送機能を行うことに加え、タグ素子が追跡機構として使用されて、流体の流れの経路及び流体の損失が検知できる。坑井の関連では、タグ素子は、流体が坑井から地層の中へ流れる際に流体によって掃引される。坑井孔沿いを通るワイヤ線プローブは、これらの流体損失領域でのタグ素子の集中を検知して、実際に、プローブはタグ素子の空間分布から断層を地図に示すことができる。

50

【 0 0 6 6 】

別の実施例では、タグ素子はメモリではなくセンサを有する。タグ素子は、問い合わせを受けると、それ自身のセンサの計測値を送信する。かかる実施例は、ワイヤが実現可能ではない場所でセンサの位置を突き止めるために有用である。例えば、厳しい環境における回転部材上のスリップリング及びワイヤ連結部分は、主要な故障ポイントであるが、タグ素子によってなくすることができる。もちろん、その他の S i C 又は S O S 素子にワイヤレス通信を組み込むこともできる。

【 0 0 6 7 】

メモリ及びその他の集積回路を S i C 及び S O S ウェーハの表面上に製造することは、まとめて集積回路を形成する多数の材料層の各々を付着させ及びパターニングするための多数のステップを有する。材料のパターニングは、フォトリソグラフィによって行われる。フォトリソグラフィは、感光性フォトレジスト材料をウェーハ表面上でスピンさせることを有する。次に、正確な光学的処理を使用して、ガラスマスクすなわちレチクル上のパターンを通して光を層上に照らすことによって、フォトレジスト材料が個々の回路部材の形状にパターニングされる。照射されたフォトレジスト材料は硬化して現像され、次に、フォトレジストの溶解領域が洗い落とされ、パターンエッチング又は注入ドーピングの準備のできたウェーハが残される。前述の処理は、後の各層が製造されるにつれて繰り返されるのが一般的である。

【 0 0 6 8 】

通常、製造プロセスは、ウェーハ表面上の個々の回路要素の製造から始まる。次に、適切にパターニングされた導体と絶縁体との交互の層を使用して、所定の回路要素間の電気的接続、及びその他の回路要素間の電気的隔離が確立される。回路要素及びそれらの相互接続部は、イオン注入、薄膜付着、フォトリソグラフィ、選択エッチング、及び様々な洗浄処理を有する一連の処理ステップを使用して形成される。

【 0 0 6 9 】

ますます複合的な集積回路は、ますます多数の回路要素を利用し、これにより、回路要素間のより多くの導電経路と、これらの経路をもたらすためのより多数の導体 - 絶縁体層との両方が要求される。ますます多数の層により、連続的な層間アラインメント、又はレジストレーションがより困難になる。この問題は、1つ以上の層が製造された後にウェーハの表面を再平坦化するための化学機械研磨 (c h e m i c a l - m e c h a n i c a l p o l i s h i n g (C M P)) 処理によって対処される。

【 0 0 7 0 】

C M P 作業によって、一般的には、過剰なコーティング材料が除去され、ウェーハの地形学的な不完全さが減り、及び、焦点深度が改善されて良好な平面度によるフォトリソグラフィ処理ができる。C M P 処理は、研磨粒子のスラリー及び研磨パッドの、組み合わされた半導体ウェーハへの化学機械作用による、ウェーハ表面上の材料の制御された除去を有する。C M P 作業の間、関連する研磨スラリーからのサブミクロンサイズの粒子が使用されて、ウェーハ表面上の非平面的な地形的特徴及び余分なコーティングが除去される。

【 0 0 7 1 】

図 1 5 は、坑井内で無期限に配置される電子部品の例を示す。地層 1 5 0 2 内の坑井はケーシング 1 5 0 4 で被覆される。ケーシングは、その外部に取り付けられた機器パッケージ 1 5 0 5 を有する。ケーシングは通常はセメント 1 5 0 6 で囲まれる。ケーシング及びそれと取り囲むセメントの穿孔 1 5 0 8 は地層に到達し、流体が坑井孔に入るのを可能にする。ケーシング内に位置する生産チューブのストリングは機器サブ 1 5 1 0 を有し、機器サブ 1 5 1 0 は、機器サブの厚くなった壁の中に配置された電子部品パッケージ 1 5 1 4 を有する。生産チューブとケーシングとの間の環状部分は、パッカー 1 5 1 2 によってシールされ、坑井の異なる部分から隔離される。パッカーは、1つ以上の電子部品パッケージ 1 5 1 6 を有する。ワイヤ線ゾンデ 1 5 1 8 又はその他のプローブが、生産チューブ内に挿入され、可能であれば無期限に固定される。無線周波数通信、ワイヤ線ケーブルによる電気的伝送、及び音響テレメトリを含むがこれらに限られない様々な

10

20

30

40

50

形態のテレメトリのいずれかが、地表との通信に使用される。または、データは格納されて、後に取り出されてもよい。

【0072】

高温での動作用に設計されてSiC及びSOS技術を用いて実装された集積回路には、多種多様な用途がある。図16は、高温電子部品のドリルビット性能モニタリングへの応用例を示す。ドリルストリング（ここでは図示せず）に取り付けられたドリルビット1604によって、孔が地層1602に掘削される。ドリルビット1604は、多結晶ダイヤモンド成形体（polycrystalline diamond compact（PDC））カッタ1610を先端に備えた多数のブレード1608を有する。ドリルビット1604が回転すると、カッタ1610はせん断作用により岩を切り取る。内部通路1612は、掘削流体をドリルビット1604に向けて導入し、その後掘削流体はドリルビット1604においてブレード間のノズル1604を通して流れてカッタ1610を冷却し、ドリルストリングまわりの環状部分沿いにドリルビットから上方にデブリを移動させる。ドリルビットの動作は、岩の切り取り、高圧大容量掘削流体の様々なオリフィスを通しての流れ、並びに、ベアリング、シール及び潤滑剤を回転させることによる高頻度の摩擦、を有する。これらの要因の各々は熱を発生し、ドリルビットの一部の局所温度を、環境よりも少なくとも数十度上昇させる。ドリルビットが高温の坑井内環境で用いられると、その性能をモニタすることがしばしば困難となる。したがって、集積回路センサ1616が、カッタ1610の1つの裏面に接触してマウントされる。電子部品テレメトリパッケージ1618がセンサ1616に接続されて、センサデータを収集してそれを近くにマウントされる受信機に無線で送信する。同様の技術が使用されてセンサがローラ・コーン・ドリルビットに追加される。

【0073】

センサ1616は、温度、歪み、振動、及び/又はドリルビットの性能に関連するその他のパラメータを測定するように構成される。付加的に又は代替的に、センサは、掘削流体又は周囲の地層に関連するパラメータをモニタするように設けられてもよい。ドリルビットが摩耗するにつれて、これらのパラメータの1つ以上の変化が、掘削者に、そろそろドリルビットを交換するか又は掘削速度を遅くする時期である旨の注意を促す。SiC又はSOS回路部品はまた、その他の技術で作られたセンサによって計測値を調整するために用いられてもよい（例えば圧電歪みゲージ）。

【0074】

図17は、掘削作業中の代表的な坑井を示す。掘削プラットフォーム1702には、ホイスト1706を支持するやぐら1704が設けられている。油又はガスの坑井を掘削することは、通常、「ツール」ジョイント1707によってまとめて連結されてドリルストリング1708を形成する掘削パイプのストリングを使用して行われる。ホイスト1706は、角ステム（kelly）1710を吊り下げて、回転テーブル1712を通してドリルストリング1708を下降させるのに使用される。ドリルストリング1708の下端には、ドリルビット1714が連結される。ビット1714は、ドリルストリング1708の回転により又はドリルビット付近の坑井内モータの作動により、回転する。ビット1714の回転によって、坑井が延びる。

【0075】

掘削流体が、再循環機器1716により高い圧力及び容量で送られて、サプライパイプ1718を通り、掘削の角ステム1710を通り、及びドリルストリング1708を通過して降りて、ドリルビット1714のノズル又はジェットを通過して出てくる。次に、掘削流体はドリルストリング1708の外部と坑井壁1720との間の環状部分を通して孔まで戻り、防噴装置（具体的には図示せず）を通り、地表のマッドピット（mud pit）1724内に至る。地表では、掘削流体が清浄された後に再循環機器1716により再循環される。掘削流体はドリルビット1714を冷却し、掘削くずを地表まで運び、岩の地層内の静水圧と釣り合う。

【0076】

坑井内機器サブ 1726 は、テレメトリ信号を与え及びコマンド信号を受信して地表と通信するテレメトリ送信機 1728 に接続される。地表トランシーバ 1730 は、角ステム 1710 に接続されて、送信されたテレメトリ信号を受信し、コマンド信号を坑井内に送信する。または、地表トランシーバは、リギングの別の部分又はドリルストリング 1708 に接続されてもよい。1つ以上の中継モジュール 1732 がドリルストリングに沿って与えられて、テレメトリ信号及びコマンド信号を受信及び再送信する。地表トランシーバ 1730 は、テレメトリ情報を収集、格納、処理、及び分析する検層設備（図示せず）に接続される。

【0077】

図 18 は、ワイヤ線検層作業中の代表的な坑井を示す。やぐら 1804 は、ワイヤ線検層にとっては必ずしも必要ではないが、通常は掘削プロセスの間中存在する。ドリルストリングが坑井から除去されて、ゾンデ 1838 は、ワイヤ線 1840 により坑井内に下降可能となる。通常は、ゾンデ 1838 は、興味領域の底部まで下降されて、その後一定速度で引っ張り上げられる。上昇移動中、ゾンデ 1838 は、ゾンデが通過する際、坑井近傍の地層 1834 に関する計測を行う。計測データは、検層設備 1842 に通信されて、格納、処理、及び分析される。もう 1 つの実施例では、ゾンデは、連続チュービング (continuous tubing (CT)) のストリングの端部に取り付けられ、巻き上げられるチュービングによって動かされて坑井孔を通る。

【0078】

ワイヤ線検層作業中、坑井は、地層内圧力と釣り合う流体で満たされ、坑井の完全性が保持される。コスト、環境、及び地層の種類の考慮に応じて、多数の流体の種類が使用される。流体は水性又は油性であり、一般的には、重み剤が調合されて流体密度がカスタマイズされる。しかし、唯一の流体が空気であることもある（例えば硬岩の土地において）。

【0079】

坑井内機器サブ 1826 及びゾンデ 1838 で用いられる電子部品は、坑井内で受ける高温で動作するように構成される。電子部品は限られた時間のみ坑井内に存在するので、電子部品は、断熱材、熱吸収材、及び/又は能動的冷却によって高温から遮へいされる。高温動作のための電子部品を構成するためのこれらの従来のアプローチは、185 より上の温度にある環境に直接さらされた場合の、多数の電子部品の貧弱な性能が動機となっている。しかし、これらのアプローチにより、電子部品パッケージのサイズが非常に大きくなり、能動的冷却の場合には、電子部品パッケージによるエネルギー消費が非常に大きくなる。さらに、これらのアプローチは、坑井内に無期限に存在したままとなり得る電子部品を与えることへの解決策を提案するものではない。多数の電子部品の解決策及び用途が本明細書で説明される。

【0080】

図 19 は、生産中の代表的な坑井を示す。坑井は、地中を通して掘削されて流体貯留層 1902 を横断する。一般的に、坑井は、坑井の上端 1906 から流体貯留層 1902 の下まで延びるケーシング 1904 で被覆される。ケーシング 1904 は、貯留層を横断している箇所です穿孔 1908 されて、流体がケーシング 1904 の内部に流入可能となる。防噴装置 1910 が坑井の上端 1906 に取り付けられて、坑井からの流体及びガスの流れが制御される。1つ以上の生産チュービングストリング 1914 がケーシング内に配置されて、流体及びガスが地表へ輸送される。パッカー 1909 が生産チュービング 1914 とケーシング 1904 との間の環状部分に与えられて、坑井内の異なる領域が隔離される。様々なバルブ（具体的には図示せず）が与えられて、坑井の異なる領域から生産チュービング内への流れが制限される。

【0081】

多くの場合、地層内の流体圧力は、生産チュービング 1914 を介して流体を地表へ押し出すのに十分である。一方、流体圧力が不十分な場合は、人工的汲み上げが行われることが多い。図 19 の坑井は、人工的汲み上げ用の「ウォーキングビーム」ポンプによって

10

20

30

40

50

構成された坑井である。図示された実施例では、ポンプ本体 1912 は、生産チュービングストリング 1914 の下端に取り付けられ、防噴装置を通して下降され、坑井の底部に貯留する流体中に沈む。生産チュービングは、坑井の上端 1906 に固定される。また、好ましくは、ポンプ本体 1912 は、標準の坑井内補修技術 (standard well servicing techniques) によって固定される。ポンププランジャ 1916 は、サッカーロッドストリング 1918 の底部に取り付けられ、ポンプ本体 1912 に適切に着座するまで生産チュービングストリングの内部を通して下降される。防噴装置 1910 内のパッキングユニット (具体的には図示せず) が、サッカーロッドストリング 1918 と防噴装置 1910 との間のギャップをシールするが、チュービング 1914 の垂直方向の動きは許容される。地表ポンプユニット 1920 により、サッカーロッドストリング 1918 が往復運動し (周期的に上昇及び下降し)、これにより、ポンプ本体 1912 内のプランジャ 1916 が往復運動する。プランジャ 1916 の往復運動により、流体は生産チュービングストリング 1914 を通って地表まで押し出される。好ましくは、生産チュービングストリング 1914 から地表への流出は、固定された流出経路 1930 を通って地上格納タンク 1932 まで運ばれる。

【0082】

生産坑井は、例えば、流速、温度、圧力、流体特性、ガンマ線放射特性等のような様々なパラメータを計測する生産検層ツールによって検層される。生産検層は、ワイヤ線又はスリック線ツールによって行われる。ツールはテレメトリ用ワイヤ線導体を使用するか、又はツールは長期間にわたりデータを蓄積する「メモリツール」でもよい。

【0083】

掘削及び生産が具体的に上述されたが、坑井内電子部品の使用のためのその他の背景も存在する。例えば、流体注入、地層破碎、地震地図作成、及び長期モニタリングもまた、坑井内電子部品の使用のための適切な背景である。これらの変化に富んだ背景での用途のために開発され又は提案されてきた様々なツールは、中でも特に、高温での動作性、信頼性、長期任務寿命、サイズ制限、電力制限、及び頑丈性、を含む異なる要求を満たす必要がある。通常、ワイヤ線ツールは、各移動で 3 時間から 30 時間まで動き続ける。通常、掘削中検層 (LWD) ツールは 2 日間から 2 週間まで動き続ける。メモリツールは、数日間から数か月間まで動き続ける。永久的に設置されたモニタリングシステムは、3 年間から 10 年間以上の間動作する。各場合において、高温動作用電子部品の適合性を改善することにより、任務寿命が長くなり、ツールが補修なしで再使用され得る期間が長くなるだろう。高温動作用電子部品の適合性はまた、信頼性及び頑丈性にも有益であり、冷却機器に必要となる空間又は電力をさらに減らすか又はなくすることができる。

【0084】

高温で無期限に坑井内に存在できる電子機器及び制御部品を与えることが望ましい。生産坑井では、電子部品は、流体の種類、流速、圧力、温度、及びその他のパラメータを検知する。電子制御部品は、地層の異なる領域からの流量を制限するか、又は、ガス注入速度、流体加熱エネルギー、若しくはポンピング速度のような人工的汲み上げのパラメータを制御するために与えられる。試掘坑井では、電子部品は、貯留層の地図作成及びモニタリングのための地震エネルギーセンサを有する。

【0085】

上述の S O S 又は S i C トランジスタを使用することで、インバータ、アナログ - デジタル変換器、デジタル - アナログ変換器、発振器、電圧基準器、演算増幅器、及びデジタル論理ゲートのような基本的な電子回路が、(例えば 200 を上回る) 高温で長時間動作する。これらの基本的な電子回路が実装されて、ツールに、上述のようなツール部材の特性及び環境の特性を検知、処理及び格納することを可能にする電子素子が作られる。特性を検知、処理及び格納するために実装される電子素子のいくつかの例は：アンチヒューズメモリ、状態機械、浮遊ポリ - ポリ間メモリ (floating poly - to - poly memories)、マイクロプロセッサ、マイクロエレクトロメカニカルシステム (MEMS)、タグセンサ、DC / DC 電圧変換器、デジタルメモリ、アナログメモ

リ、オンチップ変圧器、オンチップインダクタ、オンチップキャパシタ、オンチップ抵抗器、プログラマブル論理素子（programmable logic devices（PLDs））、ミキサ、スイッチ、電荷ポンプ及びその他の素子、を有する。また、オンチップ変圧器は、磁氣的に接続された導電ループ（例えば第2通電スパイラル上にオーバーレイされた第1通電スパイラル）を基板上に配置することにより製造される。オンチップインダクタは、基板上の導電ループ又は長い導体配線から製造される。オンチップキャパシタは、大きなゲートを備える金属酸化物半導体トランジスタから製造される。または、オンチップキャパシタは、基板上に狭い間隔で配置された金属層から製造されてもよい。オンチップ抵抗器は、所定のチャネル抵抗を有するバイアストランジスタとして製造されてもよい。

10

【0086】

図20は、本発明の実施例に係る方法220を図解する。図20に示されるように、方法220は、開始して（ブロック222）進行し、炭化シリコン基板上に集積回路を形成する（ブロック224）。次に、厚い不活性化層が集積回路上に付着され（ブロック226）、こうして方法220は終了する（ブロック228）。

【0087】

図21は、本発明の実施例に係る方法230を図解する。図21に示されるように、方法230は開始して（ブロック232）進行し、サファイア基板上に集積回路を形成する（ブロック234）。次に、厚い不活性化層が集積回路上に付着され（ブロック226）、こうして方法220は終了する（ブロック238）。図20及び図21の集積回路は、例えば、発振器、論理ゲート、コンパレータ、アナログ-デジタル変換器、サンプルアンドホールド回路、電荷結合遅延線及び演算増幅器である。図20及び図21の厚い不活性化層は、例えば、窒化物層又は酸化物層である。

20

【0088】

上述の開示が十分理解されれば、当業者にとって多数の変形例及び修正例が明らかとなる。例えば、開示された発明の実施例は、坑井とは無関係の高温環境に適用してよい。例えば、開示された実施例は、自動車エンジンのモニタリング、ジェットエンジンの制御、熱駆動電力発電、材料加工、及びオープンの制御に用いてもよい。また、シリコン・オン・サファイア技術に関する本明細書の教示はまた、サファイア基板をスピネル基板に交換するだけでシリコン・オン・スピネル技術に適用可能である。以下の請求の範囲は、かかる変形例及び修正例を全て含むように解釈されることを意図している。

30

【図面の簡単な説明】

【0089】

【図1A】物理的なSOS構造を図解的に示す。

【図1B】物理的なSOS構造を図解的に示す。

【図1C】厚い不活性化層を備えるSOS構造を図解的に示す。

【図2A】物理的なSiC構造を図解的に示す。

【図2B】厚い不活性化層を備えるSiC構造を図解的に示す。

【図3A】CMOSインバータの電気的な概略構成を示す。

【図3B】CMOSインバータの電気的な概略構成を示す。

40

【図4】インバータリング発振器を図解的に示す。

【図5】高精度温度補償電圧基準器を図解的に示す。

【図6】サンプルアンドホールド回路を図解的に示す。

【図7A】電荷結合遅延線を図解的に示す。

【図7B】電荷結合遅延線を図解的に示す。

【図8A】MEMS素子を図解的に示す。

【図8B】MEMS素子を図解的に示す。

【図9】分割化素子を示す。

【図10】高温での使用に適した回路カードを図解的に示す。

【図11A】集中化断続冷却を備える電子部品パッケージの実施例を図解的に示す。

50

- 【図 1 1 B】集中化断続冷却を備える電子部品パッケージの実施例を図解的に示す。
 【図 1 2】高温環境での使用に適した電子部品パッケージの分割化を示す。
 【図 1 3】アナログメモリを図解的に示す。
 【図 1 4】タグ素子を図解的に示す。
 【図 1 5】生産坑井の切取図を示す。
 【図 1 6】ドリルビットの切取図を示す。
 【図 1 7】代表的な掘削中検層 (L W D) の構成を示す。
 【図 1 8】代表的なワイヤ線検層の構成を示す。
 【図 1 9】生産作業中の坑井を図解的に示す。
 【図 2 0】本発明の実施例に係る製造方法を示す。
 【図 2 1】本発明の実施例に係る別の製造方法を示す。
 【図 2 2】ウェーハのレイアウトを図解的に示す。
 【図 2 3】分割方法を図解的に示す。

10

【図 1 A】

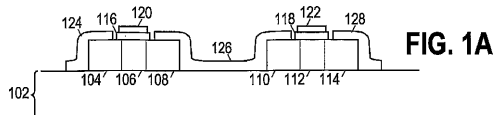


FIG. 1A

【図 1 B】

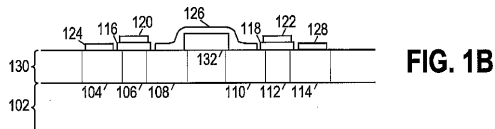


FIG. 1B

【図 1 C】

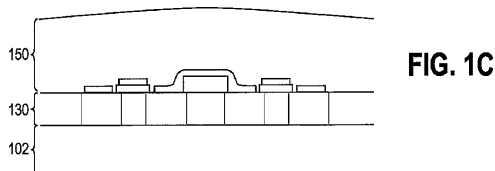


FIG. 1C

【図 2 A】

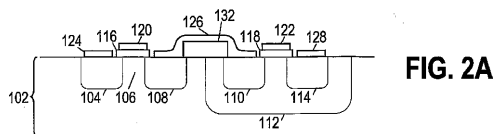


FIG. 2A

【図 2 B】

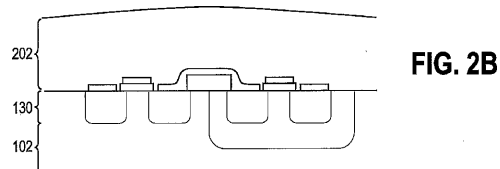


FIG. 2B

【図 3 A】

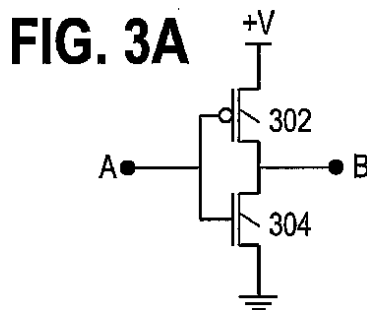


FIG. 3A

【図 3 B】

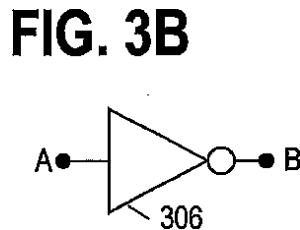
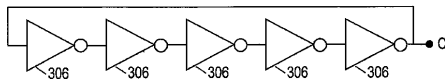
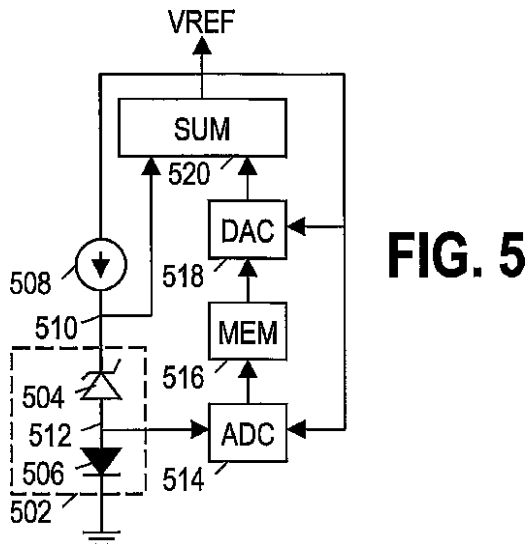


FIG. 3B

【図 4】
FIG. 4

【図 5】



【図 6】

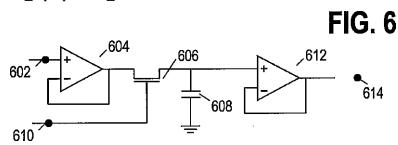
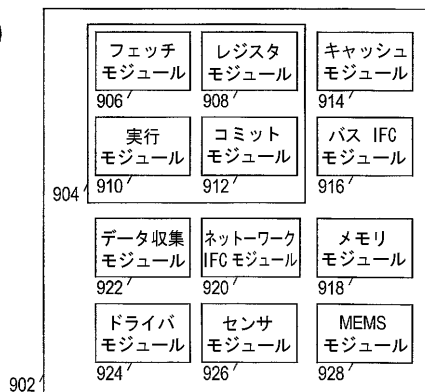


FIG. 6

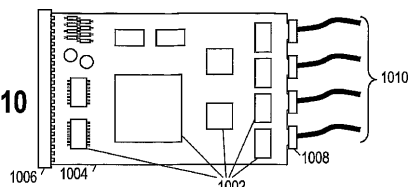
【図 9】

FIG. 9



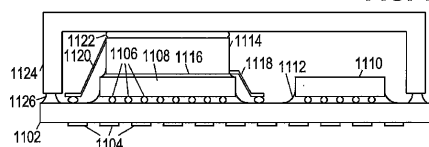
【図 10】

FIG. 10



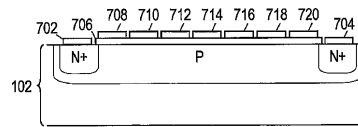
【図 11 A】

FIG. 11A



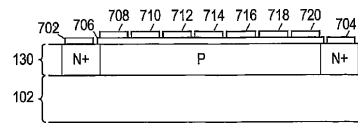
【図 7 A】

FIG. 7A



【図 7 B】

FIG. 7B



【図 8 A】

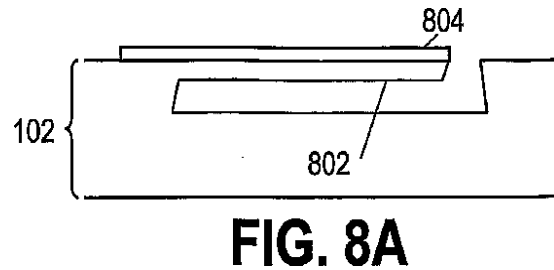


FIG. 8A

【図 8 B】

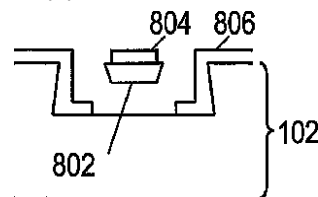
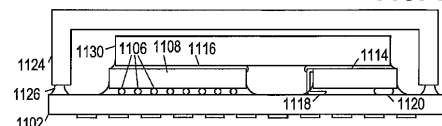


FIG. 8B

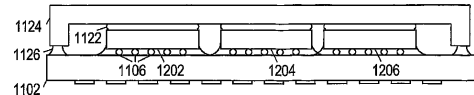
【図 11 B】

FIG. 11B



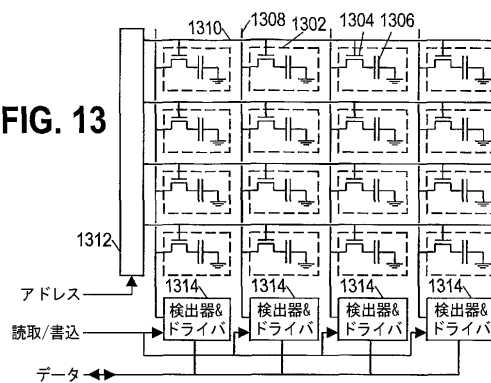
【図 12】

FIG. 12



【図 13】

FIG. 13



【 図 1 4 】

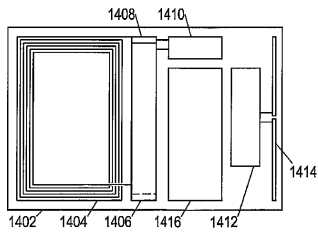


FIG. 14

【 図 1 5 】

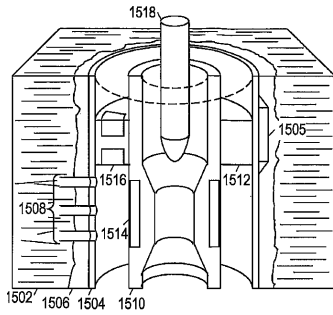


FIG. 15

【 図 1 6 】

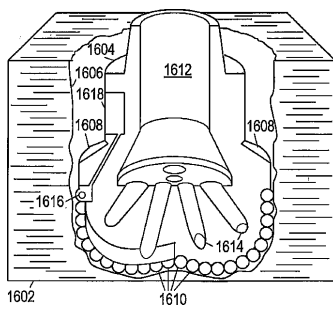


FIG. 16

【 図 1 8 】

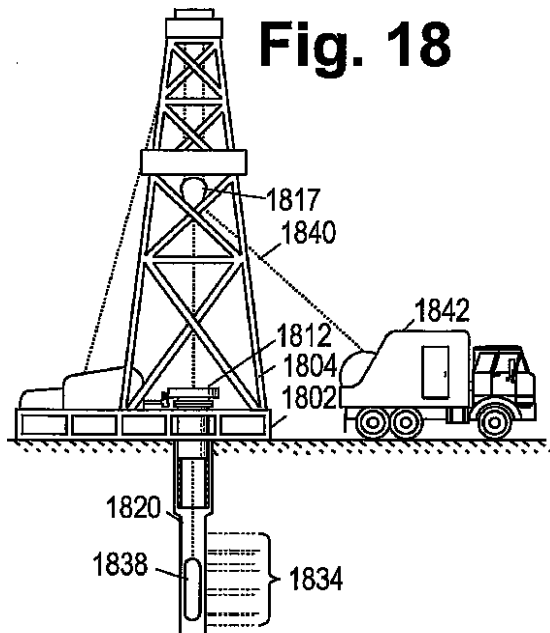


Fig. 18

【 図 1 7 】

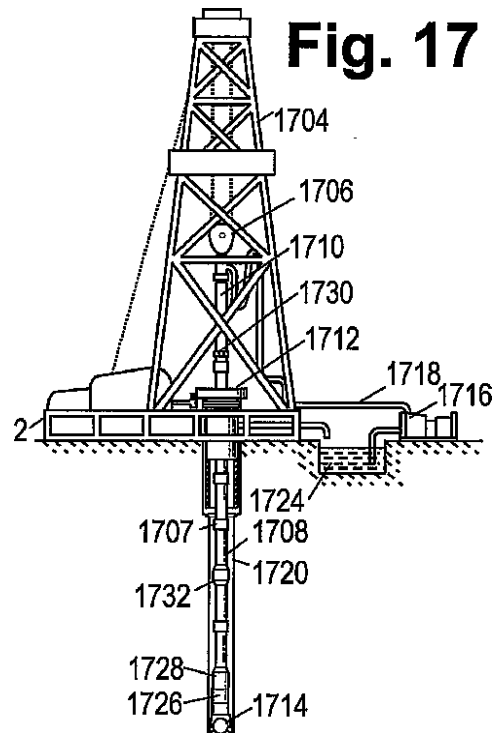


Fig. 17

【 図 1 9 】

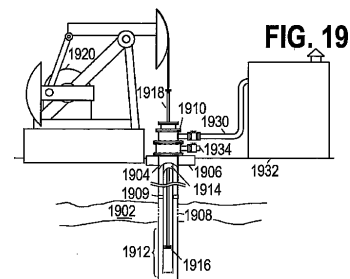


FIG. 19

【図 20】

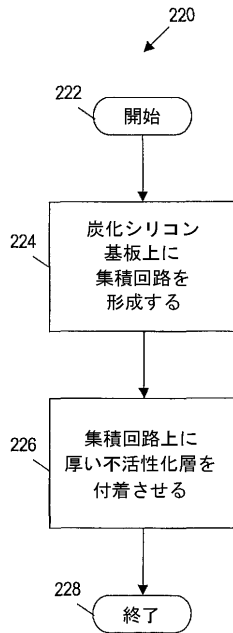


FIG. 20

【図 21】

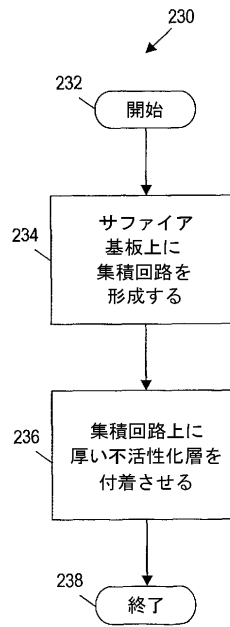
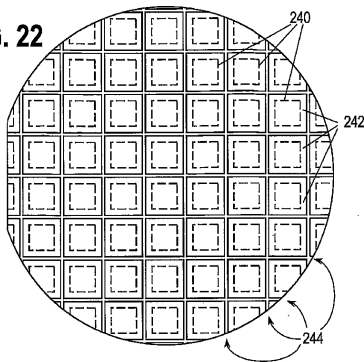


FIG. 21

【図 22】

FIG. 22



【図 23】

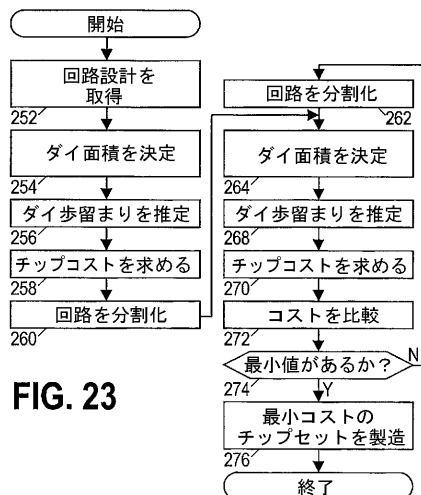


FIG. 23

フロントページの続き

(51)Int.Cl. F I

H 0 1 L 29/06 (2006.01)

(72)発明者 マジノ, ジェイムズ, イー

アメリカ合衆国 7 7 0 9 4 テキサス, ヒューストン, ランブルウッド パーク 4 2 3

(72)発明者 ゴラ, クリストファー, エイ

アメリカ合衆国 7 7 3 4 5 テキサス, ヒューストン, プレズント クリーク 2 4 1 0

(72)発明者 シュルツ, ロジャー, エル

アメリカ合衆国 7 6 2 2 7 テキサス, オーブリー, レッド オーク サークル 4 7 9 2

(72)発明者 フリーマン, ジェイムズ, ジェイ

アメリカ合衆国 7 7 0 9 0 テキサス, ヒューストン, マーン 1 1 1 4

審査官 須原 宏光

(56)参考文献 特開 2 0 0 2 - 0 9 3 9 2 0 (J P , A)

特表平 0 9 - 5 0 0 2 4 0 (J P , A)

(58)調査した分野(Int.Cl., D B 名)

H01L 27/04

H01L 27/06

H01L 21/822

H01L 29/786

H01L 29/76