

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3934248号
(P3934248)

(45) 発行日 平成19年6月20日(2007.6.20)

(24) 登録日 平成19年3月30日(2007.3.30)

(51) Int. Cl.

G 1 1 B 20/14 (2006.01)

F I

G 1 1 B 20/14 3 5 1 Z

請求項の数 11 (全 16 頁)

(21) 出願番号	特願平10-104729	(73) 特許権者	000005223 富士通株式会社
(22) 出願日	平成10年4月15日(1998.4.15)		神奈川県川崎市中原区上小田中4丁目1番1号
(65) 公開番号	特開平11-306693	(74) 代理人	100068755 弁理士 恩田 博宣
(43) 公開日	平成11年11月5日(1999.11.5)	(72) 発明者	森内 恒彦 愛知県春日井市高蔵寺町二丁目1844番2 富士通ヴィエルエスアイ株式会社内
審査請求日	平成17年3月23日(2005.3.23)	(72) 発明者	澤田 勝 愛知県春日井市高蔵寺町二丁目1844番2 富士通ヴィエルエスアイ株式会社内
		審査官	深沢 正志

最終頁に続く

(54) 【発明の名称】 データ読み取り方法、データ読み取り装置、及び、ハードディスク装置

(57) 【特許請求の範囲】

【請求項1】

プリアンブル、シンクバイト、ユーザデータを順番に読み出し信号として記録媒体から読み出し、プリアンブル信号に位相引き込みをしたクロック信号に基づいてサンプリングした再生信号を出力するデータ読み取り方法において、
前記シンクバイトを粗密パターンを含む構成とし、該シンクバイトにより前記クロック信号を出力するタイミングクロック再生PLLのより細かな引き込みができるようにしたデータ読み取り方法。

【請求項2】

請求項1に記載のデータ読み取り方法において、
前記読み出し信号をサンプリングしたデータと、前記シンクバイトを検出するために予め記憶した比較データを、予め設定した比較ポイントにおいて比較するためのウインドを開き、該ウインド内において前記サンプリングデータと比較データを順次比較し、その比較結果に基づいて前記サンプリングデータと比較データが一致した場合にシンクバイト検出としたデータ読み取り方法。

【請求項3】

請求項2に記載のデータ読み取り方法において、
前記シンクバイトの読み出し時期に対応してトリガ信号が入力された後、入力されるウインド信号に基づいて前記再生信号とレジスタから入力される比較信号とを比較するために前記シンクバイトが入力される期間よりも短い期間のウインドが設定され、該ウインドの

10

20

期間に入力される前記比較信号と前記再生信号の各ビットがそれぞれ一致した場合にシンクバイト検出信号を出力するようにしたデータ読み取り方法。

【請求項 4】

請求項 3 に記載のデータ読み取り方法において、
前記読み出し信号に基づく入力電圧を基準電圧と比較して前記入力電圧をデジタル信号に変換し、該デジタル信号に基づいて演算した帰還量を前記入力電圧に帰還する帰還ループに対して、
前記比較信号と前記再生信号が一致しない場合に、前記再生信号に代えて前記比較信号に基づいて帰還量を演算するようにしたデータ読み取り方法。

【請求項 5】

プリアンプル、シンクバイト、ユーザデータを順番に読み出し信号として記録媒体から読み出し、タイミングクロック再生 PLL によりプリアンプル信号に位相引き込みをしたクロック信号を生成し、該クロック信号に基づいてサンプリングした再生信号を出力するデータ読み取り装置において、
前記シンクバイトを粗密パターンを含む構成とし、前記タイミングクロック再生 PLL はシンクバイトにより前記クロック信号をより細かに引き込みを行うようにしたデータ読み取り装置。

【請求項 6】

請求項 5 に記載のデータ読み取り装置において、
前記読み出し信号をサンプリングしたデータを再生信号として出力する波形等化器と、
前記シンクバイトを検出するための比較データが予め記憶され、該比較データを比較信号として順次出力するレジスタと、
予め設定された比較ポイントにおいて前記再生信号と前記比較信号を比較するウインドを開き、該ウインド期間において入力される前記再生信号と前記比較信号が一致した場合にシンクバイト検出信号を出力する一致検出回路と
を備えたデータ読み取り装置。

【請求項 7】

請求項 6 に記載のデータ読み取り装置において、
前記一致検出回路は、前記シンクバイトの読み出し時期に対応してトリガ信号が入力された後、入力されるウインド信号に基づいて前記再生信号とレジスタから入力される比較信号とを比較するために前記シンクバイトが入力される期間よりも短い期間のウインドを設定し、該ウインドの期間に入力される前記比較信号と前記再生信号の各ビットがそれぞれ一致した場合にシンクバイト検出信号を出力するようにしたデータ読み取り装置。

【請求項 8】

請求項 7 に記載のデータ読み取り装置において、
前記波形等化器は判定帰還型等化器であって、読み出し信号に基づく入力電圧を基準電圧と比較して前記入力電圧をデジタル信号に変換する判定器と、前記判定器の出力信号を順次記憶するシフトレジスタと、該シフトレジスタに記憶された各ビット情報に基づいて前記判定器の入力信号に対する帰還量を演算する帰還フィルタとを備え、
前記一致比較回路は、前記比較信号と前記再生信号が一致しない場合に、前記比較信号を前記再生信号が読み出された前記シフトレジスタの領域に記憶させるようにしたデータ読み取り装置。

【請求項 9】

請求項 7 に記載のデータ読み取り装置において、
前記一致比較回路は、前記比較信号と前記再生信号が一致しない場合に、前記比較信号を前記シフトレジスタに代えて前記帰還フィルタに出力するようにしたデータ読み取り装置。

【請求項 10】

請求項 5 乃至 9 のうちの何れか 1 項に記載のデータ読み取り装置において、
前記レジスタは、前記シンクバイトに対応する比較データを記憶し、前記トリガ信号に基

10

20

30

40

50

づいて比較データを所定方向に巡回させるシフト動作を行い、該比較データを比較信号として出力する巡回レジスタであるデータ読み取り装置。

【請求項 11】

請求項 5 乃至 10 のうちの何れか 1 項に記載のデータ読み取り装置を備えたハードディスク装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、記録媒体からデータの読み取りを高速且つ安定に行うことができるデータ読み取り方法、データ読み取り装置に関するものである。

10

【0002】

近年、記録媒体は、記録される情報の高密度化が進められるとともに、情報を読み出す速度の高速化が進められている。そのため、記録媒体からデータを読み取るデータ読み取り装置においても、動作の高速化が要求されている。

【0003】

【従来の技術】

図 7 の磁気ディスク等の記録媒体 11 に記録された格納データは、ヘッド装置 12 にて読み取られる。ヘッド装置 12 は M R (Magneto Resistive) ヘッドを含み、読み取ったデータの状態 (1 又は 0) に応じた電圧波形 (磁気ディスクの再生波形) のリード信号 R D を信号処理回路 13 に出力する。

20

【0004】

信号処理回路 13 の可変ゲインアンプ (V G A) 14 は、リード信号 R D の振幅を所定の振幅に増幅し、その増幅した信号を判定帰還等化器 (D F E : Decision Feedback Equalizer) 15 に出力する。

【0005】

図 8 に示すように、D F E 15 は、前置フィルタ 16、加算器 17、判定器 18、シフトレジスタ 19、フィードバックフィルタ 20 を含む。前置フィルタ 16 は、フィルタリング後の信号を加算器 17 に出力する。加算器 17 は、前置フィルタ 16 の出力信号とフィードバックフィルタ 20 の出力信号を加算し、加算結果を判定器 18 に出力する。

【0006】

判定器 18 は、加算器 17 の出力電圧と予め設定された基準電圧とを比較し、その比較結果に基づいて「1」又は「0」の判定信号 S 1 をシフトレジスタ 19 に出力する。これにより、判定器 18 は、加算器 17 の出力信号を 1 ビットのデジタル信号に変換する。

30

【0007】

シフトレジスタ 19 は、判定器 18 から出力されるデジタル信号を、クロック信号 C L K に同期してサンプリングし、そのサンプリングデータを順次記憶する。これにより、シフトレジスタ 19 は、標本化された過去の複数ビットのデータを記憶する。

【0008】

フィードバックフィルタ 20 は、例えば F I R フィルタよりなる。フィードバックフィルタ 20 は、信号中に含まれる符号間干渉を取り除くように動作する。フィードバックフィルタ 20 は、シフトレジスタ 19 に記憶された複数ビットのデータに基づくアナログ信号を加算器 17 に出力する。

40

【0009】

このように構成された D F E 15 は、符号間干渉を取り除いた再生信号を出力する。前記加算器 17 の出力信号は、タイミングクロック再生用 P L L 回路 21 の A / D 変換器 (A D C) 22 に出力される。A D C 22 は、加算器 17 の出力信号をデジタル信号に変換し、そのデジタル信号をタイミングリカバリ P L L 回路 (以下、T R - P L L という) 23 に出力する。

【0010】

T R - P L L 23 は、デジタル信号にて位相比較を行い、リード信号 R D にクロック信

50

号CLKを同期させる、所謂クロックの引き込み動作を行う。このクロック信号CLKにより、DFE15のシフトレジスタ19は、判定器18の出力信号をクロック信号CLKのエッジにตอบสนองしてサンプリングする。これにより、シフトレジスタ19は、リード信号RDのビット転送速度でサンプリングすることにより、前記磁気ディスク11の記録データに対応する判定信号を記憶する。

【0011】

図7に示すように、DFE15は、再生信号をシリアル-パラレル変換回路(S/P変換回路)24に出力する。S/P変換回路24は、再生信号をパラレル信号に変換しデコーダ25に出力する。デコーダ25は、パラレル信号を所定の方式により復号し、その復号データをデスクランブラ26に出力する。デスクランブラ26は、所定の方式によりデコーダの出力データのビットの並べ替えを行い再生データを生成する。その再生データはインタフェース回路27を介してHDC31に出力される。

10

【0012】

SP変換回路24は、パラレルデータを、シンクバイト検出回路(SB検出回路)28に出力する。SB検出回路28は、ユーザデータに先立って読み出されるシンクバイト(SB)を検出する。

【0013】

詳述すると、SB検出回路28は、シンクバイトを検出するための複数ビットよりなるデータを格納したレジスタ28aを有する。SB検出回路28は、レジスタ28aに格納したデータとリード信号RDから再生されたビットデータを比較し、それらの全ビットが一致した場合にシンクバイト検出信号S2をHDC31に出力する。

20

【0014】

HDC31は、信号処理回路13に読み出し動作の開始を指示する。その後、HDC31は、シンクバイト検出信号S2を入力すると、そのシンクバイト検出信号にตอบสนองして、シンクバイトに続く再生データを記録データとして扱い、この記録データに対する処理を行う。

【0015】

図9は、記録媒体11の各セクタの記録フォーマットの概要を示す。

各セクタ35は、プリアンブル(PR)領域35a、シンクバイト(SB)領域35b及びデータ領域35cを含む。

30

【0016】

PR領域35aには、VGA14における増幅率の設定やTR-PLL23におけるクロック信号CLKをリード信号RDに同期させるための制御データであるプリアンブルコード(PRコード)が記録されている。PRコードは、例えば「111000」のビットデータであり、このPRコードのリード信号RDは正弦波となる。TR-PLL23は、リード信号RDに同期したクロック信号CLKを生成する。このクロック信号CLKにより、ADC22は、リード信号RDから各ビットデータを再生する。

【0017】

SB領域35bには、主に次のデータ領域35cの始まりを検出するためのデータであるシンクバイトコード(SBコード)が記録されている。HDC31は、SBコードに続くビットデータを記録データとして扱い、この記録データに対する処理を行う。

40

【0018】**【発明が解決しようとする課題】**

ところで、磁気ディスク11から情報を読み出す読み出し速度を高速化すると、それに伴って再生信号におけるビットエラーの発生率が高くなる。そして、SB検出回路28は、読み出したSBデータの全ビットがレジスタに予め記憶した検出のためのデータと一致したときのみ検出信号を出力する構成となっている。そのため、読み出したSBデータにビットエラーが発生すると、SBデータがレジスタ28aに記憶されたデータと一致しないため、SB検出回路28は検出信号を出力しない。

【0019】

50

読み出し動作の開始からHDC31にシンクバイト検出信号S2が出力されるまでの時間は、磁気ディスク11の回転速度等により予め判っている。従って、HDC31は、読み出し動作を開始してから所定時間の間に検出信号を入力しないと、シンクバイト検出を失敗したと判断して図示しないマイクロプロセッサ(MPU)に読み取り失敗を示す信号を送出する。その信号に应答し、MPUは再度読み出し動作の開始を指示する。即ち、MPUは、検出信号が入力されるまで繰り返し読み出し動作を開始させなければならない。このことは、MPUの負荷増加を招く。また、ホスト側へのデータ転送が遅れることから、磁気ディスク11から情報を読み出す時間が長くなるという問題がある。

【0020】

また、磁気ディスクを高密度化すると、プリャンブルデータを読み出す期間が短くなる。即ち、図8のTR-PLL23が引き込みを行う時間が短くなる。これにより、TR-PLL23は、リード信号RDの位相とクロック信号CLKの位相が大きくずれている場合、クロック信号CLKをリード信号RDに同期させる所謂同期引き込みが不十分になる。

10

【0021】

このことは、DFE15の帰還ループの動作を不安定にする。即ち、シフトレジスタ19は、クロック信号CLKに同期して判定信号をサンプリングしている。そのため、クロック信号CLKがリード信号RDに同期していないと、シフトレジスタ19は、クロック信号CLKに应答して誤ったデータをサンプリングする。その誤データは、加算器17により前置フィルタ16の出力信号と加算されて判定器に入力される。このことは、DFE15の判定誤りや、帰還ループの発散を引き起こす。これにより、シンクバイト検出失敗によるリードエラーが起これ、MPUがリトライを指示し、磁気ディスク11からホスト側へのデータ転送時間が増大するという問題がある。

20

【0022】

本発明は上記問題点を解決するためになされたものであって、その目的は読み出し信号にクロック信号を十分同期させることができるデータ読み取り方法、データ読み取り装置、及び、ハードディスク装置を提供することにある。

【0023】

また、シンクバイトの検出率を高めて記録媒体から情報を読み出す時間の短縮を図ることのできるデータ読み取り方法、データ読み取り装置、及び、ハードディスク装置を提供することにある。

30

【0024】

【課題を解決するための手段】

上記目的を達成するため、請求項1に記載の発明は、プリャンブル、シンクバイト、ユーザデータを順番に読み出し信号として記録媒体から読み出し、プリャンブル信号に位相引き込みをしたクロック信号に基づいてサンプリングした再生信号を出力するデータ読み取り方法において、前記シンクバイトを粗密パターンを含む構成とし、該シンクバイトにより前記クロック信号を出力するタイミングクロック再生PLLのより細かな引き込みができるようにした。

【0025】

請求項2に記載の発明は、請求項1に記載のデータ読み取り方法において、前記読み出し信号をサンプリングしたデータと、前記シンクバイトを検出するために予め記憶した比較データを、予め設定した比較ポイントにおいて比較するためのウインドを開き、該ウインド内において前記サンプリングデータと比較データを順次比較し、その比較結果に基づいて前記サンプリングデータと比較データが一致した場合にシンクバイト検出とした。

40

【0026】

請求項3に記載の発明は、請求項2に記載のデータ読み取り方法において、前記シンクバイトの読み出し時期に対応してトリガ信号が入力された後、入力されるウインド信号に基づいて前記再生信号とレジスタから入力される比較信号とを比較するために前記シンクバイトが入力される期間よりも短い期間のウインドが設定され、該ウインドの期間に入力される前記比較信号と前記再生信号の各ビットがそれぞれ一致した場合にシンクバイト検出

50

信号を出力するようにした。

【0027】

請求項4に記載の発明は、請求項3に記載のデータ読み取り方法において、前記読み出し信号に基づく入力電圧を基準電圧と比較して前記入力電圧をデジタル信号に変換し、該デジタル信号に基づいて演算した帰還量を前記入力電圧に帰還する帰還ループに対して、前記比較信号と前記再生信号が一致しない場合に、前記再生信号に代えて前記比較信号に基づいて帰還量を演算するようにした。

【0028】

請求項5に記載の発明は、プリアンプル、シンクバイト、ユーザデータを順番に読み出し信号として記録媒体から読み出し、タイミングクロック再生PLLによりプリアンプル信号に位相引き込みをしたクロック信号を生成し、該クロック信号に基づいてサンプリングした再生信号を出力するデータ読み取り装置において、前記シンクバイトを粗密パターンを含む構成とし、前記タイミングクロック再生PLLはシンクバイトにより前記クロック信号をより細かに引き込みを行うようにした。

10

【0029】

請求項6に記載の発明は、請求項5に記載のデータ読み取り装置において、前記読み出し信号をサンプリングしたデータを再生信号として出力する波形等化器と、前記シンクバイトを検出するための比較データが予め記憶され、該比較データを比較信号として順次出力するレジスタと、予め設定された比較ポイントにおいて前記再生信号と前記比較信号と比較するウインドを開き、該ウインド期間において入力される前記再生信号と前記比較信号が一致した場合にシンクバイト検出信号を出力する一致検出回路とを備えた。

20

【0030】

請求項7に記載の発明は、請求項6に記載のデータ読み取り装置において、前記一致検出回路は、前記シンクバイトの読み出し時期に対応してトリガ信号が入力された後、入力されるウインド信号に基づいて前記再生信号とレジスタから入力される比較信号とを比較するために前記シンクバイトが入力される期間よりも短い期間のウインドを設定し、該ウインドの期間に入力される前記比較信号と前記再生信号の各ビットがそれぞれ一致した場合にシンクバイト検出信号を出力するようにした。

【0031】

請求項8に記載の発明は、請求項7に記載のデータ読み取り装置において、前記波形等化器は判定帰還型等化器であって、読み出し信号に基づく入力電圧を基準電圧と比較して前記入力電圧をデジタル信号に変換する判定器と、前記判定器の出力信号を順次記憶するシフトレジスタと、該シフトレジスタに記憶された各ビット情報に基づいて前記判定器の入力信号に対する帰還量を演算する帰還フィルタとを備え、前記一致比較回路は、前記比較信号と前記再生信号が一致しない場合に、前記比較信号を前記再生信号が読み出された前記シフトレジスタの領域に記憶させるようにした。

30

【0032】

請求項9に記載の発明は、請求項7に記載のデータ読み取り装置において、前記一致比較回路は、前記比較信号と前記再生信号が一致しない場合に、前記比較信号を前記シフトレジスタに代えて前記帰還フィルタに出力するようにした。

40

【0033】

請求項10に記載の発明は、請求項5乃至9のうちの何れか1項に記載のデータ読み取り装置において、前記レジスタは、前記シンクバイトに対応する比較データを記憶し、前記トリガ信号に基づいて比較データを所定方向に巡回させるシフト動作を行い、該比較データを比較信号として出力する巡回レジスタである。

【0034】

請求項11に記載の発明は、請求項5乃至10のうちの何れか1項に記載のデータ読み取り装置を備えたハードディスク装置である。

(作用)

従って、請求項1, 5に記載の発明によれば、シンクバイトを粗密パターンを含む構成と

50

することにより、タイミングクロック再生PLLはシンクバイトによりクロック信号をより細かに引き込みを行うため、クロック信号が読み出し信号に十分に同期する。

【0035】

請求項2, 6に記載の発明によれば、比較信号と再生信号を比較するウインドを設定し、所定のポイントにて比較信号と再生信号が一致する事によりシンクバイト検出とすることで、シンクバイト検出までの時間が短縮される。

【0036】

請求項3, 7に記載の発明によれば、シンクバイトの読み出し時期に対応してトリガ信号が入力された後にシンクバイトが入力される期間よりも短い期間開かれるウインドにより、比較信号と再生信号が比較され、そのウインド期間の比較信号と再生信号が一致する場合にシンクバイト検出とした。これにより、シンクバイトの全ビットが一致しなくても、シンクバイト検出信号を出力することができるため、読み出しを開始してからシンクバイト検出信号を出力するまでの時間、ひいてはユーザデータの読み出し時間が短縮される。

10

【0037】

請求項4, 8, 9に記載の発明によれば、比較信号と再生信号が一致しない場合に、比較信号に基づいて帰還量が演算されて帰還ループに帰還されるため、誤った再生信号に基づく帰還量が帰還されて帰還ループが発散するのが防止される。

【0038】

請求項10に記載の発明によれば、レジスタは、シンクバイトに対応する比較データを記憶し、前記トリガ信号に基づいて比較データを所定方向に巡回させるシフト動作を行う巡回レジスタであり、その巡回レジスタから出力される比較信号により、その比較信号と再生信号が簡単な構成で順次比較される。

20

【0039】

請求項11に記載の発明によれば、請求項5乃至10のうちの何れか1項に記載のデータ読み取り装置が備えられ、ハードディスク装置におけるユーザデータの読み出し時間の短縮が図られる。

【0040】

【発明の実施の形態】

以下、本発明を具体化した一実施の形態を図1～図6に従って説明する。

尚、説明の便宜上、従来と同様の構成については同一の符号を付してその説明を一部省略する。

30

【0041】

図1は、ハードディスク装置の概略構成を示す。

ハードディスク装置41は、ホストコンピュータ42に接続されている。ハードディスク装置41は、ホストコンピュータ42の書き込み要求に应答し、ホストコンピュータ42から入力される記録データを記録媒体としての磁気ディスク11に記録する。また、ハードディスク装置41は、ホストコンピュータ42の読み出し要求に应答し、磁気ディスク11に記録された格納データを読み出し、ホストコンピュータ42に出力する。

【0042】

ハードディスク装置41は、磁気ディスク11、第1, 第2モータM1, M2、ヘッド装置12、ハードディスクコントローラ(HDC)31、信号処理回路43、サーボ回路44、マイクロプロセッサ(MPU)45、メモリ(RAM)46、インタフェース回路47を含む。

40

【0043】

磁気ディスク11は、第1モータM1により一定の回転数にて回転駆動される。ヘッド装置12は、第2モータM2により磁気ディスク11の半径方向に位置制御される。ヘッド装置12は、磁気ディスク11に記録された情報を読み出してリード信号RDとして信号処理回路43に出力する。

【0044】

信号処理回路(リードチャンネルICと呼ばれる)43は、リード信号RDを、そのリード

50

信号 R D に同期してサンプリングしてデジタル信号に変換する。信号処理回路 4 3 は、変換後のデジタル信号に復号処理を施し、その処理後の信号を出力する。

【 0 0 4 5 】

サーボ回路 4 4 は、バス 4 8 を介して信号処理回路 4 3 の出力信号が入力される。サーボ回路 4 4 は、出力信号に含まれるサーボのための情報に基づいて、第 2 モータ M 2 を制御し、ヘッド装置 1 2 を目的のトラックにオントラックさせる。

【 0 0 4 6 】

M P U 4 5 は、メモリ 4 6 に予め記憶されたハードディスク装置 4 1 を制御するためのプログラムデータに基づいて、H D C 3 1、信号処理回路 4 3、サーボ回路 4 4、インタフェース回路 4 7 を制御する。H D C 3 1 は、バス 4 8 を介して信号処理回路 4 3 の出力信号を入力する。

10

【 0 0 4 7 】

H D C 3 1 は、入力されたデータを所定のバイト数よりなるセクタ単位に組み立て、その組み立てたセクタ毎に例えば E C C (Error Correcting Code) 誤り訂正処理等の処理を行い、その処理後のデータをバス 4 8 を介してインタフェース回路 4 7 に出力する。インタフェース回路 4 7 は、所定の通信方式に基づいて H D C 3 1 の出力データを変換して読み出しデータとしてホストコンピュータ 4 2 へ出力する。

【 0 0 4 8 】

H D C 3 1 には、ホストコンピュータ 4 2 から書き込みデータがインタフェース回路 4 7 を介して入力される。H D C 3 1 は、書き込みデータに誤り訂正のためのデータを付加し、バス 4 8 を介して信号処理回路 4 3 に出力する。信号処理回路 4 3 は、H D C 3 1 の出力データをヘッド装置 1 2 を介して磁気ディスク 1 1 に書き込む。

20

【 0 0 4 9 】

図 2 は、信号処理回路 4 3 を構成するデータ読み出し回路のブロック回路図を示す。信号処理回路 4 3 は、可変ゲインアンプ (V G A) 1 4、判定帰還型等化器 (D F E : Decision Feedback Equalizer) 1 5、シリアル - パラレル (S / P) 変換回路 2 4、デコーダ 2 5、デスクランブラ 2 6、インタフェース (I / F) 回路 2 7、タイミングリカバリ (T R) P L L 回路 2 1、シンクバイト (S B) 検出回路 5 1、シーケンス制御回路 5 2 を含む。

【 0 0 5 0 】

シーケンス制御回路 5 2 は、所定の読み出しシーケンスに基づいて上記の各回路 1 4 , 1 5 , 2 1 , 2 4 ~ 2 7 , 5 1 を制御する。V G A 1 4 は、リード信号 R D の振幅を所定の振幅に増幅し、その増幅した信号を D F E 1 5 に出力する。

30

【 0 0 5 1 】

図 3 は、D F E 1 5、T R P L L 回路 2 1、S B 検出回路 5 1 のブロック回路図を示す。D F E 1 5 は、前置フィルタ 1 6、加算器 1 7、判定器 1 8、シフトレジスタ 1 9、フィードバックフィルタ 2 0 を含む。前置フィルタ 1 6 は、フィルタリング後の信号を加算器 1 7 に出力する。加算器 1 7 は、前置フィルタ 1 6 の出力信号とフィードバックフィルタ 2 0 の出力信号を加算し、加算結果を判定器 1 8 に出力する。

【 0 0 5 2 】

図 4 に示すように、判定器 1 8 は、加算器 1 7 の出力電圧 V 1 と予め設定された基準電圧 R e f とを比較し、その比較結果に基づいて「 1 」又は「 0 」の判定信号 S 1 をシフトレジスタ 1 9 に出力する。

40

【 0 0 5 3 】

例えば、判定器 1 8 は、出力電圧 V 1 が基準電圧 R e f よりも高い場合には「 1 」の判定信号 S 1 を、出力電圧 V 1 が基準電圧 R e f よりも低い場合には「 0 」の判定信号 S 1 を出力する。即ち、判定器 1 8 は、加算器 1 7 の出力信号をサンプリング (標本化) して 1 ビットのデジタル信号である判定信号 S 1 に変換する。

【 0 0 5 4 】

シフトレジスタ 1 9 は、フィードバックフィルタ 2 0 の構成に対応する段数 (n 段) のレ

50

ジスタ R a1 ~ R a n を含む。シフトレジスタ 1 9 は、判定器 1 8 から出力される判定信号 S 1 を、クロック信号 C L K に同期してサンプリングし、そのサンプリングデータを初段のレジスタ R a1 に記憶する。そして、シフトレジスタ 1 9 は、クロック信号 C L K に同期して、記憶したデータを順次後段のレジスタにシフトする。これにより、シフトレジスタ 1 9 は、標本化された過去の複数ビット (n ビット) のデータを記憶する。

【 0 0 5 5 】

フィードバックフィルタ 2 0 は、例えば F I R フィルタよりなる。この F I R フィルタのタップ数に応じてシフトレジスタ 1 9 の段数が設定される。フィードバックフィルタ 2 0 は、信号中に含まれる符号間干渉を取り除くように動作する。フィードバックフィルタ 2 0 は、シフトレジスタ 1 9 に記憶された複数ビットのデータに基づくアナログ信号を加算器 1 7 に出力する。これにより、判定器 1 8 の出力信号は、過去のビットによる干渉が除去された再生信号となり、この再生信号がシフトレジスタ 1 9 に記憶される。

10

【 0 0 5 6 】

このように構成された D F E 1 5 は、符号 (シンボル) 間干渉を打ち消した再生信号を出力する。

前記加算器 1 7 の出力信号は、サンプリングクロック再生用 P L L 回路 2 1 に出力される。P L L 回路 2 1 は、A / D 変換器 (A D C) 2 2、T R - P L L 2 3 を含む。A D C 2 2 は、加算器 1 7 の出力信号をデジタル信号に変換し、そのデジタル信号を T R - P L L 2 3 に出力する。

【 0 0 5 7 】

T R - P L L 2 3 は、磁気ディスク 1 1 から制御データとしてのプリアンブルデータを読み出したリード信号 R D にクロック信号 C L K を同期させる、所謂クロックの引き込み動作を行う。このクロック信号 C L K により、D F E 1 5 のシフトレジスタ 1 9 は、判定器 1 8 の出力信号をクロック信号 C L K のエッジに应答してサンプリングする。これにより、シフトレジスタ 1 9 は、リード信号 R D の転送速度でサンプリングすることにより、前記磁気ディスク 1 1 の記録データに対応する判定信号を記憶する。

20

【 0 0 5 8 】

更に、T R - P L L 2 3 は、シンクバイトを読み出したリード信号 R D に基づいて、クロック信号 C L K の引き込み動作を行う。T R - P L L 2 3 は、A D C 2 2 から入力される信号の状態が遷移する場所を引き込み位置とする。その引き込み位置において、T R - P L L 2 3 は A D C 2 2 から入力される信号とクロック信号 C L K の位相を比較し、その比較結果に基づいてクロック信号 C L K の周波数を変更するように構成されている。従って、シンクバイトは、遷移する場所を含むようなビット列のパターンに設定されている。

30

【 0 0 5 9 】

図 4 は、本実施形態のシンクバイトのパターン構成を示す。シンクバイトは 1 2 ビットのビット列であり、「111100011000」のパターンに設定されている。このシンクバイトのパターンは、信号の状態が遷移する、即ち、0, 1 のビットが、「0 1」, 「1 0」と遷移する引き込み位置であり、所謂ビットが反転する間隔が長いパターン「11110」と、反転する間隔が短いパターン「0110」を組み合わせて構成されている。即ち、シンクバイトは、状態の遷移が粗なパターンと、状態の遷移が密なパターンが組み合わされている。尚、先行するプリアンブルのパターンは「0」ビットにて終了する。従って、間隔の長いパターンは、P L L 回路にプリアンブルに続いて入力されるため、そのパターンは「01110」となる。

40

【 0 0 6 0 】

このように構成されたシンクバイトにより、T R - P L L 2 3 は、プリアンブルを読み出している期間に続いてシンクバイトを読み出している期間においてもクロック信号 C L K の引き込みを行うことができる。即ち、上記のシンクバイトは、T R - P L L 2 3 における引き込み期間を長くする。これにより、図 1 の磁気ディスク 1 1 の回転数が高くなってプリアンブルを読み出す期間が短くなっても、T R - P L L 2 3 は、プリアンブルに加えてシンクバイトによりクロック信号 C L K の引き込みを十分に行うことができる。

50

【 0 0 6 1 】

そして、D F E 1 5 のシフトレジスタ 1 9 は、上記のクロック信号 C L K に基づいて判定器 1 8 からの判定信号 S 1 をサンプリングする。そして、クロック信号 C L K は、リード信号 R D の周波数に十分に引き込まれていることから、シフトレジスタ 1 9 は、正確なタイミングで判定信号 S 1 をサンプリングする。これにより、判定誤りを低減することができる。

【 0 0 6 2 】

D F E 1 5 は、再生信号を、S B 検出回路 5 1 に出力する。

S B 検出回路 5 1 は、サーキュレータ 5 2、一致検出回路 5 3 を含む。サーキュレータ 5 2 は巡回レジスタであり、例えば図 4 に示すように、1 2 ビットにて構成されるシンクバイトのビット数に対応する数のレジスタ R b 1 ~ R b 1 2 を有する。各レジスタ R b 1 ~ R b 1 2 には、シンクバイトと同じ値の比較データを構成する各ビットがそれぞれ記憶される。

【 0 0 6 3 】

サーキュレータ 5 2 には、シーケンス制御回路 5 2 からトリガ信号 T R G が入力される。シーケンス制御回路 5 2 は、入力されるクロック信号 C L K に基づいて、シンクバイトの先頭ビットを読み出すタイミングに合わせて H レベルのトリガ信号 T R G を一定期間（例えば、クロック信号 C L K の 1 周期分）出力するように構成されている。

【 0 0 6 4 】

トリガ信号 T R G を出力するタイミングについて詳述すれば、図 1 の磁気ディスク 1 1 の各セクタには、プリアンプル、シンクバイト、ユーザデータの順番に格納されている。そして、プリアンプルのビット数は、予め判っている。そして、セクタに格納されている情報を読み出した場合、そのセクタの先頭ビット（プリアンプルの先頭ビット）の読み出し位置を検出することは容易である。

【 0 0 6 5 】

従って、プリアンプルの先頭ビットを読み出したからのクロック信号 C L K のエッジをカウントすることにより、シンクバイトの先頭ビットが読み出されるタイミングを検出することは容易である。そして、シーケンス制御回路 5 2 は、このタイミングでトリガ信号 T R G を出力するように構成されている。

【 0 0 6 6 】

サーキュレータ 5 2 は、図 2 のシーケンス制御回路 5 2 から入力されるトリガ信号 T R G の立ち上がりエッジに应答し、クロック信号 C L K に基づいて各レジスタ R b 1 ~ R b 1 2 に記憶した比較データの各ビットを所定方向に巡回させるシフト動作を行う。即ち、サーキュレータ 5 2 は、入力されるクロック信号 C L K の立ち上がりエッジに应答し、初段 ~ 1 1 段目のレジスタ R b 1 ~ R b 1 1 に記憶した比較データの各ビットを 2 段目 ~ 最終段のレジスタ R b 2 ~ R b 1 2 にシフトすると共に、最終段のレジスタ R b 1 2 に記憶したビットを初段のレジスタ R b 1 にシフトする。サーキュレータ 5 2 は、初段のレジスタ R b 1 に記憶した 1 ビットのデータを比較ビット信号 S 3 として一致検出回路 5 3 に出力する。

【 0 0 6 7 】

一致検出回路 5 3 には、D F E 1 5 のシフトレジスタ 1 9 初段に記憶された 1 ビットのデータが再生ビット信号 S 4 としてクロック信号 C L K に同期して順次入力される。

【 0 0 6 8 】

一致検出回路 5 3 には、シーケンス制御回路 5 2 からウインド信号 W G とトリガ信号 T R G が入力される。シーケンス制御回路 5 2 は、トリガ信号 T R G の立ち上がりエッジから所定期間（図 5 ではクロック信号 C L K の 1 周期分）経過した後に、所定期間（図 5 では 8 周期分）だけ H レベルのウインド信号 W G を出力する。

【 0 0 6 9 】

一致検出回路 5 3 は、トリガ信号 T R G が入力された後、ウインド信号 W G が H レベルの間、比較ビット信号 S 3 と再生ビット信号 S 4 を順次比較する。一致検出回路 5 3 は、ウインド信号 W G が H レベルの間に入力される比較ビット信号 S 3 と再生ビット信号 S 4 が全て一致した場合、シンクバイト検出信号 S 2 を出力する。このことは、シンクバイト検

10

20

30

40

50

出の確率を高くする、即ちバイト同期確立を容易にする。

【0070】

即ち、一致検出回路53は、Hレベルのウインド信号WGが入力されている間、即ちそれぞれ8個の比較ビット信号S3と再生ビット信号S4を比較する。これは、12ビットの比較データと判定データを比較する場合に比べて一致する確立が高い。そして、それぞれ8個の比較ビット信号S3と再生ビット信号S4が一致していれば、残りのビットも一致している確立が高い。従って、一致検出回路53は、従来のSB検出回路51に比べてシンクバイト検出信号S2を出力しやすくなる。

【0071】

また、シーケンス制御回路52は、トリガ信号TRGから所定期間経過後、Hレベルのウインド信号WGに反応して比較ビット信号S3と再生ビット信号S4の比較を行う。このシンクバイトの先頭ビット、又は先頭ビットから複数ビットは、クロック信号CLKの同期が不十分であるときに、誤った値がサンプリングされてシフトレジスタ19に記憶されるからである。

10

【0072】

しかし、その後の複数の比較ビット信号S3は、前記TR-PLL23の引き込みによりリード信号RDと同期しているため、正確なデータがサンプリングされている。また、そのシンクバイトに続いて読み出されるユーザデータは、クロック信号CLKがリード信号RDに十分同期していることから、正確なデータがサンプリングされてシフトレジスタ19に記憶される。

20

【0073】

そのため、シンクバイトの先頭の1ビット、又は先頭から複数ビット経過した後に、比較ビット信号S3と再生ビット信号S4を比較することにより、一致検出回路は、シンクバイトを検出する。これにより、読み出し開始からシンクバイト検出までの時間は、従来のそれに比べて短くなる。

【0074】

そして、図1のHDC31は、シンクバイト検出信号を入力すると、シンクバイトに続いて入力されるデータをユーザデータとして処理する。そのため、読み出しを開始してからユーザデータを読み出すまでの時間は、従来のそれに比べて短くなる。

【0075】

尚、シーケンス制御回路52を、トリガ信号TRGの立ち上がりエッジ後、クロック信号CLKの2周期以上経過した後にHレベルのウインド信号WGを出力する構成としてもよい。また、シーケンス制御回路を、クロック信号CLKの7周期以下又は9周期以上、Hレベルのウインド信号WGを出力する構成としてもよい。

30

【0076】

ところで、比較ビット信号S3と再生ビット信号S4が一致しない場合、一致検出回路53は、比較ビット信号S3をシフトレジスタ19の初段のレジスタRa1に格納する。これにより、一致検出回路53は、誤りのある再生ビット信号S4の情報を比較ビット信号S3により書き換える。これは、再生ビット信号S4がシンクバイトを構成するビットであり、そのビットの位置が判っているからである。

40

【0077】

上記したように、1つのセクタに格納されている情報を読み出した場合、そのセクタの先頭ビット(プリアンプルの先頭ビット)の読み出し位置を検出することは容易である。そして、プリアンプルのビット数は予め判っている。従って、プリアンプルの先頭ビットを読み出してからのクロック信号CLKのエッジをカウントすることにより、シンクバイトの先頭ビットが読み出されるタイミングを検出することは容易である。シーケンス制御回路52は、このタイミングでトリガ信号TRGを出力するように構成されている。このため、一致検出回路53には、シンクバイトの先頭ビットである再生ビット信号S4と同じタイミングで、比較データの先頭ビットである比較ビット信号S3が入力される。

【0078】

50

そして、一致検出回路53は、読み出しにビットエラーが生じて再生ビット信号S4と比較ビット信号S3が一致しない場合、正しい値の比較ビット信号S3をシフトレジスタに書き込む。これにより、シンクバイトを読み出している間に誤りを伝搬してDFE15の帰還ループが発散するのを防止する。

【0079】

尚、図6に示すように、一致検出回路53は、再生ビット信号S4と比較ビット信号S3が一致しない場合に、比較ビット信号S3を直接フィードバックフィルタ20に出力する構成としてもよい。この構成によっても、DFE15の帰還ループの発散を防止することができる。

【0080】

DFE15は、再生信号を図2のSP変換回路24に出力する。SP変換回路24は、再生信号をパラレル信号に変換しデコーダ25に出力する。デコーダ25は、パラレル信号を所定の方式により復号し、その復号データをデスクランブラ26に出力する。デスクランブラ26は、所定の方式によりデコーダの出力データのビットの並べ替えを行い再生データを生成する。その再生データはインタフェース回路27を介してHDC31に出力される。

【0081】

HDC31は、信号処理回路43に読み出し動作の開始を指示する。その後、HDC31は、シンクバイト検出信号S2を入力すると、そのシンクバイト検出信号にตอบสนองして、シンクバイトに続く再生データを記録データとして扱い、この記録データに対する処理を行う。

【0082】

以上記述したように、本実施の形態によれば、以下の効果を奏する。

(1) 周期パターンのプリアンプルデータに続いて読み出されるシンクバイトは、リード信号RDに基づいてADC22の出力信号の情報が遷移する引き込み位置が粗な部分と密な部分とを含む粗密パターンにて構成される。TR-PLL23は、このシンクバイトの引き込み位置において、シンクバイトを読み出したリード信号RDに対してクロック信号CLKの同期引き込みを行う。その結果、磁気ディスク11が高速に回転駆動されてプリアンプルデータを読み出したリード信号の期間が短くなっても、シンクバイトを読み出したリード信号RDにクロック信号CLKを同期させることができるため、リード信号RDにクロック信号CLKを十分に同期させることができる。このクロック信号CLKにより、DFE15の判定誤りや、帰還ループの発散を防止し、ユーザデータの読み込むまでの時間が長期化を防ぐことができる。

【0083】

(2) 一致検出回路53は、Hレベルのウインド信号が入力されている間、再生ビット信号S4と比較ビット信号S3の比較を行い、比較ビット信号S3と再生ビット信号S4の各ビットがそれぞれ一致した場合にシンクバイト検出信号S2を出力する。これにより、シンクバイトの全ビットが一致しなくてもシンクバイト検出信号を出力することができるため、読み出しを開始してからシンクバイト検出信号を出力するまでの時間、ひいては記録データの読み出し時間を短縮することができる。

【0084】

(3) 一致検出回路53は、比較ビット信号S3と再生ビット信号S4が一致しない場合に、正しい値の比較ビット信号S3をシフトレジスタに書き込む。これにより、シンクバイトを読み出している間再生ビット信号S4による誤りを伝搬するのを防ぎ、DFE15の帰還ループが発散するのを防止することができる。

【0085】

【発明の効果】

以上詳述したように、請求項1, 5に記載の発明によれば、読み出し信号にクロック信号を十分に同期させることが可能なデータ読み取り方法、データ読み取り装置、ハードディスク装置を提供することができる。

10

20

30

40

50

【 0 0 8 6 】

また、請求項 1 乃至 1 0 に記載の発明によれば、シンクバイトの検出率を高めて記録媒体から情報を読み出す読み出し時間の短縮を図ることができる。

また、請求項 4 , 8 , 9 に記載の発明によれば、シンクバイトを検出できないときにおいても、波形等化器の帰還ループの発散を防止することができる。

【 図面の簡単な説明 】

- 【 図 1 】 一実施形態のハードディスク装置の概略構成図。
- 【 図 2 】 一実施形態の信号処理回路のブロック回路図。
- 【 図 3 】 D F E , T R P L L 回路及び S B 検出回路のブロック回路図。
- 【 図 4 】 一実施形態のシンクバイトの作用を示す説明図。
- 【 図 5 】 信号処理回路の動作を示すタイミング図。
- 【 図 6 】 別の D F E 及び S B 検出回路のブロック回路図。
- 【 図 7 】 従来の信号処理回路のブロック回路図。
- 【 図 8 】 従来の D F E 及び T R P L L 回路のブロック回路図。
- 【 図 9 】 セクタの記録フォーマットを示す説明図。

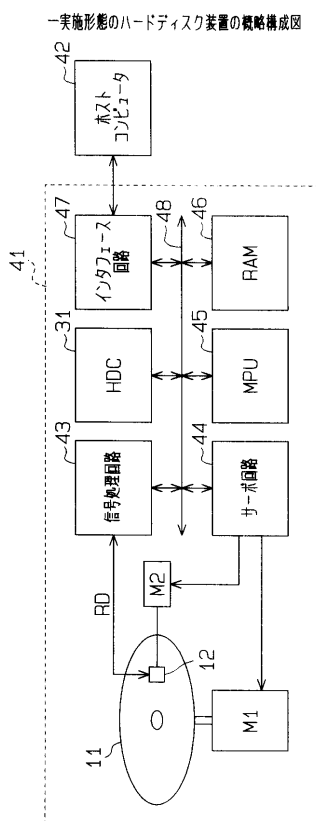
10

【 符号の説明 】

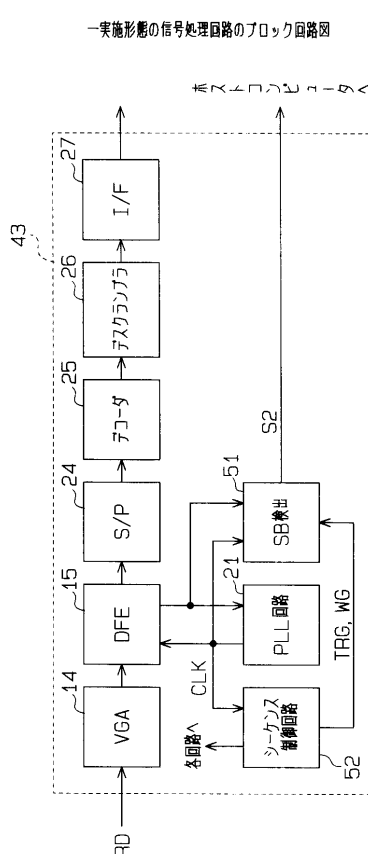
- 1 5 波形等化器としての帰還判定型等化器
- 2 1 タイミングクロック再生 P L L
- 5 2 レジスタとしてのサーキュレータ
- 5 3 一致検出回路
- C L K クロック信号
- R D 読み出し信号としてのリード信号
- S 2 再生信号
- T R G トリガ信号
- W G ウインド信号

20

【 図 1 】

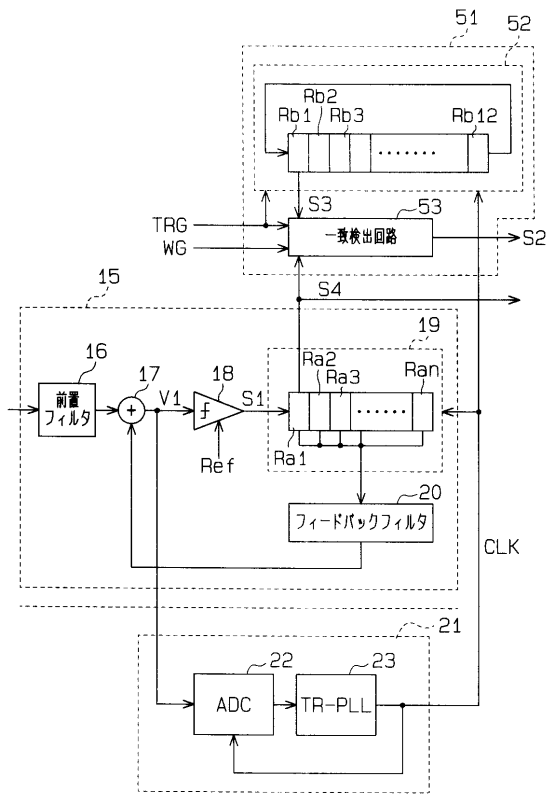


【 図 2 】



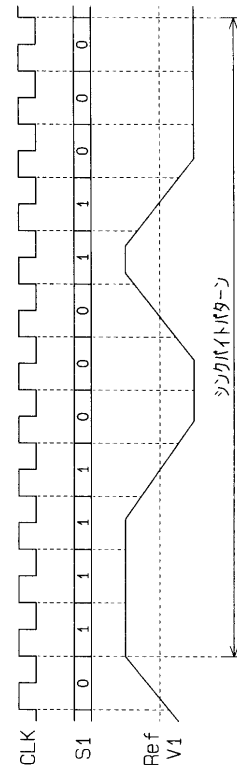
【 図 3 】

DFE, TRPLL 回路及びSB検出回路のブロック回路図



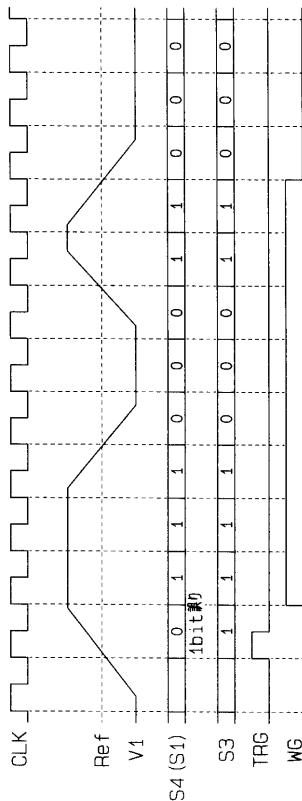
【 図 4 】

一実施形態のシンクバイトの作用を示す説明図



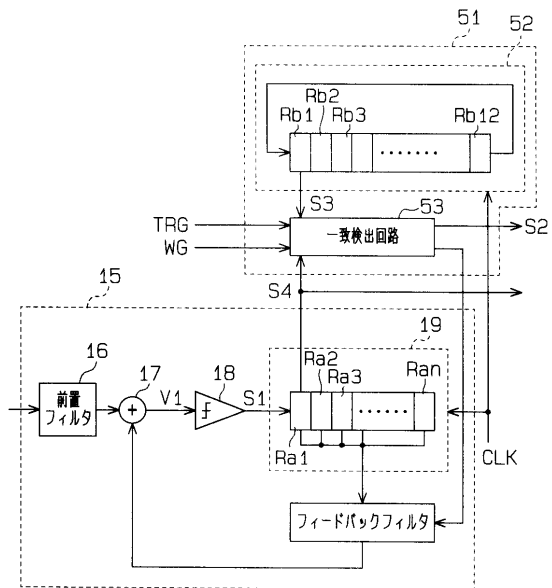
【 図 5 】

信号処理回路の動作を示すタイミング図

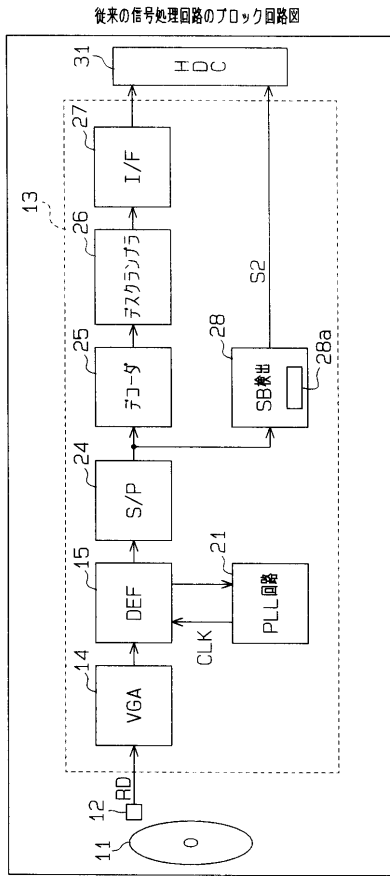


【 図 6 】

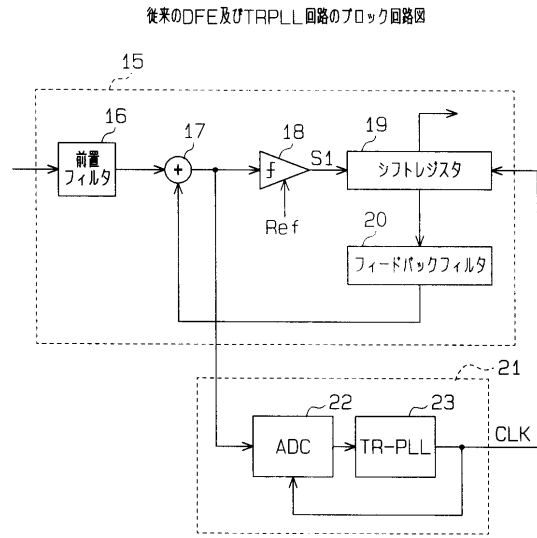
別のDFE及びSB検出回路のブロック回路図



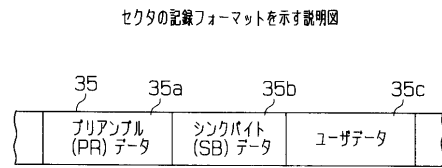
【 図 7 】



【 図 8 】



【 図 9 】



フロントページの続き

- (56)参考文献 特開平05 - 325431 (JP, A)
特開平08 - 315513 (JP, A)
特開平03 - 263655 (JP, A)
特開平03 - 203073 (JP, A)
特開平07 - 065513 (JP, A)
特開平06 - 251505 (JP, A)
特開平08 - 031120 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G11B 20/14

G11B 20/10