

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4959080号  
(P4959080)

(45) 発行日 平成24年6月20日 (2012. 6. 20)

(24) 登録日 平成24年3月30日 (2012. 3. 30)

(51) Int. Cl.

F I

G 0 3 F 1/22 (2012. 01)  
H 0 1 L 21/027 (2006. 01)G 0 3 F 1/16 A  
H 0 1 L 21/30 5 0 2 P  
H 0 1 L 21/30 5 3 1 M

請求項の数 20 (全 10 頁)

(21) 出願番号 特願2001-501941 (P2001-501941)  
 (86) (22) 出願日 平成12年6月6日 (2000. 6. 6)  
 (65) 公表番号 特表2003-501823 (P2003-501823A)  
 (43) 公表日 平成15年1月14日 (2003. 1. 14)  
 (86) 国際出願番号 PCT/US2000/015578  
 (87) 国際公開番号 W02000/075727  
 (87) 国際公開日 平成12年12月14日 (2000. 12. 14)  
 審査請求日 平成19年4月16日 (2007. 4. 16)  
 審判番号 不服2010-28772 (P2010-28772/J1)  
 審判請求日 平成22年12月20日 (2010. 12. 20)  
 (31) 優先権主張番号 60/138, 158  
 (32) 優先日 平成11年6月7日 (1999. 6. 7)  
 (33) 優先権主張国 米国 (US)

(73) 特許権者 511065299  
 エクストリーム、ウルトラバイオレット、  
 リミテッド、ライアビリティ、カンパニー  
 EXTREME ULTRAVIOLET  
 LIMITED LIABILITY  
 COMPANY  
 アメリカ合衆国カリフォルニア州、サンタ  
 クララ、ミッション、カレッジ、ブール  
 バード、2200  
 (74) 代理人 100117787  
 弁理士 勝沼 宏仁  
 (74) 代理人 100091487  
 弁理士 中村 行孝  
 (74) 代理人 100107342  
 弁理士 横田 修孝

最終頁に続く

(54) 【発明の名称】 反射マスク基板のコーティング

(57) 【特許請求の範囲】

【請求項 1】

熱膨張率 < 1 p p m / K の物質として規定される低熱膨張性物質から構成されてなる単層基板、

前記単層基板の表面側に少なくとも一つの物質層、および

前記単層基板の裏面側に少なくとも一つの物質層

を含んでなり、前記表面側の物質層および前記裏面側の物質層の両方が、前記基板における応力アンバランスを直して前記基板上の応力バランスをとるために用いられ、前記裏面側の物質層が、前記裏面側の物質層の厚さを制御すること又は前記裏面側の物質層にアニーリング工程を施すことにより、前記基板の表面側の多層 (ML) コーティングによって引き起こされる前記基板上の応力を直すために用いられる、マスク基板。

【請求項 2】

基板の裏面側と物質層との中間に物質層を更に含んでなる、請求項 1 に記載のマスク基板。

【請求項 3】

基板の裏面側における物質が、非晶質シリコンまたは多結晶質シリコンから構成されてなるシリコンの層を含んでいる、請求項 2 に記載のマスク基板。

【請求項 4】

基板の表面側と物質層との中間に応力バランシング物質の層を更に含んでなる、請求項 1 に記載のマスク基板。

## 【請求項 5】

応力バランシング物質の層が、T a S i またはオキシ窒化クロムから構成されてなる、請求項 4 に記載のマスク基板。

## 【請求項 6】

表面側の物質層上に多層構造を更に含んでなる、請求項 1 に記載のマスク基板。

## 【請求項 7】

表面側の物質層が、S i、M o、C r、オキシ窒化クロム、T a S i、および M o / S i 多層膜の群から選択される、請求項 1 に記載のマスク基板。

## 【請求項 8】

表面側の物質層がシリコンであって、非晶質または多結晶質シリコンから構成されてなる、請求項 1 に記載のマスク基板。 10

## 【請求項 9】

裏面側の物質層が、S i、M o、C r、オキシ窒化クロム、T a S i、および M o / S i 多層膜からなる群より選択される、請求項 1 に記載のマスク基板。

## 【請求項 10】

裏面側の物質が、M o および C r からなる群より選択される金属、または T i N、T a S i およびオキシ窒化クロムからなる群より選択される高誘電率の物質である、請求項 9 に記載のマスク基板。

## 【請求項 11】

低熱膨張性物質が、ガラス、プラスチック、セラミック、ガラス セラミック、複合材、プラスチック、S i C、石英、およびドライシリカからなる群より選択される、請求項 1 に記載のマスク基板。 20

## 【請求項 12】

基板の表面側に少なくとも多層構造を含んだマスク基板を製造するための方法であって、熱膨張率  $< 1 \text{ ppm/K}$  の物質として規定される低熱膨張性物質の基板を形成し、

欠陥精査を高め、表面仕上げを改善し、欠陥レベルを減らし、応力アンバランスを直すために、基板と多層構造との中間に物質層を形成し、該物質層がシリコン、モリブデン、クロム、オキシ窒化クロム、T a S i、および M o / S i 多層膜からなる群より選択され、

静電チャッキング、欠陥精査を高めること、および応力アンバランスによる基材のたわみを直すことからなる群の少なくとも一つを促進するために、基板の裏面側に少なくとも一つの物質層を形成することを含んでなり、 30

ことを含んでなり、

前記裏面側の物質層の厚さを設定すること又は前記裏面側の物質層にアニーリング工程を施すことのいずれかの手法を用いることにより、前記基板における応力アンバランスを直すように前記裏面側の物質層が仕上げられる、方法。

## 【請求項 13】

前記裏面側への前記層の形成が、誘電率を有する物質から該層を形成することによって行われる、請求項 12 に記載の方法。

## 【請求項 14】

前記裏面側への前記層の形成が、前記基板の裏面側にシリコン層を形成して、それにより該シリコン層で高誘電性物質の層を形成することによって行われる、請求項 12 に記載の方法。 40

## 【請求項 15】

高誘電性物質の層を形成することが、金属および導電性化合物からなる群より選択される物質を用いて行われる、請求項 14 に記載の方法。

## 【請求項 16】

前記基板と前記多層構造との中間の物質層がシリコンからなり、基板の表面側とシリコン層との間に応力バランシング物質の層を形成することを更に含んでなる、請求項 12 に記載の方法。 50

**【請求項 17】**

熱膨張率  $< 1 \text{ ppm/K}$  の物質として規定される低熱膨張性物質から構成されてなる基板、

前記基板の表面側におけるシリコンの第一層、

前記シリコンの第一層上における多層構造、

前記基板の裏面側におけるシリコンの第二層、および

前記シリコンの第二層上における導電性物質の層

を含んでなり、

前記第一層および前記第二層の両方が、前記基板における応力アンバランスを直すために用いられ、

前記裏面側の層の厚さを設定すること又は前記裏面側の層にアニーリング工程を施すことのいずれかの手法を用いることにより、前記基板における応力アンバランスを直すように前記裏面側の層が仕上げられてなる、透明 E U V L マスク基板。

**【請求項 18】**

基板の表面側とシリコンの第一層との間に応力バランシング物質の膜を更に含んでいる、請求項 17 に記載のマスク基板。

**【請求項 19】**

低熱膨張性物質が、ガラス、プラスチック、複合材、ガラス セラミック、およびセラミックからなる群より選択され、シリコンの第一層が非晶質または多結晶質シリコンから構成されており、導電性物質の層が金属および高誘電性物質からなる群より選択され、前記高誘電性物質が、シリコン、T i N、モリブデン、クロム、T a S i、および/または M o / S i 多層スタックから選択される、請求項 17 に記載のマスク基板。

**【請求項 20】**

応力バランシング物質膜が T a S i からなる、請求項 18 に記載のマスク基板。

**【発明の詳細な説明】****【0001】**

米国政府は、Lawrence Livermore National Laboratoryの事業に関する米国エネルギー省とカリフォルニア大学との契約 N o . W 7 4 0 5 E N G 4 8 に従い、この発明に権利を有している。

**【0002】****【関連出願】**

この出願は 6 / 7 / 9 9 付で出願された U S 仮出願 6 0 / 1 3 8 , 1 5 8 およびそのクレイム優先権と関連している。

**【0003】****【発明の背景】**

本発明はリソグラフィー用の反射マスク基板、具体的には極紫外線リソグラフィー用の反射マスク基板、更に具体的には、マスク基板として低熱膨張性物質の使用を可能にして、このような基板で多層膜応力作用を相殺するコーティングをマスク基板の表面（フロント）および/または裏面（バック）へ施すこと、追加コーティングがマスク基板の表面（フロント）および/または裏面（バック）へ適用されることに関する。

**【0004】**

極紫外線リソグラフィー（E U V L）は、半導体マイクロエレクトロニクスを加工する次世代リソグラフィーシステム用の筆頭候補である。E U V L と従来のリソグラフィーとの主要な差異は、E U V L が  $13.4 \text{ nm}$  光を用いるため、多層膜（M L）、典型的には M o / S i でコートされた反射光素子およびマスクを要することである。欠陥を容易に精査しうる低熱膨張性物質（L T E M）透明マスク基板の開発は、現在発展中の重要な面である。

**【0005】**

E U V リソグラフィーマスクまたはレチクルの熱管理は、極紫外線リソグラフィー（E U V L）システムに関する現在の開発努力からみて重要な分野になっている。S.E.Gianoula

10

20

30

40

50

kis et al., "Thermal-mechanical performance of extreme ultraviolet lithographic rectiles", J.Vac.Sci.Technol.B16(6)3440-3, Nov./Dec.1998 および S.E.Gianoulakis et al., "Thermal management of EUV lithographymasks using low expansion glass substrates", Emerging Lithographic Technologies III, SPIE Proceedings, Vol.3676, 1999 参照。

#### 【 0 0 0 6 】

現在、epi-Si ( 1 0 0 ) ウェハが、少ない欠陥、優れた平面性および仕上げ並びに精査および超清浄取扱い機器の存在のようなそれらの望ましい性質のおかげで、EUVL マスク プランク用の基板として用いられている。しかしながら、シリコンは許容し得ないほど大きな熱膨張率を有している。印刷中に、EUV 光の ~ 4 0 % はマスクに吸収されてしまい、加熱により生じた熱膨張は大きな画像たわみを引き起こして、エラー・バジェット (error budget) を超えることがある。低熱膨張性物質 ( L T E M ) は EUVL マスク用の基板物質として提案されてきた。W.M.Tong et al., "Mask substrated requirements and development for extreme ultraviolet lithography (EUVL)", SPIE, Vol.3873, Sept.1999 参照。しかしながら、L T E M 基板の使用には次の面で新たな挑戦を克服する必要がある。

10

#### 【 0 0 0 7 】

##### 1 . 精査

欠陥数は EUVL マスク加工にとり主要な関心事であり、欠陥精査は欠陥を減らす上で重要なステップである。光散乱が最新の欠陥精査機器で用いられている。欠陥の散乱断面積は可視波長で反射性の表面により高められる：ULE のような透明 L T E M 基板で最少の検出可能な欠陥サイズ検知閾値 ( ~ 0 . 1 2 μ m ) はシリコン表面の場合 ( ~ 6 0 n m ) よりも高い。透明基板で欠陥検知を高める手段が必要とされる。

20

#### 【 0 0 0 8 】

##### 2 . 表面仕上げ

EUVL マスクでは、画像配置エラーおよび反射能の喪失を最少に抑えるために、低い平面性エラーおよび低い面粗性を各々要求する。平面性および面粗性の要件を果たす上で役立つかなる方法も望ましい。

#### 【 0 0 0 9 】

##### 3 . 欠陥

現在、非シリコン基板の欠陥数はシリコンウェハよりもかなり多いが、シリコンウェハで欠陥を少なくという半導体産業の要望が欠陥を減らす上でシリコン基板製造業者に何十億ドルもの投資を余儀なくさせていたからである。最新の欠陥精査、クリーニングおよび他の欠陥減少プロセスを行う現行機器とより適合しうるように L T E M 基板を作ることが高度に望ましい。

30

#### 【 0 0 1 0 】

##### 4 . 静電マスクチャック

マスクの静電チャッキングは EUVL マスク加工の様々な段階で必要とされている。多層膜コーティングに際する静電チャッキングは機械的チャッキングよりもマスクへ加える欠陥が少ないことが証明された。更に、静電チャッキングはマスクのパターン化、精査および暴露に際してマスクをマウントする上で評価をうけている 2 つのオプションのうち 1 つである。しかしながら、ほとんどの L T E M はシリコンと異なり低い誘電率を有しており、同様のチャッキング力を得る上でかなり高い電圧を要する。高電圧は可能性としてプロセスステップを妨げる電界を生み出すか、または真空中で絶縁破壊を生じることがある。L T E M 基板は低電圧静電チャックと適合するよう作製されねばならない。

40

#### 【 0 0 1 1 】

##### 5 . 応力バラランシング

どのような種類のコーティングを有する基板も、2 者間の応力アンバランスのせいでたわむことがある。EUVL マスクの場合、基板はほぼゼロの膨張であって、シリコンのような典型的コーティングが大きさに大抵 1 または 2 程度高い C T E を有していることから、この問題は特に激しい。応力形成で 1 つの可能なメカニズムは次のとおりである：L T E

50

M基板へのML付着は約70で行われる。付着後、温度は環境に戻って、MLは収縮する。LTEm基板は収縮しないため、これは応力アンバランスを生じて、たわんだ基板をもたらす。応力アンバランスによるこのたわみを克服するための技術は必須である。

#### 【0012】

本発明は上記の問題に対する解決法を提供するもので、EUVLマスク用の基板物質として低熱膨張性物質(LTEM)の使用を可能とする。本発明では基本的にLTEm基板の表面および/または裏面表面へコーティングを施す。表面コーティングは基板の欠陥精査、欠陥減少、表面仕上げおよび応力バランスを高めるが、裏面コーティングは基板の静電チャッキングおよび応力バランスを高める。

#### 【0013】

##### 【発明の要旨】

フォトリソグラフィー用のマスク基板として低熱膨張性物質の使用を可能とさせることが、本発明の目的である。

本発明の別な目的は、透明でもまたはそうでなくてもよい、低熱膨張性物質から構成されているEUVLマスク基板を加工するために、シリコン、金属または多層膜のようなコーティングを用いるプロセスを提供することである。

本発明のもう1つの目的は、改善された欠陥精査を行えるように、シリコンのようなコーティングを有した透明または非反射性低熱膨張性物質マスク基板を提供することである。

本発明のもう1つの目的は、改善された表面仕上げを行えるように、平滑化効果をもつおよび/または研磨しうる表面コーティングを有したマスク基板を提供することである。

本発明のもう1つの目的は、表面欠陥の減少を行えるように、シリコンおよびモリブデンのような表面コーティングを有したマスク基板を提供することである。

本発明のもう1つの目的は、基板の静電チャッキングを促すために、シリコン、モリブデン、クロム、オキシ窒化クロムまたはTaSiのような、基板よりも高い誘電率の物質の裏面コーティングを有したマスク基板を提供することである。

本発明のもう1つの目的は、コーティングがシリコン、モリブデン、クロム、オキシ窒化クロム、TaSiおよびMo/Si多層膜スタックのような物質を含有している、基板の応力誘導性たわみを直すために、表面および/または裏面にコーティングを有したマスク基板を提供することである。

#### 【0014】

本発明の他の目的および利点は、以下の記載および添付した図面から明らかになるであろう。基本的に、本発明では表面、裏面および/または双方においてコーティングでマスク基板をコートする。マスクの表面におけるコーティングは、欠陥精査を高め、表面仕上げを改善し、欠陥レベルを減らし、および/または他のコーティングとマスク基板との応力アンバランスによる基板のたわみを直すためである。基板の裏面における高誘電性コーティングは、静電チャッキングを促し、欠陥精査を高め、および/またはマスク基板の表面における付着シリコン層および/またはMLコーティングで生じた応力アンバランスによる基板のたわみを直すためである。更に詳しくは、本発明は、表面側でシリコンのような物質でコートされ、裏面側で金属のような少くとも高誘電性のコーティングでコートされた、低熱膨張性物質(LTEM)基板から構成されている、マスク基板に関する。LTEmの片側または両側におけるシリコンコーティングは、欠陥精査、表面仕上げおよび欠陥レベルが改善された透明EUVLマスク基板を供する。基板の裏面側における、付加コーティングおよび高誘電率を有するコーティングは、静電チャッキングを促して、マスク基板の表面側で多層膜コーティングに付着するシリコン層で生じた応力アンバランスによる基板のたわみを直すためである。加えて、LTEm基板の表面側とシリコンコーティングとの中間またはシリコンコーティングと多層膜との間に、非晶質でもよい膜を形成することは、応力バランスをとる上で役立つ。本発明の透明マスク基板は、EUVLマスク応用に加えて、集積回路製造用の半導体ダイをパターン化する上で他のリソグラフィーシステムにも応用できる。

#### 【0015】

**【発明の具体的な説明】**

本発明は、EUVシステムで利用されるような反射マスク基板を用いるフォトリソグラフィ向けに、低熱膨張性物質(LTEM)マスク基板のようなマスク基板上における、シリコンおよび金属コーティングのようなコーティングの使用に関する。本発明では、欠陥精査、表面仕上げおよび欠陥レベルを改善するために、LTEMマスク基板の片側または両側に1以上のコーティングを施し；静電チャッキングを促して、マスク基板の表面側および/または裏面側に付着されたシリコン層または多層膜コーティングで生じた応力アンバランスによるたわみを直すために、基板の裏面側に導電性コーティングを施す。付着コーティングはシリコン、モリブデン、クロム、オキシ窒化クロム、TaSiまたはSi/Mo多層膜から構成しうる。しかも、TaSiのような物質の非晶質膜は、応力バランスをとるために、LTEMとSi膜との間にはさむことができる。低熱膨張性物質は熱膨張率 $< 1 \text{ ppm/K}$ の物質として規定され、選択されたガラス、ガラスセラミック、プラスチック、セラミック、複合材などから構成しうる。LTEMの例には、Schott Glass Technologies, Duryea, PA製のZerodur；Corning, Inc., Corning, NY製のULE；Ohara Corp., 相模原, 日本製のClearCeram；SiC、石英およびドライシリカがある。ここで記載されているマスクの表面または表面側とは、パターン化される側である。

10

**【0016】**

少なくとも1つの表面側上層および/または1つの裏面側物質でLTEM基板をコーティングすると、先に記載され、後でも個別に記載されて、表1でまとめられた問題を解決しうる。

20

**【0017】**

1. 精査：シリコンのような反射コーティングを有する透明または半透明マスク基板は、今日の最新シリコン欠陥精査機器で欠陥精査を行える。これらの機器の精査の感度および速度は、非反射基板を精査する対応機器の場合よりも現在はかなり高い。

**【0018】**

2. 表面仕上げ：シリコン上層ではシリコン産業の成熟した仕上げ力を利用しうる。非晶質、多結晶質またはその他である $1 \sim 5 \mu\text{m}$ シリコンのコーティングは、シリコンウェハと同程度の平面性および低面粗性になるまで研磨および加工することができる。これはシリコンウェハと同じように仕上げを行える手法をマスク基板へもたらす。

**【0019】**

3. 欠陥減少：表面コーティングを有する利点は3倍である：第一に、そのコーティングはLTEM基板自体よりもきれいにしやすい物質から作製しうる。例えば、シリコンの表面コーティングを有したマスク基板では、シリコンウェハ用に開発された現行の洗練されたクリーニングテクノロジーおよびプロセスを利用しうる。第二に、シリコンまたはクロムのようなコーティングは、最新の低欠陥プロセス装置で用いられる自動操作装置でセンサーに用いられている可視光に対して基板を不透明にさせうる。そのため、本プロセッシング機器との適合性は有意に高められる。第三に、基板上のいかなる汚染物もオーバーコートで覆われるため、それらはプロセス機器に入れず、それらの機器で行われる他のプロセスを損なうことがない。更に、シリコン基板を仕上げる技術水準がより発達したおかげで、シリコンの表面コーティングは元のLTEM基板表面よりも良い仕上げおよびクリーン度となるまで容易に再研磨しうる。

30

40

**【0020】**

4. 静電チャック：静電チャックはパターン化、精査および暴露のためにマスク基板をマウントする上で提案されており、その使用は高誘電率の基板物質により促されるであろう。ほとんどのマスク基板物質、例えばLTEMおよび石英は低い誘電率を有している。限定されないが、シリコン、TiN、モリブデン、クロム、TaSiおよび/またはMo/Si MLスタックを含めた、基板の裏面側における高誘電率のコーティングは、静電チャックの使用を促すようになる。

**【0021】**

5. 応力バラランシング：裏面側のコーティングも表面でMLによるたわみを直すために用

50

いう。裏面コーティングの厚さは、基板とその他のコーティングとの応力アンバランスを直すために必要とされるものに依存する。シリコン、モリブデン、クロム、オキシ窒化クロム、T a S i または M o / S i M L スタックのコーティングが用いられる。特に、応力がアニーリングにより調整しうる T a S i およびオキシ窒化クロムのようなコーティングは、個別マスクの応力バランシングニーズを満たすように仕上げることもできる。

#### 【 0 0 2 2 】

表 1 : 本発明で記載されたコーティングの目的、箇所および例

目 的	コーティング の表面箇所	コーティング 物質の例	注 記
欠陥精査 感度の改善	表面	Si, Mo, Cr 又は 他の反射物質	欠陥精査感度は、反射性のときが 透明又は半透明表面の場合より かなり高い。
欠陥の 減少	表面	S i	クリーニングテクノロジーは L T E M 表面よりもシリコン表面 向けが進んでいる。厚いシリコン 膜 ( ~ 1 ~ 5 μ m ) もクリーナー シリコン研磨機器で再研磨しうる 。
基板と コーティング との応力の バランシング	表面 及び 裏面	Si, Mo, Cr, Mo/Si M L スタック オキシ窒化クロム 又は T a S i	シリコン、クロム、モリブデン膜 の応力はそれらの厚さを変える ことで調整しうる。オキシ窒化 クロム又は T a S i 膜の応力は アニーリングにより調整しうる。
仕上げ	表面	S i	シリコンウェハを仕上げる現技術 水準は、L T E M 基板を仕上げる 場合よりも進んでいる。
静電 チャッキング の促進	裏面	Si, Mo, Cr, Mo/Si M L スタック、 オキシ窒化 クロム又は T a S i	L T E M 基板よりも高い誘電率の 物質は、低電圧で静電チャッ キングを促せるようになる。

#### 【 0 0 2 3 】

ここで図面を参考にしてみると、図 1 は全体として 1 0 で示された従来型 E U V L マスク基板の態様を表わしており、L T E M のマスク基板 1 1、例えば M o / S i のような多層膜 1 2、二酸化ケイ素のようなマスクパターン修復用の緩衝層 1 3、並びに T i N および C r のような吸収体パターン 1 4 から構成されている。

#### 【 0 0 2 4 】

図 2 ~ 4 は、図 1 の場合と類似しているが、図 1 の基板 1 1 の表面、裏面または両側に 1 以上の物質層を付着させた、E U V L マスク基板の態様を表わしている。図 1 の場合に相当する部分是对応した参照番号で示されている。図 2 において、E U V L マスク基板 2 0 は図 1 のように基板 1 1、多層膜 1 2、緩衝層 1 3 および吸収体パターン 1 4 からなるが、欠陥精査、応力バランス、欠陥平滑性を高めておよび / または再研磨するために、基板 1 1 と多層膜 1 2 との間に表面コーティング 2 1 を付加している。表面コーティング 2 1 は S i、M o、C r、オキシ窒化クロム、T a S i または M o / S i 多層膜のような物質から構成されている。

#### 【 0 0 2 5 】

図 3 は、図 1 のように基板 1 1、多層膜 1 2、緩衝層 1 3 および吸収体パターン 1 4 からなるが、静電チャッキングおよび / または応力バランスを促す裏面コーティング 3 1 を基板 1 1 に付加した、E U V L マスク基板 3 0 について示している。裏面コーティング 3 1 は S i、M o、C r、オキシ窒化クロム、T a S i または M o / S i 多層膜のような物質から構成されている。

## 【 0 0 2 6 】

図 4 は、図 1 のように基板 1 1、多層膜 1 2、緩衝層 1 3 および吸収体パターン 1 4 となるが、図 2 のように基板 1 1 と多層膜 1 2 との間に表面コーティング 4 1、および図 3 のように基板 1 1 に裏面コーティング 4 2 を付加した、E U V L マスク基板 4 0 について示しており、こうすると表面コーティング 4 1 は図 2 のように欠陥精査、応力バランス、欠陥平滑性を高めておよび / または再研磨しうようになり、裏面コーティング 4 2 は図 3 のように静電チャッキングおよび / または応力バランスを促す。コーティング 4 1 および 4 2 は各々 S i、M o、C r、オキシ窒化クロム、T a S i または M o / S i 多層膜のような物質から構成されうる。

## 【 0 0 2 7 】

表面コーティングおよび 2 1 および 4 1 と裏面コーティング 3 1 および 4 2 は単層コーティングとして示されているが、各コーティングは単層および / または多層構造でもよい。

## 【 0 0 2 8 】

本発明は、集積回路製造用の半導体ダイをパターン化する E U V L システムまたは他のリソグラフィシステムのように、マスク基板の形成で精査、表面仕上げ、欠陥、応力バランスおよび静電チャック保持に伴う以前の問題に対する解決法を提供していることが、こうして示された。欠陥精査を高め、表面仕上げを改善して、欠陥を減らし、静電チャッキングを促し、および / または応力アンバランスを直すために、マスク基板表面の表面および / または裏面でコーティングの適用により、本発明はフォトリソグラフィーマスク加工技術の水準をかなり発達させている。

## 【 0 0 2 9 】

低熱膨張性物質を利用するマスク基板の具体的態様が、本発明の原理を例示および記載するために、特定の物質およびパラメーターと共に説明および記載されてきたが、このようなことは制限するためではない。修正および変更は当業者に明らかとなるであろうが、本発明が添付された請求の範囲のみに限定されるわけではない。

## 【 図面の簡単な説明 】

添付図面は本開示に組み込まれてその一部を形成するものであって、本発明の態様を図解しており、その記載と一緒にすると本発明の原理を説明する上で役立つ。

【 図 1 】 従来の E U V L マスク基板の態様の横断面図である。

【 図 2 】 本発明に従い作製された、1 以上の表面コーティングを有する E U V L マスク基板の態様を示している。

【 図 3 】 本発明に従い 1 以上の裏面コーティングを有する E U V L マスク基板の態様を示している。

【 図 4 】 本発明に従い 1 以上の表面コーティングおよび 1 以上の裏面コーティングを有する E U V L マスク基板の態様を示している。

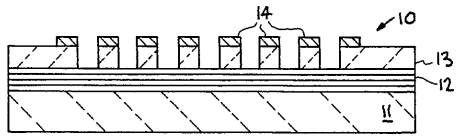
10

20

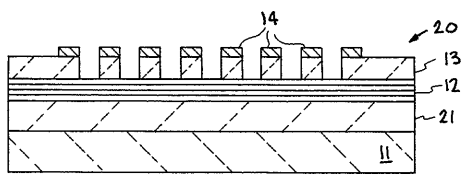
30



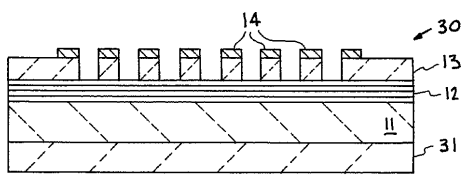
【図 1】



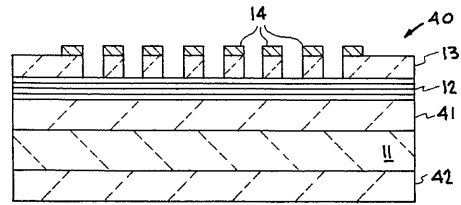
【図 2】



【図 3】



【図 4】



## フロントページの続き

- (74)代理人 100111730  
弁理士 伊藤 武泰
- (74)代理人 100113365  
弁理士 高村 雅晴
- (72)発明者 ウィリアム、マン ワイ、トン  
アメリカ合衆国カリフォルニア州、オークランド、ジーン、ストリート、ナンバー 102、592
- (72)発明者 ジョン、テイラー  
アメリカ合衆国カリフォルニア州、リバーモア、ジョイス、ストリート、520
- (72)発明者 スコット、ディー、ヘクター  
アメリカ合衆国カリフォルニア州、オークランド、リンウッド、アベニュー、4202
- (72)発明者 パウイター、ジェイ、エス、マンガット  
アメリカ合衆国アリゾナ州、ギルバート、イー、エンシナス、アベニュー、3688
- (72)発明者 アラン、アール、スティバース  
アメリカ合衆国カリフォルニア州、サンノゼ、マクリン、コート、755
- (72)発明者 パトリック、ジー、コフロン  
アメリカ合衆国カリフォルニア州、サンノゼ、アサンタ、ウェイ、1988
- (72)発明者 マシュー、エイ、トンブソン  
アメリカ合衆国テキサス州、オースチン、ビビアン、ドライブ、2100

## 合議体

審判長 村田 尚英

審判官 伊藤 幸仙

審判官 北川 清伸

- (56)参考文献 特開平8-213312(JP,A)  
特開平10-144584(JP,A)  
特開平6-45238(JP,A)  
特開昭61-116358(JP,A)  
特開平3-81769(JP,A)  
特開平9-232216(JP,A)  
特開平9-180994(JP,A)  
特開平8-190190(JP,A)  
特開昭63-285932(JP,A)

## (58)調査した分野(Int.Cl., DB名)

H01L21/027

G03F1/00-1/16