



(21)申請案號：098141547

(22)申請日：中華民國 98 (2009) 年 12 月 04 日

(51)Int. Cl. : **G11C7/22 (2006.01)**

(30)優先權：2008/12/04 美國 12/328,283

(71)申請人：高通公司 (美國) QUALCOMM INCORPORATED (US)
美國

(72)發明人：陳南 CHEN, NAN (US) ; 陳志坤 CHEN, ZHIQIN (US) ; 維瑪 瓦倫 VERMA, VARUN (IN)

(74)代理人：陳長文

申請實體審查：有 申請專利範圍項數：21 項 圖式數：9 共 34 頁

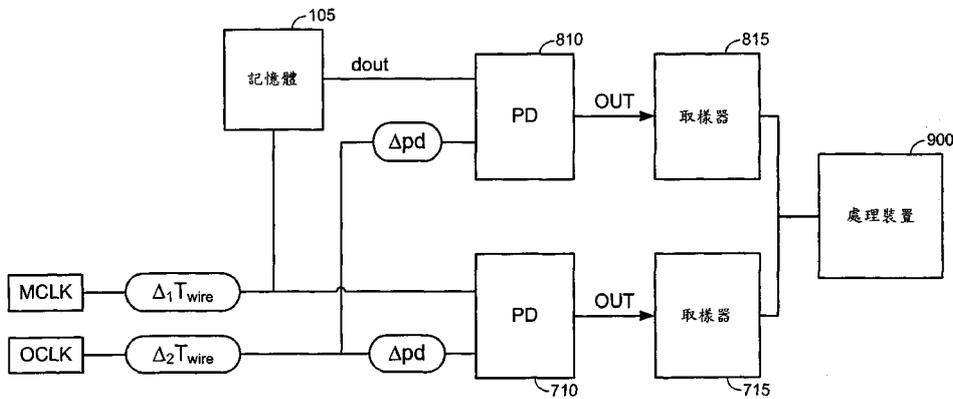
(54)名稱

決定記憶體之記憶體存取時間之系統及方法

SYSTEM AND METHOD OF DETERMINING MEMORY ACCESS TIME OF A MEMORY

(57)摘要

本發明提供用於決定一記憶體存取時間之方法及系統。量測由一記憶體使用之一第一時脈信號與用作一參考時脈信號之一第二時脈信號之間的一第一相位錯離度。接著，量測在該記憶體完成一給定讀取操作時由該記憶體輸出的該第一時脈信號之一延遲版本與該第二時脈信號之間的一第二相位錯離度。基於該第一相位錯離度及該第二相位錯離度決定該記憶體存取時間。



- 105：記憶體
- 710：相位偵測器
- 715：取樣器
- 810：相位偵測器
- 815：取樣器
- 900：處理裝置



(21)申請案號：098141547

(22)申請日：中華民國 98 (2009) 年 12 月 04 日

(51)Int. Cl. : **G11C7/22 (2006.01)**

(30)優先權：2008/12/04 美國 12/328,283

(71)申請人：高通公司 (美國) QUALCOMM INCORPORATED (US)
美國

(72)發明人：陳南 CHEN, NAN (US) ; 陳志坤 CHEN, ZHIQIN (US) ; 維瑪 瓦倫 VERMA, VARUN (IN)

(74)代理人：陳長文

申請實體審查：有 申請專利範圍項數：21 項 圖式數：9 共 34 頁

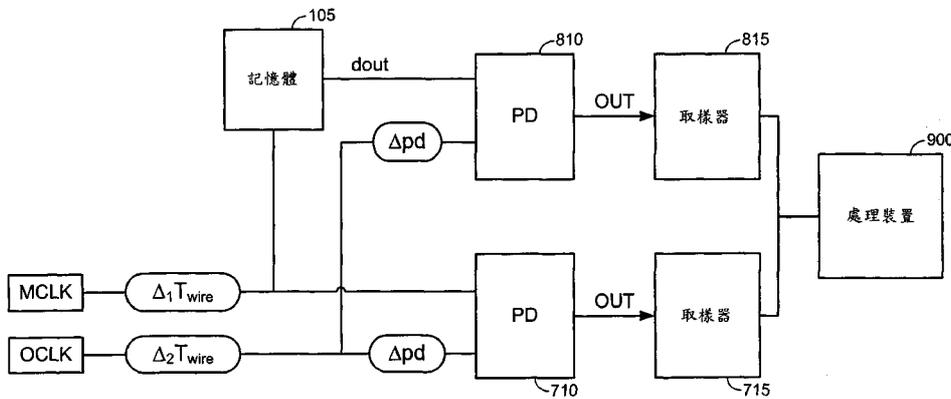
(54)名稱

決定記憶體之記憶體存取時間之系統及方法

SYSTEM AND METHOD OF DETERMINING MEMORY ACCESS TIME OF A MEMORY

(57)摘要

本發明提供用於決定一記憶體存取時間之方法及系統。量測由一記憶體使用之一第一時脈信號與用作一參考時脈信號之一第二時脈信號之間的一第一相位錯離度。接著，量測在該記憶體完成一給定讀取操作時由該記憶體輸出的該第一時脈信號之一延遲版本與該第二時脈信號之間的一第二相位錯離度。基於該第一相位錯離度及該第二相位錯離度決定該記憶體存取時間。



- 105：記憶體
- 710：相位偵測器
- 715：取樣器
- 810：相位偵測器
- 815：取樣器
- 900：處理裝置

六、發明說明：

【發明所屬之技術領域】

本發明係關於一種決定記憶體之記憶體存取時間之系統及方法。

【先前技術】

在計算系統中，記憶體潛時或記憶體存取時間為開始對資料之請求直至自記憶體擷取所請求之資料之間的時間。可測試記憶體以決定其記憶體存取時間。舉例而言，給定記憶體之記憶體存取時間指示記憶體可多快地提供資料，此可允許計算系統中之更多積極時序(aggressive timing)。又，可藉由比較經決定之記憶體存取時間與臨限記憶體存取時間而測試記憶體以決定該給定記憶體是否「通過」或「未通過」。如應瞭解，若將計算系統中之時序設定成太積極(例如，歸因於記憶體之記憶體存取時間之不正確的估計)，則可發生記憶體錯誤，因為該記憶體可能不能夠足夠快速地為其他系統元件提供資料。

圖1說明用於測試記憶體之記憶體存取時間的習知記憶體測試組態。如圖1中所展示，該習知記憶體測試組態包括一輸入暫存器(IREG)、一記憶體105(例如，隨機存取記憶體(RAM)、唯讀記憶體(ROM)等)及一輸出暫存器(OREG)110。雖然經說明為單獨元件，但IREG 100、記憶體105及OREG 110可共同地包含可囊封於一包裝器(wrapper)內之一記憶體模組。

參看圖1，IREG 100、記憶體105及OREG 110各自連接

至一輸入匯流排。如所展示，IREG 100自該輸入匯流排接收記憶體命令資訊(例如，位址位置Addr、關於寫入命令之資訊、關於讀取命令之資訊等)。IREG接收輸入暫存器時脈信號ICLK，記憶體105接收記憶體時脈信號MCLK且OREG 110接收輸出暫存器時脈信號OCLK。

在一實例中，假定輸入匯流排上之記憶體命令資訊對應於寫入命令。IREG 100在該IREG 100之設置時間之後於ICLK之上升緣鎖存寫入命令資訊(例如，寫入位址等)。此資訊在一時脈至佇列延遲之後到達輸入暫存器輸出。接下來，在記憶體105之設置時間之後，MLCK之上升緣基於來自IREG 100之經鎖存之寫入命令資訊而在該記憶體105處開始寫入命令。同樣地，若輸入匯流排上之記憶體命令資訊對應於讀取命令，則IREG 100在該IREG 100之設置時間之後於ICLK之上升緣鎖存讀取命令資訊。接著，在記憶體105之設置時間之後，MLCK之上升緣基於來自IREG 100之經鎖存之讀取命令資訊而在記憶體105處開始讀取命令。

如應瞭解，對於讀取操作而言，OCLK之時序經組態以使得OCLK之上升緣對應於儘可能接近於記憶體105完成讀取操作之後的時間。換言之，OCLK應自MCLK大體上經偏移該記憶體存取時間。因此，OREG 110在該OREG 110之設置時間之後於OCLK之上升緣鎖存讀取資料。如圖1中所展示，可經由輸出匯流排將經鎖存之讀取資料讀出至輸出引腳。如應瞭解，若OCLK自MLCK之偏移小於記憶體

存取時間，則將由 OREG 110 鎖存不正確的資料。

習知地，為了決定記憶體 105 之記憶體存取時間，OCLK 最初自 MCLK 經偏移一相對較高量。接下來，調整 OCLK 且移動 OCLK 使其接近 MCLK (以增量形式)，直至開始發生記憶體錯誤。在此狀況下之記憶體錯誤的發生指示 OREG 110 由於 OCLK 太接近 MCLK 而鎖存不正確的資料，此係因為 OCLK 與 MCLK 之間的偏移小於記憶體 105 之記憶體存取時間。基於此過程，可如下決定記憶體存取時間：

$$t_{\text{ACCESS_MEM}} = t_{\text{pad_MCLK_OCLK}(\text{min})} + t_{\text{MCLK_OCLK_skew}} - t_{\text{WIRE_delay}} - t_{\text{SETUP_OREG}} \cdots (1)$$

其中 $t_{\text{ACCESS_MEM}}$ 表示記憶體 105 之經計算之記憶體存取時間； $t_{\text{pad_MCLK_OCLK}(\text{min})}$ 表示在未發生記憶體錯誤時在 MCLK 與 OCLK 之間的經量測之最小偏移； $t_{\text{MCLK_OCLK_skew}}$ 表示 MCLK 與 OCLK 之間的模擬錯離度 (skew)； $t_{\text{WIRE_delay}}$ 表示模擬佈線傳播延遲； $t_{\text{SETUP_OREG}}$ 表示 OREG 110 之模擬設置時間。

在等式 1 中，模擬參數 $t_{\text{WIRE_delay}}$ 、 $t_{\text{SETUP_OREG}}$ 及 $t_{\text{MCLK_OCLK_skew}}$ 大體上歸因於寄生提取 (parasitic extraction) 或時序收斂 (timing closure) 工具 (例如，PRIMETIME) 之結果而得到。模擬參數 $t_{\text{WIRE_delay}}$ 、 $t_{\text{SETUP_OREG}}$ 及 $t_{\text{MCLK_OCLK_skew}}$ 減小記憶體存取時間 $t_{\text{ACCESS_MEM}}$ 之決定的精確度。

【發明內容】

本發明之一實施例係針對一種決定一記憶體之記憶體存取時間之方法，其包括：量測由該記憶體使用之一第一時脈信號與用作一參考時脈信號之一第二時脈信號之間的一

第一相位錯離度；量測該記憶體完成一給定讀取操作時由該記憶體輸出的該第一時脈信號之一延遲版本與該第二時脈信號之間的一第二相位錯離度；及基於該第一相位錯離度及該第二相位錯離度決定該記憶體之一記憶體存取時間。

本發明之另一實施例係針對一種經組態以決定一記憶體之一記憶體存取時間之系統，其包括：用於量測由該記憶體使用之一第一時脈信號與用作一參考時脈信號之一第二時脈信號之間的一第一相位錯離度之構件；用於量測在該記憶體完成一給定讀取操作時由該記憶體輸出的該第一時脈信號之一延遲版本與該第二時脈信號之間的一第二相位錯離度之構件；及用於基於該第一相位錯離度及該第二相位錯離度決定該記憶體之一記憶體存取時間之構件。

本發明之另一實施例係針對一種經組態以決定一記憶體之一記憶體存取時間之系統，其包括：一第一相位偵測器，其具有第一輸入端及第二輸入端，該第一輸入端經由具有一第一佈線延遲之一第一佈線路徑而連接至一記憶體時脈信號且該第二輸入端經由具有一第二佈線延遲之一第二佈線路徑而連接至一參考時脈信號；一第二相位偵測器，其具有第三輸入端及第四輸入端，該第三輸入端經由具有一第三佈線延遲之一第三佈線路徑而連接至該記憶體時脈信號且該第四輸入端經由具有一第四佈線延遲之一第四佈線路徑而連接至該參考時脈信號，該第三佈線路徑包括延遲該第三佈線延遲之一記憶體部分；一第一取樣器，

其經組態以藉由指示該第一相位偵測器之該第一輸入端與該第二輸入端何時同步而量測經由該第一佈線路徑之該記憶體時脈信號與經由該第二佈線路徑之該參考時脈信號之間的一第一相位錯離度；一第二取樣器，其經組態以藉由指示該第二相位偵測器之該第三輸入端與該第四輸入端何時同步而量測經由該第三佈線路徑之該記憶體時脈信號與經由該第四佈線路徑之該參考時脈信號之間的一第二相位錯離度；及一處理裝置，其經組態以基於該第一相位錯離度及該第二相位錯離度決定該記憶體之一記憶體存取時間。

【實施方式】

隨附圖式經呈現以協助描述本發明之實施例且僅經提供以用於說明該等實施例而非對其加以限制。

在針對本發明之特定實施例之以下描述及相關圖式中揭示本發明之實施例。可在不脫離本發明之範疇的情況下設計替代實施例。另外，本發明之熟知元件將不被詳細描述或將省略以免混淆本發明之相關細節。

詞「例示性」及/或「實例」在本文中用以意謂「充當實例、例項或說明」。本文中經描述為「例示性」及/或「實例」之任何實施例未必被解釋為比其他實施例較佳或有利。同樣地，術語「本發明之實施例」並不要求本發明之所有實施例包括所論述之特徵、優點或操作模式。

本文中所使用之術語係僅出於描述特定實施例之目的，且不意欲限制本發明之實施例。如本文中所使用，單數形

式「一」及「該」意欲亦包括複數形式，除非上下文另外明確指示。應進一步理解，術語「包含」及/或「包括」在於本文中使用时指定所述特徵、整數、步驟、操作、元件及/或組件之存在，但並不排除一或多個其他特徵、整數、步驟、操作、元件、組件及/或其群組之存在或添加。

另外，依據將由(例如)計算裝置之元件執行之動作的序列來描述許多實施例。應認識到，可藉由特定電路(例如，特殊應用積體電路(ASIC))、藉由正由一或多個處理器執行之程式指令或藉由兩者之組合來執行本文中所描述之各種動作。另外，可認為本文中所描述之此等動作之序列完全體現於任何形式之電腦可讀儲存媒體內，該電腦可讀儲存媒體具有儲存於其中之一組相應之電腦指令，該等指令在被執行後將使相關聯之處理器執行本文中所描述之功能性。因此，本發明之各種實施例可以若干不同的形式來體現，已預期所有該等形式皆在所主張之標的物之範疇內。另外，對於本文中所描述之實施例中之每一者而言，任何該等實施例之相應形式可在本文中被描述為(例如)「經組態以」執行所描述之動作的「邏輯」。

本發明之實施例大體而言係針對使用一或多個相位偵測器決定給定記憶體之記憶體存取時間。因此，下文關於圖2至圖5描述相位偵測器之實例結構及操作，其後接著描述本發明之以一方式部署該相位偵測器以便精確地決定記憶體存取時間的實施例。

圖2說明一相位偵測器組態。參看圖2，該相位偵測器組態包括分別產生時脈信號Clk_a及Clk_b之第一時脈產生器200及第二時脈產生器205。將時脈信號Clk_a及Clk_b提供至一相位偵測器210。在時脈產生器200及205與相位偵測器210之間，時脈信號Clk_a及Clk_b分別經延遲了佈線延遲 T_1 及 T_2 。如將在下文中更詳細描述，相位偵測器210輸出指示Clk_a與Clk_b之間的相位差之輸出信號OUT。

圖3說明根據本發明之一實施例之相位偵測器210。在圖3之實例中，相位偵測器210包括複數個反相器及NAND閘。相位偵測器210接收兩個時脈信號Clk_a及Clk_b且提供輸出(OUT)。若Clk_a之上升緣滯後於Clk_b之上升緣，則輸出第一邏輯位準。或者，若Clk_b之上升緣滯後於Clk_a之上升緣，則輸出第二邏輯位準。圖3之結構及內部反相器及邏輯閘之功能將易於由一般熟習此項技術者瞭解，且為簡潔起見將不進行進一步詳細論述。另外，雖然圖3說明一個可能的相位偵測器實施，但應瞭解，許多不同的相位偵測器組態係可能的，且可在本發明之其他實施例中部署任何類型之熟知相位偵測器。

圖4及圖5說明根據本發明之一實施例的相位偵測器210處之信號的波形圖。詳言之，圖4說明Clk_a之上升緣滯後於Clk_b之上升緣之實施例，且圖5說明Clk_a之上升緣超前於Clk_b之上升緣之實施例。大體而言，如上文所論述，參考相位偵測器210，若Clk_a之上升緣落後於Clk_b之上升緣，則OUT將停留於第一邏輯位準(例如，較高邏

輯位準或邏輯「1」)。若Clk_a之上升緣超前於Clk_b之上升緣，則OUT將停留於第二邏輯位準(例如，較低邏輯位準或邏輯「0」)。因此，信號OUT可用以指示輸入時脈信號之間的相位差。

在一實例同步過程中，相位偵測器210可最初設定Clk_a之上升緣落後於Clk_b之上升緣，且可朝向Clk_b之上升緣緩慢地調整Clk_a之上升緣。可在Clk_b之下降緣對輸出信號OUT進行取樣。在取樣偵測到輸出信號OUT已自第一邏輯位準切換至第二邏輯位準時，Clk_a及Clk_b之上升緣同步。如將在下文中更詳細地描述，上文所描述之同步過程可用於(若干)量測過程中以決定記憶體之記憶體存取時間。

圖6說明根據本發明之一實施例的用於決定記憶體存取時間之程序。下文中，將圖6之程序描述為在圖1之記憶體測試組態上執行，圖1之記憶體測試組態包括一輸入暫存器(IREG)100、一記憶體105及一輸出暫存器(OREG)110，如在上文之【先前技術】段落內更詳細描述的。然而，應瞭解，圖6之程序可替代地應用於本發明之其他實施例中之任何類型的記憶體組態。

圖7說明一相位偵測器組態。如圖7中所展示，一相位偵測器710經組態以接收MCLK及OCLK且將輸出信號OUT輸出至取樣器715。在一實例中，圖7之相位偵測器710可對應於圖3之相位偵測器210。如關於圖1所論述，MCLK為用於記憶體105之記憶體時脈信號且OCLK為用於輸出暫存器

110之輸出暫存器時脈信號。與圖1之描述不同，如用於本發明之實施例中之OCLK表示相位偵測器輸出之間的參考時脈信號(例如，如在圖6之600及605中，且未必作為暫存器時脈信號)。取樣器715經組態以對輸出信號OUT進行取樣。下文關於圖6之600論述相位偵測器710及取樣器715之額外功能性。下文中關於等式2更詳細地描述要素 $\Delta_1 T_{\text{wire}}$ 、 $\Delta_2 T_{\text{wire}}$ 、 Δ_{pd} 。

參看圖6，在600中，取樣器715量測MCLK與OCLK之間的錯離度。舉例而言，可藉由使用如上文所論述之MCLK與OCLK之同步而執行600之錯離度量測。因此，在600中，一時脈產生器(未圖示)朝向MCLK之上升緣移動OCLK之上升緣。同時，取樣器715對輸出信號OUT進行取樣。當取樣器715偵測到輸出信號OUT自第一邏輯位準(例如，較高邏輯位準或邏輯「1」)轉變至第二邏輯位準(例如，較低邏輯位準或邏輯「0」)時，取樣器715記錄時脈錯離度。輸出信號OUT之轉變意味在相位偵測器輸入端處之MCLK與OCLK之同步。可如下表示經記錄之時脈錯離度：

$$DT1 = T_{\text{OCLK1}} - T_{\text{MCLK1}} = \Delta_1 T_{\text{wire}} - \Delta_2 T_{\text{wire}} - \Delta_{\text{pd}} \quad (2)$$

其中DT1或 $(T_{\text{OCLK1}} - T_{\text{MCLK1}})$ 表示OCLK與MCLK之間的時脈錯離度； $\Delta_1 T_{\text{wire}}$ 為記憶體時脈信號MCLK自晶片襯墊(未圖示)至相位偵測器710之寄生時序延遲； $\Delta_2 T_{\text{wire}}$ 為輸出時脈信號OCLK自晶片襯墊(未圖示)至相位偵測器710之寄生時序延遲；且 Δ_{pd} 為相位偵測器710之相位偵測器解析度誤

差。

圖8說明另一相位偵測器組態。記憶體105經組態以接收MCLK且執行記憶體讀取操作。一旦記憶體操作完成(例如,在用於記憶體操作之記憶體存取時間之後),記憶體105便將MCLK之「延遲」版本(在圖8中經表示為dout)轉遞至相位偵測器810。相位偵測器810亦經組態以接收OCLK(類似於圖7之相位偵測器710)且將輸出信號OUT輸出至取樣器815。取樣器815經組態以對輸出信號OUT進行取樣。下文關於圖6之605論述記憶體105、相位偵測器810及取樣器815之額外功能性。

參看圖6,在605中,取樣器815量測OCLK與MCLK之「延遲」版本或dout之間的錯離度。換言之,取樣器815量測OCLK與MCLK(亦即,MCLK之「未延遲」版本)加上等於記憶體存取時間之偏移之間的錯離度。記憶體dout經組態以輸出給定位元序列(例如,0101)以促進邊緣偵測。接下來,時脈產生器使MCLK之上升緣與OCLK之上升緣對準,使得dout落後於OCLK之上升緣而上升。接下來,時脈產生器「向前」移動MCLK之上升緣使得經延遲之MCLK或dout之上升緣接近OCLK之上升緣。與以上步驟同時發生的是,取樣器815對相位偵測器810之輸出信號OUT進行取樣。當經延遲之MCLK或dout之上升緣到達及/或超過OCLK之上升緣時,輸出信號OUT自第一邏輯位準(例如,較高邏輯位準或邏輯「1」)轉變至第二邏輯位準(例如,較低邏輯位準或邏輯「0」)。就此而言,取樣器815

記錄 MCLK 與 OCLK 之間的時脈錯離度。可如下表示經記錄之時脈錯離度：

$$DT2 = T_{OCLK2} - T_{MCLK2} = \Delta_1 T_{wire} - \Delta_2 T_{wire} - \Delta pd + T_{acc} \quad (3)$$

其中 DT2 或 $(T_{OCLK2} - T_{MCLK2})$ 表示 OCLK 與經延遲之 MCLK 或 dout 之間的時脈錯離度； $\Delta_1 T_{wire}$ 為記憶體時脈信號 MCLK 自晶片襯墊(未圖示)至記憶體 105 之寄生時序延遲； $\Delta_2 T_{wire}$ 為輸出時脈信號 OCLK 自晶片襯墊(未圖示)至相位偵測器 810 之寄生時序延遲； Δpd 為相位偵測器 810 之相位偵測器解析度誤差；且 T_{acc} 為由記憶體 105 執行之記憶體操作之記憶體存取時間。在等式 2 中，並未在記憶體 105 與相位偵測器 810 之間說明寄生時序延遲，因為假定寄生時序延遲相對較小(例如，因為相位偵測器 810 經置放成接近於記憶體輸出端，此減小寄生時序延遲)。

返回至圖 6，一旦取樣器 715 決定 OCLK 與 MCLK 之間的錯離度(600)且取樣器 815 決定 OCLK 與 dout 之間的錯離度(605)，則在 615 中計算記憶體存取時間(例如，藉由與取樣器 715 及 815 通信之處理實體，諸如，下文所描述之圖 9 之處理裝置 900)。藉由自 DT2(見等式 3)減去 DT1(見等式 2)來計算記憶體存取時間。舉例而言，取樣器 715 及 815 可與一處理單元(未圖示)共用 DT1 及 DT2，該處理單元可計算 DT1 與 DT2 之間的差值以決定記憶體存取時間。如一般熟習此項技術者應瞭解，除記憶體存取時間 T_{acc} 之外，自 DT2 減去 DT1 會使每一參數(亦即， $\Delta_1 T_{wire}$ 、 $\Delta_2 T_{wire}$ 及 Δpd)相消。

圖 9 說明根據本發明之另一實施例之相位偵測器組態。

詳言之，圖9說明呈現於圖7及圖8內之元件的組合。為簡潔起見，藉此將不進一步詳細論述呈現於圖9內之元件。如所展示，OCLK可自同一「源」或晶片襯墊耦接至相位偵測器710及810兩者，且MLCK可自同一源或晶片襯墊耦接至記憶體105及相位偵測器710兩者。另外，在圖9中，可將相位偵測器710及810中之每一者定位成相對接近於記憶體105以便減小其中之佈線延遲。若此不可能，則在一實例中，相位偵測器710及810可經定位以減小佈線延遲效應。圖9中進一步展示一處理裝置900，該處理裝置900經組態以藉由基於由取樣器715及815量測或指示之第一相位錯離度及第二相位錯離度而決定記憶體105之記憶體存取時間來執行圖6之610。

因此，在本發明之一實施例中，可將記憶體之記憶體時脈信號及充當參考之輸出時脈信號投送至第一相位偵測器。可將記憶體時脈信號進一步投送至記憶體，其中記憶體經組態以將記憶體時脈信號之延遲版本輸出至第二相位偵測器。在記憶體處所招致之延遲之量實質上等於供該記憶體執行記憶體讀取操作之記憶體存取時間。亦將輸出時脈信號投送至第二相位偵測器。第一及第二相位偵測器接著量測其各別信號之間的錯離度，其中錯離度為基於各別相位偵測器處之同步程序的各別信號之間的偏移之「快照(snapshot)」。接著藉由使與所接收信號相關聯之特定延遲相消而採用錯離度之間的差值以決定記憶體存取時間，該等延遲在兩個相位偵測器處為常見的。因此，與習知技術

相比，可決定記憶體之更精確記憶體存取時間。

熟習此項技術者應瞭解，可使用多種不同的技術及技藝中之任一者來表示資訊及信號。舉例而言，可藉由電壓、電流、電磁波、磁場或磁粒子、光學場或光學粒子或其任何組合來表示可能貫穿以上描述而參考之資料、指令、命令、資訊、信號、位元、符號及碼片。

另外，熟習此項技術者應瞭解，結合本文中所揭示之實施例而描述之各種說明性邏輯區塊、模組、電路及演算法步驟可實施為電子硬體、電腦軟體或兩者之組合。為了清楚地說明硬體及軟體之此可互換性，各種說明性組件、區塊、模組、電路及步驟已在上文大體按其功能性加以描述。該功能性係實施為硬體還是軟體視特定應用及強加於整個系統上之設計約束而定。熟習此項技術者可針對每一特定應用以變化之方式來實施所描述之功能性，但該等實施決策不應被解釋為引起脫離本發明之範疇。

可藉由通用處理器、數位信號處理器(DSP)、特殊應用積體電路(ASIC)、場可程式化閘陣列(FPGA)或其他可程式化邏輯裝置、離散閘或電晶體邏輯、離散硬體組件或其經設計以執行本文中所描述之功能的任何組合來實施或執行結合本文中所揭示之實施例而描述的各種說明性邏輯區塊、模組及電路。通用處理器可為微處理器，但在替代例中，處理器可為任何習知處理器、控制器、微控制器或狀態機。亦可將處理器實施為計算裝置之組合，例如，一DSP與一微處理器之組合、複數個微處理器、結合一DSP

核心之一或多個微處理器或任何其他該組態。

結合本文中所揭示之實施例而描述的方法、序列及/或演算法可直接體現於硬體中、由處理器執行之軟體模組中或該兩者之組合中。軟體模組可駐留於RAM記憶體、快閃記憶體、ROM記憶體、EPROM記憶體、EEPROM記憶體、暫存器、硬碟、抽取式碟片、CD-ROM或此項技術中已知之任何其他形式之儲存媒體中。例示性儲存媒體耦接至處理器，使得該處理器可自該儲存媒體讀取資訊及將資訊寫入至該儲存媒體。在替代例中，儲存媒體可與處理器成一體式。處理器及儲存媒體可駐留於ASIC中。ASIC可駐留於使用者終端機(例如，存取終端機)中。在替代例中，處理器及儲存媒體可作為離散組件而駐留於使用者終端機中。

在一或多個例示性實施例中，可以硬體、軟體、韌體或其任何組合來實施所描述之功能。若以軟體來實施，則功能可作為一或多個指令或程式碼而儲存於電腦可讀媒體上或經由電腦可讀媒體而傳輸。電腦可讀媒體包括電腦儲存媒體及通信媒體兩者，通信媒體包括促進將電腦程式自一處傳送至另一處之任何媒體。儲存媒體可為可由電腦存取之任何可用媒體。藉由實例而非限制，該等電腦可讀媒體可包含RAM、ROM、EEPROM、CD-ROM或其他光碟儲存器、磁碟儲存器或其他磁性儲存裝置，或可用以載運或儲存呈指令或資料結構之形式的所要程式碼且可由電腦存取的任何其他媒體。又，任何連接被適當地稱為電腦可讀媒

體。舉例而言，若使用同軸電纜、光纖纜線、雙絞線、數位用戶線(DSL)或諸如紅外線、無線電及微波之無線技術而自網站、伺服器或其他遠端源傳輸軟體，則同軸電纜、光纖纜線、雙絞線、DSL或諸如紅外線、無線電及微波之無線技術包括於媒體之定義中。如本文中所使用，磁碟及光碟包括緊密光碟(CD)、雷射光碟、光學光碟、數位多功能光碟(DVD)、軟碟及blu-ray光碟，其中磁碟通常以磁性方式再現資料，而光碟藉由雷射以光學方式再現資料。上述諸者之組合亦應包括於電腦可讀媒體之範疇內。

雖然前述揭示內容展示本發明之說明性實施例，但應注意，可在不脫離如由附加申請專利範圍界定之本發明之範疇的情況下在本文中進行各種改變及修改。無需以任何特定次序執行根據本文中所描述之本發明之實施例的方法請求項的功能、步驟及/或動作。此外，雖然本發明之元件可以單數形式來描述或主張，但除非明確規定對單數之限制，否則亦涵蓋複數。

【圖式簡單說明】

圖1說明用於測試記憶體之記憶體存取時間的習知記憶體測試組態；

圖2說明一相位偵測器組態；

圖3說明該相位偵測器；

圖4及圖5說明在相位偵測器210處之信號的波形圖；

圖6說明用於決定記憶體存取時間之程序；

圖7說明一相位偵測器組態；

圖 8 說明另一相位偵測器組態；及

圖 9 說明用於決定記憶體存取時間之組合之相位偵測器組態。

【主要元件符號說明】

100	輸入暫存器 (IREG)
105	記憶體
110	輸出暫存器 (OREG)
200	第一時脈產生器
205	第二時脈產生器
210	相位偵測器
710	相位偵測器
715	取樣器
810	相位偵測器
815	取樣器
900	處理裝置

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：98141547

※申請日：98.12.4

※IPC 分類：G11C 7/22 (2006.01)

一、發明名稱：(中文/英文)

決定記憶體之記憶體存取時間之系統及方法

SYSTEM AND METHOD OF DETERMINING MEMORY ACCESS TIME
OF A MEMORY

二、中文發明摘要：

本發明提供用於決定一記憶體存取時間之方法及系統。量測由一記憶體使用之一第一時脈信號與用作一參考時脈信號之一第二時脈信號之間的一第一相位錯離度。接著，量測在該記憶體完成一給定讀取操作時由該記憶體輸出的該第一時脈信號之一延遲版本與該第二時脈信號之間的一第二相位錯離度。基於該第一相位錯離度及該第二相位錯離度決定該記憶體存取時間。

三、英文發明摘要：

Methods and systems for determining a memory access time are provided. A first phase skew is measured between a first clock signal used by a memory and a second clock signal used as a reference clock signal. Then, a second phase skew is measured between a delayed version of the first clock signal output by the memory when the memory completes a given read operation and the second clock signal. The memory access time is determined based on the first and second phase skews.

七、申請專利範圍：

1. 一種決定一記憶體之記憶體存取時間之方法，其包含：

量測由該記憶體使用之一第一時脈信號與用作一參考時脈信號之一第二時脈信號之間的一第一相位錯離度；

量測在該記憶體完成一給定讀取操作時由該記憶體輸出的該第一時脈信號之一延遲版本與該第二時脈信號之間的一第二相位錯離度；及

基於該第一相位錯離度及該第二相位錯離度決定該記憶體之一記憶體存取時間。

2. 如請求項1之方法，其中該第一相位錯離度係藉由以下步驟來量測：(i)將該第一時脈信號及該第二時脈信號輸入至一相位偵測器；(ii)對該相位偵測器之一輸出信號進行取樣；(iii)至少調整該第一時脈信號及該第二時脈信號中之一者，直至該取樣指示該輸出信號已轉變至一不同邏輯位準；及(iv)記錄在該輸出信號轉變至該不同邏輯位準時該第一時脈信號與該第二時脈信號之間的一相位偏移。

3. 如請求項2之方法，其中該輸出信號至該不同邏輯位準之該轉變指示該第一時脈信號與該第二時脈信號在該相位偵測器之輸入端處同步。

4. 如請求項1之方法，其中該第二相位錯離度係藉由以下步驟來量測：(i)將該第一時脈信號之該延遲版本及該第二時脈信號輸入至一相位偵測器；(ii)對該相位偵測器之一輸出信號進行取樣；(iii)至少調整該第一時脈信號之

該延遲版本及該第二時脈信號中之一者，直至該取樣指示該輸出信號已轉變至一不同邏輯位準；及(iv)記錄在該輸出信號轉變至該不同邏輯位準時該第一時脈信號之該延遲版本與該第二時脈信號之間的一相位偏移。

5. 如請求項4之方法，其中該輸出信號至該不同邏輯位準之該轉變指示該第一時脈信號與該第二時脈信號在該相位偵測器之該輸入端處同步。
6. 如請求項1之方法，其中該決定步驟自該第二相位錯離度減去該第一相位錯離度以計算該記憶體存取時間。
7. 如請求項1之方法，其中該第一時脈信號之該延遲版本經延遲大體上等於該記憶體存取時間之一時間長度。
8. 一種經組態以決定一記憶體之一記憶體存取時間之系統，其包含：

用於量測由該記憶體使用之一第一時脈信號與用作一參考時脈信號之一第二時脈信號之間的一第一相位錯離度之構件；

用於量測在該記憶體完成一給定讀取操作時由該記憶體輸出的該第一時脈信號之一延遲版本與該第二時脈信號之間的一第二相位錯離度之構件；及

用於基於該第一相位錯離度及該第二相位錯離度決定該記憶體之一記憶體存取時間之構件。

9. 如請求項8之系統，其中該用於量測該第一相位錯離度之構件包括：(i)將該第一時脈信號及該第二時脈信號輸入至一相位偵測器之構件；(ii)用於對該相位偵測器之一

輸出信號進行取樣之構件；(iii)用於至少調整該第一時脈信號及該第二時脈信號中之一者直至該取樣指示該輸出信號已轉變至一不同邏輯位準之構件；及(iv)用於記錄在該輸出信號轉變至該不同邏輯位準時該第一時脈信號與該第二時脈信號之間的一相位偏移之構件。

10. 如請求項9之系統，其中該輸出信號至該不同邏輯位準之該轉變指示該第一時脈信號與該第二時脈信號在該相位偵測器之輸入端處同步。

11. 如請求項8之系統，其中該用於量測該第二相位錯離度之構件包括：(i)用於將該第一時脈信號之該延遲版本及該第二時脈信號輸入至一相位偵測器之構件；(ii)用於對該相位偵測器之一輸出信號進行取樣之構件；(iii)用於至少調整該第一時脈信號之該延遲版本及該第二時脈信號中之一者直至該取樣指示該輸出信號已轉變至一不同邏輯位準之構件；及(iv)用於記錄在該輸出信號轉變至該不同邏輯位準時該第一時脈信號之該延遲版本與該第二時脈信號之間的一相位偏移之構件。

12. 如請求項11之系統，其中該輸出信號至該不同邏輯位準之該轉變指示該第一時脈信號與該第二時脈信號在該相位偵測器之該輸入端處同步。

13. 如請求項8之系統，其中該用於決定之構件自該第二相位錯離度減去該第一相位錯離度以計算該記憶體存取時間。

14. 如請求項8之系統，其中該第一時脈信號之該延遲版本

經延遲大體上等於該記憶體存取時間之一時間長度。

15. 一種經組態以決定一記憶體之一記憶體存取時間之系統，其包含：

一第一相位偵測器，其具有第一輸入端及第二輸入端，該第一輸入端經由具有一第一佈線延遲之一第一佈線路徑而連接至一記憶體時脈信號且該第二輸入端經由具有一第二佈線延遲之一第二佈線路徑而連接至一參考時脈信號；

一第二相位偵測器，其具有第三輸入端及第四輸入端，該第三輸入端經由具有一第三佈線延遲之一第三佈線路徑而連接至該記憶體時脈信號且該第四輸入端經由具有一第四佈線延遲之一第四佈線路徑而連接至該參考時脈信號，該第三佈線路徑包括延遲該第三佈線延遲之一記憶體部分；

一第一取樣器，其經組態以藉由指示該第一相位偵測器之該第一輸入端與該第二輸入端何時同步而量測經由該第一佈線路徑之該記憶體時脈信號與經由該第二佈線路徑之該參考時脈信號之間的一第一相位錯離度；

一第二取樣器，其經組態以藉由指示該第二相位偵測器之該第三輸入端與該第四輸入端何時同步而量測經由該第三佈線路徑之該記憶體時脈信號與經由該第四佈線路徑之該參考時脈信號之間的一第二相位錯離度；及

一處理裝置，其經組態以基於該第一相位錯離度及該第二相位錯離度決定該記憶體之一記憶體存取時間。

16. 如請求項15之系統，其中該第一相位錯離度係藉由以下步驟來量測：(i)將該記憶體時脈信號及該參考時脈信號經由該第一佈線路徑及該第二佈線路徑而輸入至該第一相位偵測器；(ii)在該第一取樣器處對該第一相位偵測器之一輸出信號進行取樣；(iii)至少調整該記憶體時脈信號及該參考時脈信號中之一者，直至該第一取樣器指示該輸出信號已轉變至一不同邏輯位準；及(iv)記錄在該輸出信號轉變至該不同邏輯位準時經由該第一佈線路徑之該記憶體時脈信號與經由該第二佈線路徑之該參考時脈信號之間的一相位偏移。
17. 如請求項16之系統，其中該輸出信號至該不同邏輯位準之該轉變指示經由該第一佈線路徑之該記憶體時脈信號與經由該第二佈線路徑之該參考時脈信號在該第一相位偵測器之該第一輸入端與該第二輸入端處同步。
18. 如請求項15之系統，其中該第二相位錯離度係藉由以下步驟來量測：(i)將該記憶體時脈信號及該參考時脈信號經由該第三佈線路徑及該第四佈線路徑而輸入至該第二相位偵測器；(ii)在該第二取樣器處對該第二相位偵測器之一輸出信號進行取樣；(iii)至少調整該記憶體時脈信號及該參考時脈信號中之一者，直至該第二取樣器指示該輸出信號已轉變至一不同邏輯位準；及(iv)記錄在該輸出信號轉變至該不同邏輯位準時經由該第三佈線路徑之該記憶體時脈信號與經由該第四佈線路徑之該參考時脈信號之間的一相位偏移。

19. 如請求項18之系統，其中該輸出信號至該不同邏輯位準之該轉變指示經由該第三佈線路徑之該記憶體時脈信號與經由該第四佈線路徑之該參考時脈信號在該第一相位偵測器之該第三輸入端與該第四輸入端處同步。
20. 如請求項15之系統，其中該處理裝置自該第二相位錯離度減去該第一相位錯離度以計算該記憶體存取時間。
21. 如請求項15之系統，其中該第三佈線延遲自該第一佈線延遲經延遲大體上等於用於該記憶體之一讀取操作之該記憶體存取時間的一時間長度。

八、圖式：

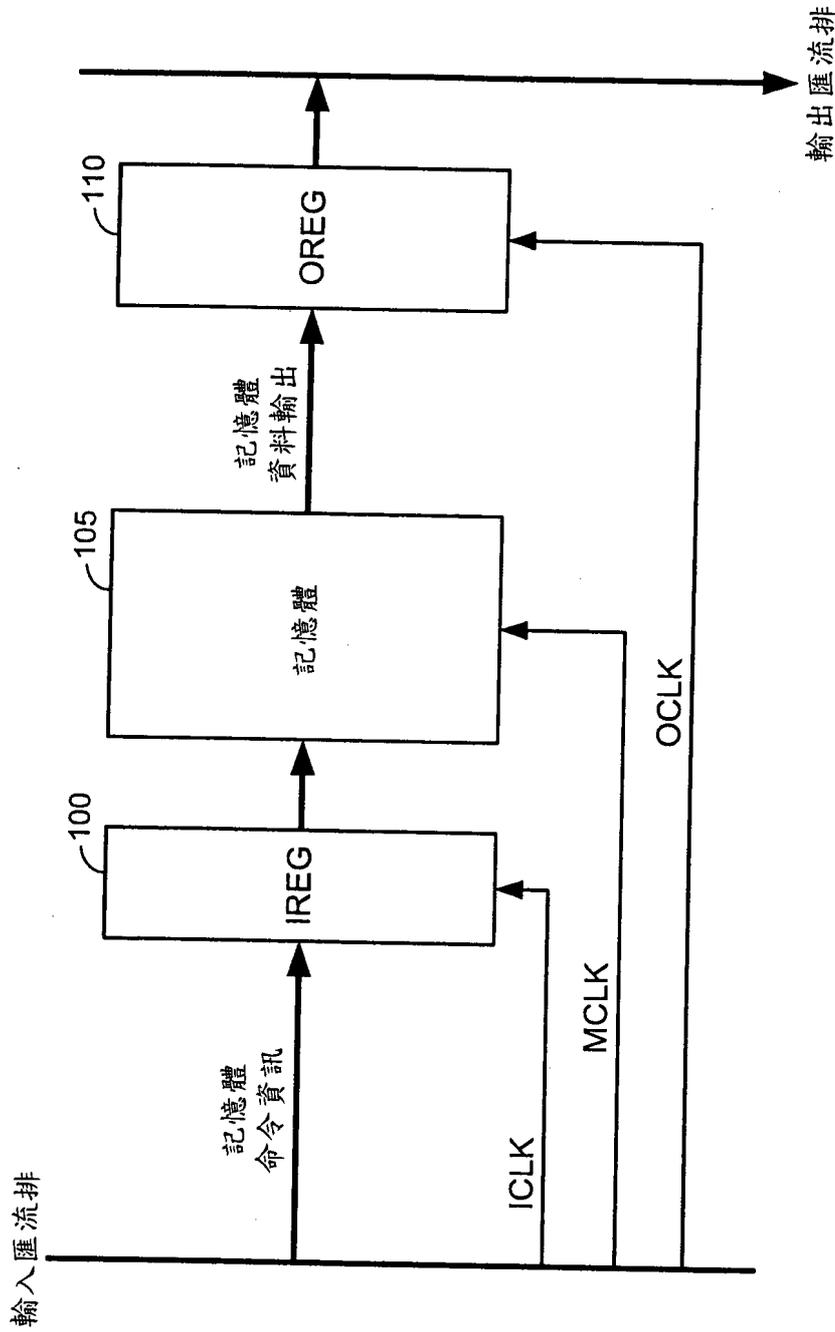


圖1

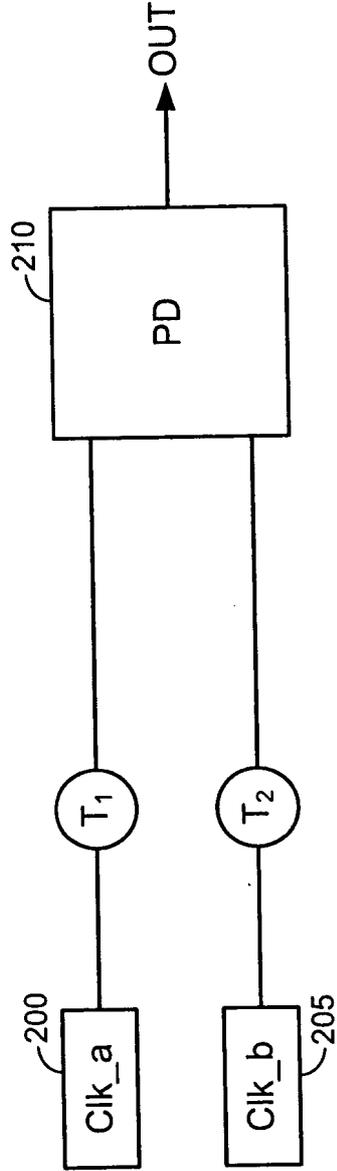


圖2

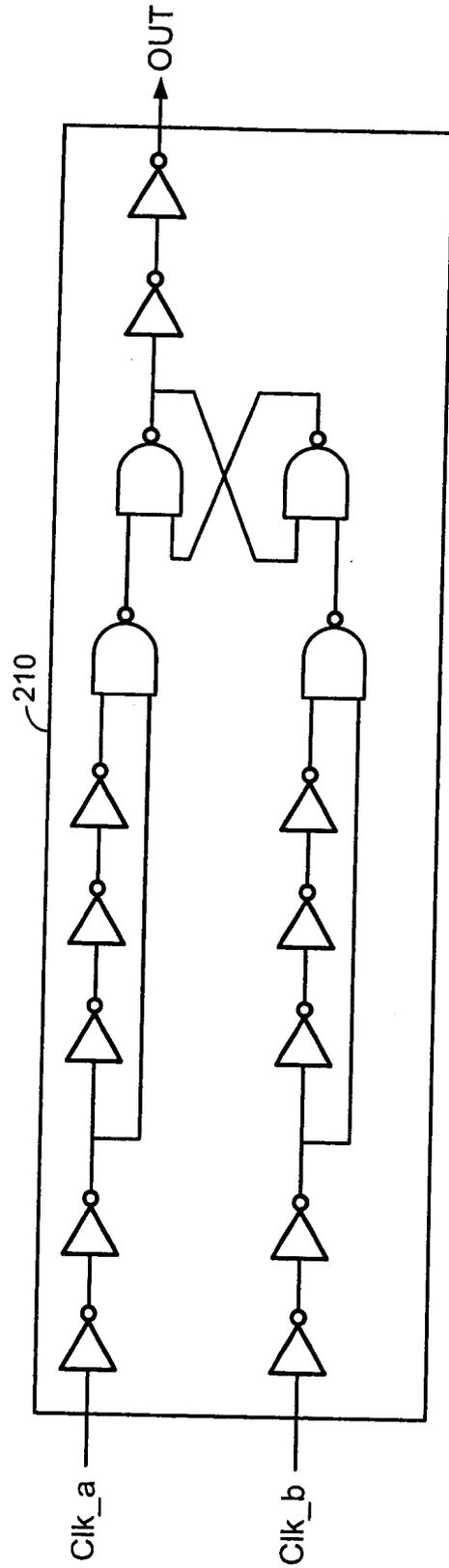


圖3

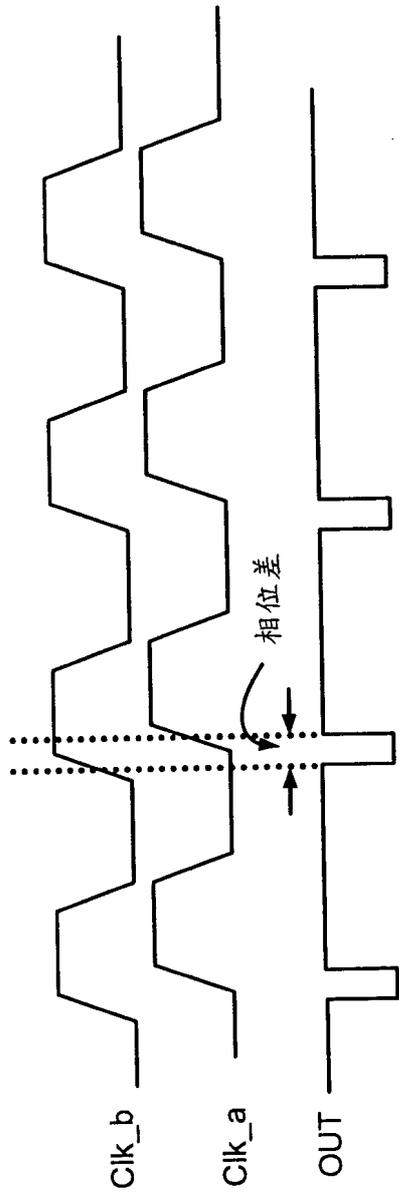


圖4

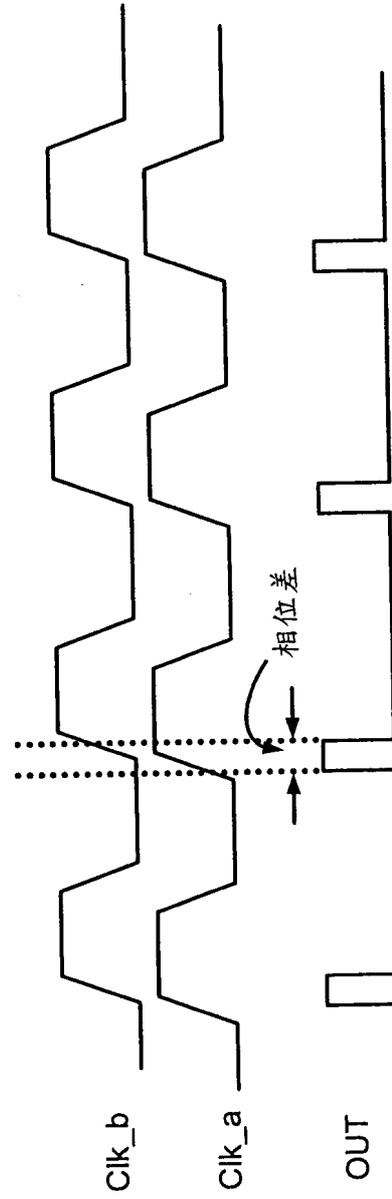


圖5

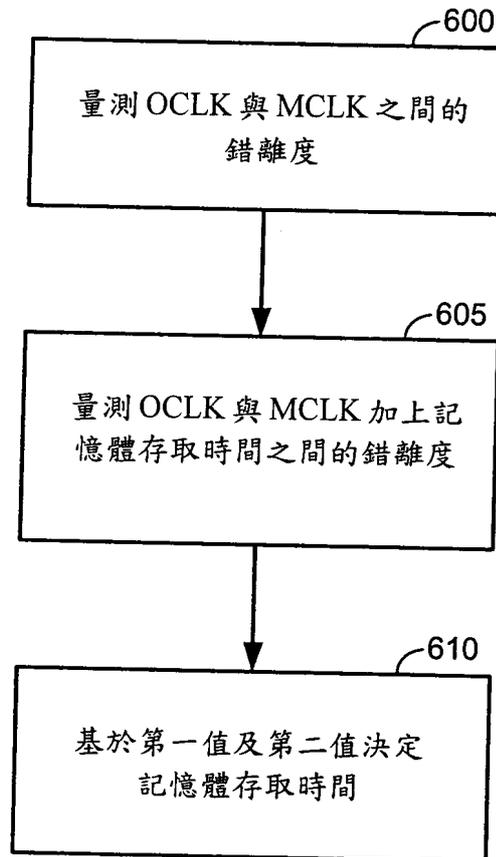


圖6

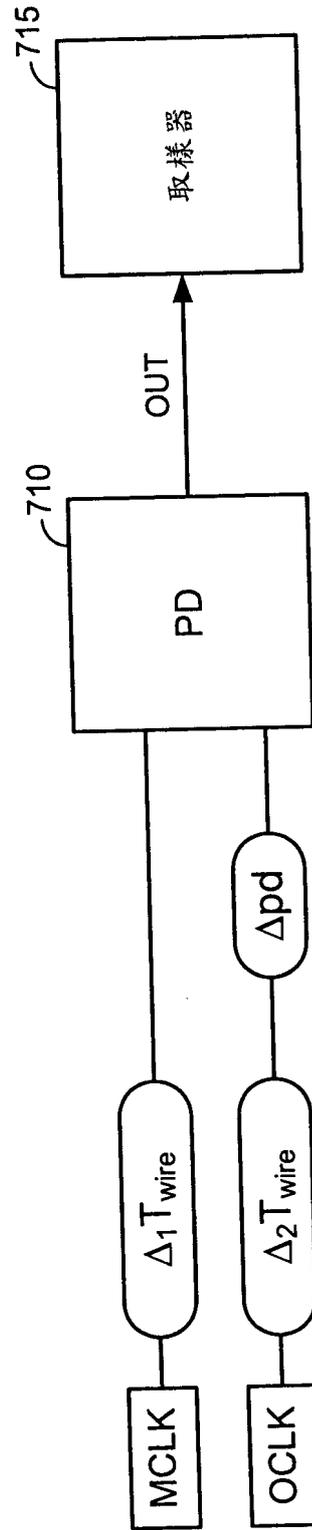


圖7

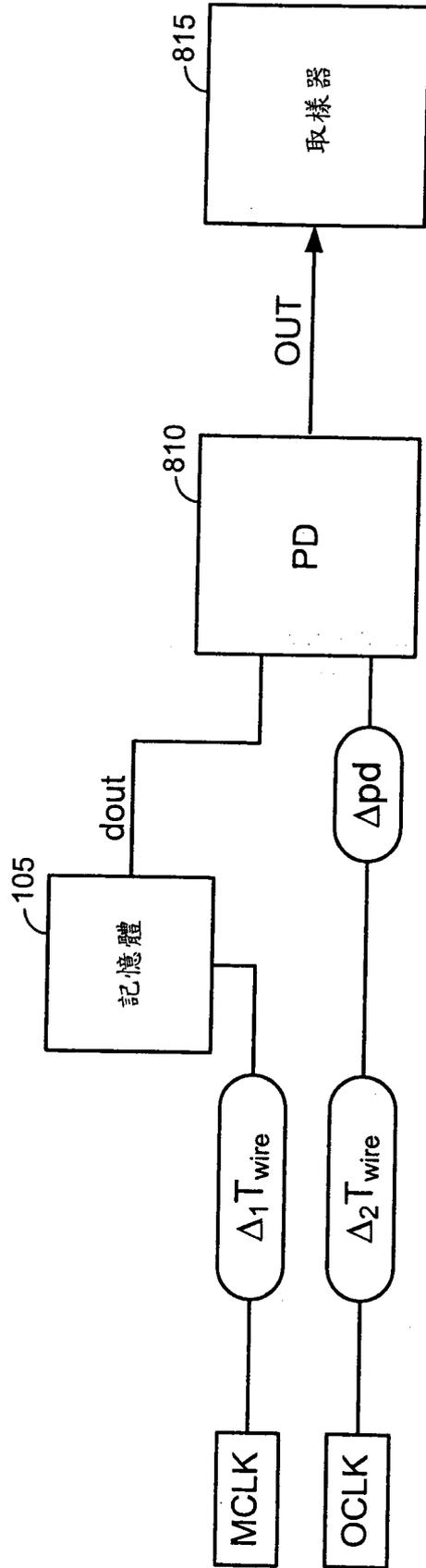


圖8

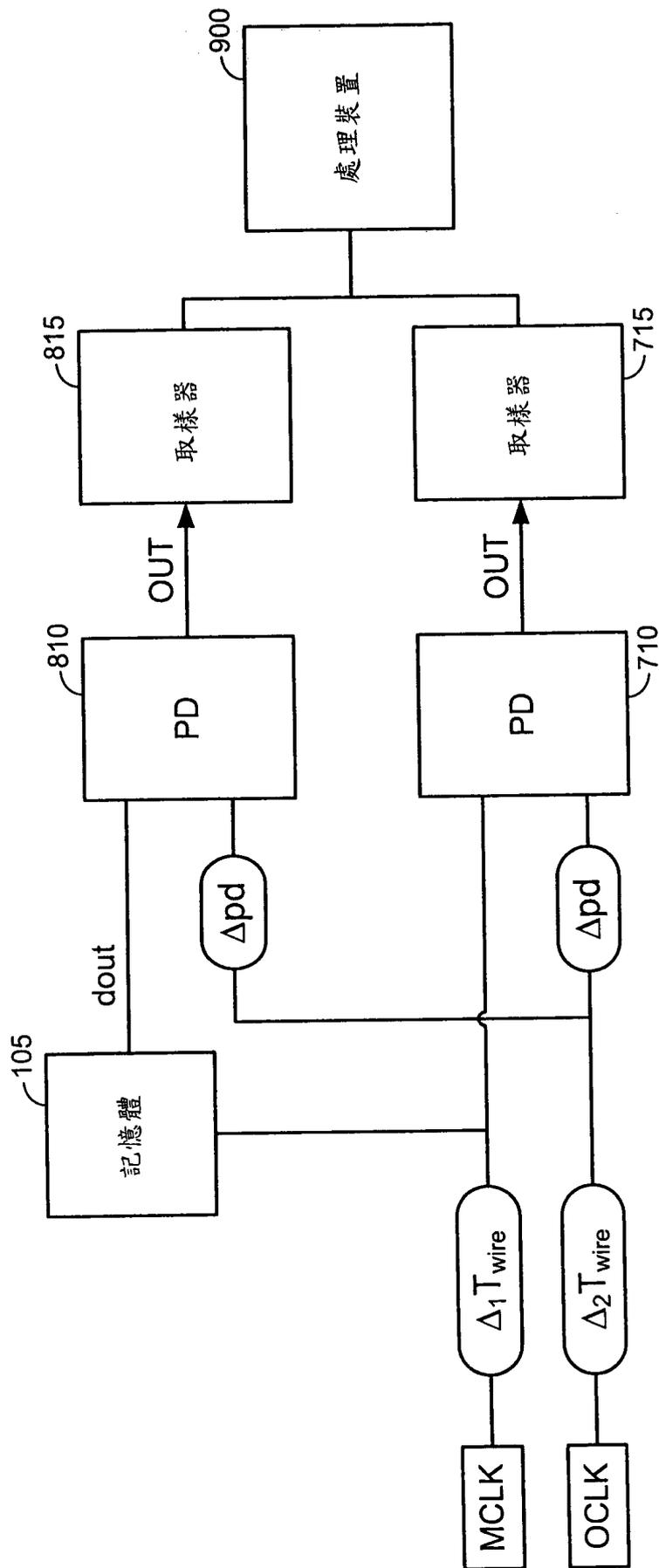


圖9

四、指定代表圖：

(一)本案指定代表圖為：第(9)圖。

(二)本代表圖之元件符號簡單說明：

105	記憶體
710	相位偵測器
715	取樣器
810	相位偵測器
815	取樣器
900	處理裝置

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

六、發明說明：

【發明所屬之技術領域】

本發明係關於一種決定記憶體之記憶體存取時間之系統及方法。

【先前技術】

在計算系統中，記憶體潛時或記憶體存取時間為開始對資料之請求直至自記憶體擷取所請求之資料之間的時間。可測試記憶體以決定其記憶體存取時間。舉例而言，給定記憶體之記憶體存取時間指示記憶體可多快地提供資料，此可允許計算系統中之更多積極時序(aggressive timing)。又，可藉由比較經決定之記憶體存取時間與臨限記憶體存取時間而測試記憶體以決定該給定記憶體是否「通過」或「未通過」。如應瞭解，若將計算系統中之時序設定成太積極(例如，歸因於記憶體之記憶體存取時間之不正確的估計)，則可發生記憶體錯誤，因為該記憶體可能不能夠足夠快速地為其他系統元件提供資料。

圖1說明用於測試記憶體之記憶體存取時間的習知記憶體測試組態。如圖1中所展示，該習知記憶體測試組態包括一輸入暫存器(IREG)、一記憶體105(例如，隨機存取記憶體(RAM)、唯讀記憶體(ROM)等)及一輸出暫存器(OREG)110。雖然經說明為單獨元件，但IREG 100、記憶體105及OREG 110可共同地包含可囊封於一包裝器(wrapper)內之一記憶體模組。

參看圖1，IREG 100、記憶體105及OREG 110各自連接

至一輸入匯流排。如所展示，IREG 100自該輸入匯流排接收記憶體命令資訊(例如，位址位置Addr、關於寫入命令之資訊、關於讀取命令之資訊等)。IREG接收輸入暫存器時脈信號ICLK，記憶體105接收記憶體時脈信號MCLK且OREG 110接收輸出暫存器時脈信號OCLK。

在一實例中，假定輸入匯流排上之記憶體命令資訊對應於寫入命令。IREG 100在該IREG 100之設置時間之後於ICLK之上升緣鎖存寫入命令資訊(例如，寫入位址等)。此資訊在一時脈至佇列延遲之後到達輸入暫存器輸出。接下來，在記憶體105之設置時間之後，MCLK之上升緣基於來自IREG 100之經鎖存之寫入命令資訊而在該記憶體105處開始寫入命令。同樣地，若輸入匯流排上之記憶體命令資訊對應於讀取命令，則IREG 100在該IREG 100之設置時間之後於ICLK之上升緣鎖存讀取命令資訊。接著，在記憶體105之設置時間之後，MCLK之上升緣基於來自IREG 100之經鎖存之讀取命令資訊而在記憶體105處開始讀取命令。

如應瞭解，對於讀取操作而言，OCLK之時序經組態以使得OCLK之上升緣對應於儘可能接近於記憶體105完成讀取操作之後的時間。換言之，OCLK應自MCLK大體上經偏移該記憶體存取時間。因此，OREG 110在該OREG 110之設置時間之後於OCLK之上升緣鎖存讀取資料。如圖1中所展示，可經由輸出匯流排將經鎖存之讀取資料讀出至輸出引腳。如應瞭解，若OCLK自MCLK之偏移小於記憶體

110之輸出暫存器時脈信號。與圖1之描述不同，如用於本發明之實施例中之OCLK表示相位偵測器輸出之間的參考時脈信號(例如，如在圖6之600及605中，且未必作為暫存器時脈信號)。取樣器715經組態以對輸出信號OUT進行取樣。下文關於圖6之600論述相位偵測器710及取樣器715之額外功能性。下文中關於等式2更詳細地描述要素 $\Delta_1 T_{\text{wire}}$ 、 $\Delta_2 T_{\text{wire}}$ 、 Δ_{pd} 。

參看圖6，在600中，取樣器715量測MCLK與OCLK之間的錯離度。舉例而言，可藉由使用如上文所論述之MCLK與OCLK之同步而執行600之錯離度量測。因此，在600中，一時脈產生器(未圖示)朝向MCLK之上升緣移動OCLK之上升緣。同時，取樣器715對輸出信號OUT進行取樣。當取樣器715偵測到輸出信號OUT自第一邏輯位準(例如，較高邏輯位準或邏輯「1」)轉變至第二邏輯位準(例如，較低邏輯位準或邏輯「0」)時，取樣器715記錄時脈錯離度。輸出信號OUT之轉變意味在相位偵測器輸入端處之MCLK與OCLK之同步。可如下表示經記錄之時脈錯離度：

$$DT1 = T_{\text{OCLK1}} - T_{\text{MCLK1}} = \Delta_1 T_{\text{wire}} - \Delta_2 T_{\text{wire}} - \Delta_{\text{pd}} \quad (2)$$

其中DT1或 $(T_{\text{OCLK1}} - T_{\text{MCLK1}})$ 表示OCLK與MCLK之間的時脈錯離度； $\Delta_1 T_{\text{wire}}$ 為記憶體時脈信號MCLK自晶片襯墊(未圖示)至相位偵測器710之寄生時序延遲； $\Delta_2 T_{\text{wire}}$ 為輸出時脈信號OCLK自晶片襯墊(未圖示)至相位偵測器710之寄生時序延遲；且 Δ_{pd} 為相位偵測器710之相位偵測器解析度誤

差。

圖8說明另一相位偵測器組態。記憶體105經組態以接收MCLK且執行記憶體讀取操作。一旦記憶體操作完成(例如,在用於記憶體操作之記憶體存取時間之後),記憶體105便將MCLK之「延遲」版本(在圖8中經表示為dout)轉遞至相位偵測器810。相位偵測器810亦經組態以接收OCLK(類似於圖7之相位偵測器710)且將輸出信號OUT輸出至取樣器815。取樣器815經組態以對輸出信號OUT進行取樣。下文關於圖6之605論述記憶體105、相位偵測器810及取樣器815之額外功能性。

參看圖6,在605中,取樣器815量測OCLK與MCLK之「延遲」版本或dout之間的錯離度。換言之,取樣器815量測OCLK與MCLK(亦即,MCLK之「未延遲」版本)加上等於記憶體存取時間之偏移之間的錯離度。記憶體dout經組態以輸出給定位元序列(例如,0101)以促進邊緣偵測。接下來,時脈產生器使MCLK之上升緣與OCLK之上升緣對準,使得dout落後於OCLK之上升緣而上升。接下來,時脈產生器「向前」移動MCLK之上升緣使得經延遲之MCLK或dout之上升緣接近OCLK之上升緣。與以上步驟同時發生的是,取樣器815對相位偵測器810之輸出信號OUT進行取樣。當經延遲之MCLK或dout之上升緣到達及/或超過OCLK之上升緣時,輸出信號OUT自第一邏輯位準(例如,較高邏輯位準或邏輯「1」)轉變至第二邏輯位準(例如,較低邏輯位準或邏輯「0」)。就此而言,取樣器815

記錄 MCLK 與 OCLK 之間的時脈錯離度。可如下表示經記錄之時脈錯離度：

$$DT2 = T_{OCLK2} - T_{MCLK2} = \Delta_1 T_{wire} - \Delta_2 T_{wire} - \Delta pd + T_{acc} \quad (3)$$

其中 DT2 或 $(T_{OCLK2} - T_{MCLK2})$ 表示 OCLK 與經延遲之 MCLK 或 dout 之間的時脈錯離度； $\Delta_1 T_{wire}$ 為記憶體時脈信號 MCLK 自晶片襯墊(未圖示)至記憶體 105 之寄生時序延遲； $\Delta_2 T_{wire}$ 為輸出時脈信號 OCLK 自晶片襯墊(未圖示)至相位偵測器 810 之寄生時序延遲； Δpd 為相位偵測器 810 之相位偵測器解析度誤差；且 T_{acc} 為由記憶體 105 執行之記憶體操作之記憶體存取時間。在等式 2 中，並未在記憶體 105 與相位偵測器 810 之間說明寄生時序延遲，因為假定寄生時序延遲相對較小(例如，因為相位偵測器 810 經置放成接近於記憶體輸出端，此減小寄生時序延遲)。

返回至圖 6，一旦取樣器 715 決定 OCLK 與 MCLK 之間的錯離度(600)且取樣器 815 決定 OCLK 與 dout 之間的錯離度(605)，則在 610 中計算記憶體存取時間(例如，藉由與取樣器 715 及 815 通信之處理實體，諸如，下文所描述之圖 9 之處理裝置 900)。藉由自 DT2(見等式 3)減去 DT1(見等式 2)來計算記憶體存取時間。舉例而言，取樣器 715 及 815 可與一處理單元(未圖示)共用 DT1 及 DT2，該處理單元可計算 DT1 與 DT2 之間的差值以決定記憶體存取時間。如一般熟習此項技術者應瞭解，除記憶體存取時間 T_{acc} 之外，自 DT2 減去 DT1 會使每一參數(亦即， $\Delta_1 T_{wire}$ 、 $\Delta_2 T_{wire}$ 及 Δpd)相消。

圖 9 說明根據本發明之另一實施例之相位偵測器組態。

詳言之，圖9說明呈現於圖7及圖8內之元件的組合。為簡潔起見，藉此將不進一步詳細論述呈現於圖9內之元件。如所展示，OCLK可自同一「源」或晶片襯墊耦接至相位偵測器710及810兩者，且MCLK可自同一源或晶片襯墊耦接至記憶體105及相位偵測器710兩者。另外，在圖9中，可將相位偵測器710及810中之每一者定位成相對接近於記憶體105以便減小其中之佈線延遲。若此不可能，則在一實例中，相位偵測器710及810可經定位以減小佈線延遲效應。圖9中進一步展示一處理裝置900，該處理裝置900經組態以藉由基於由取樣器715及815量測或指示之第一相位錯離度及第二相位錯離度而決定記憶體105之記憶體存取時間來執行圖6之610。

因此，在本發明之一實施例中，可將記憶體之記憶體時脈信號及充當參考之輸出時脈信號投送至第一相位偵測器。可將記憶體時脈信號進一步投送至記憶體，其中記憶體經組態以將記憶體時脈信號之延遲版本輸出至第二相位偵測器。在記憶體處所招致之延遲之量實質上等於供該記憶體執行記憶體讀取操作之記憶體存取時間。亦將輸出時脈信號投送至第二相位偵測器。第一及第二相位偵測器接著量測其各別信號之間的錯離度，其中錯離度為基於各別相位偵測器處之同步程序的各別信號之間的偏移之「快照(snapshot)」。接著藉由使與所接收信號相關聯之特定延遲相消而採用錯離度之間的差值以決定記憶體存取時間，該等延遲在兩個相位偵測器處為常見的。因此，與習知技術

七、申請專利範圍：

1. 一種決定一記憶體之記憶體存取時間之方法，其包含：

量測由該記憶體使用之一第一時脈信號與用作一參考時脈信號之一第二時脈信號之間的一第一相位錯離度；

量測在該記憶體完成一給定讀取操作時由該記憶體輸出的該第一時脈信號之一延遲版本與該第二時脈信號之間的一第二相位錯離度；及

基於該第一相位錯離度及該第二相位錯離度決定該記憶體之一記憶體存取時間。

2. 如請求項1之方法，其中該第一相位錯離度係藉由以下步驟來量測：(i)將該第一時脈信號及該第二時脈信號輸入至一相位偵測器；(ii)對該相位偵測器之一輸出信號進行取樣；(iii)至少調整該第一時脈信號及該第二時脈信號中之一者，直至該取樣指示該輸出信號已轉變至一不同邏輯位準；及(iv)記錄在該輸出信號轉變至該不同邏輯位準時該第一時脈信號與該第二時脈信號之間的一相位偏移。

3. 如請求項2之方法，其中該輸出信號至該不同邏輯位準之該轉變指示該第一時脈信號與該第二時脈信號在該相位偵測器之輸入端處同步。

4. 如請求項1之方法，其中該第二相位錯離度係藉由以下步驟來量測：(i)將該第一時脈信號之該延遲版本及該第二時脈信號輸入至一相位偵測器；(ii)對該相位偵測器之一輸出信號進行取樣；(iii)至少調整該第一時脈信號之

該延遲版本及該第二時脈信號中之一者，直至該取樣指示該輸出信號已轉變至一不同邏輯位準；及(iv)記錄在該輸出信號轉變至該不同邏輯位準時該第一時脈信號之該延遲版本與該第二時脈信號之間的一相位偏移。

5. 如請求項4之方法，其中該輸出信號至該不同邏輯位準之該轉變指示該第一時脈信號與該第二時脈信號在該相位偵測器之該輸入端處同步。
6. 如請求項1之方法，其中該決定步驟自該第二相位錯離度減去該第一相位錯離度以計算該記憶體存取時間。
7. 如請求項1之方法，其中該第一時脈信號之該延遲版本經延遲大體上等於該記憶體存取時間之一時間長度。
8. 一種經組態以決定一記憶體之一記憶體存取時間之系統，其包含：

用於量測由該記憶體使用之一第一時脈信號與用作一參考時脈信號之一第二時脈信號之間的一第一相位錯離度之構件；

用於量測在該記憶體完成一給定讀取操作時由該記憶體輸出的該第一時脈信號之一延遲版本與該第二時脈信號之間的一第二相位錯離度之構件；及

用於基於該第一相位錯離度及該第二相位錯離度決定該記憶體之一記憶體存取時間之構件。

9. 如請求項8之系統，其中該用於量測該第一相位錯離度之構件包括：(i)將該第一時脈信號及該第二時脈信號輸入至一相位偵測器之構件；(ii)用於對該相位偵測器之一

輸出信號進行取樣之構件；(iii)用於至少調整該第一時脈信號及該第二時脈信號中之一者直至該取樣指示該輸出信號已轉變至一不同邏輯位準之構件；及(iv)用於記錄在該輸出信號轉變至該不同邏輯位準時該第一時脈信號與該第二時脈信號之間的一相位偏移之構件。

10. 如請求項9之系統，其中該輸出信號至該不同邏輯位準之該轉變指示該第一時脈信號與該第二時脈信號在該相位偵測器之輸入端處同步。

11. 如請求項8之系統，其中該用於量測該第二相位錯離度之構件包括：(i)用於將該第一時脈信號之該延遲版本及該第二時脈信號輸入至一相位偵測器之構件；(ii)用於對該相位偵測器之一輸出信號進行取樣之構件；(iii)用於至少調整該第一時脈信號之該延遲版本及該第二時脈信號中之一者直至該取樣指示該輸出信號已轉變至一不同邏輯位準之構件；及(iv)用於記錄在該輸出信號轉變至該不同邏輯位準時該第一時脈信號之該延遲版本與該第二時脈信號之間的一相位偏移之構件。

12. 如請求項11之系統，其中該輸出信號至該不同邏輯位準之該轉變指示該第一時脈信號與該第二時脈信號在該相位偵測器之該輸入端處同步。

13. 如請求項8之系統，其中該用於決定之構件自該第二相位錯離度減去該第一相位錯離度以計算該記憶體存取時間。

14. 如請求項8之系統，其中該第一時脈信號之該延遲版本

經延遲大體上等於該記憶體存取時間之一時間長度。

15. 一種經組態以決定一記憶體之一記憶體存取時間之系統，其包含：

一第一相位偵測器，其具有第一輸入端及第二輸入端，該第一輸入端經由具有一第一佈線延遲之一第一佈線路徑而連接至一記憶體時脈信號且該第二輸入端經由具有一第二佈線延遲之一第二佈線路徑而連接至一參考時脈信號；

一第二相位偵測器，其具有第三輸入端及第四輸入端，該第三輸入端經由具有一第三佈線延遲之一第三佈線路徑而連接至該記憶體時脈信號且該第四輸入端經由具有一第四佈線延遲之一第四佈線路徑而連接至該參考時脈信號，該第三佈線路徑包括延遲該第三佈線延遲之一記憶體部分；

一第一取樣器，其經組態以藉由指示該第一相位偵測器之該第一輸入端與該第二輸入端何時同步而量測經由該第一佈線路徑之該記憶體時脈信號與經由該第二佈線路徑之該參考時脈信號之間的第一相位錯離度；

一第二取樣器，其經組態以藉由指示該第二相位偵測器之該第三輸入端與該第四輸入端何時同步而量測經由該第三佈線路徑之該記憶體時脈信號與經由該第四佈線路徑之該參考時脈信號之間的第二相位錯離度；及

一處理裝置，其經組態以基於該第一相位錯離度及該第二相位錯離度決定該記憶體之一記憶體存取時間。

16. 如請求項 15 之系統，其中該第一相位錯離度係藉由以下步驟來量測：(i) 將該記憶體時脈信號及該參考時脈信號經由該第一佈線路徑及該第二佈線路徑而輸入至該第一相位偵測器；(ii) 在該第一取樣器處對該第一相位偵測器之一輸出信號進行取樣；(iii) 至少調整該記憶體時脈信號及該參考時脈信號中之一者，直至該第一取樣器指示該輸出信號已轉變至一不同邏輯位準；及(iv) 記錄在該輸出信號轉變至該不同邏輯位準時經由該第一佈線路徑之該記憶體時脈信號與經由該第二佈線路徑之該參考時脈信號之間的一相位偏移。
17. 如請求項 16 之系統，其中該輸出信號至該不同邏輯位準之該轉變指示經由該第一佈線路徑之該記憶體時脈信號與經由該第二佈線路徑之該參考時脈信號在該第一相位偵測器之該第一輸入端與該第二輸入端處同步。
18. 如請求項 15 之系統，其中該第二相位錯離度係藉由以下步驟來量測：(i) 將該記憶體時脈信號及該參考時脈信號經由該第三佈線路徑及該第四佈線路徑而輸入至該第二相位偵測器；(ii) 在該第二取樣器處對該第二相位偵測器之一輸出信號進行取樣；(iii) 至少調整該記憶體時脈信號及該參考時脈信號中之一者，直至該第二取樣器指示該輸出信號已轉變至一不同邏輯位準；及(iv) 記錄在該輸出信號轉變至該不同邏輯位準時經由該第三佈線路徑之該記憶體時脈信號與經由該第四佈線路徑之該參考時脈信號之間的一相位偏移。

19. 如請求項18之系統，其中該輸出信號至該不同邏輯位準之該轉變指示經由該第三佈線路徑之該記憶體時脈信號與經由該第四佈線路徑之該參考時脈信號在該第二相位偵測器之該第三輸入端與該第四輸入端處同步。
20. 如請求項15之系統，其中該處理裝置自該第二相位錯離度減去該第一相位錯離度以計算該記憶體存取時間。
21. 如請求項15之系統，其中該第三佈線延遲自該第一佈線延遲經延遲大體上等於用於該記憶體之一讀取操作之該記憶體存取時間的一時間長度。