(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.[6]
H03L 7/00

(45) 공고일자 2004년07월12일
(11) 등록번호 10-0428483
(24) 등록일자 2004년04월12일

(21) 출원번호 10-1996-0040309
(22) 출원일자 1996년09월17일

(65) 공개번호 10-1997-0019092
(43) 공개일자 1997년04월30일

(30) 우선권주장 08/532,177 1995년09월22일 미국(US)

(73) 특허권자 톰슨 콘슈머 일렉트로닉스, 인코포레이티드
미국 인디아나주 46290-1024 인디아나폴리스 노스 메리디안 스트리트 10330

(72) 발명자 폴 딘 필리먼
미국, 인디아나, 인디아나폴리스, 리버 버치 레인 7416

마크 프랜시스 럼레이치
미국, 인디아나, 인디아나폴리스, 인디안 레이크 불바드 사우스 10308

(74) 대리인 나영환
이상섭
김두규

심사관 : 박재일

(54) 위상시프트장치

요약

소스(20)는 위상 시프트될 입력 신호(S1)와 상기 입력 신호(S1)에서 도출된 상이한 위상 시프트(0, -45, +135 도)를 갖는 제1(A), 제2(B) 및 제3(C) 중간 신호를 동시에 합성하여, 위상 시프트된 출력 신호(S2)를 형성하기 위한 합성 회로(24)를 제공한다. 제1 진폭 제어기(34, 38, 30, 32)는 공급된 위상 제어 신호(S3)에 응답하여 반대 방향(38)으로 상기 제2(B) 및 제3(C) 중간 신호의 진폭을 변화시켜, 상기 위상 시프트된 출력 신호의 위상을 제어한다. 또한, 추가의 진폭 제어기(40, 42)가 상기 위상 시프트된 출력 신호(S2)의 교류(도 5) 및 직류(도 6) 성분의 진폭을 변경시키도록 상기 위상 시프트 제어 신호(S3)의 변동 경향을 감소시키기 위해 제공된다.

대표도

도 4

명세서

도면의 간단한 설명

도 1은 3 개의 벡터 합산 형태의 위상 시프트 네트워크를 사용하는 종래 기술 발진기의 단순화된 블록도.
도 2A 내지 도 2D는 도 1의 위상 시프트 네트워크의 정상 동작의 임의의 태양을 도시하는 벡터도.
도 3A 내지 도 3D는 도 1의 위상 시프트 네트워크의 임의의 환경하에서 발생하는 것으로 밝혀진 비정상 동작의 임의의 태양을 도시하는 '의사' 벡터도.

도 4는 본 발명을 구체화하는 위상 시프트 네트워크의 블록도.
도 5A 내지 도 5D는 도 4의 위상 시프터의 정상 동작을 도시하는 벡터도.
도 6A 내지 도 6D는 도 4의 위상 시프터의 동작의 임의의 태양을 도시하는 '의사' 벡터도.
도 7, 도 8A 및 도 8B는 도 4의 예에 사용하는데 적합한 적절한 최소 이득 제한 회로를 도시하는 회로도.
도 9, 도 10 및 도 11은 도 4의 위상 시프터의 변형을 도시하는 블록도.
<도면의 주요부분에 대한 부호의 설명>
10 : 위상 시프터
12 : DC경로
14 : 저항
16 : AC 피드백 경로
18 : 공진기
20 : 입력 단자
22 : 출력 단자
24 : 합산 회로
26 : 위상 지연 네트워크
35 : 인버터

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 위상 시프트 장치에 관한 것으로, 특히, 입력 신호의 복수의 위상 시프트된 성분이 위상 시프트 제어 신호에 의해 결정된 비율로 형성 및 합성되어 위상 시프트된 출력 신호를 제공하는 형태의 가변 위상 시프터에 관한 것이다. 가변 위상 시프트 장치는 예컨대, 전압 제어 발진기, 동조 회로, 필터에서 위상 제어 소자로서, 또한 위상 시프트가 요구되는 유사한 응용 분야에서 위상 제어 소자로 사용된다. 예를 들어, 1977년 4월 26일 L. A. Harwood에게 허여된 'CONTROLLED OSCILLATOR'라는 명칭의 미국 특허 제4,020,500호에는, 발진기 주파수를 제어하는 위상 시프트가 벡터 합산에 의해 제공되는 전압 제어 수정 발진기가 기재되어 있다. 특히, 발진기 신호는 2극 L-C 저역 필터에 의해 +90 만큼 위상 시 프트되고, 최초 신호와 합성되어, 0 도와 선행(leading) 각(예컨대, +45 도) 사이에 놓이는 결과 벡터를 생성하며, 그 각은 +90 도(quadrature; 직교) 신호의 진폭을 변화시킴으로써 제어 가능하다. 지연(lagging)된 위상 시프트(예컨대, 0 도에서 -45 도까지)를 제공하기 위해서, 직교(quadrature) 벡터의 극성을 +90 도가 아니라 -90 도가 되도록 반전시키고, 반전된 직교 벡터를 기준 또는 입력 신호에 가산한다. 여기에서 상기 결과 벡터는 0 도와 , 0 도에서 약 -45 도 사이의 지연 각 사이에 놓이며, 그 각도는 -90 도 벡터의 진폭을 변화시킴으로써 제어 가능하다. 발진기 응용(예컨대, 90 도 2 극 필터링)에 있어서, 직교 위상 시프팅 요소가 필요없도록 된 위상 시프트 회로는 1989년 1월 10일에 Paul D. Filliman 에게 허여된 'CONTROLLED OSCILLATOR'란 명칭의 미국 특허 제4,797,634호에 기재되어 있다. Harwood 장치와 달리, Filliman 위상 시프터는 한 번에 2 개가 아니라 3 개의 벡터를 합성한다. 사용되는 벡터 각은 상기 입력 신호에 대하여 -45 도, 0 도 및 +135도이고, 이들 3 개의 벡터의 혼합이 정(선행) 및 부(지연) 두가지의 모든 위상 시프트를 제공한다. 또한, 상기 +135 도 벡터는 반전에 의해 -45 도 벡터로부터 생성되고, 상기 -45 도 시프트가 1 극 RC 필터에 의해 제공될 수 있기 때문에, 전체 위상 시프트 회로는 텔레비전 관련 제품내의 컬러 발진기의 위상 제어를 제공하는 것과 같은 응용에서 집적 회로의 형태로 용이하게 구성될 수 있다.
본 명세서에서 도 1은 Filliman 발진기의 단순화된 블록도를 도시한다. 도시된 바와 같이, 위상 시프터(10)는 2 개의 피드백 경로, 즉 (i) 부의 피드백에 의해 발진기의 DC 동작점을 조절하는 저항(14) 경유의 DC 경로(12)와 (ii) 발진을 일으 키기 위하여 단위(unity) 이득의 정의 피드백을 제공하는 공진기(18, 즉, 수정) 경유의 AC 피드백 경로(16)를 제공한다.
도 1에 도시되어 있는 바와 같은 위상 시프터(10)는 비반전 상태인데, 이는 발진기 응용에 있어서는 바이어스 안정화를 위한 정확한 부의 DC 피드백과, 발진을 개시하기 위한 공칭 공진기 주파수 Fr 에서의 정의 AC 피드백 신호를 제공하도록 반전을 요구하기 때문이다. 발진기 응용에 대한 피드백 신호의 반전은 도 1 에서 위상 시프터 출력(22)에서 인버터(35)에 의해 제공된다. 임의적으로, 다양한 위치에서 반전이 적용될 수 있다. 예를 들어, 상기 인버터(35)는 상기 위상 시프터(10)의 입력(20)에 배치되거나, 상기 위상 시프터 내에 위치될 수 있다. 또한, 반전은 간단하게 상기 위상 시프트 네트워크(10)내의 차동 출력 증폭기의 반전 출력을 사용함으로써 또는 상기 위상 시프터 출력에서 합산 증폭기(24)의 반전 형태를 사용함으로써 제공될 수 있다. 본 발명에서 중요한 것은 상기 시프터가 반전을 행하는가의 여부가 아니라, 후술하는 바와 같이 어떻게 위상 시프팅이 달성되는가 이다.
위상 시프터(10)는 위상 시프트하기 위해 발진기 입력 신호(S1)를 수신하는 입력 단자(20)와, 위상 시프트된 출력 신호(S2)를 제공하는 출력 단자(22)를 포함한다. 상기 입력 신호(S1)는 상기 네트워크(10) 출력 단자(22)에서 위상 제어된 출력 신호(S2)를 제공하도록, 합산 회로(24)를 통해 합산되는 3 개의 '중간' 신호 또는 '벡터' 성분 'A', 'B' 및 'C'로 분리된다. 이하에서, 용어 '중간' 신호 또는 성분은 용어 '벡터' 신호 또는 성분과 상호 교환 가능하게 사용될 수 있

다.
중간 신호 또는 벡터 성분 'A', 'B' 및 'C'를 형성하기 위한 입력 신호(S1) 의 처리는 일정한 이득 증폭기(28), 2 개의 가변 이득 증폭기(30, 32)(후자는 반전 상태임) 및 45 도 위상 지연 네트워크(26)에 의해 제공된다. 도 1의 벡터 'A'는 입력 신호(S1)에 대해 0 도의 위상각을 가지며, 상기 입력 신호를 비반전 고정 이득 증폭기(28)를 통해 상기 합산 회로(24)에 인가함으로써 생성된다.
벡터 'B'는 상기 입력 신호(S1)에 대하여 -45 도의 위상각을 가지며, 상기 위상 시프트 네트워크(44)(예컨대, 저역 필터)내의 상기 공진기(18)의 공칭 주파수에서 45 도(지연)만큼 상기 입력 신호를 위상 시프팅함으로써 생성된다. 상기 위상 시프트된 신호 'B'는 가변 이득 비반전 증폭기(30)를 통해 합산 회로(24)에 인가된다.
벡터 'C'는 상기 입력 신호(S1)에 대하여 +135 도의 위상각을 가지며, 45 도 위상 시프트 네트워크(26)의 출력을 가변 이득 반전 증폭기(32)에서 반전시켜 생성하여 합산 회로(24)에 인가한다. 위상 시프트 제어 신호(S3)는 상기 증폭기(30)의 이득 제어 입력에 직접 인가되고, 반전 증폭기(32)의 상기 이득 제어 입력에 인가하기 위해 인버터(38)에 의해 반전된다.
동작 중에, 상기 인버터(52)의 작용에 따라, 단자(22)에서 제어 신호(S3)의 증가로 상기 벡터 'B'의 진폭의 증가가 발생하고, 동시에 상기 벡터 'C'의 진폭의 감소가 발생한다. 이것은 상기 입력 신호(S1)에 대한 상기 출력 신호(S2)의 지연 위상을 생성할 것이다. 반대로, 상기 제어 신호(S3)의 감소는 벡터 'B'의 진폭의 감소 및 벡터 'C'의 진폭의 증가를 발생할 것이다. 이것은 상기 입력 신호(S1)에 대한 상기 출력 신호(S2)의 선행 위상을 생성할 것이다. 위상각을 변경할 때, 벡터 'A'의 진폭은 일정하게 유지된다. 벡터 'B' 및 'C'의 진폭의 변화가 상기 네트워크의 실질적인(net) 위상 시프트, 즉 상기 발진기의 주파수를 제어한다는 것을 의미한다.

발명이 이루고자 하는 기술적 과제

일정한 특정한 조건(예컨대, 부적당한 증폭기 이득 또는 이득 변동)하에서, 전술한 Filliman형의 3 개의 벡터 위상 시프터를 사용하는 발진기는 3 가지 동작 곤란: (i) 발진 정지, (ii) 고조파(overtone) 발진; (iii) 바이어스 불안정성 중 하나 이상의 동작 곤란을 나타낼 수 있다는 것이 밝혀졌다.
전술된 문제점은 발진기의 위상 시프트부에 기인 가능하다는 것이 밝혀졌다. 또한, 상기 발진기의 문제점들은 상기 위상 시프터의 위상 범위를 제한하는 수단에 의해 감소될 수 있다는 것이 밝혀졌다. 그러나, 그것은 상기 발진기 주파수 범위를 제한하고 결과적으로 상기 발진기의 유용한 응용 범위를 제한하기 때문에, 완전히 만족스런 해답은 아니다.

발명의 구성 및 작용

본 발명을 사용하는 위상 시프트 장치는 위상 시프트될 입력 신호를 제공하는 소스와, 상기 입력 신호로부터 도출된 상이한 위상 시프트를 갖는 제1, 제2 및 제3 중간 신호를 합성하여, 위상 시프트된 출력 신호를 형성하기 위한 합성 회로를 포함한다. 제1 진폭 제어 회로는 공급된 위상 제어 신호에 응답하여 동시에 반대 방향으로 상기 제2 및 제3 중간 신호의 진폭을 변화시켜, 상기 위상 시프트된 출력 신호의 위상을 제어한다. 또한, 상기 위상 시프트 제어 신호의 변동 경향을 감소시 켜서 위상 시프트된 출력 신호의 진폭을 감소시키기 위한 수단이 제공된다.
본 발명의 상기 특징은 첨부하는 도면에 도시되어 있고, 여기에서 동일 요소는 동일 참조 부호로 표시된다.
본 발명을 상세하게 고찰하기 전에, Filliman의 종래 기술의 3 개의 벡터 위상 시프터가 어떤 조건 하에서 발진 정지, 고조파 발진 및 바이어스 불안정성이 일어나는지 또는 위상 제어 범위를 제한하는 것이 위 문제를 극복할 수 있는지를 알아보는 것이 도움이 된다.
첫째로, 발진 정지에 관해서는, 개방 루프 이득이 단위(unity) 이득 이하로 떨어지면, 발진을 위한 조건은 더 이상 충족되지 못한다. 이것은 상기 전압 제어된 위상 시프트 회로가 제어 전압의 임의의 값에 대해 상기 공진기의 기본 주파수에서의 이득의 명백한 감소를 나타내는 경우에 발생할 수 있다. 이러한 문제점은 도 2A 및 도 2C에 도시되어 있다. 도 2A는 도 1의 위상 시프트 회로내의 3 개의 기본 벡터, 즉 'A'(0 도에서), 'B'(-45 도에서) 및 'C'(+135 도에서)를 도시하는 벡터도이다. 상기 벡터 모두는 유사한 진폭을 갖는 것으로 가정된다. 도 2C는 상기 위상각 제어 신호가 최소값(예컨대, 0)에 있는 조건에서 얻어지는 위상 시프트(벡터 'R')를 도시한다. 이 경우에, 벡터 'A' 및 'C'는 합산 회로(24)에서 합산될 때, 벡터 'A' 또는 'C'의 어느 것보다 매우 작은 결과 벡터 'R'을 생성한다. 이것으로부터, 상기 최소 위상 제어 신호값(S3 = 0)에서, 상기 위상 시프트 회로의 이득이 실질적으로 단위 이득보다 적고, 그 결과 발진이 정지될 수 있다는 것이 명백하다. 따라서, 이 경우에 대해 상기 위상 시프터 이득을 증가시키는 것이 바람직하다.
둘째로, 고조파 발진에 관해서는, 상기 개방 루프 이득이 대역외 주파수에서 단위 이득을 초과하면, 스퓨리어스(spurious) 발진 조건이 충족된다. 이것은 일반적으로 상기 수정 발진기의 3차 고조파에서 발생하며, 기본 주파수 및 상기 기본 주파수의 기수차 고조파에서 대역 통과 필터와 같이 작용한다. 보통 저역 필터를 수정 네트워크(공진기)에 통합하여 이 문제를 억제하지만, 제어 전압의 함수로서 전압 제어된 위상 시프트 회로의 과잉 이득은 여전히 고조파 발진을 일으킬 수 있다. 도 2B는 이러한 과잉 이득 조건을 도시한다. 도 2B 에서, 위상 시프트 제어 신호(S3)가 최대값으로 도시되어 있다. 이 경우에, 인버터(32)에서의 반전 때문에, 상기 벡터 'C'는 0 이고, 상기 벡터 'A' 및 'B'는 둘다 최대값이다. 그 벡터 합 또는 합산 회로(24)에 의해 생성된 결과 출력 신호 'R'은 각각의 벡터의 어느것보다 매우 큰 이득 증가를 나타낸다. 발진기 응용에서, 상기 이득 증가가 충분히 크면, 전술한 바와 같이, 스퓨리어스 발진이 발생할 수 있다. 따라서, 이 경우에 대해 상기 위상 시프터 이득을 감소시키는 것이 바람직하다.
상기 2 개의 예에서, 발진 유지를 위해 상기 위상 시프트 제어 신호(S3)의 최소값에서 상기 위상 시프트 네트워크의 이득을 증가시키는 것이 바람직하다. 그러나, 스퓨어리스 신호 감소를 위해 상기 제어 신호(S3)의 최대값에서 상기 위

상 시프터 이득을 감소시키는 것이 바람직하다. 상기 상이한 이득 요구는 상기 제어 신호(S3)의 최소값, 최대값 및 중간값에 대한 결과 벡터를 나타내는 도 2D의 결과 벡터도에 도시되어 있다. 이러한 문제점을 해결하기 위해 상기 제어 신호(S3)의 함수로서 상기 버퍼 증폭기(35)의 이득을 변화시키면 될 것이라고 생각할지 모른다. 그러나, 그러한 가상적인 해결책은 효과가 없다.

본 발명의 태양에 따라서, 단순히 상기 결과 벡터 'R'의 진폭을 변화시킴으로써 발진 정지 및 고조파 발진의 문제를 보정할 가능성이 없는 이유는 매우 낮은 주파수에서 상기 회로 동작에 관한 제3 이득의 문제 때문이다. '저'주파수는, 45 도 위상 시프터(26)에서 제공하는 위상 시프트가 매우 낮은 값(예컨대, 몇 도)으로 감소하거나, 또는 0 Hz에서는 저역 필터(26)에 의한 위상 시프트가 전부 제공되지 않는다는 것을 의미한다. 특히, 매우 낮은 주파수 또는 0 주파수에서, 필터(26)가 상당한 지연 및 유효한 위상 시프트를 제공하지 않거나, 제어 신호(S3)의 어떤 조건에서 얻어진 벡터 'R'의 '극성'이 반전될 수도 있음을 알 수 있다.

더 구체적으로, 'DC' 또는 저 주파수 이득이 0에 접근하면(또는 더욱 악화하여 0을 넘어 극성을 변경), 바이어스 불안정성이 발생할 수 있다. 상기 응용 회로에 사용되는 DC 바이어스 방법에 따르면, DC 또는 저 주파수 이득의 변화가 상기 루프의 DC 동작점을 이동시킬 수 있어, 그 결과 발진 정지 또는 불충분한 듀티(duty) 사이클이 발생하거나, 또는 상기 위상 반전의 경우, 상기 DC 피드백이 정이고 상기 회로가 래치와 같이 작용하는 래치-업 조건이 발생한다. 이러한 문제점은 도 3A 내지 도 3D의 벡터도에 의해 도시되어 있다. 상기 도면은 도 2A 내지 도 2D의 벡터도와 유사하나, 입력 신호 주파수가 0(즉, 직류, DC)인 조건하에서 형성된다는 점에서 다르다.

DC 에서, 상기 저역 필터(26)는 공칭(공진기) 주파수에서보다 약 3 dB 높은 진폭을 제공하며, 관련된 위상 시프트는 없다. 3 dB 이득 증가의 이유는 상기 저역 필터(26)가 공진기 주파수에서 3 dB의 손실을 도입하여 -45 도의 위상 시프트가 얻어지기 때문이고, 이 손실은 증폭기(30, 32)의 이득 조정 또는 합산기(24)의 가중을 조절하여 보정된다. DC 에서의 진폭 보상 저역 필터가 총합 이득 3 dB(즉, 1.414의 이득)을 나타낼 것이다. 따라서, 상기 벡터 'B' 및 'C'는 벡터 'A' 보다 크고, 벡터 'A'에 대하여 축상에 있다. 이것은 도 3A의 기본 벡터에 의해 도시된다. 이러한 두가지 이유(B, C > A 및 모두 축상에 존재) 때문에, 상기 전압 제어 위상 시프터는 DC와 낮은 주파수에서 공진기(18)의 공칭 주파수보다(제어 전압(S3)에 대하여) 더 높은 이득 감도를 나타낸다.

도 3B는 상기 위상 제어 신호(S3)가 최대인 경우의 결과 'R'을 도시한다. 도 3C는 S3이 최소(0)가 되는 경우와는 반대의 경우를 도시한다. 이러한 경우에 벡터 'B'는 0 이고 벡터 'C'는 최대이다. 그러나 DC 및 낮은 주파수는 벡터 'A' 보다 3 dB 크다. 그 결과, 결과 벡터 'R'의 위상은 180 도 반전된다. 상기 DC 피드백이 부가되어야 하는 발진기 응용에서, 이것은 정의 피드백을 발생시키기 때문에, 회로 전체의 래치-업을 일으키고 발진을 정지한다. 이 바람직하지 못한 조건은 상기 제어 신호(S3)의 최소값, 중간값 및 최대값에서 얻어지는 3 개의 벡터의 합성을 나타내는 도 3D에 도시되어 있다. 도시되어 있는 바와 같이, 위상 제어 신호(S3)가 최소값일 때, 상기 결과 벡터 'R'의 위상이 반전된다.

도 4는 상기 위상 시프트된 출력 신호(S2)의 진폭을 변경함으로써 상기 위상 시프트 제어 전압(S3)의 변동 경향을 감소시키는 수단이 제공되어 있는 본 발명을 구체화하는 위상 시프트 장치의 블록도이다. 이것은 상기 위상 시프트된 출력 신호 가 상기 위상 제어 신호의 임의의 값에 대해 반전되지 않게 하기 위한 방법으로 달성된다.

도 4의 위상 시프터(10)는 (1) 도 1의 고정 이득 증폭기(26)가 도 4의 가변 이득 증폭기(40)로 대체되는 것과, (2) 증폭기(40)에 대한 이득 제어가 반전 증폭기(32)의 이득을 제어하는 동일 버스(52)로부터 얻어지는 것과, (3) 최소 이득 제한기(42)가 상기 가변 이득 증폭기(40)에 접속되는 것을 제외하고는 도 1의 위상 시프터(10)와 유사하다.

상기 위상 시프터(10A)의 동작은 도 5A 내지 도 5D 및 도 6A 내지 도 6D에 도시되어 있다. 도 5A는 0, -45 및 +135 도의 각에서 동일 진폭으로 되는 합산에 사용되는 3 개의 기본 벡터를 도시한다.

도 5B는 상기 위상 제어 신호(S3)가 최대값에 있는 경우를 도시하는데, 여기에서 벡터 'B'를 증가시키고, 벡터 'C'를 0으로 감소시키며 벡터 'A'를 상기 최소 이득 제한기(42)에 의해 결정되는 최소값으로 감소시킨다. 이것은 지연 결과 벡터 R이 벡터 'B' 보다 약간 크게 되도록 감소시킨다.

도 5C는 S3이 최소값(즉, 0)으로 설정될 때 상기 제어 신호(S3)의 다른 극단을 도시한다. 이 경우에 증폭기(30)의 이득은 0으로 감소하고 또, 벡터 'B'의 진폭 또한 0 이다. 벡터 'A'의 진폭은 증폭기(40)에 의해 증가된다. 상기 벡터 'C' 및 'A'의 합 'R'은 도 5B 에서와 거의 같은 크기의 선행 벡터이다. 도 5D는 상기 위상 제어 신호(S3)의 최소값, 중간값 및 최대값에 대한 결과 벡터를 나타내는 합성 벡터도이다. 도시되어 있는 바와 같이, 신호(S3)의 전체 범위에 걸쳐 상기 결과 벡터 'R'의 진폭에서 차이가 거의 없다.

상기한 바로부터, 전체 위상 시프터 회로(10A)의 이득이 필터(26)의 위상 시프트가 45 도인 정상 동작 주파수에서 안정화된다는 것이 밝혀졌다. 고려할 바는 이제 필터(26)의 위상 시프트가 무시될 수 있는 낮은 주파수 및 DC 에서 진폭 응답으로 주어질 것이다.

앞의 논의에서, 모든 벡터의 이득이 상기 위상 시프터의 동작의 정상 주파수에서 정상화된다고 가정하였다. 이것은 발진기 응용에서 공진기 주파수 근처에 있게 될 것이다. 중간 범위 설정에서의 상기 벡터 'B' 및 'C'의 낮은 주파수 및 DC에서, 상기는 벡터 'A' 보다 크게(3dB 정도) 될 것이다. 도 6A는 DC 및 낮은 주파수에서 '기본' 벡터의 상기 벡터 관계를 도시한다. 도 6B는 상기 위상 제어 신호(S3)가 최대값으로 설정되는 경우를 도시한다. 이 경우에 상기 증폭기(32)는 벡터 'A'의 진폭을 상기 최소 이득 제한기(42)에 의해 결정되는 최소값으로 감소시킬 것이다. 따라서, 상기 결과 벡터 'R'은 상기 최소 'A' 값과 벡터 'B'의 증가된 진폭의 합과 같아질 것이다. 설명한 바와 같이, 상기 위상 제어 신호(S3)의 상기 최대 설정에 대한 결과 벡터의 극성 반전은 없다.

도 6C는 상기 위상 제어 신호(S3)가 최소(0) 값으로 감소된 경우를 도시한다. 이것은 증폭기(30)의 이득을 감소시키며 따라서 벡터 'B'의 진폭을 0 과 같게 만든다. 증폭기(40, 32)는 둘다 반전된(/S3) 위상 제어 신호를 수신할 때 증가한 이득을 나타낸다. 그러나, 증폭기(40)의 최대 이득은 상기 가정된 조건하에서 벡터 'A'가 벡터 'C' 보다 크게 되도록 증폭기(32)의 이득보다 명백하게 크게 되도록 선 택된다. 적절한 이득 차는 약간의 증폭기 이득 허용오차 변화를 허

용하는 약 6 dB 정도에 있다. 그 결과, 상기 결과 벡터 'R'은 상기 위상 제어 신호(S3)의 상기 최소 설정에 대해 정(즉, 비반전)이다. 도 6D는 상기 위상 제어 신호의 3 개의 값, 즉 최소값, 중간값 및 최대값의 합성을 나타내는 벡터도이다. 동도가 DC 및 낮은 주파수에서 이득 변화를 보이지만, 위상은 상기 위상 제어 신호(S3)의 임의의 설정에 대해 반전하지 않는다.

본 발명의 상기 예에서, 가변 이득 증폭기(40)는 상기 중간 신호(벡터 'A')의 진폭을 변화시키는데 사용되었고, 최소 이득 제한기(42)는 상기 증폭기(40)에 접속되었다. 도 7은 증폭기(40) 및 최소 이득 제한기(42)로 사용하는데 적합한 가변 이득 차동 증폭기의 상세한 회로도이다. 상기 증폭기는 접지와 출력 단자(706, 707)에 결합되는 드레인 로드 R1 및 R2를 갖는 트랜지스트 Q3 및 Q4에 결합되는 한쌍의 소스를 포함한다. 트랜지스터 Q3 및 Q4의 정지 동작 전류는 상기 증폭기의 트랜스컨덕턴스(gm)를 변화시키도록 변화되고 그것에 의해 상기 가변 트랜스컨덕턴스와 상기 로드 값(RL)의 곱에 비례하는 가변 이득 K를 생성한다.

트랜스컨덕턴스 제어를 위해, 단자(701, 703)에 인가되는 전원 바이어스에 고정 게이트에서 동작하는 트랜지스터 Q2가 제공된다. 이 트랜지스터는 환언하면, 고정된 전류원으로 동작하기 위해 바이어스된다. 따라서, 상기 차동 증폭기 트랜지스터 Q3 및 Q4의 트랜스컨덕턴스는 트랜지스터 Q2에 의해 제공되는 일정한 전류에 의해 결정되는 것 이상일 수 있다. 이것은 도 4의 최소 이득 제한기(42)의 작용에 대응한다.

가변 이득 제어는 고정 전원 전압 및 제어 입력(702)에 인가되는 제어 신호로 변화하여 가변 전류원을 형성하는 게이트 전압을 갖는 트랜지스터 Q1에 의해 제공된다. 따라서 상기 위상 제어 신호가 트랜지스터 Q1에 의해 제공된 전류를 변화시킴에 따라 또한 트랜지스터 Q3 및 Q4의 트랜스컨덕턴스 제어도 변화한다. 상기 이득 제어 전압이 단자(702)에 인가될 때 트랜지스터 Q1을 바이어스 오프시키지만, 그러나 상기 트랜스컨덕턴스는 트랜지스터 Q1에 의해 제공되는 전류와 무관한 최소 전류를 여전히 공급한다. 상기 최대 이득은 상기 전류원 트랜지스터 둘다에 의해 제공되는 전류의 합에 의해 결정된다.

벡터 'A'에 대하여 최소 진폭을 설정하는 복수의 다른 방법이 존재한다. 도 9는 상기 최소 이득 제한기(42)가 증폭기(40)의 이득 제한 신호(/S3)에 대한 제어 신호 경로에 위치되는 도 4의 위상 시프터의 변형을 도시한다. 상기 목적으로 클램프 회로가 사용될 수 있다. 도 8A 및 도 8B는 2 개의 적절한 클램프 회로를 도시한다. 도 8A 에서 인버터(38)로부터의 상기 제어 신호는 다이오드(802)를 통해 출력 단자(803)에 결합되는 입력 단자(801)에 인가된다. 단자(803)는 또한 저항(804) 및 기준 전압원(배터리로 도시됨)(805)을 통해 접지에 결합된다.

동작 중에, 상기 위상 제어 신호가 상기 배터리 전압과 상기 다이오드(802)의 순방향 강하의 합보다 클 때, 상기 다이오드는 전도 상태가 될 것이고 제어 신호를 상기 위상 제어 신호로 변화시키는 가변 이득 증폭기(40)에 공급한다. 그러나, 낮은 전압에서, 상기 다이오드는 비전도 상태로 되고, 증폭기(40)의 이득 제어 입력에 인가되는 전압은 기준 전원(805) 전압과 같은 일정한 값이 될 것이다. 도 8B의 클램프 회로는 상기 다이오드(802)와 저항(804)이 상호 교환된 것 이외에는 도 8A의 클램프 회로와 유사하다. 동작 중에, 상기 배터리와 다이오드 전압의 합보다 큰 입력 전압에 대해, 상기 다이오드는 턴 오프될 것이고 증폭기(40)로의 출력 전압은 단자(801)에서의 제어 신호를 따를 것이다. 반대로, 낮은 전압에서 상기 다이오드는 순방향 바이어스되어 그것에 의해 증폭기(40)에 대해 일정한 이득 제어 바이어스를 유지하며 따라서 최소 이득을 설정한다.

도 10은 상기 최소 이득 제한기(42)가 증폭기(40) 근처에 증폭기(620)를 포함하는 바이패스 경로(600)을 배치하여 이행되는 도 4의 예의 변형을 도시하는 블록도이다. 상기 경로는 증폭기(40)가 0 출력을 제공하도록 바이어스될 때조차도 벡터 'A'가 감쇠기에 의해 결정되는 최소값을 갖게 한다. 도 11은 상기 인버터(38)가 위상 제어 신호 버스(52)에서 위상 제어 신호 버스(50)로 이동되는 도 4의 예의 위상 시프터의 변형을 도시한다. 상기 회로 동작은 상기 위상 제어 신호(S3)가 변화할 때 반대 방향으로 위상이 시프트하는 것을 제외하고 도 4의 동작과 동일하다.

발명의 효과

본 발명의 구성에 따르면, 본 발명의 발진기는 3 가지 동작 곤란, 즉 (i) 발진 정지 (ii) 고조파(overtone) 발진 (iii) 바이어스 불안정성과 같은 동작 곤란 현상이 사라지게 되는 효과가 있습니다.

(57) 청구의 범위

청구항 1.

위상 시프트될 입력 신호를 공급하는 소스(20, S1)와,

위상 시프트된 출력 신호를 형성하도록 상기 입력 신호로부터 도출된 상이한 위상 시프트를 갖는 제1, 제2 및 제3 중간 신호를 합산하는 합산 수단(24)을 포함하는 위상 시프트 장치(10)에 있어서,

공급된 위상 제어 신호(S3)에 응답하여 동시에 반대 방향으로 상기 제2 및 제3 중간 신호의 진폭을 변화시켜, 상기 위상 시프트된 출력 신호의 위상을 제어하기 위한 제1 진폭 제어 수단(30, 32)과;

상기 위상 시프트 제어 신호에 응답하여 상기 제1 중간 신호의 진폭을 변화시키기 위한 제2 진폭 제어 수단(40)을 포함하는 것을 특징으로 하는 위상 시프트 장치.

청구항 2.

제1항에 있어서,

상기 제1 중간 신호는 상기 입력 신호와 동위상이고;

상기 제2 중간 신호는 상기 입력 신호에 대해 실질적으로 45 도 만큼 위상 시프트되며;

상기 제3 중간 신호는 상기 제2 중간 신호에 대해 180 도 위상차를 갖는 것인 위상 시프트 장치.

청구항 3.

제2항에 있어서,
상기 제1, 제2 및 제3 중간 신호는 각각 상기 입력 신호에 대해 0, -45 및 +135 도의 각도로 위상 조정되는 것인 위상 시프트 장치.

청구항 4.

제2항에 있어서,
상기 제1, 제2 및 제3 중간 신호는 각각 상기 입력 신호에 대해 0, -45 및 +135 도의 각도로 위상 조정되고;
상기 각각의 제1, 제2 및 제3 중간 신호는 개개의 이득을 갖는 제1, 제2 및 제3 증폭 제어 수단 중 해당하는 증폭 제어 수단에 의해 증폭되며;
상기 제1 증폭 제어 수단의 이득은 상기 제3 증폭 제어 수단의 이득보다 큰 것인 위상 시프트 장치.

청구항 5.

제2항에 있어서,
상기 제1 중간 신호는 증폭기를 통하여 상기 소스로부터 상기 합산 수단에 결합되고,
상기 제1 중간 신호의 최소 진폭을 설정하기 위하여 상기 증폭기에 결합된 진폭 제한 수단(42)을 더 포함하는 것인 위상 시프트 장치.

청구항 6.

제2항에 있어서, 상기 제2 진폭 제어 수단은,
공급된 동작 전류의 값에 따른 트랜스컨덕턴스를 갖는 증폭기(40)와,
상기 위상 제어 신호의 함수로 동작 전류를 변화시키기 위하여 상기 동작 전류를 상기 증폭기에 공급하는 전류원(38)과,
상기 증폭기의 트랜스컨덕턴스를 최소값에서 최대값까지의 범위로 제한하기 위한 수단(42)을 포함하는 것인 위상 시프트 장치.

청구항 7.

제2항에 있어서, 상기 제2 진폭 제어 수단은,
공급된 동작 전류의 값에 따른 트랜스컨덕턴스를 갖는 증폭기와,
상기 증폭기에 고정된 동작 전류를 공급함으로써, 상기 증폭기에 대한 트랜스컨덕턴스의 최소값을 확정하기 위한 제1 전류원과;
상기 위상 제어 신호에 응답하여 상기 증폭기에 가변 동작 전류를 공급함으로써, 상기 트랜스컨덕턴스를 상기 제1 전류원에 의해 제공된 상기 최소값에서 상기 제1 전류원과 제2 전류원 양자에 의해 제공되는 전류의 합에 비례하는 최대값까지 변화시키기 위한 제2 전류원을 포함하는 것인 위상 시프트 장치.

청구항 8.

제1항에 있어서,
상기 제1 중간 신호는 상기 제2 진폭 제어 수단의 제1 증폭기(제1 이득을 지님)에서 증폭되고,
상기 제2 중간 신호와 상기 제3 중간 신호 중 선택된 하나는 상기 제2 진폭 제어 수단의 제2 증폭기(제2 이득을 지님)에서 증폭되고,
상기 제1 증폭기의 상기 제1 이득은 상기 제2 증폭기의 상기 제2 이득보다 큰 것인 위상 시프트 장치.

청구항 9.

제1항에 있어서,
상기 제1 중간 신호의 최소 진폭(상기 위상 제어 신호에서의 변화와는 독립적임)에 제한을 설정하기 위한 제3 진폭 제어 수단(42)을 더 포함하는 것인 위상 시프트 장치.

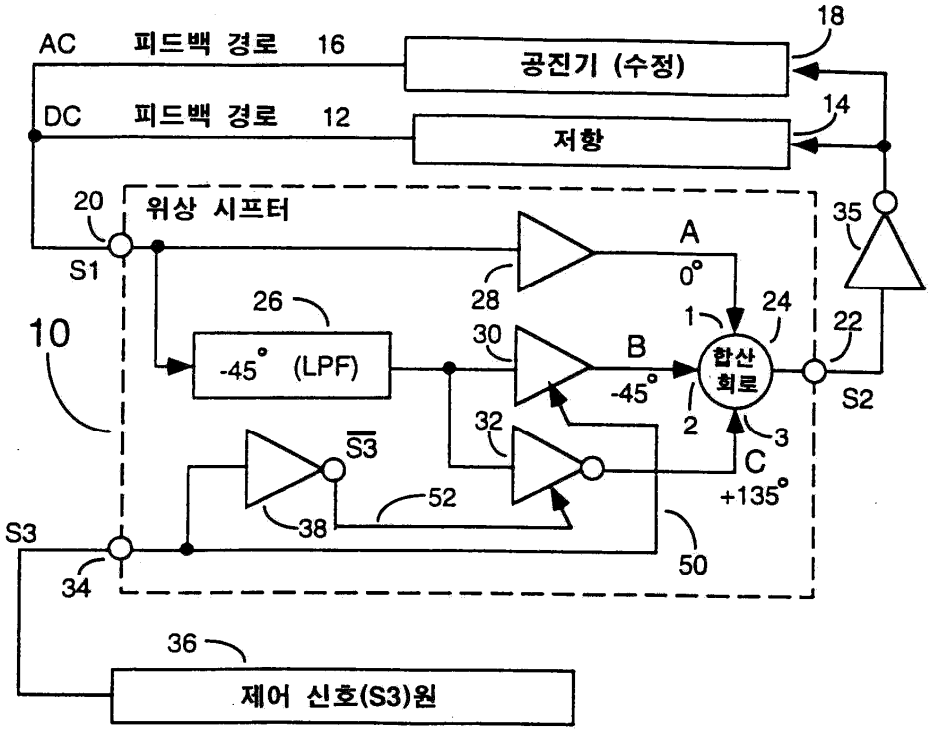
청구항 10.

제1항에 있어서,
위상 시프트되어야 할 입력 신호(소정의 주파수를 지님)를 수신하기 위한 입력 단자(20)와,
상기 입력 신호로부터 상기 입력 신호와 동위상의 제1 중간 신호를 도출하기 위한 수단과,
상기 입력 신호에 대하여 실질적으로 45 도 위상 시프트된 제2 중간 신호를 제공하여 상기 입력 신호를 위상 시프트하는 수단(26)과,
상기 제2 중간 신호에 대하여 실질적으로 180 도 위상 반전된 제3 중간 신호를 생성하기 위하여 상기 제2 중간 신호를 반전하는 수단(32)과,
위상 제어 신호를 제공하는 소스(34)를 더 포함하고,
상기 제1 진폭 제어 수단은 상기 위상 제어 신호의 변화에 따라 직접적으로 상기 제2 중간 신호의 진폭을 변화시키고,
상기 위상 제어 신호의 변화와는 반대 방향으로 상기 제3 중간 신호의 진폭을 변화시키며,
상기 제2 진폭 제어 수단은 상기 제1 중간 신호의 진폭을 최소값과 최대값 사이에서 변화시키는 것인 위상 시프트 장치.

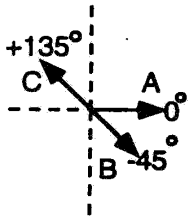
도면

도면1

(종래 기술)

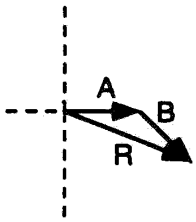


도면2a



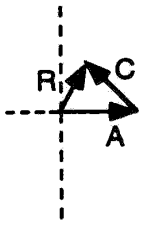
Fr 에서의
기본 벡터

도면2b



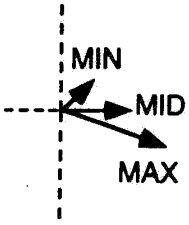
S3=MAX

도면2c



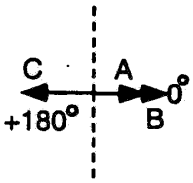
S3=MIN

도면2d



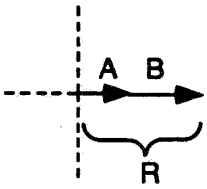
합성

도면3a



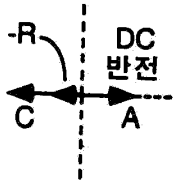
D.C. 에서의
기본 벡터

도면3b



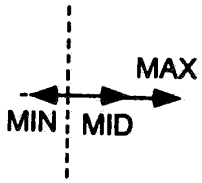
S3=MAX

도면3c



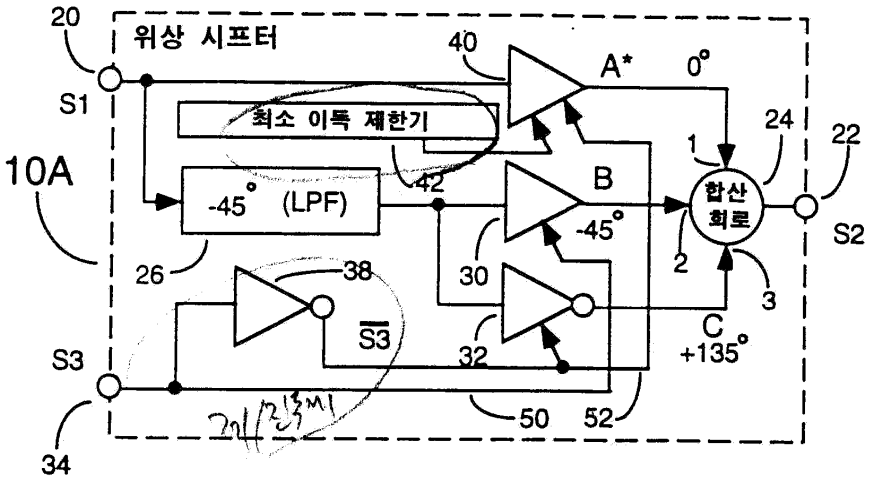
S3=MIN

도면3d

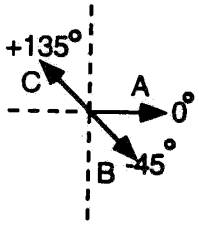


합성

도면4

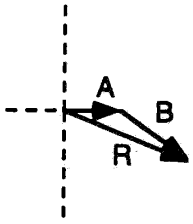


도면5a



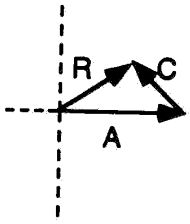
기본 벡터

도면5b



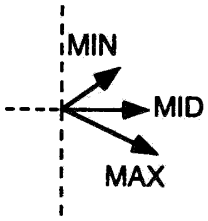
S3=MAX

도면5c



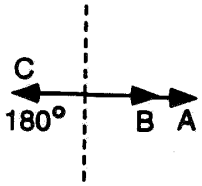
S3=MIN

도면5d



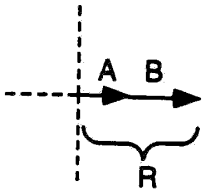
합성

도면6a



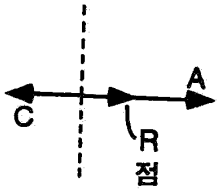
D.C. 에서의
기본 벡터

도면6b



S3=MAX

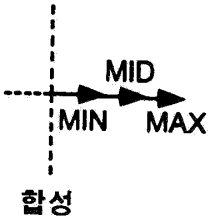
도면6c



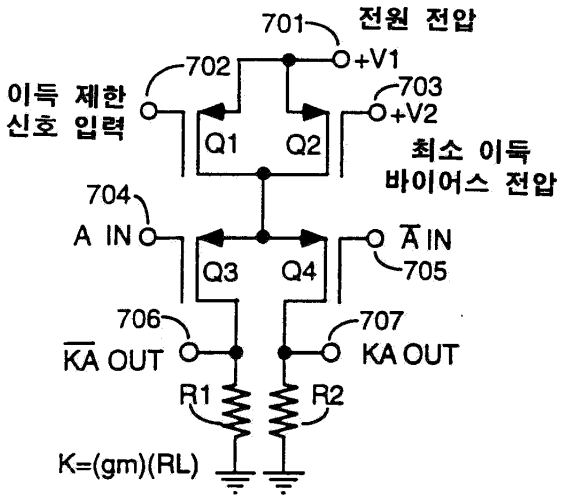
점

S3=MIN

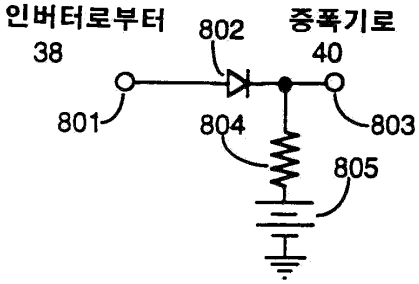
도면6d



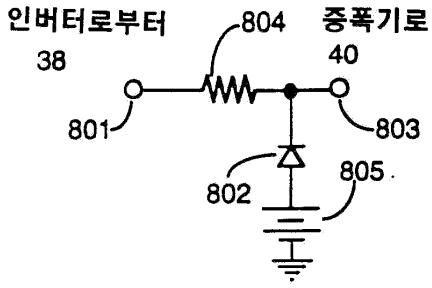
도면7



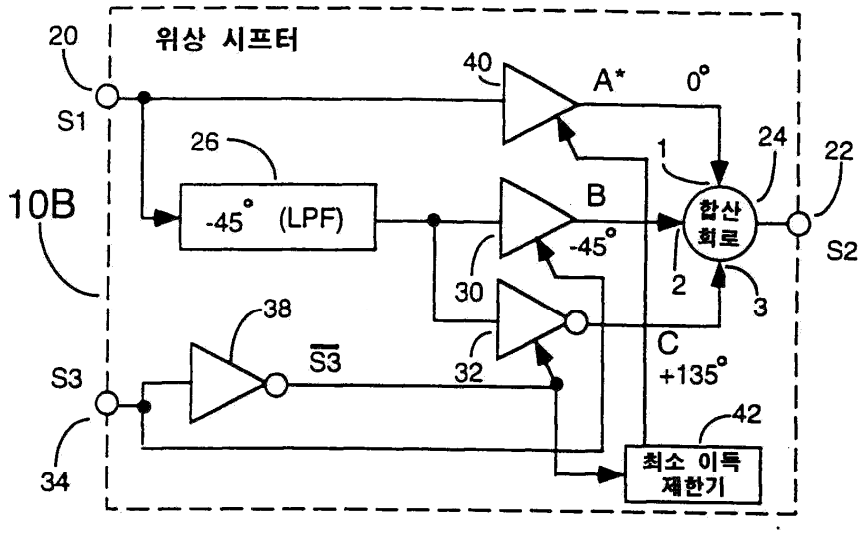
도면8a



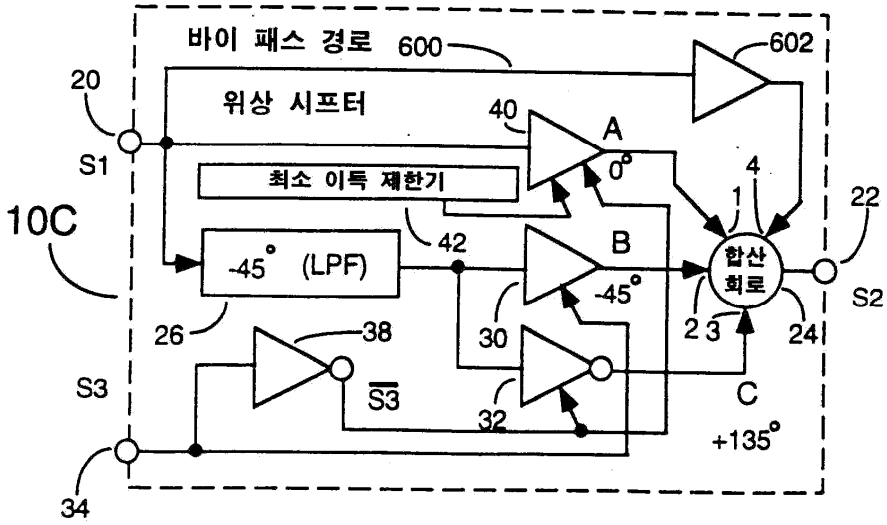
도면8b



도면9



도면10



도면11

