

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4054557号
(P4054557)

(45) 発行日 平成20年2月27日(2008.2.27)

(24) 登録日 平成19年12月14日(2007.12.14)

(51) Int. Cl.		F I	
HO 1 L 21/76	(2006.01)	HO 1 L 21/76	S
HO 1 L 21/316	(2006.01)	HO 1 L 21/94	A
HO 1 L 21/265	(2006.01)	HO 1 L 21/265	6 O 4 X
HO 1 L 21/762	(2006.01)	HO 1 L 21/76	D
HO 1 L 29/786	(2006.01)	HO 1 L 29/78	6 2 1

請求項の数 8 (全 13 頁) 最終頁に続く

(21) 出願番号	特願2001-312069 (P2001-312069)	(73) 特許権者	000000295 沖電気工業株式会社 東京都港区虎ノ門1丁目7番12号
(22) 出願日	平成13年10月10日(2001.10.10)	(74) 代理人	100115417 弁理士 鈴木 弘一
(65) 公開番号	特開2003-124303 (P2003-124303A)	(72) 発明者	小松原 弘毅 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内
(43) 公開日	平成15年4月25日(2003.4.25)	審査官	三浦 尊裕
審査請求日	平成16年8月30日(2004.8.30)	(56) 参考文献	特開2001-148481 (JP, A)) 特開昭56-103445 (JP, A) 特開平05-121399 (JP, A) 最終頁に続く

(54) 【発明の名称】 半導体素子の製造方法

(57) 【特許請求の範囲】

【請求項1】

基板上に絶縁膜を介して形成されるシリコン層を準備する工程と、
前記シリコン層上にパッド酸化膜を形成した後、前記パッド酸化膜上に選択的に耐酸化膜を形成する工程と、
前記耐酸化膜より露出した前記パッド酸化膜下の前記シリコン層を酸化してフィールド酸化膜を形成する工程と、
前記フィールド酸化膜を形成した後、前記耐酸化膜および前記パッド酸化膜を除去し、前記シリコン層上にゲート絶縁膜を形成する工程と、
前記ゲート絶縁膜上にゲート電極を形成し、前記ゲート電極と前記フィールド酸化膜との間の前記シリコン層表面に第1導電型の不純物拡散層を形成する工程とを含む半導体素子の製造方法において、
前記フィールド酸化膜を形成した後、前記耐酸化膜をマスクとして、前記フィールド酸化膜エッジ部下の前記シリコン層に第2導電型の不純物を斜め方向から注入し、前記フィールド酸化膜エッジ部下の前記シリコン層に前記不純物拡散層のそれよりも高い不純物濃度を有する不純物領域を形成する工程と、
前記不純物領域を形成した後、前記フィールド酸化膜に対して熱処理を行い、前記熱処理工程の後、前記パッド酸化膜を除去する工程とを有することを特徴とする半導体素子の製造方法。

【請求項2】

請求項 1 記載の半導体素子の製造方法において、前記熱処理工程は、前記フィールド酸化膜のダメージを回復させるためのものであることを特徴とする半導体素子の半導体素子の製造方法。

【請求項 3】

請求項 2 記載の半導体素子の製造方法において、前記熱処理工程は、1 0 0 0 以上の不活性雰囲気下で1 0 分以内行われることを特徴とする半導体素子の製造方法。

【請求項 4】

請求項 3 記載の半導体素子の製造方法は、さらに、前記熱処理工程の前に、前記フィールド酸化膜エッジ部下の前記シリコン層に酸素イオンを注入する工程を有することを特徴とする半導体素子の製造方法。

10

【請求項 5】

請求項 2 記載の半導体素子の製造方法において、前記熱処理工程は、8 0 0 以下の不活性雰囲気下で3 0 分以内行われることを特徴とする半導体素子の製造方法。

【請求項 6】

請求項 1 記載の半導体素子の製造方法において、前記熱処理工程は、酸素を含む雰囲気下で行われることを特徴とする半導体素子の製造方法。

【請求項 7】

20

請求項 1 記載の半導体素子の製造方法において、前記不純物拡散層は、前記基板上に設けられるマスクを用いた前記シリコン層表面への不純物注入により形成されており、前記マスクは前記シリコン層上に形成された前記フィールド酸化膜を覆うマスクであることを特徴とする半導体素子の製造方法。

【請求項 8】

請求項 1 記載の半導体素子の製造方法は、さらに、前記不純物領域を形成する工程の後、前記フィールド酸化膜上には、前記シリコン層上に形成された前記フィールド酸化膜のパースピク部を完全に覆う保護膜を形成する工程と、前記保護膜より露出する前記パッド酸化膜を除去する工程と、前記パッド酸化膜を除去する工程の後、前記耐酸化膜と残存する前記パッド酸化膜を除去して、前記シリコン層を露出させる工程とを含むことを特徴とする半導体素子の半導体素子の製造方法。

30

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置の製造方法に関し、特に、半導体基板として S O I (S i l i c o n O n I n s u l a t o r) 基板を用い、その S O I 基板の素子分離技術として L O C O S (L o c a l O x i d a t i o n O f S i l i c o n) 法を用いた半導体装置の製造方法に関する。

【0002】

【従来の技術】

40

近年、M O S F E T のような半導体素子を形成する基板として、絶縁層上にシリコン層が形成された S O I 基板を用いることが提案されている。この S O I 基板を用いることにより、サブスレッショルド特性に関わる S 値の改善、寄生容量の低減、ラッチアップ現象の除去等さまざまな利点を得ることが可能となる。

【0003】

S O I 基板を用いた半導体装置の素子分離技術には、L O C O S 法のほか、S T I (S h a l l o w T r e n c h I s o l a t i o n) 法と呼ばれるものがある。L O C O S 法による素子分離では、S O I 基板上にシリコン窒化膜等の耐酸化膜を形成し、その耐酸化膜から露出したシリコン層の表面部分を酸化する。これにより素子分離領域となるフィールド酸化膜を形成し、そのフィールド酸化膜で活性領域に形成される M O S F E T などの

50

半導体素子間を分離するものである。一方、STI法による素子分離では、予めSOI基板のシリコン層部分にエッチング等により溝を形成し、その溝内に酸化膜を埋め込む。その埋め込まれた酸化膜によって、半導体素子間の電気的な分離を行う。

【0004】

これらの半導体装置の素子分離技術のうち、STI法による素子分離では、素子分離領域形成時に予めSOI基板に酸化膜を埋め込む溝を形成する必要があるが、さらに、その溝内に酸化膜を埋め込んだ後に、溝内以外にある酸化膜を除去する工程が必要となる。そのため、STI法による素子分離には、LOCOS法による素子分離に比べて溝を形成するホトリソまたはエッチング工程および酸化膜の除去工程が必要となってしまうこととなる。結果として、STI法を用いた半導体装置の製造方法では、LOCOS法を用いた半導体装置の製造方法に比べて工程数が増加し、製造コストが高くなってしまいう問題が生じていた。

10

【0005】

そこで、従来のSOI基板を用いた半導体装置では、より低い製造コストで半導体装置を製造することができるLOCOS法による素子分離が採用されている。

【0006】

【発明が解決しようとする課題】

しかしながら、SOI基板を用いた半導体装置の製造方法にLOCOS法による素子分離技術を適用する場合、素子分離を行うフィールド酸化膜の形成時にフィールド酸化膜から耐酸化膜下のパッド酸化膜に伸長する、いわゆるバズピークが形成される。つまり、フィールド酸化膜の端部には極めて膜厚の薄い領域が形成される。このバズピークの形成により、バズピーク部分下のシリコン層には極めて厚さ寸法の小さな領域が形成されてしまうこととなる。

20

【0007】

このため、フィールド酸化膜により分離されたシリコン層の活性領域に、例えばソースやドレインといった不純物拡散層を形成し、その後、シリコン層上にゲート酸化膜、ゲート電極を形成してMOSFET等の半導体素子を形成する場合、このバズピーク部分下の薄膜領域のうち、特に上部にゲート電極が延在する領域で、ソースやドレインが形成されたシリコン層と、その上部を延在するゲート電極との間のフィールド酸化膜の膜厚を十分に厚さに確保することができなくなってしまう。結果として、所望のMOSFETが有する閾値よりも低い閾値で動作する寄生トランジスタ部分が構成されてしまうのである。

30

【0008】

このような寄生トランジスタがバズピーク部分下のシリコン層、つまりLOCOSエッジ部に形成されてしまうと、従来の半導体装置では、サブスレッショルド特性にハンプが生じることとなる。その結果、従来のLOCOS法を適用したSOI基板を用いる半導体装置では、本来所望のトランジスタ特性を示さずにMOSFETの電流特性が低下してしまうといった課題が生じていた。

【0009】

そこで、本発明では、SOI基板を用いる半導体装置において、LOCOS法による素子分離を用いて、より低い製造コストで製造することを可能にするとともに、ハンプ等の発生を抑制し、MOSFETの特性劣化をも防止する半導体装置の製造方法を提供することを目的とする。

40

【0010】

【課題を解決するための手段】

上記課題を解決するために、本発明に係る半導体装置の製造方法の代表的なものによれば、基板上に絶縁膜を介して形成されるシリコン層を準備する工程と、シリコン層上にパッド酸化膜を形成した後、パッド酸化膜上に選択的に耐酸化膜を形成する工程と、耐酸化膜より露出したパッド酸化膜下のシリコン層を酸化してフィールド酸化膜を形成する工程と、フィールド酸化膜を形成した後、耐酸化膜およびパッド酸化膜を除去し、シリコン層上にゲート絶縁膜を形成する工程と、ゲート絶縁膜上にゲート電極を形成し、ゲート電極と

50

フィールド酸化膜との間のシリコン層表面に第1導電型の不純物拡散層を形成する工程とを含む半導体素子の製造方法において、フィールド酸化膜を形成した後、耐酸化膜をマスクとして、フィールド酸化膜エッジ部下の前記シリコン層に第2導電型の斜め方向から不純物を注入し、そのフィールド酸化膜エッジ部下のシリコン層に不純物拡散層のそれよりも高い不純物濃度を有する不純物領域を形成する工程と、不純物領域を形成した後、フィールド酸化膜に対して熱処理を行い、その熱処理工程の後、パッド酸化膜を除去する工程とから構成されるものである。

【0011】

【発明の実施の形態】

以下、本発明の第1の実施形態について図面を参照して詳細に説明する。

10

図1は本発明における半導体装置の平面図、図2は図1の線分X-Xから見た工程断面図であり、図2(a)~(f)は本実施形態の半導体装置の製造方法における各工程を示す断面図である。

【0012】

図1に示されるように、本実施形態における半導体装置は、各素子間を電気的に分離するフィールド酸化膜101と、そのフィールド酸化膜101によって規定された活性領域102とを有する。さらに、基板100内に形成された活性領域102にはソースやドレインといった不純物拡散層が形成され、ソースとドレイン間の基板100上にはゲート電極103が形成されている。このようにして、基板100内の活性領域102に半導体素子であるMOSFETが形成される。

20

【0013】

次に、図2を参照して、本実施形態の半導体装置の製造方法について説明する。

【0014】

図2において、201はシリコン基板、202はシリコン基板上に形成された埋め込み絶縁膜であるBOX酸化膜、203はBOX酸化膜上に形成されたシリコン層であり、これらのシリコン基板201、BOX酸化膜202、シリコン層203によってSOI基板204が構成されている。ここで、シリコン基板201上に形成されるBOX酸化膜202の厚さ寸法は約1000~1500程度であり、表面のシリコン層203の厚さ寸法は約400~500程度である。

【0015】

30

このSOI基板204は、シリコン基板201の一主面から所定距離深い位置にBOX酸化膜203を酸素注入によって形成するSIMOX法であっても、BOX酸化膜202とシリコン層203とを張り合わせることによって形成する張り合わせ法によって得られるものでもよく、また別の方法によるものであってもよい。

【0016】

このようなSOI基板204を準備した後、図2(a)に示されるように、シリコン層203の表面が熱酸化によって酸化される。この熱酸化によりシリコン層203上に膜厚が約70程度のパッド酸化膜205が形成される。このパッド酸化膜205は後に形成される耐酸化膜としてのシリコン窒化膜206とシリコン層203との密着性を向上させる働きを有するものである。

40

【0017】

次に、パッド酸化膜205上にCVD法を用いて厚さ寸法が約1000程度のシリコン窒化膜が形成される。このシリコン窒化膜は、従来よく知られたフォトリソグラフィおよびエッチング技術によりパターニングされる。このパターニングにより活性領域102を規定する所定形状の耐酸化膜206が形成される。

【0018】

この後、図2(b)に示されるように、耐酸化膜206をマスクとして、耐酸化膜206から露出したシリコン層203に熱酸化処理を施す。このとき行われる熱酸化処理は、例えば1000のdry酸化で約60分程度である。この熱酸化処理によって、耐酸化膜206として機能するシリコン窒化膜から露出するシリコン層203の露出面には、厚さ

50

方向が約1200 程度のフィールド酸化膜101が形成される。このフィールド酸化膜101は各素子間を電氣的に分離する素子分離領域として機能する。また、この熱酸化処理によって、フィールド酸化膜101の先端部分には、フィールド酸化膜101から耐酸化膜206下のパッド酸化膜に伸長する、いわゆるバースピーク207がシリコン層203の先端から約500 程度の長さで形成される。このバースピークの長さは、耐酸化膜206の膜厚やフィールド酸化膜101の形成条件(温度、雰囲気等)により適宜決定される。

【0019】

フィールド酸化膜101を形成した後、サブスレッショルド特性のハンプを抑制するため、図2(c)に示すように、本実施形態の製造方法では、耐酸化膜206をマスクとして、例えばN型の不純物拡散層を有するMOSFET(以下、NMOSと呼ぶ)を製造する場合には、ボロン(B)、フッ化ボロン(BF₂)といったP型不純物をシリコン層203に注入し、P型の不純物拡散層を有するMOSFET(以下、PMOSと呼ぶ)を製造する場合には、リン(P)、ヒ素(As)といったP型不純物をシリコン層203に注入することにより、バースピーク207部分下のシリコン層、すなわちLOCOSエッジ部に高濃度不純物領域208を形成する。このときのイオン注入条件は、NMOSに高濃度不純物領域を形成する場合、注入角度が約45°、ドーズ量は 8×10^{13} ions/cm²程度、加速エネルギーについては20~60keV程度で行うことが望ましい。また、PMOSに高濃度不純物領域を形成する場合、注入角度が約45°、ドーズ量は 1×10^{13} ions/cm²、35keV程度で行うことが望ましい。このイオン注入工程により、LOCOSエッジ部の不純物濃度を上げることが可能となる。特に、後工程にて形成されるゲート電極103下に位置するLOCOSエッジ部の不純物濃度を高く維持することができる。結果として、寄生トランジスタの閾値を上昇させることが可能となり、ハンプの発生を抑制することが可能となる。

【0020】

更に、本実施形態の製造方法では、このイオン注入工程の後、パッド酸化膜205を除去する前に、SOI基板204に対して熱処理が行われる。この熱処理は、先に形成された高濃度不純物領域208の不純物がMOSFETのチャネル領域210へ拡散しない程度の温度および時間で行われることが望ましく、具体的には不活性ガス雰囲気下で約1000、10秒~10分程度で行われることが望ましい。また、より制御性よく熱処理を行う必要がある場合には、約700~800、30分程度で熱処理を行うことが望ましい。

【0021】

この熱処理によって、本実施形態の製造方法では、MOSFETの特性を劣化させるチャネル領域の抵抗の上昇を伴うことなく、高濃度不純物領域208形成時のイオン注入により生じた、結晶欠陥や格子ずれといったフィールド酸化膜101の損傷を回復させることが可能となる。このようなフィールド酸化膜101のダメージ回復工程を経ることで、後に行われる、例えば約0.3%のフッ酸(HF)に350秒浸すことで行われるパッド酸化膜205の除去時に、熱処理を行わない場合のフィールド酸化膜101の削れ量と比較して約30~50%程度フィールド酸化膜の削れ量を低減することが可能となる。つまり、本実施形態の製造方法によれば、パッド酸化膜205の除去によるフィールド酸化膜の膜減りを低減し、シリコン層203とその上部を延在するゲート電極103との間のフィールド酸化膜101の膜厚を十分に厚く確保することができるようになる。結果として、LOCOSエッジ部に高濃度不純物領域を形成したものと比べて、更に、寄生トランジスタの発生を抑制することができる。

【0022】

ここで、図3を用いて本発明の効果について説明する。図3は、MOSFETにおけるドレイン電流とゲート電圧との関係を示すグラフである。図3において、横軸はドレイン電流(I_d)、縦軸はゲート電圧(V_g)をそれぞれ示している。また、図3におけるMOSFETのゲート長は約0.15μm、ドレイン電圧は約0.1V程度である。

10

20

30

40

50

【0023】

図3によると、約0.3V程度のゲート電圧を印加した場合において、(a)のようなLOCOSエッジ部に高濃度不純物領域を形成し、熱処理を行わないMOSFETでは、寄生トランジスタの発生を十分に抑制することができず、結果として、ハンプを生じてしまうことが分かる。一方、本実施形態の製造方法を採用した(b)高濃度不純物領域の形成およびパッド酸化膜除去前の熱処理を行ったMOSFETでは、同じく約0.3V程度のゲート電圧を印加した場合において、ドレイン電流を(a)の高濃度不純物領域のみを形成したMOSFETの増加に比べて、約1/10程度に抑えることが可能となることが分かる。

【0024】

つまり、本実施形態のようにイオン注入後に、フィールド酸化膜101のダメージ回復を行う熱処理を加えることで、LOCOSエッジ部に高濃度不純物領域208は形成されたままに、シリコン層203とその上部を延在するゲート電極103との間のフィールド酸化膜101の膜厚が十分に厚いMOSFETを形成することが可能となる。その結果、本実施形態によれば、LOCOSエッジ部に高濃度不純物領域208を有するのみの半導体装置に比べて、更に、寄生トランジスタの発生を抑制する半導体装置を製造することが可能となるのである。

【0025】

熱処理工程の後、図2(d)に示すように、フィールド酸化膜101上のパッド酸化膜205、耐酸化膜206、そしてシリコン層203上のパッド酸化膜205を除去する。シリコン窒化膜からなる耐酸化膜206は、例えば熱リン酸を用いたエッチング処理によって除去される。また、シリコン層203上に形成されたパッド酸化膜205は、例えば0.3%のフッ酸(HF)を用いたエッチング処理により除去される。これによりパッド酸化膜205下のシリコン層203が露出される。

【0026】

この後、露出された活性領域101のシリコン層203上にゲート絶縁膜209である酸化窒素膜(SiON)が約30程度の膜厚で形成され、更に、MOSFETの閾値を高めるための閾値調整用の不純物イオンがゲート絶縁膜209を介して活性領域101に注入される。その後、ゲート絶縁膜209上にはポリシリコン膜が形成され、従来のホトリソおよびエッチングによりトランジスタのゲートとして機能するゲート電極103が形成される。最後に、このゲート電極103およびフィールド酸化膜101をマスクとした不純物のイオン注入が行われ、活性領域102のシリコン層203にMOSFETのソース領域またはドレイン領域として機能する不純物拡散層211が形成される。

【0027】

これらの工程を経て、半導体装置を構成する活性領域101のシリコン層203にMOSFET等の半導体素子が形成される。

【0028】

このように本実施形態の半導体装置の製造方法では、LOCOSエッジ部の高濃度不純物領域208の形成後、パッド酸化膜205除去前に、高濃度不純物領域208を形成する際のイオン注入により生じる、結晶欠陥や格子ずれといったフィールド酸化膜101の損傷を回復させる熱処理を加えることで、フッ酸(HF)により除去されるパッド酸化膜205と同じシリコン酸化膜より形成されるフィールド酸化膜101のHFに対するエッチングレートを遅くしている。その結果、LOCOSエッジ部に高濃度不純物領域208を有することでハンプの発生を抑制する半導体装置において、更に、パッド酸化膜205の除去の際のフィールド酸化膜101の削れを十分に低減し、MOSFETのソース領域やドレイン領域が形成されるシリコン層203とその上部を延在するゲート電極103との間のフィールド酸化膜101の膜厚を十分に確保した半導体装置を提供することが可能となる。つまり、本実施形態における製造方法によれば、寄生トランジスタの発生の原因として考えられる、チャンネル領域の不純物濃度の低下とフィールド酸化膜の薄膜化を共に抑制することで、寄生トランジスタを形成することのない、本来所望のトランジスタ特性を

10

20

30

40

50

示すMOSFETを形成することが可能となるのである。

【0029】

本実施形態の半導体装置の製造方法によれば、LOCOS法を用いたSOI基板の半導体装置においても、寄生トランジスタの発生を招くことなく、MOSFET等の半導体素子をSOI基板上に形成することができる。これにより、SOI基板を用いた半導体装置を低い製造コストで提供することが可能となる。

【0030】

また、第1の実施形態における半導体装置の製造方法では、フィールド酸化膜への熱処理工程において、酸素(O₂)の含まれた雰囲気下で、フィールド酸化膜のダメージを除去する熱処理を行ってもよい。このような雰囲気下で熱処理を行えば、LOCOSエッジ部の酸化が進み、フィールド酸化膜のバースピーク部207の距離1を短くすることが可能となる。結果として、よりハンプの発生を抑制することが可能となる。

10

【0031】

加えて、本第1の実施形態における半導体装置の製造方法では、ハンプを抑制する高濃度不純物領域208をLOCOSエッジ部に形成するイオン注入の後、同じく耐酸化膜206をマスクとして、LOCOSエッジ部へ酸素イオンをインプラし、インプラされた酸素イオンに対して熱処理を行う工程を加えても良い。

【0032】

このような工程を追加することで、LOCOSエッジ部に注入された酸素イオンとシリコン層203に含まれたシリコンが反応して、新たなシリコン酸化膜がLOCOSエッジ部に形成される。この新たな酸化膜により、フィールド酸化膜のバースピーク部207の距離1を短くすることが可能となっており、更に、ハンプの発生を抑制することができる。

20

【0033】

この酸素イオンによるインプラでは、LOCOSエッジ部に酸素イオンができる限り多く注入される条件で行われることが望ましく、具体的には注入角度が約45°程度、加速エネルギーが約30~50keV、ドーズ量が約 5.0×10^{17} ions/cm²以上であることが望ましい。

【0034】

また、LOCOSエッジ部に注入された酸素イオンに対する熱処理は、大気圧であって、酸素(O₂)若しくは窒素(N₂)雰囲気中で約1000以上の高温で行われることが望ましい。この熱処理は、フィールド酸化膜101のダメージ回復を行う熱処理と兼ねることが可能である。

30

【0035】

更に、第1の実施形態における半導体装置の製造方法では、ハンプを抑制する高濃度不純物領域208をLOCOSエッジ部に形成するイオン注入の後、同じく耐酸化膜206をマスクとして、シリコン(Si)またはアルゴン(Ar)といったLOCOSエッジ部をアモルファス化させるイオンのインプラ工程を加えても良い。

【0036】

一般的にアモルファス化されたシリコン層203では、LOCOSエッジ部に形成された高濃度不純物領域208に含まれる不純物の拡散を抑制することができる。そのため、これらの工程を第1の実施形態の製造方法に加えると、高濃度不純物領域208の不純物濃度を更に高く維持することが可能となるため、よりハンプの発生を抑制することが可能となる。

40

【0037】

次に、第2の実施形態における半導体装置の製造方法を説明する。

【0038】

図4は、第2の実施形態における半導体装置の製造方法を示す図であり、図4(a)~(e)は図1の線分X-Xから見た各工程の断面図である。また、第1の実施形態で示した記号と同一記号は同一物、若しくは相当部分を示すものである。

【0039】

50

本第2の実施形態における半導体装置の製造方法において、第1の実施形態の製造方法との相違点は、フィールド酸化膜101上のパッド酸化膜、耐酸化膜206、そしてシリコン層203上のパッド酸化膜を順次除去する工程の前に、予めフィールド酸化膜のバースピーク部207を覆うような保護膜401のシリコン窒化膜を形成しておくという点である。

【0040】

図4(a)に示すように、第1の実施形態の半導体装置の製造方法と同様に、SOI基板204およびパッド酸化膜を形成し、その後、活性領域102を規定する所定形状の耐酸化膜206を形成する。次に、その耐酸化膜206をマスクとして、耐酸化膜206から露出したシリコン層203に熱処理を行い、シリコン層203の所定領域に素子間の分離を行うフィールド酸化膜101を形成する。

10

【0041】

この後、図4(b)に示すように、耐酸化膜206をマスクとして、不純物のイオン注入を行い、ハンプを抑制する高濃度不純物領域208をバースピーク部207下のシリコン層203(LOCOSエッジ部)に形成する。

【0042】

高濃度不純物領域208を形成した後、フィールド酸化膜101の一部を覆う保護膜401をシリコン窒化膜等により形成する。この保護膜401は、極めて薄い膜厚のシリコン層203が形成されるバースピーク部207を確実に覆うものであることが望ましい。例えば、シリコン層203の膜厚が400~500 であって、耐酸化膜206の膜厚が1000、フィールド酸化膜101の形成条件がdry酸化、1000、60分程度の場合、フィールド酸化膜の形成工程で形成されるバースピーク部の距離Lは、約500程度である。そのため、保護膜401の端部はバースピーク部207の端部より約500程度以上離間した位置に配置されていることが望ましい。

20

【0043】

このようにして、バースピーク部207を覆う保護膜401を形成した後、図4(d)に示すように、フィールド酸化膜101上のパッド酸化膜を除去し、その後、耐酸化膜206、そしてシリコン層203上のパッド酸化膜を順次除去する。本実施例の場合、フィールド酸化膜101上のパッド酸化膜を除去の際に、耐酸化膜206上に形成された自然酸化膜が除去される。また、第2の実施の形態では、第1の実施形態の場合と同様、パッド酸化膜205の除去はHF処理により行われ、耐酸化膜206の除去は熱リン酸処理によって行われる。

30

【0044】

また、本第2の実施形態の製造方法においても、パッド酸化膜205を除去する前には、SOI基板204に対して、先の第1の実施形態で説明したフィールド酸化膜101の損傷を回復させる熱処理が行われる。

【0045】

この熱処理によって、更に、パッド酸化膜205の除去に伴うフィールド酸化膜101の膜削れを抑制することが可能となる。結果として、シリコン層203とその上部を延在するゲート電極103との間のフィールド酸化膜101の膜厚を十分に確保することができるようになり、第1の実施形態に比べてより寄生トランジスタの発生を抑制することが可能となる。

40

【0046】

その後、図4(e)に示すように、露出したシリコン層203上にゲート絶縁膜209、ゲート電極103を形成し、ゲート電極103とフィールド酸化膜101とをマスクとするイオン注入により活性領域102にMOSFETのソースおよびドレイン領域となる不純物拡散層211を形成する。これにより所望のMOSFETが形成される。

【0047】

このように本第2の実施形態における半導体装置の製造方法では、バースピーク部207のフィールド酸化膜が保護膜401により確実に保護される。そのため、保護膜401の

50

形成後に行われる、耐酸化膜 206 上に形成された自然酸化膜の除去、つまり、フィールド酸化膜 101 上のパッド酸化膜の除去が行われる HF 処理によりバースピーク部 207 のフィールド酸化膜に膜削れが生じることはない。結果として、本実施形態の製造法方によれば、先の第 1 の実施形態の製造方法に比べて、寄生トランジスタの発生に大きく寄与するバースピーク部 207 のフィールド酸化膜の膜厚を厚く確保することが可能となり、より寄生トランジスタの発生を抑制することが可能となる。

【0048】

次に、第 3 の実施形態における半導体装置の製造方法を説明する。

【0049】

図 5 は、第 3 の実施形態における半導体装置の製造方法を示す図であり、図 5 (a) ~ (e) は図 1 の線分 X - X から見た各工程の断面図である。また、第 1 の実施形態で示した記号と同一記号は同一物、若しくは相当部分を示すものである。

10

【0050】

本第 3 の実施形態における半導体装置の製造方法において、第 1 の実施形態および第 2 の実施形態における製造方法との相違点は、M O S F E T のソース領域またはドレイン領域といった不純物拡散層 511 を形成するイオン注入の際に、フィールド酸化膜のバースピーク部 207 を覆い、そして、シリコン層 203 表面の活性領域 102 を露出させるマスク 501 を用いるという点である。このマスクを用いることにより、第 3 の実施形態の製造方法では、極めて膜厚が薄いシリコン層である L O C O S エッジ部に寄生トランジスタのソースおよびドレイン領域となる不純物拡散層が形成されない。

20

【0051】

図 5 (a) に示すように、第 1 および第 2 の実施形態の半導体装置の製造方法と同様に、S O I 基板 204 およびパッド酸化膜を形成し、その後、活性領域 102 を規定する所定形状の耐酸化膜 206 を形成する。次に、その耐酸化膜 206 をマスクとして、耐酸化膜 206 から露出したシリコン層 203 に熱処理を行い、シリコン層 203 の所定領域に素子間の分離を行うフィールド酸化膜 101 を形成する。

【0052】

この後、図 5 (b) に示すように、耐酸化膜 206 をマスクとして、不純物のイオン注入を行い、ハンプを抑制する高濃度不純物領域 208 をバースピーク部 207 下のシリコン層 203 (L O C O S エッジ部) に形成する。

30

【0053】

高濃度不純物領域 208 を形成した後、図 5 (c) に示すように、フィールド酸化膜 101 上のパッド酸化膜、耐酸化膜 206、そしてシリコン層 203 上のパッド酸化膜を順次除去する。第 1 の実施形態の場合と同様、パッド酸化膜 205 の除去は HF 処理により行われ、耐酸化膜 206 の除去は熱リン酸処理によって行われる。

【0054】

また、本実施形態の製造方法においても、パッド酸化膜 205 を除去する前には、S O I 基板 204 に対してフィールド酸化膜 101 の損傷を回復させる熱処理が行われる。

【0055】

その後、図 5 (d) に示すように、露出したシリコン層 203 上にゲート絶縁膜 209、ゲート電極 103、不純物拡散層形成用のマスク 501 を形成する。

40

【0056】

この不純物拡散層形成用のマスク 501 は、一般的に使用されているレジストにより形成されるものでよく、その膜厚は 500 ~ 1000 程度であることが望ましい。また、マスク 501 の S O I 基板 204 上の設置位置については、その一端がフィールド酸化膜のバースピーク部 207 の先端にかかる程度の位置に配置されていることが望ましい。

【0057】

不純物拡散層形成用のマスク 501 形成後、第 1 および第 2 の実施形態と同様に、ゲート電極 103 とマスク 501 とをマスクとしてイオン注入を行う。これにより、シリコン層 203 の活性領域 102 に M O S F E T のソース領域またはドレイン領域となる不純物拡

50

散層 5 1 1 を形成する。これらの工程を経て、所望の MOSFET が形成される。

【 0 0 5 8 】

このように本第 3 の実施形態における半導体装置の製造方法では、予めバースピーク部 2 0 7 の先端にかかる程度の位置に不純物拡散層形成用のマスク 5 0 1 を形成し、そのマスク 5 0 1 およびゲート電極 1 0 3 をマスクにして、MOSFET のソース領域またはドレイン領域となる不純物拡散層 5 1 1 を形成している。このため、本実施形態の製造方法によれば、LOCOS エッジ部にソース、ドレインという不純物拡散層を持たない MOSFET を形成することが可能となる。結果として、パッド酸化膜 2 0 5 の除去前に行われる熱処理工程において、たとえ十分にフィールド酸化膜 1 0 1 のダメージ回復することができず、パッド酸化膜 2 0 5 の除去時に若干のフィールド酸化膜の膜削れが生じてしまった場合においても、LOCOS エッジ部には MOSFET のソースやドレインとして機能する不純物拡散層が形成されていないため、寄生トランジスタが形成されることはない。つまり、本実施形態の製造方法によれば、より寄生トランジスタの発生を抑制する半導体装置を提供することが可能となる。

10

【 0 0 5 9 】

【発明の効果】

以上説明したように、LOCOS エッジ部の高濃度不純物領域 2 0 8 の形成後、パッド酸化膜 2 0 5 除去前に、高濃度不純物領域 2 0 8 を形成する際のイオン注入により生じる、結晶欠陥や格子ずれといったフィールド酸化膜 1 0 1 の損傷を回復させる熱処理を加える本発明によれば、LOCOS 法により素子分離を行う SOI 基板を用いた半導体装置において、低い製造コストで製造されるとともに、ランプ等の発生を抑制し、MOSFET 特性の劣化を防止することが可能となる半導体装置の製造方法を提供することが可能となる。

20

【図面の簡単な説明】

【図 1】本発明の半導体装置を示す平面図である。

【図 2】第 1 実施形態の半導体装置の製造方法における各工程を示す断面図である。

【図 3】MOSFET のドレイン電流とゲート電圧との関係を示すグラフである。

【図 4】第 2 実施形態の半導体装置の製造方法における各工程を示す断面図である。

【図 5】第 3 実施形態の半導体装置の製造方法における各工程を示す断面図である。

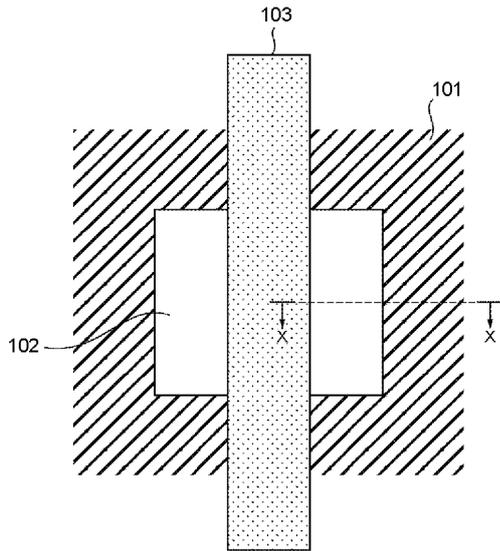
【符号の説明】

30

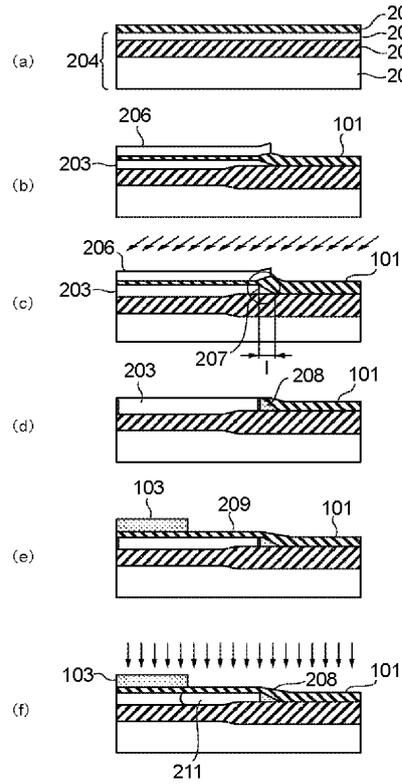
- 1 0 1 フィールド酸化膜
- 1 0 2 活性領域
- 1 0 3 ゲート電極
- 2 0 1 シリコン基板
- 2 0 2 BOX 酸化膜
- 2 0 3 シリコン層
- 2 0 4 SOI 基板
- 2 0 5 パッド酸化膜
- 2 0 6 耐酸化膜
- 2 0 7 バースピーク部
- 2 0 8 高濃度不純物領域
- 2 0 9 ゲート絶縁膜
- 2 1 0 チャネル領域
- 2 1 1 不純物拡散層

40

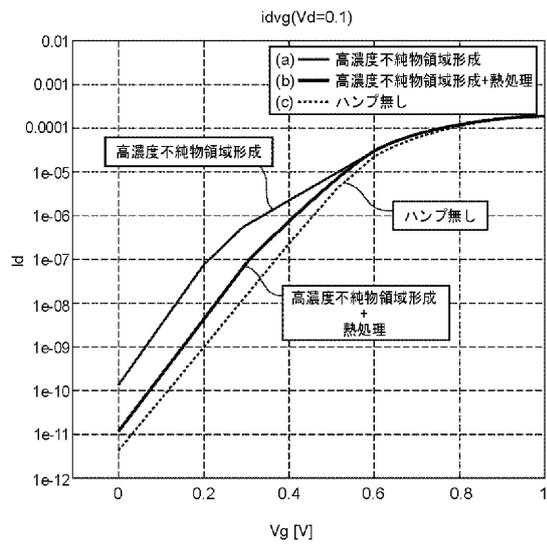
【図1】



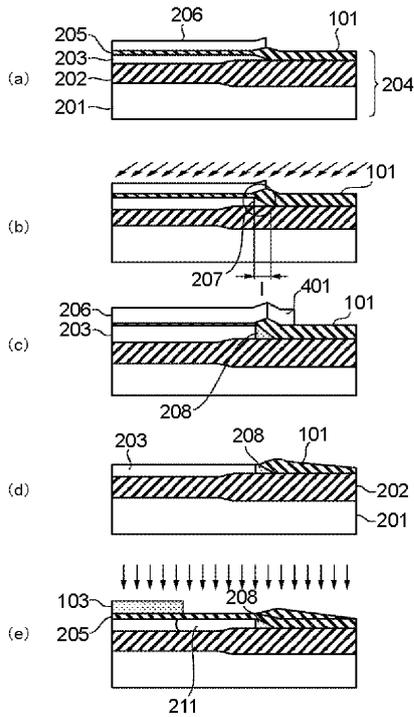
【図2】



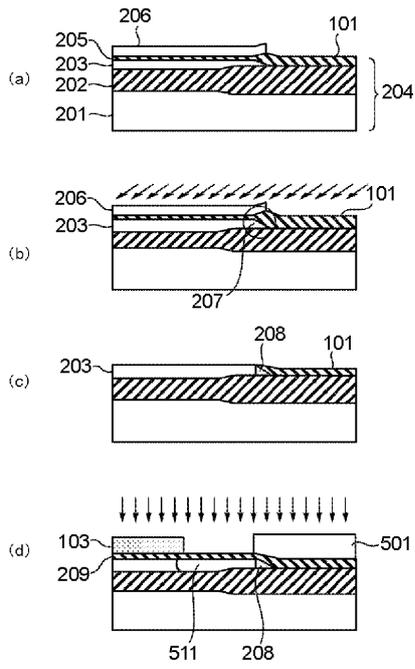
【図3】



【図4】



【 図 5 】



フロントページの続き

(51)Int.Cl.

H 0 1 L 21/336 (2006.01)
H 0 1 L 27/08 (2006.01)
H 0 1 L 27/12 (2006.01)

F I

H 0 1 L 29/78 6 2 7 F
H 0 1 L 27/08 3 3 1 A
H 0 1 L 27/08 3 3 1 E
H 0 1 L 27/12 F
H 0 1 L 21/265 V

(58)調査した分野(Int.Cl. , D B名)

H01L 21/76
H01L 21/265
H01L 21/316
H01L 21/336
H01L 21/762
H01L 27/08
H01L 27/12
H01L 29/786