

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁶
G11B 15/46

(45) 공고일자 1999년08월02일

(11) 등록번호 10-0213959

(24) 등록일자 1999년05월17일

(21) 출원번호	10-1988-0001173	(65) 공개번호	특 1988-0010398
(22) 출원일자	1988년02월09일	(43) 공개일자	1988년10월08일
(30) 우선권주장	62-29103 1987년02월10일 일본(JP) 62-32813 1987년02월16일 일본(JP) 62-42275 1987년02월24일 일본(JP) 62-42276 1987년02월24일 일본(JP) 62-45869 1987년02월27일 일본(JP) 62-52587 1987년03월06일 일본(JP)		
(73) 특허권자	산요 덴키 가부시카가이샤 다카노 야스아키		
(72) 발명자	일본국 오사카후 모리구치시 게이한 혼도오리 2초메 5반 5고 다부찌 준이찌로		
(74) 대리인	일본국 오오사카후 다이포시 모로후꾸 3쵸메 4-16 장수길, 김성호		

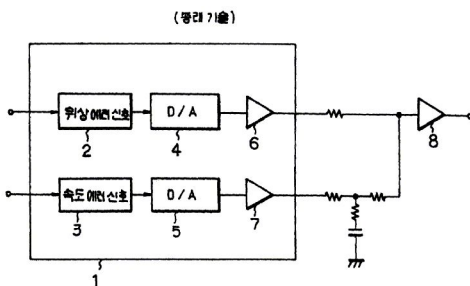
심사관 : 강철수

(54) 회전체의 위상 및 속도 제어용 마이크로 컴퓨터 사용 디지털 서보시스템

요약

내용없음.

대표도



명세서

[발명의 명칭]

회전체의 위상 및 속도 제어용 마이크로 컴퓨터 사용 디지털 서보 시스템

[도면의 간단한 설명]

제1도는 IC를 이용하여 구성된 종래의 실린더 모터용 디지털 서보 시스템을 도시한 개략 계통도.

제2도는 VTR의 실린더 모터의 위상 에러 신호 작성의 원리를 개략적으로 설명한 도면.

제3도는 본 발명의 제1실시예인 디지털 서보 시스템을 도시한 개략 계통도.

제4도는 마이크로컴퓨터로 구성된 디지털 서보 시스템을 도시한 계통도.

제5도는 본 발명의 제1실시예인 FG 인터럽트 처리의 개요를 도시한 플로우 차트.

제6도는 실린더 모터의 디지털 속도 에러 신호 및 디지털 위상 에러 신호의 형성에 관하여 설명한 파형도.

제7도는 디지털 속도 에러 신호의 형성에 관하여 설명한 플로우차트.

제8도는 디지털 위상 에러 신호의 형성에 관하여 설명한 플로우차트.

제9도는 제5도의 스텝 D에서의 처리를 설명한 파형도.

제10도는 제5도 스텝 D에서의 처리를 상세하게 설명한 플로우차트.

제11도, 제12도 및 제13도는 위상 에러 신호의 변화폭 억제를 위한 처리에 관하여 설명한 파형도.
 제14도는 위상 에러 신호의 변화폭 억제를 위한 처리에 관하여 상세하게 설명한 플로우차트.
 제15도는 실린더 모터의 속도 바이어스 기간의 변경을 위한 처리를 위한 플로우차트.
 제16도는 기존 위상 주기를 변화시키기 위한 처리를 도시한 플로우차트.
 제17도는 디지털 위상 에러 신호와 디지털 속도 에러 신호의 합성과 이에 계속되는 디지털적 증폭처리를 도시한 플로우차트.
 제18도는 본 발명의 제2실시예에 관하여 개략적으로 설명한 플로우차트.
 제19도는 제18도의 스텝 H의 처리 원리를 도시한 파형도.
 제20도, 제21도 및 제22도는 제18도의 스텝 I 의 처리 원리에 관하여 설명한 파형도.
 제23도는 헤드 전환 신호에 의한 인터럽트 처리를 도시한 플로우차트.
 제24도는 본 발명의 제2실시예인 수직 동기 신호에 의한 인터럽트처리를 상세하게 설명한 플로우차트.

★ 도면의 주요부분에 대한 부호의 설명

- | | |
|---------------------------|----------------------|
| 1 : IC(NC 7415) | |
| 2, 11 : 위상 에러 신호를 작성하는 회로 | |
| 3, 12 : 속도 에러 신호를 작성하는 회로 | 4, 5, 28 : D/A 변환기 |
| 6, 7, 8 : 증폭기 | 14 : 가산기 |
| 20 : 마이크로컴퓨터 | 21 : CPU |
| 22 : ROM | 23 : RAM |
| 24, 34 :입출력 포트 | 25 :제1타이머 카운터 |
| 26 : 제2타이머 카운터 | 27 : 입력 포착 레지스터(ICR) |
| 29 : 구동 회로 | 30 : 입력 포착 인터럽트 단자 |
| 31, 32 :인터럽트 단자 | 33 : 모우드 지정 단자 |
| 36 : 지연회로 | 37 : 실린더 모터 |

[발명의 상세한 설명]

본 발명은 디지털 서보 시스템에 관한 것으로, 특히 예를 들면, 비디오 테이프 레코더(이하, VTR)에 있어서의 실린더 모터, 캡스턴 모터 등의 회전체의 위상 및 속도 제어용 서보 시스템을, 마이크로컴퓨터를 사용해서 실현한 VTR 디지털 서보 시스템에 관한 것이다.

종래부터, VTR에 있어서는, 예를 들어 2 헤드 헬리컬 스캔(helical scan)방식의 VTR에 있어서는, 회전 헤드의 회전을 구동하기 위한 실린더 모터 및 테이프의 주행을 구동하기 위한 캡스턴 모터가 설치되어 있다. 그리고, VTR의 동작 시작에는, 회전 헤드의 회전 속도나 위상, 테이프의 주행 위상이나 속도를 정확하게 제어하기 위해, 전술한 바와 같은 구동 수단으로서의 실린더 모터의 회전 위상이나 속도의 서보 제어가 이루어지고 있다.

보다 상세하게 설명하면, VTR의 기록시에 있어서는, 실린더 모터 및 캡스턴 모터의 회전 속도가 소정치로 되도록 쌍방의 모터의 회전 속도가 제어됨과 동시에, 회전 헤드의 회전 위상과 기록할 영상신호의 수직 동기 신호가 소정의 위상 관계를 갖도록 실린더 모터의 회전 위상이 제어된다. 또한, 캡스턴 모터의 회전 속도를 상기 소정치로 정확하게 유지하기 위해 캡스턴 모터의 회전 위상이 제어된다.

한편, VTR의 재생시에 있어서는, 실린더 모터 및 캡스턴 모터의 회전 속도가 소정치로 되도록 쌍방의 모터 회전 속도가 제어됨과 동시에, 회전 헤드의 회전 위상과 소정 기준 신호의 위상이 소정 위상 관계를 갖도록 실린더 모터의 회전 위상이 제어된다.

또한, 정확한 트랙킹을 행하기 위해 캡스턴 모터의 회전 위상도 제어된다. 그런데, 이상과 같은 제어를 행하는 서보 제어 시스템에는, 아날로그 방식과 디지털 방식이 있다. 아날로그 방식의 시스템은 회로 구성이 간단하기는 하지만, 반면에 전원 전압의 변동, 온도의 변화, 경시(輕視) 변화 등의 영향을 받기 쉽고, 안정된 동작을 보장할 수 없다는 결점이 있다.

이에 대해서, 카운터 등으로 구성되고 또한 클럭 신호를 이용하는 디지털 방식의 서보 시스템에 있어서는, 전술한 바와 같은 결점이 생기지 않는다. 특히 디지털 집적회로 기술의 발전이 현저한 오늘날에 있어서는, 이와 같은 디지털 서보 시스템의 이용이 증대하고 있다. 이와 같은 디지털 서보 시스템의 예로서 마이크로컴퓨터를 이용해서 구성된 것이, 예를 들어 미합중국 특허 제4,584,507호 및 제4,668,900호에 기술되어 있다.

제1도는, 이와 같은 디지털 서보 제어를 위해 개발된(IC(LC 7415)를 이용해서 구성한 실린더 모터용 디지털 서보 시스템의 일부를 도시한 개략 계통도이다.

제1도에 있어서, IC(1)은 실린더 모터(도시하지 않음)로부터의 검출 신호에 기초해서 실린더 모터의 위상 에러 신호를 작성하는 회로(2), 동일하게 검출 신호에 기초해서 속도 에러 신호를 작성하는 회로(3), D/A 변환기(4,5) 및 증폭기(6,7)를 구비하고 있다. 회로(2)에서 작성된 위상 에러 신호는 D/A 변환기(4)

에서 아날로그 신호로 변환되고 또한 증폭기(6)에서 증폭된 후 IC(1)에서 외부로 출력된다. 또한 회로(3)에서 작성된 속도 에러 신호는 D/A 변환기(5)에서 아날로그 신호로 변환되고 또한 증폭기(7)에서 증폭된 후 IC(1)에서 외부로 출력된다. IC(1)에서 출력된 아날로그의 위상 에러 신호와 속도 에러 신호는 IC(1)의 외부에서 가산되고 또한 증폭기(8)에서 증폭된 후, 서보 제어 신호로서 실린더 모터의 구동 회로(도시하지 않음)에 인가된다. 이와 같은, 마이크로컴퓨터 외부에서의 각 오차 신호의 아날로그 가산에 대해서는, SANYO TECHNICAL REVIEW 제17권, 제2호(1985년 8월), 45 페이지 내지 50 페이지에 엠. 엔도 등이 쓴 VTR Control Circuit란 명칭의 논문 및 일본국 특허 출원 공개 공보 190,744/1986 및 미합중국 특허 제4,536,806호에 기술되어 있다.

그렇지만, IC(1)의 내부에 D/A 변환기(4,5)를 갖추고 있고, 또한 위상 에러 신호와 속도 에러 신호와의 아날로그 가산을 IC(1)의 외부에서 행하는 것과 같은 디지털 서보 시스템에 있어서는, 다음에 설명한 것과 같은 문제가 생긴다.

제2도는, 예를 들어 VTR의 실린더 모터의 위상 에러 신호 작성의 원리를 개략적으로 설명한 도면이다. 제2도(a)는 실제로 검출된 실린더 모터의 회전 위상을 나타내는 신호이고, 특히 예를 들어 실린더 모터의 1회전에 대해서 24개 발생하는 FG(Frequency Generator) 신호를 1/2 분주한 신호이다. 제2도(a)에 있어서, 실선의 파형은 소정의 올바른 위상 관계로 실린더 모터가 회전하고 있는 경우에 발생한 FG 신호를 1/2 분주해서 얻어진 신호를 나타내고 있다. 또한, 제2도(a)중의 점선은 실린더 모터의 회전 위상이 올바른 회전 위상(실선)에서 약간 선행한 경우를 나타내고 있다.

한편, 제2도(b)는 실린더 모터의 회전 위상의 변동과, 이에 따라서 발생하는 위상 에러 신호의 진폭과의 관계를 설명한 도면이다. 여기에서, 모터의 구동 시스템에 공급되는 위상 에러 신호가 실제로 취할 수 있는 최소 전압치는 0V이고, 최대 전압치는 소정치(예를 들면 5V)이다. 또한, 디지털 서보 시스템에 있어서 위상 에러 신호의 진폭은 디지털 위상 에러 신호의 비트수 n 으로 표현되고, 상기 최소 전압치(0V)에는 0이 대응하고, 상기 최대 전압치(5V)에는 $2^n - 1$ 이 대응한다. 또한, 제2도(b)에 있어서, 진폭이 최소치 0의 기간 T_{0p} 를 바이어스 기간이라 칭하고, 진폭이 최저치 0에서 최대치 $2^n - 1$ 까지 변화하는 기간 T_{sp} 를 록크 범위라 칭한다.

제2도로부터 명백해지는 바와 같이, 실린더 코터가 소정의 위상 관계에서 바르게 회전하고 있는 경우에는, 위상 에러 신호의 진폭은 최소치 0과 최대치($2^n - 1$)과의 거의 중간점 A에 고정되어 있고, 대개 $(2^n - 1)/2$ 진폭의 위상 에러 신호에 기초해서 서보 제어가 이루어진다. 이 서보 제어에 의해 상기 소정의 위상 관계가 유지된다. 이 중간점 A를 지금부터 록크점이라 칭한다.

그런데, 제2도(a)에 점선으로 도시한 바와 같이, 실린더 모터의 회전 위상이, 예를 들어 선행 방향으로 엇갈리기 시작하면, 이에 따라서 위상 에러 신호의 진폭은 상술한 록크점 A에서 B점까지 저하된다. 즉, 실린더 모터의 구동계에 공급되는 서보 신호는 저하되고, 모터의 회전을 억제하는 힘이 작용하며, 이로써 선행하고 있던 위상(점선)은 소정의 위상 관계(실선)으로 되돌아간다. 반대로, 실린더 모터의 회전 위상이 소정의 위상 관계로부터 지연되면, 이에 따라서 위상 에러 신호의 진폭은 록크점 A에서 증대하는 것은 명백하다. 이로써, 실린더 모터의 구동계에 공급되는 서보 신호는 증대하고, 모터의 회전을 촉진하는 힘이 작용해서, 지연되고 있던 위상은 소정의 위상 관계로 되돌아온다.

한편, 모니터의 회전 위상의 선행도가 크고, 록크 범위 T_{sp} 를 벗어나 바이어스 기간 T_{0p} 으로 들어가면, 위상 에러 신호는 0으로 되고, 디지털 서보는 작용하지 않게 된다. 즉, 일단 록크범위로부터 벗어나면, 위상 에러 신호를 록크점 A까지 인입하고자 하는 능동적인 힘은 작용하지 않게 되며, 모터의 회전 위상이 자연히 늦어져 엇갈림이 록크 범위 T_{sp} 의 범위 내에 들어가기까지, 서보 시스템의 기능은 정지해 버리게 되어, 제어 동작이 실질적으로 불가능하게 된다.

그래서, 이와 같은 록크 범위 T_{sp} 의 범위가 문제로 된다. 이 록크 범위 T_{sp} 의 범위는 위상 에러 신호의 비트수 n 에 의해 결정된다. 즉, 시간축 방향의 최소 분해능을 규정하는 클럭 신호 주기와 출력 비트수 n 에 의해 일의적으로 결정되고, 예를 들어 클럭 신호 주기가 $1\mu\text{sec}$ 이고, 비트수 $n=10$ 인 때에는, 록크범위 T_{sp} 는 $1\mu\text{sec} \times (2^{10} - 1) = 1023\mu\text{sec}$ 로 된다. 시간축 방향의 분해능을 고려하면, 클럭 신호 주파수를 저하시키는 것, 즉 주기를 연장시키는 것은 불가능하기 때문에, 록크 범위 T_{sp} 를 확대시키기 위해서는, 출력 비트수 n 을 크게해야 한다. 즉, 디지털 서보 시스템에 있어서, 위상 에러 신호의 일정 진폭(예를 들면 5V)가 결정되어 있는 경우, 위상 에러 신호의 비트수 n 이 커지면, 1 클럭 주기당 진폭의 증가분이 작아진다. 그리고, 제2도(b)의 점선으로 도시한 바와 같이, 록크 범위에 있어서의 기울기의 경사, 즉 회전 위상의 변동에 대한 에러 신호의 크기를 나타내는 값(이하, 변환 이득)은 작아지고, 록크 범위 T_{sp} 는 확대된다. 록크 범위 T_{sp} 가 확대되면 위상이 엇갈림에 대해서 서보 동작을 행할 수 있는 범위, 즉 어느만큼의 엇갈림을 전술한 록크점까지 인입시킬지를 나타내는 범위(이하, 인입 범위라 함)넓어진다. 이에 대해서, 위상 신호의 비트 수가 작으면 록크 범위 T_{sp} 는 축소되고, 상술한 인입 범위가 축소되는 것은 명백하다. 또한 이상의 설명은 실린더 모터의 회전 속도 제어에도 적용된다.

여기에서, 제1도의 디지털 서보 시스템의 설명으로 되돌아가면, 회로(2,3)에 의해 작성된 각 에러 신호는 D/A 변환기(4,5)에 의해 각각 아날로그 신호로 변환된 후, 서로 가산되고 있다. 따라서, 각 에러 신호의 비트수는 D/A 변환기(4,5)에 의해 변환할 수 있는 비트수에 제한되어 버린다. 예를 들어, R-2R형의 D/A 변환기를 사용할 경우에는 비트수를 많게하면 가격이 높아지고, 펄스폭 변조(PWM)에 의한 D/A 변환기를 사용할 경우에는 비트 수를 많게하면 출력신호의 주기가 길어지고, 평활용 필터의 시정수가 커져서 서보에 영향을 줄 우려가 있다. 즉, 제1도에 도시한 바와 같은, IC의 외부에서 각 에러 신호의 아날로그 가산을 행하는 종래의 디지털 서보 시스템에서는, 에러 신호의 비트수 n 을 크게할 수 없기 때문에 록크 범위 T_{sp} 를 확대할 수 없으며, 변환 이득이 커져 버린다. 이 결과, 위상이 약간의 엇갈림으로 에러 신호가 크게 변해서 서보 제어가 빗나가 버리게 된다. 즉, 종래의 디지털 서보 시스템에서는, 디지털 서보

시스템의 인입 범위는 좁아지고, 모터의 정확한 서보 제어를 행할 수 없다고 하는 문제점이 있었다. 각 위상 신호의 아날로그 가산을 행하는 종래의 디지털 서보 시스템에 대해서, 마이크로 컴퓨터 내부에서 속도 에러 신호와 트랙킹 에러 신호를 디지털적으로 가산하는 디지털 서보 시스템이 제안되고 있고, 예를 들어 일본국 특허 출원 공개 공보 제162,855/1986호 및 제 172,245/1986호에 기술되어 있다. 그렇지만, 이들 시스템은, 전술한 에러 신호의 변환 이득의 문제에 대해서는 아무것도 기술되어 있지 않다.

그런데, 2 헤드 헬리컬 스캔방식의 VTR에 있어서의 실린더 모터용 서보 시스템에서는, 재생시에는, 전술한 바와 같이 회전 헤드의 회전 위상과 주어진 기준 신호가 동기하도록, 실린더 모터의 회전 위상이 제어된다. 이에 대해서 기록시에는, 회전 헤드의 회전 위상과 기록할 영상 신호의 수직 동기 신호가 소정의 위상 관계를 갖도록, 실린더 모터의 회전 위상이 제어된다. 이와 같은 위상 제어의 일예에 관해서는, 예를 들어 일본국 특허 출원 공개 공보 제136,090/1981호에 기술되어 있다. 그런데 이 소정의 위상 관계는 보통, 규격으로 정해져 있고, 8mm VTR의/NTSC(National Television System Committee) 방식의 규격에서는, 헤드의 회전 위상에 관련되는 헤드 전환 신호(RESW)의 엣지(edge)와, 기록되는 영상 신호의 수직 동기 신호와의 위상차가 $6H \pm 1.5H$ (H는 1수평 주사 기간)이 되도록 제어되어야 한다. 이와 같은 위상차의 결정은 보통, 각 VTR마다 행해지고 있다. 특히, 이와 같은 위상차를 자동적으로 조정하는 장치도 제안되고 있고, 예를 들어 일본국 특허 출원공고 제4,449/1997호 기술되어 있다.

그렇지만, 이와 같은 자동 위상 조정 장치는 복합 동기 신호의 특정 위상과 합치하도록 위상 조정된 기준 신호와, 실린더 모터에서 얻어지는 회전 펄스와 위상 비교를 하도록 구성되어 있으므로, 구성이 매우 복잡하다는 문제점이 있다.

한편, 디지털 서보 시스템에 있어서는, 모터의 회전 위상 서보계의 성능 향상을 도모하기 위해, 서보 제어의 샘플링 주파수를 높게 설정할 필요가 있다. 즉, 샘플링 주파수가 낮으면, 즉 외란이 생긴 경우, 이에 신속하게 응답해서 서보 제어를 행하는 일이 곤란하게 되기 때문이다. 이와 같이 디지털 서보 제어의 샘플링 주파수를 높이기 위해, 보다 구체적으로는, 기록되는 영상 신호의 수직 동기된 내부 위상 기준 신호를 작성하고, 이 내부 기준 신호에 기초해서 서보 제어를 실행할 필요가 있다. 보통 디지털 서보 시스템에 있어서는, 시스템 동작의 기준이 되는 클럭신호는 기록 되는 영상 신호의 색부 반송파의 주파수를 이용해서 작성된다. 그렇지만, 특히 디지털 서보 시스템을 마이크로컴퓨터로 실현하려고 하는 경우에는, 마이크로컴퓨터의 클럭 주파수에는, 일정한 상한이 있기 때문에, 영상 신호의 고주파 색부(色副) 반송파를 그대로 이용할 수 없는 경우가 있다. 그래서, 마이크로컴퓨터를 이용한 디지털 서보 시스템에 있어서는, 영상 신호의 색부 반송파 주파수와는 관계없이, 수직 동기 신호에 동기되고 또한 주기가 정수분의 1인 위상 기준 신호를 서보 제어를 위한 내부 기준 신호로서 작성해야 한다.

또한 VTR에 있어서는, 통상의 재생 외에, 스틸 재생, 저속 재생, 고속 재생 등, 많은 종류의 특수 재생 모드를 구비하고 있다. 이들 특수 재생 모드에 있어서는, 회전 헤드와 자기 테이프와의 상대 속도가 기록시에 있어서의 상대 속도와는 다르게 된다. 그래서, 이들 재생 모드에 있어서는, 각 모드에 따라서 회전 헤드의 회전 속도를 약간 변경시키도록 제어가 이루어진다. 이와 같은 제어에 대해서는, 일본국 실용신안 공고 공보 제6,905/1985호에 기술되어 있다.

그런데, 이와 같이 회전 헤드의 회전 속도를 변경시키기 위해서는, 디지털 서보 시스템에 있어서의 실린더 모터의 회전 속도 제어시스템의 정수, 즉 속도 바이어스 기간과, 위상 기준 신호의 주파수를 변경해야 한다. 그렇지만, 이들 정수나 주파수를 급격하게 변경시켜도, 실린더 모터의 회전수는 급하게는 변화할 수 없으며, 모드 변경 후에 있어서의 소정 회전 속도에 도달할 때까지의 사이에, 실린더 모터의 위상 서보의 록크가 빗나가는 사태가 생긴다. 그리고, 소정이 회전 속도에 도달하고 나서 다시 위상 록크 상태로 들어갈 때에, 실린더 모터의 구동 시스템에 공급되는 위상 에러 신호에 의해서 실린더 모터의 회전 속도가 일시적으로 크게 변동하는 일이 있다. 이와 같은 실린더 모터의 회전 속도의 커다란 변동은, 재생 화상이 옆으로 흔들리거나 색 동기가 벗어나는 원인이 된다. 그래서, 회전 위상을 항상 록크한 상태에서 실린더 모터의 회전 속도를 변화시키는 것이 가능한 디지털 서보 시스템이 요구된다.

반면에, 특수한 상황에 있어서는, 실린더 모터의 회전 위상의 서보 제어를 해제하는 편이 여러가지 특성이 개선되는 경우가 있다. 예를 들어, 헬리컬 스캔 방식의 VTR에 있어서, 테이프를 간헐적으로 이동시키고, 스틸 재생과 통상 재생을 교대로 반복하는 간헐 저속 재생 모드에서는, 실린더 모터는 회전 속도만 제어되고, 회전 위상의 제어는 해제된다. 이는 다음과 같은 이유 때문이다. 즉, 스틸 재생과 통상 재생에서는, 회전 헤드와 자기 테이프와의 상대 속도가 변화하기 때문에, 재생되는 수평 동기 신호의 주기가 달라지고, 그대로 간헐 구동으로 재생하면, 재생 화상에 옆으로 흔들림이 생긴다. 그래서, 이러한 옆으로의 흔들림을 방지하기 위해, 간헐 저속 재생 모드에 있어서는, 위상 제어를 해제하고, 한편 실린더 모터의 회전 속도를 스틸 재생 상태에 맞추어 가속, 감속시키고 있다.

여기에서, 위상 제어가 행해지고 있는 상태(통상 재생 모드)에서 위상 제어 해제 상태(간헐 저속 재생 모드)으로의 이행(移行)인 경우 및 그 반대의 이행이 생긴 경우에는, 다음과 같은 문제가 생긴다. 즉, 통상 재생 모드와 간헐 저속 재생 모드와의 사이의 모드 변화시에, 실린더 모터의 구동 시스템으로 공급되는 위상 에러 신호를 어떻게 설정하는가가 문제로 된다.

종래는, 일본국 실용신안 공고 공보 제40,650/1984호, 특허 공개(소) 제 61-202,358호 및 제61-212,179호에 기술되어 있는 것과 같은 모터 기동시에 있어서의 제어 방법과 마찬가지로, 실린더 모터의 위상 해제 기간 중에는, 위상 에러 신호로서 소정 레벨 신호를 실린더 모터의 구동 시스템에 인가하도록 하고 있었다.

그렇지만, 이와 같은 종래 방법으로는 통상 재생 모드와 간헐 저속 재생 모드 사이의 모드 변화시에 위상 에러 신호의 불연속이 생기고, 모드 변화 후 위상이 록크되기 까지 시간이 걸리기 때문에, 비디오 회로의 색 동기가 벗어나는 사태가 생긴다. 즉, 위상 제어를 해제한 경우에 소정 레벨 신호를 위상 에러 신호로서 인가하는 것에 지나지 않는 종래의 구성에서는, 위상 제어를 행하고 있는 상태에서 해제 상태로 바뀌면, 위상 에러 신호가 불연속으로 되고, 실린더 모터의 회전이 교란된다. 한편, 해제 상태에서 위상 제어 상태로 바뀌는 경우에는, 위상이 록크되기까지 약 2-3초 정도 시간이 걸리고, 이 때문에

색 동기가 벗어나 재생 화면이 매우 보기 흉하게 되는 경우가 있다.

따라서, 본 발명의 주목적은 인입 범위가 넓고, 회전체의 회전 불균등에 대해서 안정된 서보 제어를 실현한 디지털 서보 시스템을 제공하기 위한 것이다.

본 발명의 다른 목적은 회전체의 회전 위상의 서보 제어를 위한 정확한 내부 기준 신호를 작성할 수 있는 디지털 서보 시스템을 제공하기 위한 것이다.

본 발명의 다른 목적은 회전체의 특수한 제어 모드에 있어서, 회전체의 회전 교란을 방지할 수 있는 디지털 서보 시스템을 제공하기 위한 것이다.

본 발명의 디지털 서보 시스템은 요약하면, 회전체에 관한 디지털 위상 에러 신호와 디지털 속도 에러 신호를 각각의 변환 이득이 충분히 낮은 상태에서 디지털적으로 가산해서 디지털 에러 신호를 작성한다. 그리고 이 디지털 에러 신호를 디지털적으로 증폭한 후, 서보 제어 신호로서 회전체의 구동 수단에 공급한다.

본 발명의 다른 국면에 따르면, 시간적으로 서로 인접하는 디지털 에러 신호의 차가 소정치를 초과했을 때, 디지털 위상 에러 신호의 변화폭을 소정치로 억제하는 수단을 더 구비한다.

본 발명의 또 다른 국면에 따르면, 회전체의 서보 제어를 행하는 마이크로컴퓨터 수단은 회전체의 위상 제어를 위한 내부 기준 신호를 발생하는 수단, 및 이 내부 기준 신호가 외부 기준 신호에 관해서 소정의 주기 및 위상 관계를 갖도록 내부 기준 신호 발생 수단을 제어하는 수단을 포함하고 있다.

본 발명의 또 다른 국면에 따르면, 내부 기준 신호의 주기를 외부 기준 신호 주기의 정수분의 1로 설정하는 수단을 포함하고 있다.

본 발명의 다른 국면에 따르면, 회전체의 위상에 관한 검출 신호와 외부 기준 신호가 소정의 위상 관계를 갖도록 내부 기준 신호 발생 수단을 제어하는 수단을 포함하고 있다.

본 발명의 또 다른 국면에 따르면, 회전체의 위상 제어를 해제하고 회전체의 회전 속도를 제어하는 제1모드가 지정된 경우에, 위상 제어 해제 직전의 위상 에러 신호를 위상 제어 해제 기간 중 유지하는 수단, 및 제1모드의 지정이 해제되어 위상 제어 상태로 이행한 직후에 제1모드 지정 직전에 있어서의 검출 신호와 내부 기준 신호와의 위상 관계를 재현하는 수단을 포함하고 있다.

본 발명의 다른 국면에 따르면, 회전체의 위상 제어를 유지하면서 회전체의 회전 속도를 제어하는 제2모드가 지정된 경우, 속도 에러 신호 속도 바이어스 기간을 서서히 변경하는 수단, 및 내부기준 신호의 주기를 서서히 변경시키는 수단을 포함하고 있다.

이하, 첨부 도면을 참조하여 본 발명에 대해서 상세하게 기술하겠다.

우선, 본 발명의 제1실시예는 VTR의 실린더 모터의 디지털 서보 시스템이고, 제3도는 그 원리를 개략적으로 설명하기 위한 계통도이다. 우선, 제3도를 참조하여, 본 발명의 제1실시예의 원리에 대해서 설명한다.

제3도에 있어서, 회로(11 및 12)는 각각, 제1도의 회로(2 및 3)과 동일하게, 실린더 모터(도시하지 않음)에서의 검출 신호에 기초해서, 실린더 모터의 디지털 위상 에러 신호(10비트) 및 디지털 속도 에러 신호(10비트)를 출력한다. 이들 디지털 에러 신호는 제1도의 종래의 회로에 있어서 디지털 에러 신호가 D/A 변환되고 또한 증폭된 후에 아날로그적으로 가산된 것에 대해서, 디지털적으로 가산된 후에 디지털적으로 증폭된다. 즉, 회로(11)에서 출력되는 10 비트의 디지털 위상 에러 신호는 회로(13)에 의해 3 비트 쉬프트되어 상위 7 비트가 취출된 후, 즉 1/8로 분압된 후, 가산기(14)에 의해 회로(12)에서 출력되는 10 비트의 디지털 속도 에러 신호와 가산된다. 즉, 가산기(14)에서의 가산 비는 1 : 8이다(이 시스템에 의하여 결정된다). 그리고 이 가산 결과를, 회로(15)에 있어서 하위 8 비트만을 이용함으로써, 디지털적으로 4배로 증폭하고, 서보 제어 신호로서 출력시키고 있다.

이미 제1도 및 제2도에 관련하여 설명한 바와 같이, 서보 시스템의 인입 범위는, 에러 신호의 변환 이득, 즉 록크 범위의 기울기의 경사에 의해 결정되고, 변환 이득이 낮은 만큼 록크 범위가 확대되고, 인입 범위도 넓어진다. 제3도의 시스템에서는, 위상 에러 신호와 속도 에러 신호와의 가산 전에 디지털적인 증폭을 행하고 있지 않으므로, 가산 시점에서의 각 에러 신호의 변환 이득은 낮고, 각 에러 신호의 록크 범위는 넓다. 그리고 이와 같이 변환 이득이 낮은 상태에서 각 에러 신호를 디지털적으로 가산하고, 그 후 필요한 증폭을 행하고 있으므로, 전체적으로 인입 범위가 넓은 디지털 서보 시스템을 실현할 수 있다. 예를 들어, 실린더 모터의 회전 위상에 어긋남이 생긴 경우를 생각하면, 혹시라도 위상 에러 신호와 속도 에러 신호의 가산 전에 각각의 변환 이득이 커져 있으면, 위상 에러 신호의 인입 범위가 좁아져 있기 때문에, 위상 에러 신호가 유효한 서보 정보를 포함하는 일 없이 상가 가산이 행해지고, 결과적으로 실린더 모터의 유효한 서보 제어가 행하지 않게 된다. 이에 대해서, 제3도의 시스템에서는, 가산 전의 변환 이득이 낮고 인입 범위가 충분히 넓으므로, 회전 위상의 어긋남이 큰 경우에도 유효한 서보 정보에까지 포함됨으로써, 결과적으로 인입 범위가 넓은 유효한 디지털 서보 제어를 실현할 수 있다.

제3도에 도시한 바와 같은 위상 에러 신호 및 속도 에러 신호의 작성에서 양자의 디지털적인 가산까지는, 1칩 마이크로컴퓨터(예를 들어, HD 6305 Z)를 이용해서 소프트 웨어적으로 실현하는 것이 가능하다.

제4도는, 이와 같은 마이크로컴퓨터로 구성된 디지털 서보 시스템을 도시한 계통도이다. 제4도에 있어서 마이크로컴퓨터(20)는 기본적으로, CPU(21), ROM(22), RAM(23), 입출력 포트(24), 제1타이머 카운터(25), 제2타이머 카운터(26) 및 입력 포착 레지스터(ICR)(27)를 포함하고 있다. 입출력 포트(24)에서 출력되는 디지털 서보 제어 신호가 외부 D/A변환기(28)에 의해 아날로그 신호로 변환된 후, 실린더 모터(37)의 구동 회로(29)에 인가되고, 실린더 모터(37)의 회전이 제어된다. 또한, D/A변환기(28)은, 마이크로컴퓨터(20) 내부에 설치되어도 좋다. 한편, 실린더 모터의 회전에 따라서, FG 신호와

PG(PhaseGenerator) 신호가 발생한다. FG 신호는 전술한 바와 같이 실린더 모터의 1 회전에 대해서 24개 발생하는 신호이고, PG 신호는 실린더 모터의 1 회전에 대해서 1개 발생하는 신호이다. 발생한 FG 신호는, 마이크로컴퓨터의 입력 포착 인터럽트 단자(30)을 통해 ICR(27)에 인가되고, 발생한 PG 신호는 마스크 불가능한 인터럽트 단자(31)을 통해 CPU(21)에 인가된다. 또한, 영상 신호 중의 수직 동기 신호 V_{sync} 가 마이크로컴퓨터(20)의 마스크가능한 인터럽트 단자(32)를 통해 CPU(21)에 인가된다. 또한, VTR의 동작 모우드를 지정하는 신호가, 모우드 지정 단자(33) 및 입출력 포트(34)를 통해 CPU(21)에 인가된다. 타이머 카운터(25 및 26)은 마이크로컴퓨터(20)의 클럭(4MHz)에 관련해서 $1\mu sec$ 초의 주기로 계수치가 변화한다. 제1타이머 카운터(25)는 입력 포착 인터럽트에 관련된다. 또한, 제2타이머 카운터(이하, 리퍼런스 카운터)(26)은 설정된 수치에 그 계수치가 도달하면, 인터럽트가 발생하고(카운터 정합 인터럽트), 리셋된다. 이와 같이, 리퍼런스 카운터(26)은 그 오버플로우의 주기를 변경할 수 있다. 또한, 기록시에 있어서는 후술한 바와 같이 리퍼런스 카운터(26)의 계수치와 기록할 영상 신호의 수직 동기 신호가 소정의 관계가 되도록 리퍼런스 카운터(26)에는 소정치가 프리셋된다.

통상적으로, 마이크로컴퓨터(20)은 인터럽트 대기 상태에 있고, 후술한 바와 같이 각종 신호를 받아 인터럽트 처리가 실행된다. 본 발명의 제1실시예는 마이크로컴퓨터(20)이 실린더 모터(37)에서의 FG 신호를 받은 경우의 인터럽트 처리에 관한 것으로, 전술한 바와 같이 속도 에러 신호 및 위상 에러 신호의 작성에서 양자의 디지털적인 합성까지의 여러가지 처리가 포함된다. 제5도는, 본 발명의 제1실시예인 FG 인터럽트 처리의 개요를 도시한 플로우차트이다. 우선, 제5도에 따라 FG 인터럽트 처리의 개요에 대해서 설명한다.

실린더 모터(37)로부터 마이크로컴퓨터(20)의 입력 포착 인터럽트 단자(30)에 인가되는 FG 신호가 예를 들어 하강하면, 스텝 A에 있어서 우선 입력 포착 동작이 행해진다. 즉, FG 신호의 하강시에 있어서의 제1타이머 카운터(25)의 계수치가, RAM(레지스터)(23)과는 별도로 설치된 ICR(27)에 격납된다. 즉, FG 신호의 하강시점에 있어서 마이크로컴퓨터(20)이 어떤 동작을 행하고 있는가는 측정할 수 없기 때문에, 마이크로컴퓨터(20)이 실행 중인 동작이 종료되고 나서 계수치를, 예를 들어 RAM(23) 내에 격납한 것으로는 정확한 위상차의 측정을 할 수 없다. 그래서, 독립된 ICR(27)을 설치하고, FG 신호의 하강시에 있어서의 타이머 카운터(25)의 계수치를 즉시 격납하도록 한 것이다.

FG 신호의 하강시에 마이크로컴퓨터(20)이 행하고 있던 동작이 종료하면, 본래의 FG 인터럽트 처리가 개시된다.

우선, 스텝 B에 있어서, FG 신호에 기초해서, 실린더 모터를 위한 디지털 속도 에러 신호 D_{sp} 의 형성이 행해진다.

다음에, 스텝 C에 있어서, FG 신호에 기초해서, 실린더 모터를 위한 디지털 위상 에러 신호 D_{ph} 형성이 행해진다.

다음에 스텝 D에 있어서는, 간헐 저속 재생 모우드 시에 있어서의 특수한 제어가 이루어진다. 즉, 먼저 설명한 바와 같이, 통상 재생 모우드와 간헐 저속 재생 모우드간의 이행시에 있어서의 위상 에러 신호의 설정에 대해서 종래의 방법에서는 위상 에러 신호의 불연속에 의한 여러가지 문제가 있었다. 이 스텝 D에 있어서는, 나중에 상세하게 설명한 바와 같이, 이와 같은 위상 에러 신호의 불연속을 해소 특별한 처리가 이루어진다.

다음에 스텝 E에 있어서는, 다음에 상세하게 설명하는 바와 같이, 위상 에러 신호의 변화를 억제하기 위한 변화가 이루어진다.

다음에 스텝 F에 있어서는, 스틸 재생, 저속 재생, 고속 재생 등 특수 재생 모우드에 있어서의 실린더 모터의 회전 속도 변화를 위한 특수한 제어가 이루어진다. 즉, 먼저 설명한 바와 같이, 실린더 모터의 회전 속도를 변화시키기 위해서는 실린더 모터의 회전 속도 제어 시스템의 정수를 변화시킬 필요가 있으나, 종래의 방법으로는 위상 록크의 어긋남에 의한 여러가지 문제점이 있었다. 이 스텝 F에 있어서는, 나중에 상세하게 설명하는 바와 같이, 회전 위상을 록크한 상태에서 실린더 모터의 회전 속도를 변화시키는 특별한 처리가 이루어진다.

최후로, 스텝 G에 있어서는, 속도 에러 신호 D_{sp} 와 위상 에러 신호 D_{ph} 와의 디지털적인 합성과 출력이 행해지고, 그 후 원래의 대기 상태로 돌아간다. 이상이 본 발명의 제1실시예인 FG 인터럽트 처리의 개요이다.

다음으로, 제6도는, 제5도에서는 스텝 B 및 C로서 도시된 실린더 모터의 디지털 속도 신호 D_{sp} 및 디지털 위상 에러 신호 D_{ph} 의 형성에 대해서 설명한 파형도이고, 제7도는 속도 에러 신호 D_{sp} 의 형성을 도시한 플로우차트이다. 다음으로 제6도 및 제7도를 참조해서, 우선 속도 에러 신호 D_{sp} 의 형성에 대해서 설명한다.

속도 에러 신호 D_{sp} 는 제1타이머 카운터(25)에 의해 제6도(a)의 FG 신호의 주기 T_{fg} 를 측정함으로써 작성된다. 즉, FG신호의 2회의 하강에서 1개의 데이터가 작성되게 된다. 제6도(b)는 제1타이머 카운터(25)의 계수치를 도시하고, 제6도(c)는 리퍼런스 카운터(26)의 계수치를 도시하며, 제6도(d)는 실린더 모터의 회전위상의 변화에 따라 발생하는 위상 에러 신호 D_{ph} 의 진폭을 도시한 도면이고, 제6도(e)는 실린더 모터의 회전 속도 변화에 따라서 발생하는 속도 에러 신호 D_{sp} 의 진폭을 도시한 도면이다. 제6도에 있어서, T_{dp} 및 T_{ps} 는 바이어스 기간을 나타내고 T_{sp} 및 T_{ss} 는 록크 범위를 나타내고 있다. 제6도로부터 명백해지는 바와 같이, FG 신호기 주기 T_{fg} 는, 다음 식으로부터 구해진다.

$$T_{fg} = (c-0) + (b-a) \quad \dots (1)$$

우선, 제5도의 스텝 A에 있어서, FG 신호의 하강 타이밍에서, 제1타이머 카운터(25)의 계수치 c가 입력 포착 레지스터(27)에 격납된다. 또한, FG신호의 하강시에 마이크로컴퓨터(20)이 행하고 있던 동작이 종료하면, 제1타이머 카운터(25)가 리셋되고, 그 때의 리퍼런스 카운터(26)의 계수치 g가 RAM(23)내의 레지스터 R5에 격납된다(제7도, 스텝 B1). 이 데이터 g는 후술하는 위상 에러 신호의 작성에 사용된다. 또한, 제1타이머 카운터(25)의 리셋시의 계수치 d가 RAM(23)내의 레지스터 R2에 격납된다(스텝 B2). 다음으로, 입력 포착 포착 레지스터(27)에 격납되어 있던 데이터 c가, RAM(23) 내의 레지스터 R1에 격납된다(스텝 B3). 그 후, 인터럽트 처리에서 구해진 a,b를 이용해서, 스텝 B4에 있어서, 상기 (1)식의 연산이 이루어지고, FG신호의 주기 T_{FG} 가 구해진다.

여기에서, 제6도(e)로부터 명백해지는 바와 같이, 속도 에러 신호 D_{SP} 의 진폭은 속도 바이어스 기간 T_{DS} 속도 록크 범위 T_{SS} 및 그러나 FG 주기 데이터 T_{FG} 에 기초해서 다음 식에 의해서 결정된다.

$$T_{FG} < T_{DS} \text{일 때 } D_{SP} = 0 \quad \dots (2)$$

$$T_{FG} > T_{DS} + T_{SS} \text{일 때 } D_{SP} = 2^n - 1 \quad \dots (3)$$

$$T_{DS} + T_{SS} \geq T_{FG} \geq T_{DS} \text{일 때}$$

$$D_{SP} = (T_{FG} - T_{DS}) / T_{SS} \times (2^n - 1) \quad \dots (4)$$

따라서, 제7도의 스텝 B5에 있어서, 상기 (2) 식의 조건이 판정되고, 이 조건이 충족되어 있을 경우에는, 속도 에러 신호의 진폭은 $D_{SP}=0$ 으로 된다(스텝 B6). 또한, 상기 조건을 충족시키고 있지 않은 경우에는, 스텝 B7로 진행하고 상기 (3) 식의 조건이 판정된다. 그리고 이 조건이 충족되어 있는 경우에는, 속도 에러 신호의 진폭은 $D_{SP}=2^n - 1$ 로 되고(스텝 B8), 한편 이 조건을 충족시키고 있지 않은 경우에는, $D_{SP} = (T_{FG} - T_{DS}) / T_{SS} \times (2^n - 1)$ 로 된다(스텝 B). 이와 같이 하여 구한 속도 에러 신호 D_{SP} 를 RAM(23) 내의 레지스터 R6에 격납시킨다(스텝 B10). 또한, 레지스터 R1, R2에 각각 격납되어 있는 데이터 c,d를 다음 회의 인터럽트 처리에 있어서의 데이터 a,b로서 이용하기 때문에 RAM(23) 내의 레지스터 R3, R4로 전송한다(스텝 B11 및 B12). 이상으로, 속도 에러 신호의 작성을 종료하고, 다음 처리로 진행한다(스텝 B13).

다음으로, 제8도는 제5도에서의 스텝 C로서 도시한 위상 에러 신호 D_{PH} 의 형성에 대해서 설명한 플로우 차트이다. 다음으로, 제6도 및 제8도를 참조하여 위상 에러 신호 D_{PH} 의 형성에 대해서 상세하게 설명한다.

위상 에러 신호는, 위상 기준, 즉 제6도(c)의 리퍼런스 카운터(26)의 리셋 타이밍과, 제6도(a)의 FG 신호의 하강과의 위상차 데이터 T_p 에 기초해서 작성된다.

제6도로부터 명백하듯이, 위상차 데이터 T_p 는 다음 식으로부터 구할 수 있다

$$T_p = g - (b - a) \quad \dots (5)$$

따라서, 이미 각 레지스터에 격납되어 있는 데이터 a,b,g 에 기초해서, 제8도의 스텝 C1에 있어서 상기 (5) 식의 연산이 이루어져 위상차 데이터 T_p 가 구해진다.

여기에서, 제6도(d)로부터 명백해지는 바와같이, 위상 에러 신호 D_{PH} 진폭은 위상 바이어스 기간 T_{DP} , 위상 록크 범위 T_{SP} 및 위상차 데이터 T_p 에 기초해서, 다음식에 의해 결정된다.

$$T_p < T_{DP} \text{일 때 } D_{PH} = 0 \quad \dots (6)$$

$$T_p > T_{DP} + T_{SP} \text{일 때}$$

$$D_{PH} = 2^n - 1 \quad \dots (7)$$

$$T_{DP} + T_{SP} \geq T_p \geq T_{DP} \text{일 때}$$

$$D_{PH} = (T_p - T_{DP}) / T_{SP} \times (2^n - 1) \quad \dots (8)$$

따라서, 제8도의 스텝 C2에 있어서, 상기 (6) 식의 조건이 판정되고, 이 조건이 충족되어 있는 경우에는, 위상 에러 신호의 진폭은 $D_{PH}=0$ 으로 된다(스텝 C3). 또한, 상기 조건을 충족시키고 있지 않은 경우에는, 스텝 C4로 진행 하고, 상기(7)식의 조건이 판정된다. 그리고, 이 조건을 충족시키고 있는 경우에는 위상 에러 신호의 진폭은 $D_{PH}=2^n - 1$ 로 되고(스텝 C5), 한편 이 조건을 충족시키고 있지 않은 경우에는, $D_{PH} = (T_p - T_{DP}) / T_{SP} \times (2^n - 1)$ 로 된다(스텝 C6).

다음에, 전회의 인터럽트 처리에서 구해져 RAM(23) 내의 레지스터 R7에 격납되어 있던 위상 에러 신호를 RAM(23) 내의 레지스터 R20으로 전송해서 유지하고(스텝 C7), 새로 구한 위상 에러 신호를 레지스터 R7에 격납시킨다(스텝 C8). 이상으로, 위상 에러 신호의 작성을 종료하고, 다음 처리로 진행한다(스텝 C9).

다음으로, 제5도에서의 스텝 D로서 도시된 간헐 저속 재생 모우드시에 있어서의 특수한 위상 에러에 대해서 설명한다. 즉 종래는, 간헐 저속 재생 모우드 기간 중에는, 실린더 모터의 위상 제어를 해제하고, 소정 레벨의 신호를 실린더 모터의 구동 시스템에 인가하도록 하고 있지만 모우드 변화시에 있어서의 위상 에러 신호의 불연속을 위해 여러 문제가 생기고 있다. 이 스텝 D에서의 처리로서는, 요약하면, 위상 제어 상태에서부터 위상 제어 해제 상태로의 이행시에는, 이행 직전의 위상 에러 신호를 유지함으로써 위상 에러 신호의 불연속을 방지한다. 또한, 위상 제어 해제 상태에서부터 위상 제어 상태로의 이행에 대해서는, 이행 직후에 위상 제어 상태에 있어서의 위상 기준과 FG신호와와의 본래의 위상 관계를 복원하도록 하고 있다.

제9도는, 이와 같은 스텝 D에서의 처리를 설명한 파형도이고, 제10도는 플로우차트이다. 다음으로 제4도, 제6도, 제9도 및 제10도를 참조하여, 스텝 D에서의 처리를 상세하게 설명한다.

제4도의 모우드 지정 단자(33)를 통해 CPU(21)에는, 제9도(a)에 도시한 바와 같은 저속 재생 모우드일 때에 H 레벨로 되는 저속 제어 신호가 인가된다. 또한, 제9도(b)는, 리퍼런스 카운터(26)의 계수치를 도시하고, 제9도(c)는 FG 신호의 하강 타이밍을 도시하고 있다. 여기에서, FG 신호의 인터럽트가 있으면, 제10도의 스텝 D1에 있어서, 이 저속 제어 신호가 검사되고, 저속 재생 모우드 인지의 여부가 판정된다. 저속 재생 모우드가 아니면, 이번에는, 스텝 D2에 있어서, 저속 재생 모우드로부터 통상 재생 모우드로 이행한 직후인지의 여부가 판정된다. 그리고 이행 직후가 아닌 경우, 즉, 단지 통상 재생 모우드인 것이 판정되면, 먼저 레지스터 R5에 격납되어 있는 데이터 g를 RAM내의 레지스터 R8로 전송해서 유지함(스텝 D3)과 동시에 먼저 작성되어 레지스터 R7에 격납되어 있는 에러 신호 D_{PH} 를 RAM(23) 내의 레지스터 R9로 전송해서 유지한다(스텝 D4)(레지스터 R7의 내용은 그대로). 그리고 다음 처리로 진행한다(스텝 D7).

한편, FG 신호의 인터럽트가 있었을 때, 스텝 D1에 있어서, 저속 재생 모우드로 변경되어 있는 것이 판정된 경우에는, 전회의 인터럽트(통상 재생 모우드)에 있어서 레지스터 R9에 보존되어 있던 위상 에러 신호 D_{PH} 가 레지스터 R7로 전송되어(스텝 5), 저속 재생 모우드 중의 위상 에러 신호로서 이용된다. 이로써, 저속 재생 모우드 중의 위상 에러 신호는 직전의 통상 재생 모우드에 있어서의 위상 에러 신호와 같게 되고, 모우드 변경시에 있어서의 위상 에러 신호의 불연속은 생기지 않는다.

또한, FG 신호의 인터럽트가 있었을 때, 스텝 D2에 있어서, 저속 재생 모우드로부터 통상 재생 모우드로 이행한 직후인 것이 판정된 경우에는, 이전의 인터럽트(통상 재생 모우드)에 있어서, 레지스터 R8에 보존되어 있던 데이터 g에 고정치 α 를 가한 값을 리퍼런스 카운터(26)에 프리셋트하여(스텝 D6), 다음 처리로 진행한다(스텝 D7). 즉, 제9도로부터 명백해지는 바와 같이, 저속 제어 신호가 L레벨로 변화한 직후의 FG신호의 타이밍(화살표 X)에서 데이터 g+ α 를 리퍼런스 카운터(26)에 프리셋트시킨 후, 카운터(26)의 계수를 속행시킴으로써 리퍼런스 카운터의 위상 기준과 FG신호의 위상 관계는 저속 재생 모우드 이행 전의 통상 재생 모우드에 있어서의 위상 관계와 같게 된다. 따라서, 위상 록한 상태에서 위상 제어를 재개 하므로, 전술한 바와 같이 실린더 모터의 회전이 크게 불량하게 되는 일은 없다. 또한, 데이터 g에 고정치 α 를 가한 것은, 전술한 스텝 B 및 C에 있어서의 에러 신호 작성에 요하는 기간 중에 있어서의 카운터의 진행을 고려해서, 미리 적당한 값을 설정한 것이다.

다음에, 제5도에서의 스텝 E로서 도시된 위상 에러 신호의 변화폭 억제를 위한 처리에 대해서 설명한다.

예를 들어, 제6도는 실린더 모터가 위상 록된 상태를 도시하고 있다. 그렇지만, 실린더 모터의 시동시 등과 같이 회전 위상이 록되기까지의 과도 상태에 있어서는, 리퍼런스 카운터(26)이 리셋트되기 직전 또는 직후에 FG신호가 입력될 경우가 있다. 제11도는, 이와 같은 과도 상태에 있어서의 위상 에러 신호를 도시하는 파형도이다. 제11도(a)는 리퍼런스 카운터(26)의 계수치를 도시하고, 제11도(b)는 FG신호의 하강 타이밍(FG펄스)을 도시하며, 제11도(c)는 위상 에러 신호를 도시하고 있다. 제11도로부터 명백해지는 바와 같이, FG 신호의 주기가 약간 변동하고 있을 때, 위상 기준의 타이밍 즉 리퍼런스 카운터(26)의 리셋트 타이밍과, FG펄스의 타이밍과의 어긋남은 약간이지만, 카운터가 리셋트되기 전후에는, 위상차 데이터는 크게 다르고, 그 데이터에 대응하는 위상 에러 신호도 크게 달라져 버린다.

이와 같은 상태에서는, 위상 서보가 불안정하게 되고, 실린더 모터가 진동해 버린다.

특히, 실린더 모터에 무브러쉬 모터를 이용한 경우, 실린더 모터(37)용 구동 회로(29)에 큰 전류가 흐르고, 구동회로(29)에서의 소비 전력이 커져서, 발열할 우려가 있다.

또한, 본 실시예와 같이, 리퍼런스 카운터가 마이크로컴퓨터 내에 존재할 경우에는, 이와 같은 문제는 더욱 발생하기 쉽게 된다. 일반적으로, 마이크로컴퓨터 내의 카운터 리셋트 또는 프리셋트 인터럽트 처리에 의해서 행해진다. 그 인터럽트 처리는 카운터를 순회형 위상 기준 카운터로 한 경우, 마이크로컴퓨터 내에서의 다른 처리보다 우선한다. 예를 들면, 제12도는 리퍼런스 카운터의 리셋트 전후의 계수치를 나타내는 도면이지만, 도면 중 화살표 A의 타이밍에서 FG펄스가 발생했다고 해도, 그 시점에서 카운터의 리셋트 또는 프리셋트가 행해지고 있었다면, 실제로 리퍼런스 카운터의 계수치를 래칭하는 타이밍은 도면 중 화살표 B로 도시한 타이밍으로 되어 버린다. 또한, 이 리퍼런스 카운터의 계수치 래치, FG펄스에 의한 인터럽트 처리로 가능한 정확한 타이밍에서 행해진다. 그렇지만, 마이크로컴퓨터가 실린더 모터의 제어 이외의 다른 일도 함께 행하고 있는 경우에는, FG 펄스가 발생하고 나서 FG 인터럽트가 검출되기까지의 시간은 0이 아니다. 이 때문에 FG펄스가 발생하는 것은 리퍼런스 카운터의 리셋트전이고, FG 인터럽트가 검출되는 것은 리셋트후라는 경우가 생길 수 있다. 즉, 마이크로컴퓨터를 이용한 디지털 서보 시스템에서는, 상술한 바와 같은 위상 에러 신호의 급격한 변화가 발생하기 쉽게 된다.

제5도의 스텝 E의 처리는 이와 같은 위상 에러 신호의 급격한 변화를 억제하기 위한 것이다. 제13도는 이와 같은 스텝 E에서의 처리를 설명한 파형도이고, 제14도는 플로우차트이다. 다음으로, 제13도 및 제14도를 참조해서, 스텝 E에서의 처리를 상세하게 설명한다. 우선, 레지스터 R7에 격납되어 있는 현재의 위상 에러 신호 D_{PH} 의 값과 전술한 스텝 C7에 있어서 레지스터 R20에 유지되어 있던 전회의 FG인터럽트에 있어서의 위상 에러 신호 D_{PH} 의 값에 고정치 V_0 을 가한 값이 스텝 E1에 있어서 비교된다. 그리고,

레지스터 R7의 현재의 위상 에러 신호쪽이 클 경우에는, 레지스터 R20의 값에 고정치 V_0 을 가한 값을 레지스터 R7에 격납시킨다(스텝 E2). 그리고 다음 처리로 진행한다(스텝 E3). 한편, 양자가 균등하거나 또는 레지스터 R7의 값이 작을 경우에는, 스텝 E4에 있어서, 레지스터 R7의 값과 레지스터 R20의 값에서 고정치 V_0 을 감산한 값이 비교된다. 이 결과, 레지스터 R7쪽이 작은 경우에는, 레지스터 R20의 값에서 고정치 V_0 을 감산한 값을 레지스터 R7에 격납시키고(스텝 E5), 다음 처리로 진행한다(스텝 E3). 또한, 양자가 균등하거나 또는 레지스터 R7의 값이 클 경우에는, 레지스터 R7의 위상 에러 신호는 그대로이고, 다음 처리로 진행한다(스텝 E3) 즉, 제13도 a에 도시한 바와 같이, 시간적으로서도 서로 인접하는 위상 에러 신호의 차가 고정치 V_0 초과한 경우, 위상 에러 신호의 변화는 고정치 V_0 로 억제된다. 또한, 고정치 V_0 은 실린더 모니터 특성과, 위상 서보 시스템의 인입 특성 등을 고려해서 결정된다. 고정치 V_0 이 너무 크면 억제 효과는 작아진다. 반대로 고정치 V_0 이 너무 작으면 위상 에러 신호의 변화는 현저하게 억제되고, 위상 서보 시스템의 인입에 장시간을 요하게 되어버린다.

이와 같이, 스텝 E의 처리에 의하면, 모터의 회전 위상이 록크되기까지의 과도기에 있어서의 위상 에러 신호의 급격한 변화를 억제하고, 위상 서보 시스템의 혼란을 방지할 수 있다.

다음으로, 제5도에서 스텝 F로서 도시된 스틸 재생, 저속 재생, 고속 재생등의 특수 재생 모우드에 있어서의 실린더 모터의 회전 속도 변화를 위한 제어에 대해서 설명한다. 즉, 상술한 바와 같이, 종래는 특수 재생 모우드에 있어서 회전 헤드의 회전 속도를 제어하기 위해 실린더 모터의 회전 속도 제어 시스템의 정수(定數)를 변경하고 있으나, 이것으로는 위상 서보이 록크가 어긋나는 사태가 생기고 여러가지 문제가 생긴다. 기본적으로, 모터의 설정 속도를 변경하기 위해서는, 속도의 바이어스 기간 및 기준 위상 주기를 변화시킬 필요가 있다. 이 스텝F에 있어서의 처리로서는, 요약하면, 재생시에 있어서의 실린더 모터의 속도 에러 신호의 바이어스 기능을 서서히 변경 시키는 것이고, 또한 이에 관련하여 기준 위상 주기도 서서히 변경시키는 것이다.

또한, 여기에서 재생시에서의 캡스틴 모터의 제어에 대해서 생각하면, 위상 제어는 트랙킹 에러 신호(이것에 관해서는, 예를 들어 미합중국 특허 제4,297,733호에 기술되어 있다)를 이용해서 행하고 있으므로, 각 모우드에 있어서 설정 속도를 변경하기 위해서는, 속도 에러 신호의 바이어스 기간을 변경시키는 것만으로 족하다. 그래서, 캡스틴 모터의 디지털 서보용의 마이크로컴퓨터(도시하지 않음)에서는, 모우드의 지령에 따라서 대응한 속도 바이어스 기간을 설정하고 있고, 재생 모우드의 변화의 지시가 있으면 즉시 속도 바이어스 기간을 변경한다. 이로써 캡스틴 모터의 회전 속도가 변화한다.

한편, 실린더 모터의 제어를 행하는 본 실시예의 마이크로컴퓨터(20)(제4도)은 모우드 지정 단자(33)을 통해 CPU(21)에 인가되는 VTR의 동작 모우드 지정 신호에 응답해서 지정된 동작 모우드에 응답한 속도 바이어스 기간 T_{DSM} 및 리퍼런스 카운터(26)의 기준 위상 주기 T_M 를 설정한다. 그리고 이번에 검출한 재생 모우드가 전회에 검출한 재생 모우드와 다른 경우에는, 그 모우드 변화에 따른 소정의 속도 바이어스 변화량 ΔT_{DS} 및 기준 주기 변화량 ΔT 를 설정한다. 속도 바이어스 T_{DS} 는 FG 인터럽트마다 소정량 ΔT_{SD} 만큼 변화되어 기준 위상 주기 T 는 리퍼런스 카운터(26)의 카운터 정합 인터럽트가 발생할 때마다 소정량 ΔT 만큼 변화된다.

우선, FG 인터럽트에 의한 바이어스 T_{DS} 의 변화에 대해서 설명하고, 리퍼런스 카운터(26)의 카운터 정합 인터럽트에 의한 기준 위상 주기 T 의 변화에 대해서 후술한다.

제15도는, 제5도의 스텝 F에서의 FG인터럽트에 의한 실린더 모터의 속도 바이어스 T_{DS} 의 변화를 위한 처리를 도시한 플로우차트이다.

우선, 스텝 F1에 있어서, VTR의 동작 모우드에 변화가 생기고 있는지의 여부가 판정되고, 모우드 변화가 판정된 경우에는, 변화 후의 모우드에 대응한 속도 바이어스 기간 T_{DSM} 와, 그 모우드 변화에 따른 속도 바이어스 소정 변화량 ΔT_{DS} 가 설정된다(스텝 F2). 다음으로 현재의 속도 바이어스 기간 T_{DS} 와 설정된 속도 바이어스 기간 T_{DSM} 가 비교되고(스텝 F3), 설정치 T_{DSM} 쪽이 큰 경우에는, 속도 바이어스 ΔT_{DS} 를 소정 변화량 ΔT_{DSM} 만큼 증가시키고(스텝 F4). 다음 처리로 진행한다(스텝 F5). 한편, 설정치 T_{DSM} 쪽이 작다고 판정된 경우에는(스텝 F6), 속도 바이어스 T_{DS} 를 소정 변화량 ΔT_{DS} 만큼 감소시키고(스텝 F7), 다음 처리로 진행한다(스텝 F5). 속도 바이어스의 변경은 속도 바이어스 T_{DS} 가 설정치 T_{DSM} 와 일치하기까지 FG 인터럽트마다 행해지고, 양자가 일치하면, 변화량 ΔT_{DS} 의 가감산을 행하지 않고(스텝 F8), 다음 처리로 진행한다(스텝 F5).

다음에 제16도는 전술한 리퍼런스 카운터(26)의 카운터 정합 인터럽트에 의한 기준위상 주기 T 의 변화를 위한 처리를 나타낸 플로우 차트이다.

우선, 리퍼런스 카운터(26)의 카운터 정합 인터럽트가 발생하면, 스텝 F' 1에 있어서, VTR의 동작 모우드에 변화가 생기고 있는지의 여부가 판정되고, 모우드변화가 판정된 경우에는, 변화 후의 모우드에 대응한 기준 위상 주기 T_M 와 그 모우드 변화에 따른 기준 위상 주기의 소정 변화량 ΔT 가 설정된다(스텝 F' 2). 다음에 현재의 기준 위상 주기 T 와 설정된 기준 위상 주기 T_M 가 비교되고(스텝 F' 3), 설정치 T_M 쪽이 큰 경우에는, 기준 위상 주기 T 를 소정 변화량 ΔT 만큼 증가시키고(스텝 F' 4), 인터럽트로부터 복귀한다(스텝 F' 5). 한편, 설정치 T_M 쪽이 작다고 판정된 경우에는 (스텝 F' 6), 기준 위상 주기 T 를 소정 변화량 ΔT 만큼 감소시키고(스텝 F' 7), 인터럽트로부터 복귀한다.(스텝 F' 5). 기준 위상 주기의 변화는 기준 위상 주기 T 가 설정치 T_M 와 일치할 때까지 카운터 정합 인터럽트마다 행해지고, 양자가 일치하면, 변화량 ΔT 의 가감산을 행하지 않고(스텝 F' 8), 인터럽트로부터 복귀한다(스텝 F' 5).

전술한 바와 같은 속도 바이어스 변화량 ΔT_{OS} 및 기준 위상 주기이 변화량 ΔT 의 설정은 아래와 같이 행한다. 캡스턴 모터의 모우드 변화와 실린더 모터의 모우드 변화는 거의 동시에 개시된다. 이들 변화는, 특히 동기가 취해질 리가 없다. 그렇지만, 이들 변화는 모우드 변화 검출 직후의 각 인터럽트로부터 개시되는 것이고, 실린더 모터의 속도 서보 및 위상 서보의 샘플링 주파수가 함께 180Hz로 높기 때문에 실제로 동시에 개시된다고 생각해도 좋다. 또한, 필요하다면 동기시키도록 하여도 좋다.

여기에서, 캡스턴 모터의 속도 변화에 걸리는 시간을, 예를 들어 상기 샘플링 주파수의 10주기분이라고 한다. 그리고, 실린더 모터의 속도 바이어스 기간 T_{OS} 를 50 μsec , 기준 위상 주기 T 를 150 μsec 변경할 필요가 있을 때에는, 속도 바이어스 변화량 ΔT_{OS} 를 5 μsec 로, 기준 위상 주기 변화량 ΔT 를 15 μsec 로 설정하면 좋다.

일반적으로는, 캡스턴 모터 속도변화 완료에 걸리는 시간 사이에 생기는 FG인터럽트 및 리퍼런스 카운터의 카운터 정합 인터럽트의 횟수로 실린더 모터에 있어서의 소정의 변화가 종료하도록 설정하면 좋다.

이상과 같이, 실린더 모터의 속도 바이어스 기간 및 기준 위상 주기를 서서히 변화시키도록 하였으므로, 실린더 모터의 회전 속도의 변화는 회전 위상이 록된 상태에서 행해지고, 따라서 실린더 모터의 회전이 엇갈리는 일은 없다. 또한, 캡스턴 모터의 모우드 변화에 거의 동기 시킴으로써 재생 화상이 옆으로 흔들리거나 색 동기의 불량이 경감된다.

다음으로, 제5도에서의 스텝 G로서 도시된, 본 발명의 제1실시예인 디지털 속도 에러 신호 D_{SP} 와 변경 위상 에러 신호 D_{PH} 와의 합성에 대해서 설명한다.

본 발명의 제1실시예인 속도 에러 신호와 위상 에러 신호와의 디지털 가산의 원리에 대해서는, 제3도에 관련해서 이미 개략적으로 설명하였다. 즉, 형성된 10 비트의 디지털 속도 에러 신호와, 10비트의 디지털 위상 에러 신호를 가산비 8:1로 가산한 후, 디지털적으로 4배로 증폭하고, 서보 제어 신호로서 출력시키고 있다. 이 디지털적으로 4배로 하는 처리는 10비트의 가산 결과의 하위 8 비트만을 이용하는 것에 의하지만, 보다 상세하게는 다음과 같이 행해진다.

즉, 상위 2 비트(10진 표시)=10(2 표시)인 경우에는, 출력 $DAD=0$ 으로 하고, 2(10진 표시)=10(2진 표시) $\leq$ 상위 2 비트(10진 표시)=11(2진 표시)의 경우에는 $DAD=$ 하위 8 비트로 하고, 상위 2 비트 ≥ 3 (10진 표시)=11(2진 표시)의 경우에는, $DAD=2^8-1$ 로 하고 있다.

그리고, 이 8 비트의 에러 신호는, D/A 변환기(28, 제4도)에 의해서 아날로그 신호로 변환되고, 외부에서는, 증폭기를 통하는 통하는 일없이 실린더 모터(337)의 구동 회로(29)에 제어 전압으로서 인가된다.

제17도는 이와 같은 위상 에러 신호 및 속도 에러 신호의 합성과, 이에 계속되는 디지털적인 증폭처리를 나타낸 플로우차트이다.

우선, 레지스터 R6에 격납 되어 있는 10 비트의 디지털 속도 에러 신호 D_{SP} 와, 레지스터 R7에 격납되어 있는 10 비트의 디지털 위상 에러 신호 D_{PH} 를 1/8 분할한 것이 가산되고, 10비트의 신호 DAD 가 얻어진다(스텝 G1). 다음으로, 스텝 G2에 있어서, 신호 DAD 의 상위 2 비트가 3(10진 표시)보다도 크거나 또는 동일하다고 판단된 경우에는, $DAD=2^8-1$ 로 되고(스텝 G3), 제어 신호로서 마이크로컴퓨터(20)에서 출력되고(스텝 G4), FG인터럽트로부터 복귀한다(스텝 G5). 다음에, 스텝 G6에 있어서, 신호 DAD 의 상위 2비트가 2(10진 표시)보다도 작다고 판단된 경우에는, $DAD=0$ 으로 되고(스텝 G7), 제어 신호로서 마이크로컴퓨터(20)에서 출력되고(스텝 G4), FG인터럽트로부터 복귀한다(스텝 G5). 한편, $2 \leq$ 상위 2비트(3)의 경우에는, $DAD=$ 하위 8 비트로 되고(스텝 G8), 제어 신호로서 마이크로컴퓨터(20)에서 출력되고(스텝 G4) FG인터럽트로부터 복귀한다(스텝 G5).

이상과 같이 하여 출력된 8비트의 에러 신호 DAD 의 록크 범위는 256 μsec /고, 실측에 의하면 5-6%의 인입 범위를 확보할 수 있었다. 이에 대해서 종래예와 같이 가산 전의 속도 에러 신호의 변환 이득을 크게 하고, 그 록크 범위를 256 μsec 로 좁게한 후 가산하고 이득 1로 출력한 경우에는, 2-3%의 인입 범위 밖에 확보 할 수 없었다.

이상과 같이, 전술한 제1실시예에 의하면, 위상 신호와 속도 에러 신호를 각각의 변환 이득이 충분히 낮은 상태에서 가산한 후, 디지털적으로 증폭하도록 하고 있으므로, 서보 시스템의 인입 범위를 넓게 유지하면서, 전환 이득이 높은 제어 출력을 얻을 수 있다.

다음에, 본 발명의 제2실시예에 대해서 설명한다. 제18도는 본 발명의 제2실시예에 대해서 개략적으로 설명한 플로우차트이다. 이 제2실시예도 또한, 제4도에 도시한 마이크로컴퓨터(20)를 포함하는 디지털 서보 시스템에 의해서 실현된다. 본 발명의 제2실시예는, 요약하면 기록시에 실린더 모터용의 디지털 서보 시스템의 마이크로컴퓨터(20)이 기록할 영상 신호의 수직 동기 신호를 받을 경우의 인터럽트 처리에 관해서, 보다 특징적으로는, 실린더 모터의 서보 제어를 위해 내부 기준 신호로서, 기록할 영상 신호의 수직 동기 신호의 주기의 정수분의 1의 주기를 갖고 또한 수직 동기 신호에 동기한 신호를 작성하기 위해서, 리퍼런스 카운터(26)의 주기의 자동 설정을 행하는 처리(스텝 H)와, 헤드의 회전 위상에 관련되는 헤드 전환 신호의 엇지와, 기록되는 영상 신호의 수직 동기 신호와의 위상차를 $6H \pm 1.5H$ (H는 1 수평 주사 기간)으로 하기 위한 처리(스텝 I)를 포함하고 있다.

여기에서, 우선 스텝 I의 리퍼런스 카운터(26)의 주기의 자동 설정 처리의 원리에 대해서 설명한다. 전술한 바와 같이, 리퍼런스 카운터(26)은 마이크로컴퓨터(20)의 클럭의 4사이클마다 1회 업카운트의 동작을 행하는 것이고, 따라서 1 μsec 의 주기로 그 계수치가 변화한다. 그리고, 리퍼런스 카운터 오버플로우의 주기, 즉 카운터 정합 인터럽트가 행해지는 주기는 어느 수치를 소프트웨어적으로 설정함으로써 변경할 수 있다.

그러나, 이 리퍼런스 카운터 주기는 기록되는 영상 신호의 주기의 정수분의 1로 설정되어야 한다. 그렇지 않으면 FG신호와 리퍼런스 카운터의 계수치에 기초해서 행해지는 위상 제어에 있어서 기준 위상 주기의 불일치가 생기고, 실린더 모터의 회전 불일치가 발생하여, 지터(jitter)가 커져버리기 때문이다.

보다 상세하게 설명하면, 만약 마이크로컴퓨터(20)의 클럭 주파수가 항상 정확하면 카운터 정합 인터럽트를 위해 설정하는 수치는, 상기 정수분의 1의 조건을 만족시키는 고정치도 좋다. 그렇지만, 실제로는 클럭 주파수의 오차가 있기 때문에, 고정치로 하는 것은 곤란하다. 즉, 그와 같은 오차가 있으면, 기준 위상 주기가 수직 동기 신호의 주기의 정수분의 1로 되지 않고, 기준 위상 주기에 지터가 생겨버리기 때문이다. 이와 같은 이유로, 리퍼런스 카운터(26) 주기를 입력되어 있는 수직 동기 신호의 주기의 정수분의 1에 항상 자동적으로 설정하는 동작이 필요하게 된다.

제19도는, 스텝 H의 처리 원리를 설명한 파형도이다. 예를 들어, 위상 기준 신호(b)의 주파수가 180Hz인 경우엔, 제18도에 도시한 바와 같이, 기준 위상 주기 3회에 대해서 1회의 비율로 리퍼런스 카운터(26)에 예를 들면 ROM(22)에 미리 기억되어 있는 소정치 L이 세트된다. 여기에서, 기준 위상 주기가 정확하게 수직 동기 신호(a) 주기의 1/3이 아니면, 수직 동기 신호의 인터럽트시에 RAM(23)내의 레지스터 R11에 격납되는 리퍼런스 카운터(26)의 계수치와, 리퍼런스 카운터(26)에 셋트되는 값 L이 일치하지 않는다. 예를 들어, 제19도에 도시한 바와 같이, 수직 동기 신호주기의 인터럽트시에 있어서, LR11이면, 설정된 기준 위상 주기 T가 수직 동기 주기 주기의 1/3보다도 큰 것을 의미한다. 따라서, 이와 같은 경우에는, 수직 동기 신호의 인터럽트가 있을 때마다, 기준 위상 주기 T를 감소시켜간다. 그리고, R11L로 다른 때에, 기준 위상 주기 T 변경을 중지한다. 반대로, 수직 동기 신호의 인터럽트시에 있어서, R11L라고 하면, 설정된 기준 위상 주기 T가 수직 동기 주기의 1/3보다도 작은 것을 의미한다. 따라서, 이와 같은 경우에는, 수직 동기 신호의 인터럽트가 있을 때마다, 기준 위상 주기 T를 증가시켜간다. 그리고 R11L된 때에, 기준 위상 주기 T의 변경을 중지한다. 스텝 H의 구체적인 처리에 대해서는 후술한다. 이와 같은 동작에 의해, 기준 위상 주기 T 수직 동기 신호의 주기의 정수분의 1과 양자화 오차($1\mu\text{sec}$)의 범위 내에서 일치하게 되고, 따라서 기준 위상 주기의 불일치는 실질적으로 방지할 수 있다.

다음으로, 스텝 I의 처리 원리에 대해서 설명한다. 전술한 바와 같이, VTR의 재생시에 있어서는, 실린더 모터는 리퍼런스 카운터(26)의 오버플로우의 주기의 동기해서 위상 제어되지만, 한편 기록시에 있어서는, 헤드의 회전 위상과, 기록하고자 하는 영상 신호의 수직 동기 신호의 위상이 소정 관계로 되도록 제어될 필요가 있다. 전술한 바와 같이, 이 소정의 위상 관계는 보통 규격으로정해져 있고, 특히, NTSC 방식의 소위 8mm VTR에서는 헤드의 회전 위상에 회전하는 헤드 전환 신호(RFSW)와, 수직 동기 신호와의 위상차가 $6H \pm 5H$ 되도록 설정되어 있다.

그래서 먼저, 본 실시예에 있어서의 RFSW 신호의 작성에 대해서 설명한다. 제20도는, RFSW 신호의 작성에 대해서 설명한 파형도이다. 전술한 바와 같이, 실린더 모터에서는, 실린더 모터의 1 회전에 대해서 24개 발생하는 FG신호(c)와 함께, 1 회전에 대해서 1개 발생하는 PG 신호(d)도 출력되고 있다. 그리고, 이 PG 신호의 위상과, 회전 헤드의 위상 즉 실린더 모터의 위상과는 소정의 관계에 있다.

제20도에 있어서, PG신호 발생의 타이밍을 기준으로 하여, 각 FG신호에 1-12 및 1-24의 번호를 부여한다. 구체적으로는, FG신호의 하강의 검출에 의한 인터럽트 처리로 어떤 레지스터(DSCNT)의 값을 12까지 1씩 증가시키고, 12까지 도달하면 1로 되돌아가는 동작을 반복한다(b). 또한, 별도의 레지스터(DPCNT)에 대해서는 24에 도달하면 1로 되돌아가는 동작을 반복한다(b). 그리고, PG 신호의 하강 검출에 의한 인터럽트 처리로, 이들 레지스터(DSCNT 및 DPCNT)의 값을 2로 설정 한다.

그리고, 레지스터 DSCNT의 값이 5 및 6일 때 L 레벨로 되는 비디오 센터 조정 펄스(e)가 입출력 포트(35, 제4도)를 통해서 마이크로컴퓨터(20)로부터 출력되고, 지연회로(36)에서 지연된 후, 다시 마이크로컴퓨터(20)에 입력된다.

이 지연된 비디오 센터 조정 펄스(f)의 하강의 타이밍에 응답해서, RFSW신호(g)의 엣지가 형성된다. 이 RFSW신호의 엣지의 변화 방향은 레지스터 DNCNT 값(b)/가 12보다 작을 때에는, 상승이고, 12보다 클 때에는, 하강이다. 지연 회로(36)의 지연시간은 가변이고($180\mu\text{sec}$ ~ $960\mu\text{sec}$ 의 범위), 이로써 비디오 센터를 규격에 맞출 수 있다. 또한, 레지스터 DSCNT의 소정치(5 및 6)에 따른 타이밍에서, 180° 위상이 떨어진 RFSW 신호 엣지를 작성하므로, RFSW신호의 듀티 조정은 불필요하다.

제20도로부터 명백해지는 바와 같이, RFSW 신호의 엣지는, 레지스터, DSCNT의 값이 5 및 6 사이에 존재한다. 그래서, 기록시에 있어서의 실린더 모터의 위상 에러 신호의 작성 동작에 관해서는, RFSW 신호의 엣지와, 기록되는 신호의 수직 동기 신호가 전술한 소정의 위상 관계를 갖는 경우에 국한되고, 즉, 레지스터 DSCNT의 값이 5 또는 6일 때에 수직 동기 신호가 마이크로 컴퓨터(20)에 입력된 경우에 국한되고, 전술한 제1실시예에 있어서의 재생시의 방법과 같은 방법으로 작성된 위상 에러 신호가 출력된다.

제21도 및 제22도는, RFSW신호와, 기록되는 영상신호의 수직 동기 신호와의 사이에 소정의 위상 관계를 유지시키기 위한 과정에 대해서 설명한 파형도이다,

제21도에 있어서, 수직 동기 신호 V_{sync} (b)가 마이크로컴퓨터(20)에 입력된 때에, 레지스터 DSCNT의 값이 1~4일 때에는, 위상 에러 신호 D_{PH} (f)는 L레벨이고, 7~12일 때에는, H레벨이다. 이로써, 수직 동기 신호와, RFSW신호(d)를 소정의 위상 관계로 유지시키면서 위상 제어를 행할 수 있다. 또한, 제21도 중 (d)는 리퍼런스 카운터(26)의 계수치를 나타내고, (e)는 재생시에 있어서의 위상 에러 신호 D_{PH} 의 작성을 나타내고 있다.

다음으로, 제21도 및 제22도를 참조해서, 수직 동기 신호와 RFSW 신호와의 위상차를 $6H$ 자동적으로 조정하는 동작에 대해서 설명한다.

스텝 H에 관련해서, 전술한 바와 같이, 리퍼런스 카운터(26)의 오버플로우의 타이밍을 수직 동기 신호에 동기시키기 위하여, 수직 동기 신호의 인터럽트 처리에 의해서, 리퍼런스 카운터(26)에 소정치 L을 프리

셋트한다. 그런데, 위상 제어에 이용되는 FG 신호와 RFSW 신호와의 위상 관계는 VTR 의 각 셋트에 의해서 다르고, 리퍼런스 카운터(26)에 설정하는 수치 L을 각 셋트마다 변경할 필요가 있다. 그래서, 이 소정치 L을 다음과 같이 정함으로써, 수직 동기 신호와 RFSW 신호와의 위상차를 6H로 설정할 수 있다.

즉, 제22도에 있어서, 위상 록크 상태에 있어서의 RFSW 신호(b)의 엣지의 타이밍에서, 인터럽트 처리에 의해 리퍼런스 카운터(26)의 계수치, R을 레지스터에 기억시킨다(d). 그리고, 그 직후에 발생하는 수직 동기 신호(c)의 타이밍에서, R+6H에 상당하는 데이터를 리퍼런스 카운터(26)에 셋트시킨다. 이와 같은 동작에 의해서, 리퍼런스 카운터(26)은 수직 동기 신호(c)와, RFSW 신호(b)와의 위상차가 6H로 되는 것과 같은 계수동작을 행하게 된다.

그런데, 이와 같은 동작만으로는, 실린더 모터의 회전 변동이 생겼을 때에, 리퍼런스 카운터(26)에 셋트되는 데이터가 매회 다르게 되고, 위상 서보가 일정하지 않다. 그래서 실제로는, 후술하는 것과 같은 제어를 행하고 있다.

우선, 제23도를 참조하면, RFSW 신호의 엣지(실제로는 비디오 센터 조정펄스)가 마이크로컴퓨터(20)에 입력되면, RF 인터럽트처리가 행해지고, 그 타이밍에서의 리퍼런스 카운터(26)의 계수치가 RAM(23) 내의 레지스터 R10에 기억되고(스텝 J1), 그 후 인터럽트로부터 복귀한다(스텝 J2).

이 RAM 인터럽트 처리에 이어서, 마이크로컴퓨터(20)에 수직 동기 신호가 인가되면, 제18도에 도시한 스텝 H' 및 I로 이루어지는 인터럽트 처리가 실행된다.

제24도는 제18도에 도시한 수직 동기 신호에 의한 인터럽트 처리를 보다 상세하게 설명한 플로우차트이다. 제24도에 있어서, 우선 기록할 영상 신호의 수직 동기 신호가 마이크로컴퓨터(20)의 단자(32)를 통해 CPU(21)에 입력 되면, 그 수직 동기 신호의 타이밍에서 리퍼런스 카운터(26)의 계수치를 RAM(23) 내의 레지스터 R11에 격납시킨다(스텝 K1). 다음으로, ROM(22)에 미리 기억되어 있는 수치 L을 리퍼런스 카운터(26)에 셋트시키고(스텝 K2), 다시 이 값 L과 레지스터 R11의 값이 비교된다(스텝 K3 및 K4). 그리고, 동일할 때에는, RAM(23) 내의 레지스터 A에 2를 설정한다(스텝 K5). 또한, 이 레지스터 A는 전원이 온(on)인 때 2가 설정되는 레지스터이다.

레지스터 R11의 값이 수치 L보다도 클 때에는, 레지스터 A의 값이 1인지의 여부를 조사하고(스텝 K6), 1이면 다음 처리로 진행한다. 한편 1이 아니면, 기준 위상 주기 데이터 T에 1을 가하고(스텝 K7), 다시 레지스터 A에 0을 설정하여(스텝 K8)다음 처리로 진행한다.

또한, 레지스터 R11의 값이 수치 L보다도 작을 경우에는, 레지스터 A의 값이 0인지의 여부를 조사하고(스텝 K9), 0이면 다음 처리로 진행한다. 한편, 0이 아니면, 기준 위상 주기 데이터 T에서 1을 감해서(스텝 K10), 다시 레지스터 A에 1을 설정하여(스텝 K11), 다음 처리로 진행한다.

다음에, 실린더 모터가 위상 록크 상태인지의 여부가 검사되고(스텝 K12), 위상 록크 상태가 아니면, 플래그 F를 0으로 하여(스텝 K13), 인터럽트로부터 복귀한다(스텝 K14). 또한, 스텝 K12에 있어서의 위상 록크 상태인지 여부의 검출은 위상 에러 신호(또는 위상차 데이터)가 소정 범위의 값을 소정 시간(예를 들면 FG신호 주기 100개분)동안 유지한 경우에, 위상 록크 상태라고 판별하도록 하고 있다.

한편, 실린더 모터가 위상 록크 상태로 있으며, 플래그 F가 1인지의 여부가 검사된다(스텝 K15). 1이 아닐 때에는, 레지스터 R11의 값에서 RF 인터럽트일 때에 레지스터 R10에 격납된 값을 감산하고(스텝 K16) 그 결과를 RAM(23) 내의 레지스터 R12에 격납시킨다. 따라서, 이 값은 RFSW 신호의 엣지와 수직 동기 신호와의 위상차를 나타내는 데이터로 된다. 그래서, 이 레지스터 R12의 값이 $6H \pm 0.2H$ 의 범위 내에 있는지의 여부를 검사한다(스텝 K17 및 K18).

이 결과, 레지스터 R12의 값이 $6.2H$ 보다도 클 때에는(스텝 K17), 상기 일정치 L에 소정치 1을 가한 수치를 새로운 L로 하고(스텝 19), 플래그 F를 0으로 설정해서(스텝 K20) 인터럽트로부터 복귀한다.

또한, 레지스터 R12의 값이 $5.8H$ 보다도 작을 때에는(스텝 K18), 상기 일정치 L에서 소정치 1을 감산한 수치를 새로운 L로 하고(스텝 K21), 플래그 F를 0으로 설정하여(스텝 K20), 인터럽트로부터 복귀한다.

또한, 레지스터(12)의 값이 $6H \pm 0.2H$ 범위 내에 있으면, 플래그 F를 1로 셋트하고(스텝 K22), 인터럽트로부터 복귀한다.

즉, RFSW 신호와 수직 동기 신호와의 위상차가 $6H \pm 0.2H$ 의 범위내에 들어 갈 때까지 수직 동기 신호의 타이밍에서 리퍼런스 카운터(26)에 세트되는 수치 L을 서서히 바뀌어가는 처리가 행하여진다. 그리고 일단 상기 범위 내에 위상차가 인입되면 플래그 F는 1로 되고(스텝 K22). L의 변경은 이후 행하지 않게 된다.

일단 상기 범위 내에 인입된 후에는, 그때의 위상차 데이터를 산출하여 레지스터 R12에 격납시키고(스텝 K23), 이 위상차가 $6H \pm 0.5H$ 의 범위 내에 있는지의 여부를 검사 한다(스텝 K24). 이 결과, 위상차 상기 범위 내에 있을 때에는, 플래그 F는 1로 된 상태에서(스텝 K25), 인터럽트로부터 복귀한다(스텝 K26). 한편, 위상차가 상기 범위 매에서 벗어난 때에는, 플래그 F는 0으로 되고(스텝 K27), 인터럽트로부터의 복귀한다(스텝 K26). 결국, 다음 수직 동기 신호 인터럽트로부터 설정치 L의 변경 동작이 실질적으로 개시되게 된다. 이것에 의해, 변경 동작에 히스테리시스를 갖게 하고 있다.

즉, 전술한 동작에 의해, RFSW 신호와, 수직 동기 신호와의 위상차가 $6H \pm 0.5H$ 의 범위 내에 유지되게 된다. 또한, 본 실시예에 있어서의 수치 L 및 T의 변화량은 각각 최적한 것을 실험 등으로 선택하면 좋고, 1이외라도 좋다.

(57) 청구의 범위

청구항 1

회전체의 회전을 제어하기 위한 디지털 서보 장치에 있어서, 회전체(37)로부터의 위상 정보를 입력하여 디지털 위상 에러신호를 작성하는 디지털 위상 에러 신호 작성 수단(20), 상기 회전체(37)로부터의 속도 정보를 입력하여 상기 회전체(37)의 제어 신호의 이득보다도 낮은 변환 이득으로 디지털 속도 에러 신호를 작성하는 디지털 속도 에러 신호 작성 수단(20), 상기 디지털 위상 에러 신호와 상기 디지털 속도 에러 신호를 가산하는 가산 수단(20), 상기 가산 수단의 출력을 디지털적으로 증폭하는 것을 특징으로 하는 디지털 서보 시스템.

청구항 2

제1항에 있어서, 상기 위상정보 및/또는 속도정보의 검출 신호에 기초해서 리셋되는 제1타이머(25) 및 가변 오버플로우 주기를 갖는 제2타이머 카운터(26)을 더 포함하는 것을 특징으로 하는 디지털 서보 시스템.

청구항 3

제6항에 있어서, 상기 검출 신호의 타이밍에서의 상기 제1타이머 카운터의 계수치를 즉시 기억하는 입력 포착 레지스터 수단(27)을 더 포함하는 것을 특징으로 하는 디지털 서보 시스템.

청구항 4

제7항에 있어서, 상기 디지털 속도 에러 신호 작성 수단은 상기 입력 포착 레지스터에 보존된 계수치와, 상기 제1타이머 카운터의 리셋시의 상기 제1타이머 카운터의 계수치에 기초해서 상기 검출 신호의 주기 T_{FG} 를 산출하는 수단, 및 상기 산출된 검출 신호의 주기 T_{FG} , 소정의 속도 바이어스 기간 T_{DS} 및 록크 범위 T_{SS} 에 기초해서 n (n 은 양의 정수)비트의 디지털 속도 에러 신호 D_{SP} 의 진폭을 결정하는 수단을 포함하는 것을 특징으로 하는 디지털 서보 시스템.

청구항 5

제7항에 있어서, 상기 디지털 위상 에러 신호 작성 수단은 상기 입력 포착 레지스터 수단에 보존된 계수치, 및 상기 제1타이머 카운터의 리셋시에 있어서의 상기 제1 및 제2타이머 카운터의 계수치에 기초해서, 상기 검출 신호와 상기 제2타이머 카운터의 리셋의 타이밍과의 위상차 데이터 T_P 를 산출하는 수단, 및 상기 산출된 위상차 데이터 T_P 및 소정의 위상 바이어스 기간 T_{DP} 및 록크범위 T_{SP} 에 기초해서 n 비트의 디지털 위상 에러 신호 D_{PH} 의 진폭을 결정하는 수단을 포함하는 것을 특징으로 하는 디지털 서보 시스템.

청구항 6

제10항에 있어서, 시간적으로 서로 인접하는 디지털 위상 에러 신호 D_{PH} 의 차가 소정치 V_0 를 초과했을 때에, 디지털 위상 에러 신호의 변화폭을 상기 소정치 V_0 으로 억제하는 수단을 더 포함하는 것을 특징으로 하는 디지털 서보 시스템.

청구항 7

회전체(37), 상기 회전체의 회전을 구동하는 수단(29), 상기 회전체의 회전 위상에 관련된 검출 신호를 공급하는 수단(30,31), 일정 주기의 외부 기준 신호를 공급하는 수단(32), 및 상기 검출 신호 및 상기 외부 기준 신호에 따라서 상기 회전체의 위상 서보 제어를 행하는 마이크로컴퓨터 수단(20)을 포함하며, 상기 마이크로컴퓨터 수단은 상기 회전체의 위상 제어를 위해 내부 기준 신호를 발생시키는 수단(26)과, 상기 내부 기준 신호가 상기 외부 기준 신호에 관해 소정의 발생시키는 수단(26)과, 상기 내부 기준 신호가 상기 외부 기준 신호에 관해 소정의 주기 및/또는 위상 관계를 갖도록 상기 내부 기준 신호 발생 수단을 제어하는 수단(21)을 포함하는 것을 특징으로 하는 디지털 서보 시스템.

청구항 8

제17항에 있어서, 상기 내부 기준 신호 발생 수단은 가변의 오버플로우 주기 T 를 갖는 리퍼런스 카운터를 포함하는 것을 특징으로 하는 디지털 서보 시스템.

청구항 9

제18항에 있어서, 상기 제어수단은 상기 내부 기준 신호의 주기에 대응하는 상기 리퍼런스 카운터의 오버플로우 주기 T 를 상기 외부 기준 신호 주기의 정수분의 1 주기로 설정하는 수단을 포함하는 것을 특징으로 하는 디지털 서보 시스템.

청구항 10

제19항에 있어서, 상기 제어 수단은 상기 외부 기준 신호의 타이밍에서 상기 리퍼런스 카운터의 계수치 R 를 기억하는 수단, 상기 외부 기준 신호의 타이밍에서 상기 리퍼런스 카운터에 소정치 L 을 셋트하는 수단, 상기 기억된 계수치 R 과 상기 소정치 L 을 비교하는 수단, 상기 비교 수단에 의한 비교 결과에 따라서, 상기 계수치 R 을 상기 소정치 L 에 접근시키는 방향으로 상기 내부 기준 위상 신호의 주기 T 를 일정량씩 서서히 변경하는 수단, 및 상기 계수치 R 과 상기 소정치 L 이 동일하게 되면 상기 내부 기준 신호의 주기 T 의 변경을 중지하는 수단을 포함하는 것을 특징으로 하는 디지털 서보 시스템.

청구항 11

제18항에 있어서, 상기 마이크로컴퓨터 수단은 상기 검출 신호 및 상기 내부 신호에 기초해서 위상 에러 신호를 작성하여 상기 구동 수단에 인가시키는 수단을 더 포함하고, 상기 제어 수단은 상기 검출 신호에

관련된 신호와 상기 외부 기준 신호가 소정의 위상 관계를 갖도록 상기 리퍼런스 카운터의 설정치를 변경시키는 수단을 포함하는 것을 특징으로 하는 디지털 서보 시스템.

청구항 12

회전체(37), 상기 회전체의 회전을 구동하는 수단(29), 상기 회전체의 회전 속도 및/또는 회전 위상에 관련된 검출 신호를 공급하는 수단(30,31), 상기 회전체의 위상 제어를 위한 내부 기준 신호를 발생시키는 수단(26), 상기 검출 신호 및 상기 내부 기준 신호에 응답해서, 상기 회전체의 회전 위상 관련된 디지털 위상 에러 신호를 작성하는 수단(20), 상기 검출 신호 및 상기 내부 기준 신호에 응답해서 상기 회전체의 회전 속도에 관련된 디지털 속도 에러 신호를 작성하는 수단(20), 상기 디지털 위상 에러 신호와 상기 디지털 속도 에러 신호를 디지털적으로 가산해서 디지털 에러 신호를 작성하고, 상기 구동 수단에 인가시키는 수단(20), 상기 회전체의 위상 제어를 해제해서 상기 회전체의 회전 속도를 제어하는 제1모우드 또는 상기 회전체의 위상 제어를 유지하면서 상기 회전체의 회전 속도를 제어하는 제2모우드를 지정하는 신호를 공급하는 수단(33), 상기 제1모우드가 지정된 경우에, 위상 제어 해제 직전에 있어서의 상기 위상 에러 신호를 위상 제어 해제 기간 중 보존하는 수단(20), 상기 제1모우드의 지정이 해제되어 위상 제어 상태로 이행한 직후에, 상기 제1모우드 지정 전에 있어서의 상기 검출 신호와 상기 내부 기준 신호와의 위상 관계를 재현하는 수단(20), 상기 제2모우드가 지정된 경우, 상기 속도 에러 신호의 속도 바이어스 기간 T_{DS} 를 서서히 변화시키는 수단(20), 및 상기 제2모우드가 지정된 경우, 상기 내부 기준 신호의 주기 T 를 서서히 변화시키는 수단으로 구성되는 것을 특징으로 하는 디지털 서보 시스템.

청구항 13

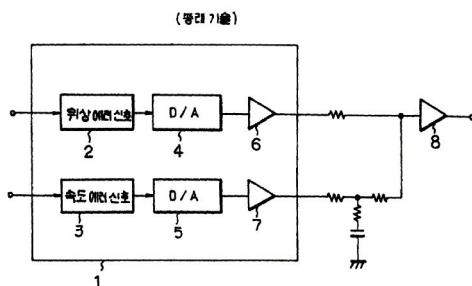
제26항에 있어서, 상기 위상 관계를 재현하는 수단은 상기 제1모우드 지정 직전의 상기 검출 신호에 관련된 타이밍에서 상기 리퍼런스 카운터의 계수치를 기억하는 수단, 및 상기 제1모우드 지정 해제 직후의 상기 검출 신호에 관련된 타이밍에서 상기 기억된 계수치를 상기 리퍼런스 카운터에 프리셋트 시키는 수단을 포함하는 것으로 특징으로 하는 디지털 서보 시스템.

청구항 14

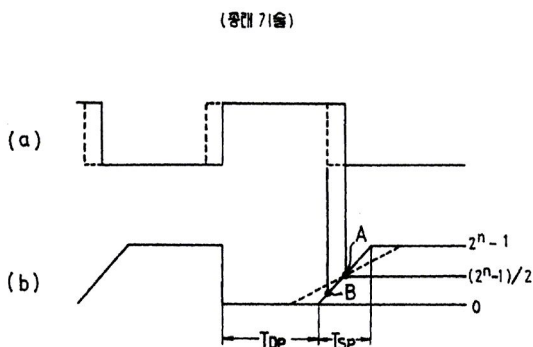
제26항에 있어서, 상기 속도 바이어스 기간 T_{DS} 의 변경수단은 지정된 모우드에 대응하는 속도 바이어스 기간 T_{DSM} 및 소정의 변화량 ΔT_{DS} 를 설정하는 수단, 최신의 속도 바이어스 기간 T_{DS} 와 설정된 속도 바이어스 기간 T_{DSM} 을 비교하는 수단, 상기 비교수단에 의한 비교 결과에 따라서, 상기 최신의 속도 바이어스 기간 T_{DS} 를 설정된 속도 바이어스 기간 T_{DSM} 에 근접시키는 방향으로 상기 속도 바이어스 기간 T_{DS} 를 ΔT_{DS} 씩 변경시키는 수단, 및 상기 최신의 속도 바이어스 기간 T_{DS} 와 설정된 속도 바이어스 기간 T_{DSM} 이 동일하게 되면, 상기 속도 바이어스 기간 T_{DS} 의 변경을 중지하는 수단을 포함하는 것을 특징으로 하는 디지털 서보 시스템.

도면

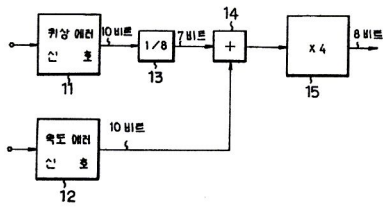
도면1



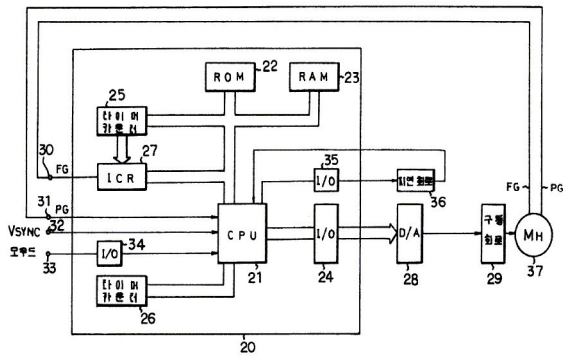
도면2



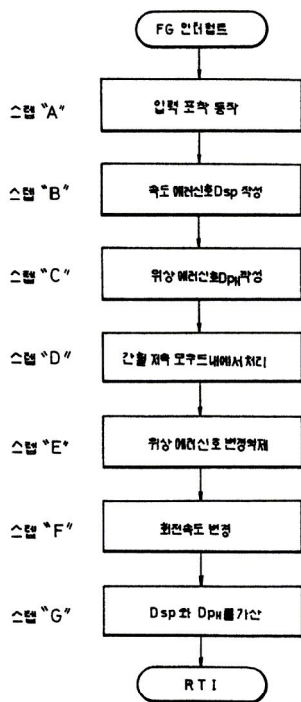
도면3



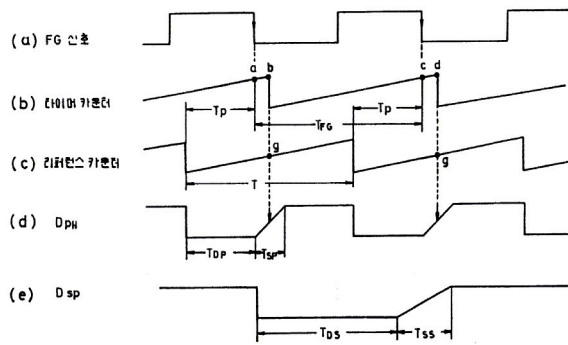
도면4



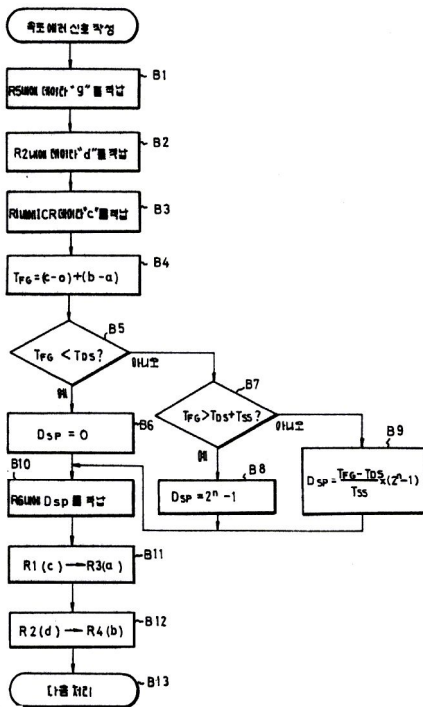
도면5



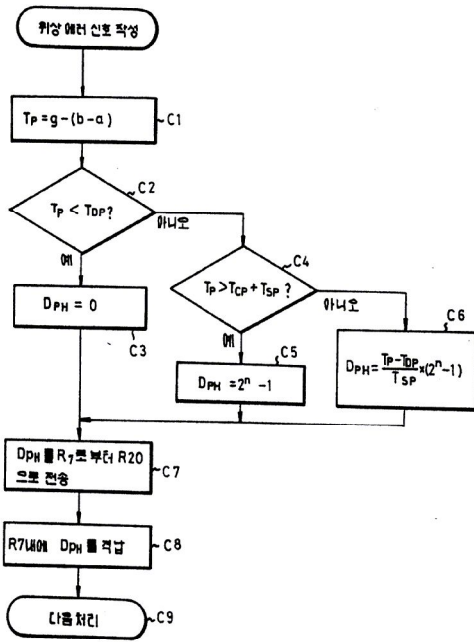
도면6



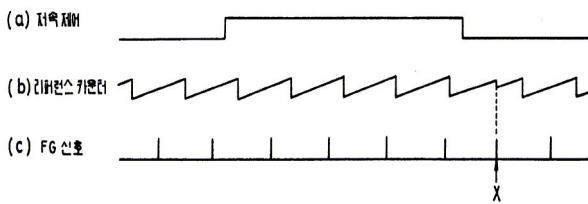
도면7



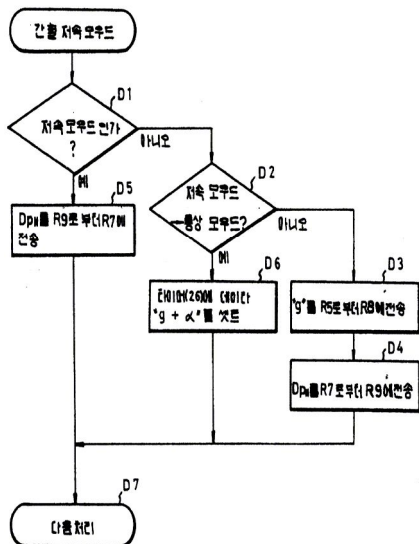
도면8



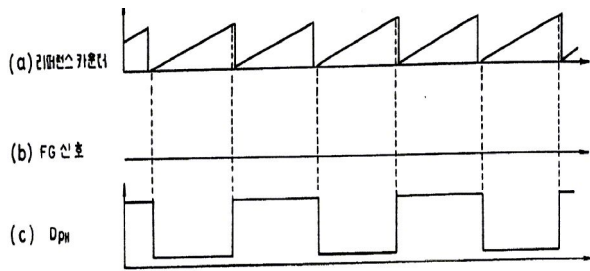
도면9



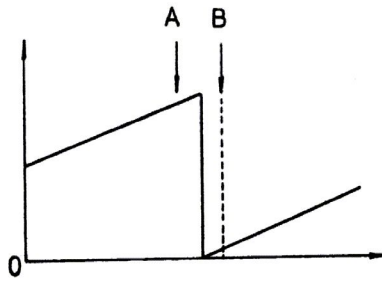
도면10



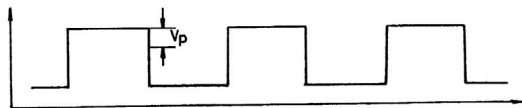
도면 11



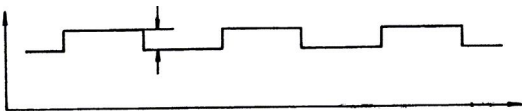
도면 12



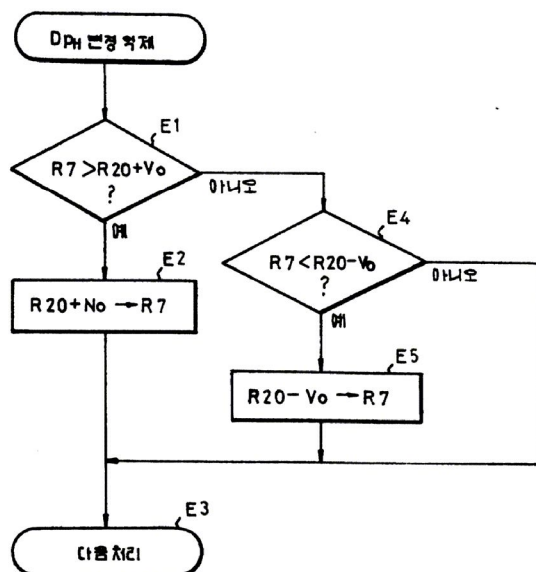
도면 13a



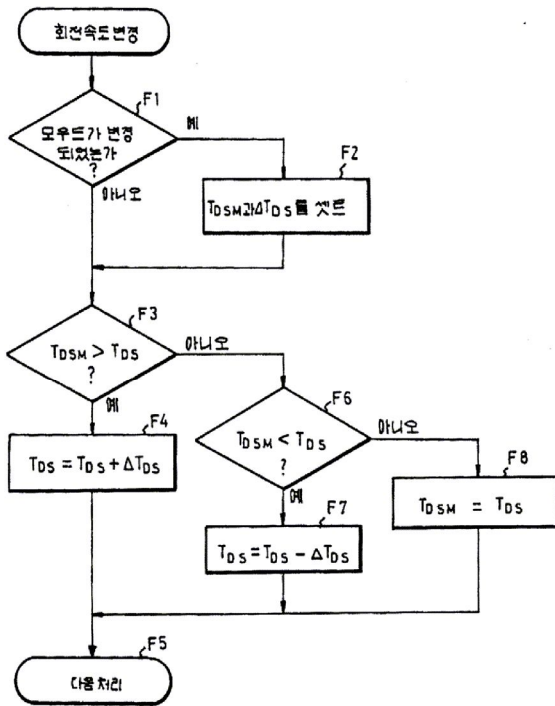
도면 13b



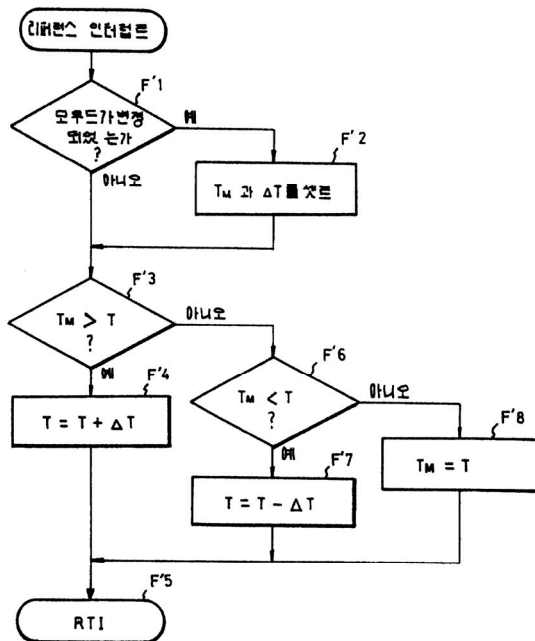
도면 14



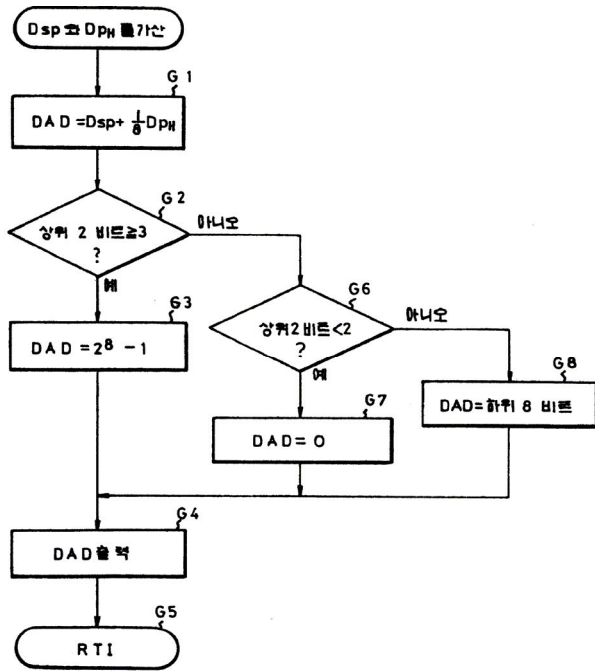
도면 15



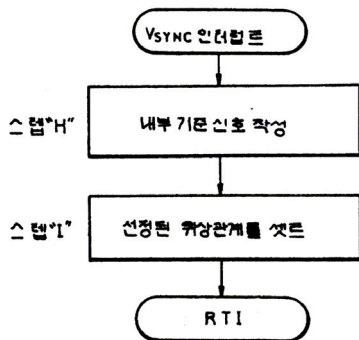
도면 16



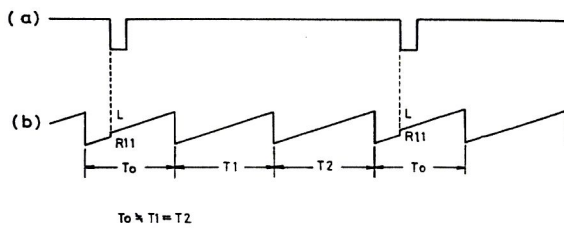
도면 17



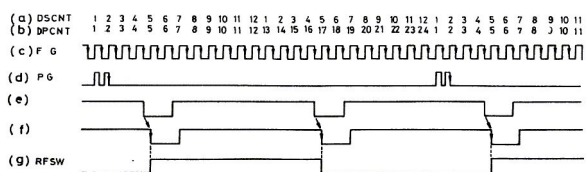
도면 18



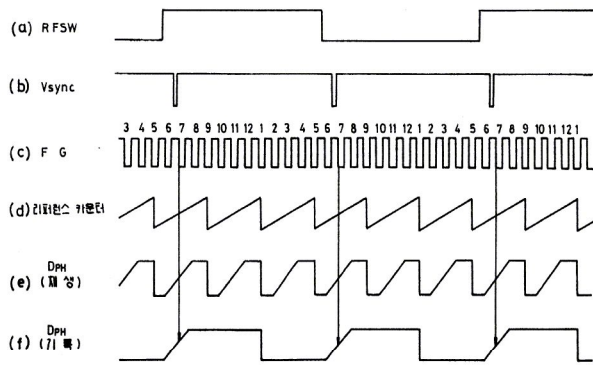
도면 19



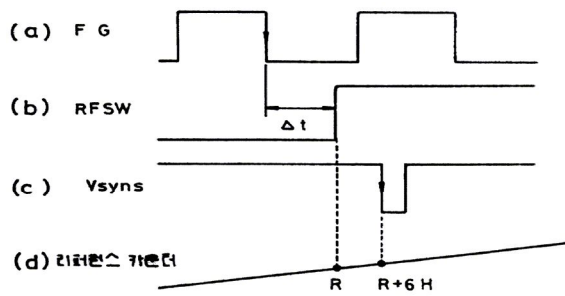
도면 20



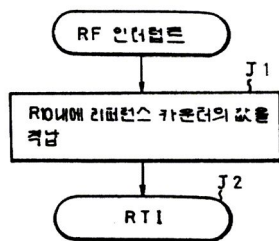
도면21



도면22



도면23



도면24

