



(12)发明专利

(10)授权公告号 CN 107210707 B

(45)授权公告日 2020.11.13

(21)申请号 201580075207.8

(22)申请日 2015.11.12

(65)同一申请的已公布的文献号  
申请公布号 CN 107210707 A

(43)申请公布日 2017.09.26

(30)优先权数据  
14/571,805 2014.12.16 US

(85)PCT国际申请进入国家阶段日  
2017.08.01

(86)PCT国际申请的申请数据  
PCT/US2015/060379 2015.11.12

(87)PCT国际申请的公布数据  
W02016/099722 EN 2016.06.23

(73)专利权人 赛灵思公司  
地址 美国加利福尼亚州

(72)发明人 A·M·贝克勒 P·乌帕德亚雅

(74)专利代理机构 北京市君合律师事务所  
11517

代理人 宋海宁 毛健

(51)Int.Cl.  
H03B 5/12(2006.01)

(56)对比文件  
US 2009251228 A1,2009.10.08  
US 2010187575 A1,2010.07.29  
CN 103404024 A,2013.11.20  
US 2009309162 A1,2009.12.17  
US 2007247237 A1,2007.10.25  
US 7915966 B2,2011.03.29

审查员 赵梅杰

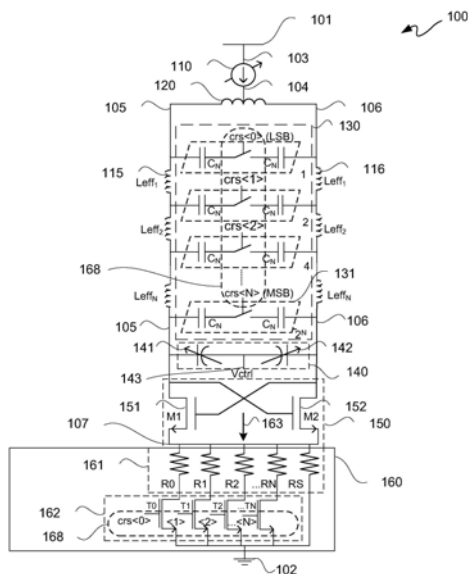
权利要求书3页 说明书18页 附图7页

(54)发明名称

包括MuGFET的压控振荡器

(57)摘要

描述了压控振荡(100)。在用于压控振荡的设备中,电感器(120)具有抽头以及具有或被耦接到正端输出节点(105)和负端输出节点(106)。粗粒度电容器阵列(130)被耦接到所述正端输出节点(105)和所述负端输出节点(106),并且被耦接以分别接收选择信号(168)。变容二极管(140)被耦接到正端输出节点(105)和负端输出节点(106)并且被耦接以接收控制电压(143)。变容二极管(140)包括MuGFET(141,142)。跨导单元(150)被耦接到正端输出节点(105)和负端输出节点(106),并且跨导单元(150)具有公共节点(107)。频率缩放的电阻网络(160)被耦接到公共节点(107),并且被耦接以接收用于第二电流的路径的电阻值的选择信号(168)。



1. 一种压控振荡器,其特征在于,所述压控振荡器包括:

可编程电流源,其被配置为输出第一电流,其中多个第一选择信号中的每个第一选择信号和多个第二选择信号中的每个第二选择信号共同控制由所述可编程电流源输出的所述第一电流;

电感器,其具有抽头,并且具有或被耦接到正端输出节点和负端输出节点,其中所述抽头被耦接以接收所述第一电流;

粗粒度电容器阵列,其被耦接到所述正端输出节点和所述负端输出节点,并且被耦接以分别接收所述多个第一选择信号,其中所述多个第一选择信号中的每个第一选择信号共同控制所述粗粒度电容器阵列中的有效电容值;

变容二极管,其被耦接到所述正端输出节点和所述负端输出节点,并且被耦接以接收控制电压;

其中所述变容二极管包括第一MuGFET;

跨导单元,其被耦接到所述正端输出节点和所述负端输出节点,并且具有公共节点;以及

频率缩放的偏置电流源-电阻网络,其被耦接到所述公共节点,并且被耦接以接收所述多个第一选择信号,其中所述多个第一选择信号中的每个第一选择信号共同通过所述频率缩放的偏置电流源-电阻网络控制用于第二电流的累积电流路径的有效电阻值。

2. 根据权利要求1所述的压控振荡器,其特征在于,所述压控振荡器还包括:

控制器,其被耦接以接收用于频率和幅度摆动的输入信号,并且被配置为响应于用于所述频率和幅度摆动的所述输入信号而提供所述多个第一选择信号、所述多个第二选择信号和共模电压代码;

可调节电压的电路,其被配置为接收所述共模电压代码,以提供所述控制电压;以及其中所述频率缩放的偏置电流源-电阻网络包括:

电阻,各所述电阻分别具有第一端和第二端,其中所述第一端被耦接到所述公共节点;

选择晶体管,其具有栅极节点、漏极节点和源极节点;

其中所述漏极节点分别被耦接到所述电阻的第二端;

其中所述源极节点分别彼此共同耦接;以及

其中所述选择晶体管的栅极节点分别被耦接以接收所述多个第一选择信号。

3. 根据权利要求2所述的压控振荡器,其特征在于:

用于所述第二电流的累积电流路径的有效电阻值能够随所述压控振荡器的频率范围内的频率而缩放;

所述选择晶体管包括第二MuGFET;以及

所述第二电流是用于所述压控振荡器的偏置电流。

4. 根据权利要求1-3中任一项所述的压控振荡器,其特征在于:

所述粗粒度电容器阵列的单元互相间隔开,并被耦接到所述正端输出节点和所述负端输出节点;

所述单元被逐步间隔远离电感器的线圈,其电容值的排列顺序为 $C_0$ 到 $C_n$ , $C_0 < C_1 < \dots < C_{n-1} < C_n$ ,并且具有最大电容值的单元离所述线圈最远;以及

所述单元被耦接以分别接收所述多个第一选择信号。

5. 根据权利要求4所述的压控振荡器,其特征在于:  
所述单元参照所述多个第一选择信号从最低位到最高位被耦接;以及  
所述最低位离所述线圈最近。
6. 根据权利要求4所述的压控振荡器,其特征在于,每个所述单元包括:  
第一电容器和第二电容器;以及  
第一晶体管,其具有被耦接以接收所述多个第一选择信号中的一个相应的选择信号的第一栅极、被耦接到所述第一电容器的第一近端导体的第一源漏节点和被耦接到所述第二电容器的第二近端导体的第二源漏节点。
7. 根据权利要求6所述的压控振荡器,其特征在于,每个所述单元包括:  
第二晶体管和第三晶体管,其分别具有第二栅极和第三栅极,所述第二栅极和第三栅极被共同耦接以接收所述多个第一选择信号中的所述一个相应的选择信号;  
所述第二晶体管的第一漏极节点,其被耦接到所述第一晶体管的第一源漏节点;  
所述第三晶体的第二漏极节点,其被耦接到所述第一晶体的第二源漏节点;以及  
所述第二晶体管和所述第三晶体管各自的源极节点,其被共同耦接到接地点。
8. 根据权利要求7所述的压控振荡器,其特征在于,所述第一晶体管、所述第二晶体管和所述第三晶体管包括第二MuGFET。
9. 根据权利要求1-3中的任一项所述的压控振荡器,其特征在于:  
所述可编程电流源被耦接到电源节点,以提供所述第一电流;  
所述可编程电流源包括选择晶体管;以及  
所述选择晶体管分别被耦接以接收所述多个第一选择信号和所述多个第二选择信号,从而提供频率缩放的电流源。
10. 根据权利要求9所述的压控振荡器,其特征在于:  
所述选择晶体管是与第一极性相关联的第一选择晶体管,其中所述第一选择晶体管被耦接以分别接收所述多个第一选择信号;  
所述可编程电流源包括第二选择晶体管,其中所述第二选择晶体管被耦接以分别接收所述多个第二选择信号;以及  
所述第二选择晶体管与第二极性相关联,所述第二极性与所述第一极性相反。
11. 根据权利要求10所述的压控振荡器,其特征在于,所述可编程电流源的第一选择晶体管和所述第二选择晶体管是分别的第二MuGFET。
12. 根据权利要求1所述的压控振荡器,其特征在于,所述压控振荡器还包括控制器,所述控制器被耦接以接收用于频率和幅度摆动的输入信号,并且被配置为响应于所述用于频率和幅度摆动的输入信号而提供所述多个第一选择信号、所述多个第二选择信号和共模电压代码。
13. 一种用于压控振荡的方法,其特征在于,所述方法包括:  
由控制器接收用于频率和幅度摆动的输入信号;  
由所述控制器响应于所述用于频率和幅度摆动的输入信号,提供第一多个选择信号、多个第二选择信号和共模电压代码;  
由可调节电压电路接收所述共模电压代码,以提供控制电压;  
由可编程电流源输出第一电流,所述第一电流被所述多个第一选择信号中的每个第一

选择信号和所述多个第二选择信号中的每个第二选择信号共同控制；

接收所述第一电流到电感器的抽头；

其中所述电感器被耦接到或具有正端输出节点和负端输出节点；

共同基于所述多个第一选择信号中的每个第一选择信号控制粗粒度电容器阵列中的有效电容值，其中所述粗粒度电容器阵列被耦接到所述正端输出节点和所述负端输出节点；

将所述控制电压提供给被耦接到所述正端输出节点和所述负端输出节点的变容二极管；

其中所述变容二极管包括MuGFET；

经由被耦接到所述正端输出节点和所述负端输出节点的跨导单元提供跨导；

其中所述跨导单元具有公共节点；

共同基于所述多个第一选择信号中的每个第一选择信号为用于第二电流的累积电流路径控制频率缩放的偏置电流源-电阻网络中的有效电阻值，其中所述频率缩放的偏置电流源-电阻网络被耦接到所述公共节点；以及

输出振荡信号。

14. 根据权利要求13所述的用于压控振荡的方法，其特征在于，所述方法还包括：

通过可编程电流源选择所述第一电流，所述可编程电流源被耦接以接收所述多个第一选择信号和所述多个第二选择信号从而选择所述第一电流；

其中所述可编程电流源被耦接到电源节点，以为所述第一电流供电；以及

其中所述第一多个选择信号和所述多个第二选择信号用于所述可编程电流源的相反极性的晶体管。

## 包括MuGFET的压控振荡器

### 技术领域

[0001] 以下的说明涉及集成电路器件(“IC”)。更具体地,以下的说明涉及用于IC的包括MuGFET的压控振荡器。

### 背景技术

[0002] 集成电路随着时间推移已变得越来越“密集”,即,在给定尺寸的IC中实施了更多的逻辑结构。密度的这种增加导致了诸如多栅极场效应晶体管(“MuGFET”)那样的多栅极器件的开发。MuGFET的一种形式是多独立栅极场效应晶体管(“MIGFET”)。MuGFET的形式可以是平面的或非平面的。例如,平面双栅极晶体管和Flexfet是平面形式的MuGFET,而FinFET以及三栅极或3D晶体管是非平面形式的MuGFET。为了清楚起见,作为例子而不是限制,以下的说明是依据FinFET,其中FinFET通常是指任何基于鳍(Fin)的、多栅极晶体管结构体系,而不管栅极的数目,只要其具有至少两个栅极。

[0003] FinFET在电感-电容(“LC”)压控振荡器(“VCO”)中的使用提出了实现宽调谐范围的挑战。通常,这可以是因为可靠性和栅极功函数问题。沿着这一思路,由于该变容二极管的FinFET工艺功函数,变容二极管(例如NMOS变容二极管等)的电容-电压(“CV”)曲线可能向更高的电压移动。

[0004] 因此,提供能克服一个或多个这方面问题的宽带NMOS LC VCO是被期望的和有用的。

### 发明内容

[0005] 一种设备总体涉及压控振荡。在这样的设备中,电感器具有抽头并且所述电感器具有或被耦接到正端输出节点和负端输出节点。所述抽头被耦接以接收第一电流。粗粒度电容器(coarse grain capacitor)阵列被耦接到所述正端输出节点和所述负端输出节点,并且被耦接以分别接收多个选择信号。变容二极管被耦接到正端输出节点和负端输出节点并且被耦接以接收控制电压。变容二极管包括MuGFET。跨导单元被耦接到正端输出节点和负端输出节点,并且跨导单元具有公共节点。根据频率缩放的电阻网络被耦接到公共节点,并且被耦接以接收用于第二电流的路径的电阻值的多个选择信号。

[0006] 任选地,所述根据频率缩放的电阻网络具有相应的第一端和第二端,其中所述第一端被耦接到公共节点和带有栅极节点、漏极节点和源极节点的选择晶体管。漏极节点可以分别耦接到电阻的第二端。源极节点可以分别共同地互相耦接,以及选择晶体管的栅极节点可以分别被耦接以接收所述选择信号。

[0007] 任选地,用于第二电流的路径的电阻值可以根据所述压控振荡器的频率范围中的频率而缩放。所述选择晶体管可包括第二MuGFET,以及所述第二电流可以是用于压控振荡器的偏置电流。

[0008] 任选地,所述粗粒度电容器阵列的单元可以互相间隔开,并被耦接到所述正端输出节点和所述负端输出节点。所述单元可以逐步远离电感器的线圈,以及所述单元可以被

耦接以分别接收所述选择信号。

[0009] 任选地,所述单元参照所述选择信号从最低位到最高位被耦接以及所述最低位离所述线圈最接近。

[0010] 任选地,每个所述单元可包括第一电容器和第二电容器。所述单元还可以包括第一晶体管,所述第一晶体管具有被耦接以接收所述选择信号中的一个选择信号的第一栅极、被耦接到所述第一电容器的第一近端导体的第一源-漏节点、和被耦接到所述第二电容器的第二近端导体的第二源-漏节点。

[0011] 任选地,每个所述单元可包括第二晶体管和第三晶体管,所述第二晶体管和第三晶体管分别具有第二栅极和第三栅极,所述第二栅极和第三栅极被共同耦接以接收所述选择信号中的一个选择信号。所述第二晶体管的第一漏极节点可以被耦接到所述第一晶体管的第一源-漏节点。所述第三晶体管的第二漏极节点可以被耦接到所述第一晶体管的第二源-漏节点,以及所述第二晶体管和所述第三晶体管的各源极节点可以被共同耦接到接地点。

[0012] 任选地,所述第一晶体管、所述第二晶体管和所述第三晶体管包括第二MuGFET。

[0013] 任选地,所述压控振荡器还包括可编程电流源,其被耦接到电源节点,以提供所述第一电流。可编程电流源可包括选择晶体管以及所述选择电流可以分别被耦接以接收所述选择信号,以提供根据频率缩放的电流源。

[0014] 任选地,所述选择晶体管是与第一极性相关联的第一选择晶体管。可编程电流源可包括第二选择晶体管,其中所述第二选择晶体管被耦接以分别接收多个第二选择信号以及所述第二选择晶体管可以是与第二极性相关联的,所述第二极性与所述第一极性相反。

[0015] 任选地,所述可编程电流源的所述第一晶体管和所述第二晶体管是分别的第二MuGFET。

[0016] 一种系统总体涉及集成电路器件。在这样的系统中,控制器被耦接以接收频率和幅度摆动输入信号。压控振荡器被耦接到控制器,并接收选择信号和控制电压。所述压控振荡器包括电感器。电感器具有抽头并且所述电感器具有或被耦接到正端输出节点和负端输出节点。所述抽头被耦接以接收第一电流。粗粒度电容器阵列被耦接到所述正端输出节点和所述负端输出节点,并且被耦接以分别接收所述选择信号。变容二极管被耦接到正端输出节点和负端输出节点,并且被耦接以接收所述控制电压。变容二极管包括MuGFET。跨导单元被耦接到正端输出节点和负端输出节点。所述跨导单元具有公共节点。根据频率缩放的电阻网络被耦接到公共节点,并且被耦接以接收用于第二电流的路径的电阻值的所述选择信号。

[0017] 任选地,所述系统还包括可编程电流源,其被耦接到电源节点,以提供所述第一电流。所述可编程电流源可包括第一选择晶体管,以及所述第一选择晶体管可被耦接以接收所述选择信号。

[0018] 任选地,所述频率缩放的电阻网络可包括具有第一端的电阻,其中所述第一端被耦接到公共节点和包括源极节点、栅极节点和漏极节点的第二选择晶体管。所述第二选择晶体管的漏极节点可以分别被耦接到电阻的第二端。所述第二选择晶体管的源极节点可以被共同地互相耦接,以及所述第二选择晶体管的栅极节点可以分别被耦接以接收所述选择信号。

[0019] 任选地,粗粒度电容器阵列的单元可以互相间隔开,并被耦接到所述正端输出节点和所述负端输出节点。所述单元可以逐步远离电感器的线圈,以及所述单元的第三选择晶体管的组可被耦接以分别接收所述选择信号。

[0020] 任选地,用于第二电流的路径的电阻值由被提供到频率缩放的电阻网络的所述选择信号,根据所述压控振荡器的频率范围中的频率而缩放。

[0021] 任选地,所述第一选择电阻可以是与第一极性相关联的,以及所述选择信号可以是第一选择信号。可编程电流源可包括第四选择晶体管,其中所述第四选择晶体管被分别耦接以接收第二选择信号,以及第四选择晶体管与第二极性相关联,所述第二极性是与所述第一极性相反的。

[0022] 任选地,所述第一选择晶体管、所述第二选择晶体管、所述第三选择晶体管和所述第四选择晶体管都分别包括第二MuGFET。

[0023] 一种方法总的涉及到压控振荡。在这样的方法中,第一电流通过电感器的抽头被接收。电感器被耦接到或具有正端输出节点和负端输出节点。从被耦接到所述正端输出节点和所述负端输出节点的粗粒度电容器阵列中选择电容值。所述粗粒度电容器阵列被耦接以分别接收选择信号,从而选择电容值。设置用于被耦接到所述正端输出节点和所述负端输出节点的变容二极管的控制电压。变容二极管包括MuGFET。经由被耦接到所述正端输出节点和所述负端输出节点的跨导单元提供跨导。所述跨导单元具有公共节点。从被耦接到公共节点的根据频率缩放的电阻网络中选择用于第二电流的路径的电阻值。所述根据频率缩放的偏置电流源-电阻网络被耦接以接收所述多个选择信号从而选择用于所述路径的电阻值。输出振荡信号。

[0024] 任选地,所述选择信号是第一选择信号,以及所述方法还包括通过被耦接以接收所述第一选择信号和第二选择信号以选择第一电流的可编程电流源来选择所述第一电流。可编程电流源可被耦接到电源节点以供应所述第一电流,以及所述第一选择信号和所述第二选择信号用于可编程电流源的相反极性的两个晶体管。

[0025] 通过考虑下面的具体实施方式和附图,将明白本发明的其它特性。

## 附图说明

[0026] 附图示出了示例性设备和/或方法。然而,附图不应当被看作为对权利要求范围的限制,而仅仅是用于说明和理解。

[0027] 图1是描绘示例性宽带压控振荡器(“VCO”)的示意图。

[0028] 图2是描绘示例性可编程电流源的示意图。

[0029] 图3是描绘示例性电容器单元的示意图。

[0030] 图4是描绘增强型变容二极管的示例性电容值-电压(“CV”)曲线的图表。

[0031] 图5描绘了VCO的示例性布图。

[0032] 图6是描绘控制器的框图。

[0033] 图7是描绘示例性柱状现场可编程门阵列(“FPGA”)结构的简化框图。

[0034] 图8是描绘示例性压控振荡过程的流程图。

## 具体实施方式

[0035] 在以下的说明中,阐述了许多具体的细节,它们提供对这里描述的具体的例子的更透彻的说明。然而,本领域技术人员应当看到,可以不使用下面给出的具体细节的情况下,执行这些示例的一个或多个其它示例和/或变例。在其它实例中,为了不模糊对这里的示例的说明,没有对众所周知的特征进行描述。为了易于说明,在不同的图上使用相同的标签来指相同的事物;然而在替换例中,这些事物可以是不同的。

[0036] 在描述几张附图上说明性描绘的示例前,提供一般的介绍,以便进一步理解。

[0037] LC VCO是谐振振荡器,它的频率取决于有效电感(“ $L_{eff}$ ”)和有效电容值(“ $C_{eff}$ ”)。习惯上,LC振荡器具有固定电感值,而电容值经由FET变容二极管被调谐。这种调谐可被用来实现相对较窄频率调谐范围。

[0038] 相反,宽带LC VCO是通过使用切换的粗粒度电容器库(switching bank of coarse capacitors)与具有固定电感值的可精细调谐的变容二极管相组合而形成的。粗粒度电容器调谐库(coarse capacitor tuning bank)可以通过使用金属-氧化物-金属(“MoM”)电容器(即MoM电容器网络)与一系列FET开关相结合而形成。LC VCO的调谐范围可能限制并串转换器-串并转换器(“SERDES”)、射频(“RF”)或其它数据通信应用中数据速率的范围。

[0039] 最大频率调谐范围可能依赖于最大有效电容值(“ $C_{max}$ ”)相对最小有效电容值(“ $C_{min}$ ”)的比值(“ $C_{max}/C_{min}$ ”)。这个比值可能受该MoM电容器网络的电容值以及可精细调谐的变容二极管的细粒度电容网络的电容值影响。这个 $C_{max}/C_{min}$ 比值中的额外因素可包括LC谐振电路的任何寄生电容值,包括但不限于,任何缓冲器负荷电容值和/或交叉耦合的晶体管负荷的跨导(“ $g_m$ ”)。因此,形成宽带LC VCO的挑战是,相对于SERDES、RF或其它数据通信应用的期望的 $C_{max}$ ,使得 $C_{min}$ 最小化。

[0040] 为了形成宽带LC VCO,描述了频率依赖的偏置的LC VCO。所谓“宽带”,通常是指约至少20%的频率调谐范围。例如,这可以是约10GHz VCO的至少约20%频率调谐范围。然而,这可以随不同的应用而变化。例如,三个VCO可在它们之间重叠使用,以提供频率范围,例如大约8GHz到17GHz等,每个这样的VCO覆盖大约20%到30%的频率调谐范围。例如,这样的LC VCO可被用于SERDES应用,而不牺牲频率调谐范围,和/或不降低LC调谐电路的品质因数。这样的LC VCO可以便于提供低抖动锁相环(“PLLs”)。

[0041] 正如下面在附加细节中描述的,与包含频率信息的电流偏置同步的开环可编程电阻器被使用来确保可靠的VCO运行。通过布置粗粒度电容器的策略布局可被用于这样的LCVCO中以利用分布的L和C效应的优势。这样的布置可被用来增加LC振荡器的频率调谐范围或使其最大化,以便于提供宽带能力。可编程电流偏置可被用于提供在整个频率调谐范围内最佳的或至少改进的抖动性能,和/或通过利用依赖于偏置的寄生电容值而扩展频率调谐范围。

[0042] 记住以上的总的理解后,用于宽带LC VCO的各种结构配置总体在下面描述。

[0043] 图1是描绘示例性宽带LC VCO 100的示意图。LC VCO 100是PMOS电流源(“基于顶部的”)结构体系;然而,在另一个配置中,偏置电流和可编程电阻的位置可被交换,以用于NMOS电流源(“基于底部的”)结构体系。LC VCO 100可包括可编程电流源110、电感器120、粗粒度电容器(“cap”)阵列130、变容二极管140、交叉耦合的跨导(“ $g_m$ ”)单元150和电阻网络



160。电阻网络160包括偏置电流路径选择网络,即,晶体管的阵列(“晶体管阵列”)162和电阻的阵列(“电阻阵列”)161。

[0044] 通过用一对交叉耦合的晶体管151和152以提供交叉耦合跨导单元150,余量或动态余量(headroom)足以处理与按比例缩小技术(诸如20nm FinFET和更小的最小尺寸晶体管光刻技术)相关联的典型变化。频率缩放的偏置电流源(即可编程电流源110和电阻网络160)可以提供可编程电流偏置,其可被用来在宽的可调谐频率范围内补偿LC谐振振荡器(LC tank oscillator)摆动变化。

[0045] 电感器120可具有分布式的电感值,如以下附加细节描述的。参考电流(“Iref”)103可以作为输入被提供到可编程电流源110,以从可编程电流源110供应输出电流(“Iout”)104。输出电流104可被提供到电感器120的控制端口或抽头。

[0046] 来自可编程电流源110的可编程偏置电流Iout 104还可以通过利用偏置依赖的寄生电容值来提供LC VCO 100的宽带频率调谐范围。换句话说,在Iout 104的值更大的情况下,寄生电容值可以更大或具有更大的影响。另外,Ibias电流163可能与Iout 104相关。

[0047] 电流Iout 104可以被提供到电感器120的抽头。可以通过固定抽头电感器120提供用于LC VCO 100的宽频率调谐范围,固定抽头电感器120包括但不限于固定单抽头电感器120。换句话说,LC VCO 100的电感器120不一定必须是可切换抽头的电感器以提供宽带频率调谐范围。

[0048] 在这个例子中,粗粒度电容器阵列130由N个电容器单位单元131形成(N是大于1的正整数),用来提供从一个电容器单位单元到下一个电容器单位单元的、粗粒度的电容值步长。沿这一思路,粗粒度电容器单位单元131可以从 $2^0$ 到 $2^N$ 进行编号,表示从最低位(“LSB”)到最高位(“MSB”),对应于比特crs<0>到crs<N>。比特crs<0>到crs<N>可以是一系列选择信号或选择,它们可以分别被提供到电容器单位单元131的控制栅极。

[0049] 在这个例子中,每个电容器单位单元131由MoM电容器和NMOS晶体管MuGFET开关组成,正如下面以附加细节描述的。然而,在其它实施例中,也可以使用其它类型的电容器和/或其它类型的晶体管,例如其它类型的导体-绝缘体-导体电容器、其它极性晶体管、和/或其它类型的晶体管。另外,可以提供频段重叠,即,在频段X和频段X+1之间的频率重叠的百分比。为了得到大于某个百分比的频段重叠,例如大于约20%,电容器单位单元131的电容器大小可以变化。例如,比特crs<0>可以控制MoM电容器的130个指,并且比特crs<N>可以控制MoM电容器的120个指。这仅仅是为了清楚起见而举的一个例子,因此,这些或其它数值可被使用于其它例子中。

[0050] 变容二极管140的可调节电容器(“caps”)141和142可以组合地提供积累模式N-电容器变容二极管(N-cap varactor)。这样的可调节电容器141和142,相较于电容器单位单元131之间电容步长值,可以提供细粒度电容值调节。变容二极管140可以是常用的那些,所以这里不必详细地描述变容二极管140。

[0051] 交叉耦合跨导单元150可以由交叉耦合晶体管151和152形成,在本例中它们分别是NMOS晶体管。然而,这里描述的技术也可以用PMOS交叉耦合晶体管来实施,以提供交叉耦合跨导单元150。而且,在其它实施例中,可以使用其它类型的晶体管。NMOS晶体管151和152可以是平面晶体管或MuGFET,诸如FinFET。

[0052] 电感器120可被耦接到或具有正端输出节点105和负端输出节点106,如下面更详

细地描述的。粗粒度电容器阵列130的每个电容器单位单元131都可以在每个单元131的一个输出端处被耦接到正端输出节点105和在每个单元131的另一个输出端处被耦接到负端输出节点106。

[0053] 沿着这一思路,每个电容器单位单元131可以与对总体有效电感值的贡献相关联,如由分别在正端输出节点105和负端输出节点106上的N电感器115和116示出的。这样的电感器115不是实际的元件,这样的电感器115代表的是沿节点105和106的分布式电感,其中它们可以是电感器120的分布式电感。因此,电感器115可被使用来建模或代表这样的分布式电感,电感器115被示为分别与电容器单位单元131相关联的、沿着输出节点105和106串联耦接的各个电感器。

[0054] 变容二极管140可以在变容二极管140的一个输出端处被耦接到正端输出节点105和在另一个输出端处被耦接到负端输出节点106。可调节电容器141和142的输入可被共同地耦接以接收控制电压143。单个控制电压143可被用来调节每个可调节电容器141和142的电容值以用于这样的电容值的精细调谐调节。可调节电容器141和142可以通过使用MuGFET(例如FinFET)半导体工艺技术制成,诸如等于或小于20nm的半导体工艺节点。

[0055] 交叉耦合的跨导单元150可被耦接以提供节点105与106之间的跨导。交叉耦合的跨导单元150的NMOS晶体管151的漏极节点和NMOS晶体管152的栅极节点可被耦接到负端输出节点106。NMOS晶体管151和152的源极节点可以共同地被耦接到根据频率缩放的电阻网络160的电阻负载节点107。

[0056] 电阻网络160可被耦接在电阻负载节点107与接地节点102之间。更具体地,电阻阵列161的电阻R0到RN的第一端可以共同地被耦接到电阻负载节点107。电阻阵列161的源电阻(RS)的第一端可以在电阻负载节点107处与电阻R0到RN的第一端共同地耦接,并且这样的源电阻RS的第二端可以被耦接到接地节点102,以保证即使在偏置电流路径选择网络(例如晶体管阵列162)的所有的晶体管T0到TN,处在截止或基本上不导通状态时,这样的源电阻也存在。偏置电流路径选择网络(例如晶体管阵列162)的所有晶体管T0到TN,都可以通过使用MuGFET(例如FinFET)半导体工艺技术而制成,诸如等于或小于20nm的半导体工艺节点。

[0057] 电阻阵列161的电阻R0到RN的第二端分别被耦接到偏置电流路径选择网络(例如晶体管阵列162)的晶体管T0到TN的漏极节点。偏置电流路径选择网络(例如晶体管阵列162)的晶体管T0到TN的源极节点可以共同地被耦接到接地节点102。电阻网络160可被用来为偏置电流提供到地的路径,该偏置电流通常表示为从电阻负载节点107到接地节点102的I<sub>bias</sub> 163。根据频率缩放的偏置电流可以由可编程电流源110提供,以及电阻网络160可以提供在负载节点107处的根据频率可缩放的偏置电压。电阻网络160可以经由被提供到晶体管阵列162的选择信号crs<0>到crs<N>而具有某些独立的可编程性,这可以是与可编程电流源110无关的。

[0058] LC谐振振荡器是LC VCO 100的一部分。被耦接在电源电压与地之间的LC谐振振荡器通常包括:电感值,诸如在本例中由电感器120所提供的;电容值,诸如在本例中由变容二极管140所提供的;跨导,诸如在本例中由跨导单元150所提供的;以及电流源,诸如在本例中由根据频率缩放的电阻网络160所提供的。虽然在本例中,电感值、电容值、和跨导被并联,但在另外的配置中,分开的RLC网络可以共同地被耦接到电源电压和分别被耦接到跨导

电路。在另一个配置中,电感器120可以是带有中心抽头或节点的两个分开的电感器。该LC谐振振荡器的振荡频率由公式(1)给出如下:

$$[0059] \quad f_{osc} = 1 / (2\pi (L_{eff} * C_{eff})^{1/2}), \quad (1)$$

[0060] 其中 $L_{eff}$ 是该LC谐振振荡器的有效电感值,并且 $C_{eff}$ 是该LC谐振振荡器的有效电容值。该LC谐振振荡器的模拟输出的电压振荡摆动(“谐振电压振荡”)是LC谐振振荡器的偏置电流 $I_{bias}$  163与有效并联电阻值(“ $R_p$ ”)的函数。并联电阻值 $R_p$ 实际上是在谐振频率下该LC谐振振荡器的并联电阻值。沿这一思路,两组并联电阻、电感器120的电感值和变容二极管140的可调节的电容值可以彼此互相并联耦接,即,用于节点105的一组 and 用于节点106的一组,作为图1的粗粒度电容器阵列130、电感器120和变容二极管140的等效模型。在谐振频率时, $g_m$ 单元150的负电阻值可以等效于 $R_p$ ,以及这个并联电阻 $R_p$ 可以正比于 $Q_{loaded} * W_0 * L$ ,其中 $W_0$ 等于 $2\pi f$ , $f$ 是该LC VCO在 $L_{eff}$ 处的谐振频率,而 $Q$ 是在谐振时该LC谐振振荡器的品质因数。该偏置电流 $I_{bias}$  163和有效并联电阻 $R_p$ 都可以对于LC谐振振荡器电压摆动具有影响。对于LC谐振振荡器品质因数( $Q_{loaded}$ )和该LC谐振振荡器的工作频率( $\omega$ ),谐振电压摆动可以由公式(2)在数学上表达如下:

$$[0061] \quad \text{谐振电压摆动} = I_{bias} * R_p = I_{bias} * Q_{loaded} * \omega * L \quad (2)$$

[0062] 其中电感 $L$ 是有效电感 $L_{eff}$ 。LC谐振振荡器的品质因数是依赖于频率的变量,所以LC谐振振荡器并联电阻 $R_p$ 是频率( $\omega$ )的非线性函数。

[0063] 最终的谐振电压摆动在LC VCO 100要覆盖的宽频率范围内可能不是恒定的,因为最终的谐振电压摆动可能随频率而变化。为了保持最终的谐振电压摆动是恒定的或至少基本上恒定的, $I_{bias}$  163可以通过使用分别被提供到可编程电流源110的选择晶体管的选择信号168(诸如粗粒度选择比特( $crs<0>$ 到 $crs<N>$ ))而与并联电阻 $R_p$ 成反比地缩放。另外,选择信号168(诸如被分别提供的比特 $crs<0>$ 到 $crs<N>$ )可以分别被提供以控制 $2^0$ 到 $2^N$ 电容器单位单元的选择,即,粗粒度电容器单位单元131的二进制刻度。而且,该选择信号168(诸如比特 $crs<0>$ 到 $crs<N>$ )可以分别被提供到晶体管阵列162的晶体管 $T_0$ 到 $T_N$ 的栅极节点,以便选择电阻阵列161的对应的电阻 $R_0$ 到 $R_N$ 的哪个电阻(如果有的话)或所有的电阻,以被用来与电阻 $R_s$ 并联从而在节点107处提供恒定的电压。

[0064] 通常,当电阻网络160被乘以可编程电流源110的根据频率缩放的偏置电流时,该电阻网络160可被看作为根据频率缩放的电阻。这样,电阻网络160可以在负载节点107处提供恒定的电压。

[0065] 电阻 $R_0$ 到 $R_N$ 可以逐步地或增量地被缩放。因此,对于被增量缩放的电阻 $R_0$ 到 $R_N$ ,按照温度计码的方式,电阻 $R_0$ 到 $R_N$ 中的每个电阻通常可以是相同的电阻值。对于逐步缩放的电阻 $R_0$ 到 $R_N$ ,电阻 $R_0$ 的电阻值可以显著小于电阻 $R_N$ 的电阻值。例如,电阻 $R_0$ 到 $R_N$ 的电阻值可以用二进制码的方式二进制地增加。应当看到,通过选择电阻 $R_0$ 到 $R_N$ 中的、互相并联并与电阻 $R_s$ 并联的一个或多个电阻,而提供并联电阻 $R_p$ 。另外,增量缩放和逐步缩放的组合可以在提供电阻 $R_0$ 到 $R_N$ 时被使用,其中电阻 $R_0$ 到 $R_N$ 的第一部分通常具有相同的电阻值,而电阻 $R_0$ 到 $R_N$ 的第二部分或剩余部分是从所述第一部分中相同的单个电阻值被二进制地增加。

[0066] 任意地,晶体管 $T_0$ 到 $T_N$ 可以逐步地或增量地缩放。因此,为了增量地缩放晶体管 $T_0$ 到 $T_N$ ,按照温度计码的方式,每个晶体管 $T_0$ 到 $T_N$ 通常是相同的尺寸。对于逐步缩放的晶体管 $T_0$ 到 $T_N$ ,晶体管 $T_0$ 的尺寸可以显著小于晶体管 $T_N$ 的尺寸。例如,晶体管 $T_0$ 到 $T_N$ 的尺寸可以用

二进制编码的方式二进制地增加。应当看到,通过选择晶体管T0到TN中的互相并联并与通过电阻RS的电流路径并联的、一个或多个晶体管,而提供并联电流路径。比起较小的晶体管,晶体管T0到TN中较大的晶体管可以允许更多的电流流过。另外,增量缩放和逐步缩放的组合可以被用于提供晶体管T0到TN,其中晶体管T0到TN的第一部分,每个通常具有相同的尺寸,而晶体管T0到TN的第二部分或剩余部分从具有与所述第一部分中相同的单个尺寸被二进制地增加。

[0067] 图2是描绘示例性可编程电流源110的示意图。可编程电流源110包括PMOS侧电压调谐网络201和NMOS侧电压调谐网络202。参考电流(“Iref”)203被提供作为加到NMOS侧电压调谐网络202的输入。PMOS侧电压调谐网络201在偏置节点204处被耦接到NMOS侧电压调谐网络202。输出电流(“Iout”)205可以从PMOS侧电压调谐网络201被供应。NMOS侧电压调谐网络202包括“MN”晶体管206S和206C,以及MN晶体管206-1到206-8(“206”),而PMOS侧电压调谐网络201包括“MP”晶体管207S和207C,以及MP晶体管207-1到207-8(“207”)。网络201和202的晶体管可包括MuGFET(例如FinFET)或其它类型的晶体管。

[0068] Iref 203以及与其相关联的偏置电压被提供到晶体管MNS 206S的漏极节点和提供到晶体管MNC 206C、MNS 206S、MNSM 206-1和MNCM 206-5的公共栅极节点,其中“MN”代表NMOS晶体管。晶体管MNS 206S的源极节点被共同地耦接到晶体管MNC 206C的漏极节点,以及晶体管MNSM 206-1的源极节点被耦接到晶体管MNCM 206-5的漏极节点。

[0069] 晶体管MNC 206C、MNCM 206-5、MNS 206S和MNSM 206-1的栅极由NMOS偏置电压(“Vnon”)211偏置。NMOS偏置电压211是使得晶体管MNC 206C、MNCM 206-5、MNS 206S和MNSM 206-1保持在导通或至少基本上导通状态的偏置电压。

[0070] 晶体管MNC 206C、MNCM 206-5和MNC0 206-6的源极节点被共同地耦接到接地点102。晶体管MNSM 206-1的漏极节点被耦接到偏置节点204。因此,晶体管MNS 206S、MNSM 206-1、MNC 206C和MNCM 206-5被耦接以提供最小偏置电路,它至少将最小偏置提供给偏置节点204,以及提供大体恒定电压Vnon 211。然而,被提供到偏置节点204的这个偏置可以通过选择一对或多对晶体管而被调节,正如下面以附加细节描述的。

[0071] 晶体管MSC0 206-6到MSC2 206-8的漏极节点分别被耦接到晶体管MNS0 206-2到MNS2 206-4的源极节点,而晶体管MNS0 206-2到MNS2 206-4的漏极节点以及晶体管MNSM 206-1的漏极节点被共同地耦接到偏置节点204。晶体管MNS0 206-2到MNS2 206-4的栅极节点被分别共同地与晶体管MNC0 206-6到MNC2 206-8的栅极节点耦接。晶体管MNS0 206-2到MNS2 206-4与晶体管MNC0 206-6到MNC2 206-8的晶体管对的公共栅极节点可以根据由选择信号268(诸如选择比特n<0>到n<2>)分别控制的各个开关288-1到288-3被分别和选择地耦接到偏置节点204。这些开关288可以是传输栅接晶体管(pass-gated transistor)、配置存储器单元或者用来选择地或可编程地设置状态的其它电路。

[0072] 因此,晶体管206-2到206-4分别与晶体管206-6到206-8形成NMOS晶体管对。在网络201以及网络202中可以有N对晶体管,正如下面以附加细节描述的,其中N是大于0的正整数。虽然在本例中N等于3,但在其它例子中,N可以小于或大于3。

[0073] 成对的晶体管MNS0 206-2到MNS2 206-4和MNC0 206-6到MNC2 206-8可以被分别加权(例如通过逐步增加尺寸),从而逐步调节施加到偏置节点204的偏置电压。可选地,成对的晶体管MNS0 206-2到MNS2 206-4和MNC0 206-6到MNC2 206-8通常可以具有相同的尺

寸,从而逐步调节施加到偏置节点204的偏置电压。

[0074] 从偏置节点204供应的偏置电压可被提供到晶体管MPS 207S的漏极节点,并被提供到晶体管MPS 207S、MPC 207C、MPCM 207-1和MPSM 207-5的公共栅极节点。晶体管MPS 207S的源极节点与晶体管MPC 207C的漏极节点共同耦接。

[0075] 晶体管MPS 207S、MPC 207C、MPCM 207-1和MPSM 207-5的栅极被共同地由PMOS偏置电压 (“V<sub>pon</sub>”) 221进行偏置,其也即用来使得那些晶体管保持在导通或至少基本上导通状态的偏置电压。

[0076] 晶体管MPC0 207-2到MPC2 207-4的栅极节点分别与晶体管MPS0 207-6到MPS2 207-8的栅极节点共同耦接,分别形成它们的PMOS晶体管对。响应于分别由选择信号168 (诸如选择比特crs<0>到crs<2>) 控制的各个开关278-1到278-3,晶体管MPC0 207-2到MPC2 207-4与晶体管MPS0 207-6到MPS2 207-8的晶体管对的公共栅极节点可以被分别地和选择性地耦接到偏置节点204。这些开关278可以是传输栅接晶体管、配置存储器单元或用来选择性地或可编程地设置开路或闭合状态的其它电路。

[0077] 晶体管MPC 207C、MPCM 207-1和MPC0 207-2到MPC2 207-4的源极节点被共同耦接到电源节点101。晶体管MPSM 207-5的源极节点与晶体管MPCM 207-1的漏极节点共同耦接。晶体管MPSM 207-5的漏极节点被耦接到输出节点224, I<sub>out</sub> 205可以从该输出节点被供电。因此,晶体管MPS 207S、MPSM 207-5、MPC 207C和MPCM 207-1被耦接来提供最小偏置电路,它至少将最小偏置电流I<sub>out</sub> 205提供到输出节点224,以及提供大体恒定的偏置电压V<sub>pon</sub> 221。然而,被提供到输出节点224的这个偏置输出电流I<sub>out</sub> 205可以通过选择一个或多个成对的NMOS晶体管MPC0 207-2到MPC2 207-4和MPS0 207-6到MPS2 207-8而分别地被调节,正如下面以附加细节被描述的。

[0078] 晶体管MPC0 207-2到MPC2 207-4的漏极节点被分别耦接到晶体管MPS0 207-6到MPS2 207-8的源极节点,以及晶体管MPS0 207-6到MPS2 207-8的漏极节点被共同耦接到输出节点224。成对的NMOS晶体管MPC0 207-2到MPC2 207-4与MPS0 207-6到MPS2 207-8的栅极节点可以响应于分别由粗粒度选择信号168 (诸如选择比特crs<0>到crs<2>) 控制的各个开关278被选择性地且分别地耦接。因此,N对PMOS晶体管的任意一对或多对可被选择性地加入来提供I<sub>out</sub> 205。虽然在本例中N等于3,但在其它例子中,N可以大于3。因此,可以有N对NMOS晶体管和N对PMOS晶体管来提供作为相反的极性的各个对的电流源。因此,在本例中的选择信号168和268可以分别被提供到成组的相反的极性的开关晶体管278和278。

[0079] 成对的PMOS晶体管MPC0 207-2到MPC2 207-4和MPS0 207-6到MPS2 207-8可以被分别加权 (例如逐步改变尺寸),以便逐步调节偏置电流I<sub>out</sub> 205。可选地,成对的PMOS晶体管MPC0 207-2到MPC2 207-4,和MPS0 207-6到MPS2 207-8可以分别地具有大体相同的尺寸,以逐步调节加到输出节点224的偏置电流I<sub>out</sub> 205。

[0080] 图3是描绘示例性电容器单位单元131的示意图。在本例中,电容器单位单元131被耦接成用于接收选择信号168-N,例如MSB crs<N>,然而,以下的说明可应用于图1的任何的电容器单位单元131,因为每个这样的电容器单位单元131都可包括相同的部件,虽然它们的电容器尺寸可能相同或不同。

[0081] 晶体管301到303是一组NMOS MuGFET,例如其在本例中为FinFET。在所述组中晶体管301到303中每一个的栅极节点被耦接以接收作为选择信号168-N的比特crs<N>。晶体管

301到303的栅极可以被共同耦接以接收该选择信号168-N。因此,所有的晶体管301到303可以响应于相同的选择信号168-N从导通状态转换到截止状态,或者从截止状态转换到导通状态。

[0082] 晶体管302的漏极节点可以被耦接到晶体管301的源极节点或漏极节点311,并且晶体管303的源极节点可以被耦接到晶体管301的漏极或源极节点。晶体管302和303的源极节点可以被耦接到接地节点102。可以代表各个电容库的电容器306和307可以分别被耦接到节点311和312。沿着这一思路,第一多个MoM电容器可以被并联耦接,以提供电容器306,以及第二多个MoM电容器可以被并联耦接,以提供电容器307。可使用的电容器库的配置的例子是“指”或“指状电容器(finger capacitor)”。电容器306的非负载侧节点可以被耦接到节点311,以及电容器307的非负载侧节点可以被耦接到节点312。

[0083] 当晶体管301到303都处在截止状态时,除了以下附加细节描述的寄生电容耦合之外,电容器306和307通常互相去耦并且与接地节点102去耦。当晶体管301到303都处在导通状态时,节点311和312在它们的非负载侧彼此相互传输栅极地耦接(pass-gate coupled),并被耦接到接地节点102。电容器306和307的负载或输出节点可以分别被耦接到正端输出节点105和负端输出节点106,正如图1中显示的。基本上当晶体管301到303都处在导通状态时,节点311和312被设置到接地节点102,因此,输出节点106和105每个到地之间都是电容值为 $C_N$ 的电容器。

[0084] 电容器单位单元131可以具有某些寄生电容值,例如与和MoM电容器组合的晶体管301到303相关联的寄生电容值。因此,电容器304可能不是在节点311与接地节点102之间耦合的实际电容器,同样地,电容器305可能不是在节点312与接地节点102之间耦合的实际电容器。而是,电容器304和305可被用来给与和MoM电容器组合的晶体管301到303相关联的寄生电容值建模。因此,即使当晶体管301到303都处在截止状态时,在M2和M3的漏极和源极区域之间的它们的小寄生电容值仍旧存在。这个小寄生电容值呈现为与电容器306和307的比寄生电容大得多的电容值 $C_N$ 串联。当小电容值呈现为与大电容值串联时,有效的电容值小于两个电容值中的最小的电容值,以形成 $C_{min}$ 。

[0085] MoM电容器306和307可以由深N阱形成,用来减小与MoM电容器相关联的总体寄生电容值,减小 $C_{min}$ 以使得 $C_{max}/C_{min}$ 比值最大化,以得到更大的频率调谐范围。通常,深N阱是被注入到一定深度的N阱,该深度超过它的内部N阱的深度,以使得该内部的N阱与p型大块衬底隔离开。深N阱可被使用来屏蔽数字电路的噪声,免得影响共享同一个p型体衬底的模拟电路的灵敏度。另外,这些粗粒度MoM电容器306和307可以被策略性地放置,以便利用LC谐振振荡器的分布式LC特性,不仅仅通过使得 $C_{min}$ 最小化,也通过调谐该LC谐振振荡器的有效电感值 $L_{eff}$ ,从而进一步增加所述调谐范围。

[0086] 回到图1,变容二极管140可被用来提供精细电容值调谐网络。然而,对于用来形成NMOS积累型(accumulation-mode)变容二极管140的FinFET或其它MuGFET半导体工艺技术,可以有更高的阈值电压,在常规地会使得AC耦合的NMOS变容二极管140限制LC VCO调谐范围。

[0087] 然而,根据频率缩放的电阻网络160提供频率依赖的可编程电阻,并结合频率依赖的偏置电流一起来调节用于变容二极管140的偏置电压,为NMOS LC VCO 100提供宽的调谐范围。所述宽带NMOS LC VCO 100可以在不损害LC谐振振荡器品质因数Q的情况下被提供。

所述宽带NMOS LC VCO 100可以与提升的负载品质因数Q一起被提供。

[0088] 宽调谐范围可以通过单个NMOS LC VCO 100被提供。这是与使用两个传统的LC VCO来解决调谐范围以补偿线路速率(line rate)相冲突的。而且,NMOS LC VCO 100不包括也不需要包括用于变容二极管140的任何AC旁路电容器,由于大的AC耦合电容器的寄生电容值和/或在变容二极管140内的电容值分割,所述AC旁路电容器会降低LC谐振振荡器的品质因数和/或可能会减小调谐范围。另外,NMOS LC VCO 100不使用也不需要用于变容二极管140的固定的控制电压143。

[0089] 通过加权PMOS电流源,诸如参照图2描述的,LC谐振振荡器摆动在LC VCO 100的频率范围内可以是大约恒定的,包括但不限于,在LC VCO 100被调谐或正在工作时。改变Ibias 163可能影响LC VCO 100的共模电压,该共模电压可能等于交叉耦合的NMOS晶体管151和152的栅极到源极电压(“Vgs”)。该共模电压可以大略等于 $(\sqrt{\beta * I_{bias}} - V_t)$ ,其中 $\beta$ 是与晶体管151和152的尺寸相关联的贝塔比值,以及 $V_t$ 大体是晶体管151和152的平均阈值电压。

[0090] 通常,对于LC VCO 100的低频工作,即当电阻值 $R_p$ 较小时,Ibias 163电流是较高的,因此LC谐振振荡器共模电压是较高的,而LC谐振振荡器幅度可以保持恒定。通常,对于LC VCO 100的高频工作,即当电阻值 $R_p$ 较大时,Ibias 163电流是较低的,因此LC谐振振荡器共模电压是较低的,以及LC谐振振荡器幅度可以保持为恒定的。

[0091] 图4是描绘NMOS积累型变容二极管的示例性电容值-电压(“CV”)曲线400的曲线图。CV曲线401是使用平面晶体管技术而实施的积累型MOS变容二极管的模型曲线。CV曲线402是使用MuGFET(例如FinFET)技术实施的积累型MOS变容二极管(例如图1中的变容二极管140)的模型曲线。CV曲线403是想要的或理想的变容二极管的模型曲线。因为积累型MOS变容二极管是熟知的,这里不必详细地加以描述。

[0092] CV曲线401到403中,x轴表示变容二极管的以伏(V)为单位的栅极偏置或电源(“Vgg”)电压,而y轴表示该变容二极管的以飞法(fF)为单位的栅极电容负载。Vgg可以等于 $(V_{outp}/V_{outn})$ 减去变容二极管栅极或控制电压,即在正端输出节点105上的电压除以在负端输出节点106上的电压减去控制电压143。

[0093] 变容二极管140的Vgg可被设置为LC VCO 100的共模电压(Vcm)。也就是说,Vcntrl 143可以被调节到LC VCO 100的共模电压。随着Vcntrl 143被设置为Vcm,LC VCO 100的频率调谐范围可能是对Vcntrl 143敏感的。

[0094] CV曲线402可能因为FinFET半导体的功函数(work function)而偏移,如由箭头404所示的。例如,由于所述变容二极管的MuGFET(例如FinFET)技术功函数,NMOS变容二极管140可能被偏移到更高的电压。由缩放引起的这一更高的阈值电压漂移可能导致CV曲线402在区域405处更高的斜率。区域405可以与LC VCO 100的振荡器输出或振荡信号412相关联,其中振荡器输出412是围绕中心轴420振荡的正弦信号,其幅度总体与在中心轴420两侧的相对的轴421和422相关联。此外,低晶体管阈值电压可以是指NMOS Vgs也同样是低的,因此频率调谐范围对应地受到限制。微小的或过分限制的(“窄的”)调谐范围可能导致半导体工艺、电压、和/或温度(“PVT”)变化上没有频率重叠,换句话说,可能有明显的频率缝隙、欠缺处理电压变化的能力和/或缺处理温度变化的能力。为了解决一个或多个这方面的问题,可以使用图1中可编程电流源110的频率缩放的偏置电流源和频率缩放的电阻网络160,

其中电阻网络160被耦接到NMOS交叉耦合的跨导单元150的尾部,即被耦接到交叉耦合的NMOS晶体管151和152的源极节点。

[0095] 通过来自频率缩放的电阻网络160的电阻R,在变容二极管140的栅极节点处所施加的控制电压143可被表示为 $V_{gs}+I_{bias}*R$ 。在这个公式中, $I_{bias}$ 和R可以响应于频率被编程以提供宽带调谐范围,并且在LC VCO 100的工作范围内具有小的相位噪声。

[0096] 在交叉耦合的跨导单元的末尾节点处添加电阻R的另一个好处可以是对LC谐振振荡器的有载品质因数Q的提高。因此,从LC谐振振荡器(例如LC VCO 100)朝向接地点102“观察”的有效阻抗可以增加电阻值R。

[0097] 为了提供宽频率调谐范围,LC VCO 100可以通过电容器单位单元131的粗粒度MoM电容器306和307策略性放置而获益。因此,在布图中电容器单位单元131的粗粒度MoM电容器306和307的放置可被使用来最大化或很大地增加LC谐振振荡器频率,从公式1可以看到, $f_{osc}$ 是与 $L_{eff}$ 和 $C_{eff}$ 成反比的。如果电容器单位单元131的所有的粗粒度MoM电容器306和307被有效地关断或截止,则最大LC谐振振荡器频率可以被表示为如下公式(3):

$$[0098] \quad f_{osc}(\max) = 1 / (2\pi (L_{min} * C_{min})^{1/2}) \quad (3)$$

[0099] 其中,LC VCO 100中L和C被最小化。如果电容器单位单元131的所有粗粒度MoM电容器306和307被有效地接入或导通,则最小LC谐振振荡器频率可以被表示为如下公式(4):

$$[0100] \quad f_{osc}(\min) = 1 / (2\pi (L_{max} * C_{max})^{1/2}) \quad (4)$$

[0101] 图5描绘了LC VCO 100的示例性布图。在本例中,电感器120是八边形线圈,然而,在其它实施方案中,可以使用电感器120的其它配置结构。正如下面以附加细节描述的,布局可被使用来利用分布式电感值来增加频率调谐范围。

[0102] 可编程电流源110可被耦接到电感器120的抽头或节点501,以向抽头或节点501提供 $I_{out} 104$ 。例如,抽头501可以是中心抽头,即被耦接到线圈510的中心绕组。正端输出节点105和负端输出节点106可以是线圈510的各个绕组(例如顶部和底部绕组或相反)各自的延伸。

[0103] 粗粒度电容器阵列130的每个电容器单位单元131可被耦接到正端输出节点105和负端输出节点106。到电容器单位单元131的节点105和106的这些耦接在彼此之间可以具有间隔502,这些间隔可以是或可以不是均匀的,以便移动某些电容使其更接近或远离线圈510,正如下面以附加细节描述的。然而,通常单元131可以彼此互相间隔开,该单元131可以逐步远离电感器120的线圈510。

[0104] 例如,粗粒度电容器阵列130的电容器单位单元131的MoM电容器306和307可以分别被耦接到正端输出节点105和负端输出节点106。然而,粗粒度电容器阵列130的电容器单位单元131的电容值可以是互不相同的。因此,例如,电容器单位单元131-0到131-n的电容值可以分别是 $C_0$ 到 $C_n$ ,其中 $C_0 < C_1 < C_2 < C_3 \dots < C_{n-2} < C_{n-1} < C_n$ 。换句话说,电容器单位单元131的各个电容值可以逐次增大,其中对于每个更高阶的电容器单位单元131,电容值在这样的增大过程中逐渐增大,直到在这样的增大过程中最后的电容器单位单元131。这样的增大的尺度可以是增量的、二进制的或某些其它类型。为了清晰起见,例如但不是限制,将假设使用二进制递增,其中每个相邻的更高阶电容器单位单元131的电容值是最近的低阶电容器单位单元131的电容值的两倍,或 $2C_0 = C_1, 2C_1 = C_2, \dots, 2C_{n-2} = C_{n-1}, 2C_{n-1} = C_n$ 。

[0105] 在本例中,LSB crs<0>被提供到电容器单位单元131-0;下一个最低的SB crs<1>



被提供到电容器单位单元131-1等等,直至MSB crs<n>被提供到电容器单位单元131-n为止。换句话说,电容值的增加过程使得电容器单位单元131-n的最大电容值 $C_n$ 和与之相关联的电容器比特crs<n> (MSB) 比起粗粒度电容器阵列130的这样的单元131的任何其它电容值都更远离八边形线圈510。相反,电容值的增加过程使得电容器单位单元131-0的最小电容值 $C_0$ 和相关联的电容器比特crs<0> (LSB) 比起粗粒度电容器阵列130的这样的单元131的任何其它电容值都更靠近八边形线圈510。

[0106] 在本例中,LSB单元131-0相比于任何其它单元131更靠近线圈510。虽然阵列130的各单元131的电容值相对于电感器120的线圈510的接近程度的其它方向可被用于其它结构配置中,但是通过采取上述的LSB到MSB相对于线圈510从最近到最远方向,当用于通信的载频是最低时(即当阵列130的所有的电容器被接通或导通而得到如在公式(4)中的 $C_{max}$ 时)的有效电感值 $L_{eff}$ ,也即在公式(4)中的最大有效的电感值 $L_{max}$ 可以被得到。在LC VCO 100中的有效的电感值L按照如下的公式(5)被最大化:

$$[0107] \quad L_{max} = L_d/2 + L_{eff1} + L_{eff2} + \dots + L_{eff(n-1)} \quad (5)$$

[0108] 其中 $L_d$ 是电感器120的线圈510的本身d相位(d-phase)或d轴电感值,以及其中 $L_{eff1} + L_{eff2} + \dots + L_{eff(n-1)}$ 是沿正端输出节点105或负端输出节点106相加在一起的一组有效电感值,如之前参照图1描述的。这样可以得到LC VCO 100的最小LC谐振振荡器频率,如在公式(4)中阐述的。

[0109] 当所有的电容器比特crs<0>到crs<n>都没有设置有效而使得所有的电容器单元131-0到131-n被关断时,LC VCO 100的LC谐振振荡器的有效电感值被最小化。当所有这样的比特被关断以得到用于LC VCO 100的 $C_{min}$ 时,大多数RF电流可以流过电感线圈510的上半部。在这样的情况下,有效电感值L可以是最小值,即 $L_{min}$ ,并且 $L_{min}$ 可以近似等于 $L_d/2$ 。在这种状态下,LC VCO 100的最大LC谐振振荡器频率可以如公式(3)中所阐述的。

[0110] 因此,通过改变电容值C和有效电感值L以得到从 $C_{max} * L_{max}$ 到 $C_{min} * L_{min}$ 的范围,可以得到对应的最小和最大频率。而且,在 $C_{max} * L_{max}$ 到 $C_{min} * L_{min}$ 之间的粗粒度数值可以通过选择性地接通或关断电容器单元131-0到131-n中的一个或多个,以使得至少一个但不是全部这样的电容器单元131-0到131-n被接通而获得。因此,用于频率调谐范围的粗粒度频率控制的范围可以大大地增加,其中该范围的最大值和最小值分别与LC谐振振荡器的 $C_{max} * L_{max}$ 到 $C_{min} * L_{min}$ 相关联。这样的粗粒度频率控制可以通过响应于crs比特或信号选择地接通电容器单元131-0到131-n中的一些、全部或0个而被提供。

[0111] 在本例中,阵列130以及变容二极管140被耦接在节点105与106之间。而且,变容二极管140被耦接在被用于提供节点105和106的线的末端。因此,变容二极管140被耦接成比起阵列130的任何单元131来说更远离线圈510。

[0112] 晶体管151的漏极节点和晶体管152的栅极节点互相共同地耦接,并且被耦接到节点105的末端,而晶体管152的漏极节点和晶体管151的栅极节点互相共同耦接,并且被耦接到节点106的末端。在这个布图中,交叉耦合跨导单元150被耦接成比起变容二极管140来说更远离线圈510。而且,在这个布图中,交叉耦合跨导单元150没有被耦接在节点105与106之间,而是耦接在节点105与106之间限定的区域之外。频率缩放的电阻网络160被耦接到交叉耦合的跨导单元150的晶体管151和152的公共源极节点或电阻负载节点107,并且在这个布图中,频率缩放的电阻网络160比起交叉耦合的跨导单元150来说更远离线圈510。

[0113] 摆动和共模控制可以通过使用crs比特或信号来选择接通电阻R<sub>0</sub>到R<sub>N</sub>中的某些、全部或0个而被提供。因此,振荡器幅度摆动和共模电压可以通过依赖于频率的偏置电流和电阻库而随频率进行缩放。

[0114] 图6是描绘控制器600的框图。控制器600可以在可编程资源和/或专用逻辑中被实施。为了说明目的,作为示例但不是限制,假设控制器600以及LC VCO 100分别在集成电路器件(诸如SoC(例如,FPGA)、ASIC、多处理器芯片、存储器或具有一个或多个PLL的任何其它集成电路器件)的锁相环(“PLL”)中被实施。然而,应当理解,LC VCO 100可以在除了PLL以外的电路中被实施。为了说明目的,作为示例但不是限制,假设控制器600以及LC VCO 100在FPGA中被实施。

[0115] 控制器600可以接收频率和幅度摆动输入信号610。输入信号610可以是控制器600的一个或多个查找表(“LUT”)609的至少一个向量。对于与这样的向量相关联的选定的频率和摆动,第一组选择信号168(例如这里描述的一组比特crs<0>到crs<N>)、第二组选择信号268(例如这里描述的用于可编程电流源110的一组比特n<0>到n<N>)以及共模电压节点607可以响应于这样的选择信号而从LUT 609输出。

[0116] 分别与各组开关278与288相关联的各组选择信号168和268可以如这里描述的那样被提供到LC VCO 100,以便提供带有响应于输入信号610而选择的频率和摆动的信号。此外,共模电压代码607可被提供到控制器600的可调节电压电路608。可调节电压电路608可以响应于所述共模电压代码607提供控制电压,其中被存储在LUT 609中的所述共模电压代码607与所述选定的频率和摆动相关联。

[0117] 因为这里描述的一个或多个例子可以在FPGA中被实施,这里提供对这样的IC的详细说明。然而,应当理解,其它类型的IC也可以从这里描述的技术获益。

[0118] 可编程逻辑器件(“PLD”)是一类为人所熟知的可被编程来执行特定的逻辑功能的集成电路。一种类型的PLD——现场可编程门阵列(“FPGA”),通常包括可编程片的阵列。这些可编程片可包括,例如,输入输出块(“IOB”)、可配置逻辑块(“CLB”)、专用随机存取存储器块(“BRAM”)、乘法器、数字信号处理块(“DSP”)、处理器、时钟管理器、延时锁相环(“DLL”)等等。这里使用的“包括”不应被理解为限制。

[0119] 每个可编程片典型地包括可编程互连和可编程逻辑。可编程互连典型地包括大量由可编程互连点(“PIP”)互连的具有不同长度的互连线。可编程逻辑通过使用可编程元件而实施用户设计的逻辑,这些可编程元件可包括,例如,函数发生器、寄存器、算术逻辑等等。

[0120] 可编程互连和可编程逻辑典型地通过把配置数据流加载到定义如何配置可编程元件的内部配置存储器单元而被编程。配置数据可以从存储器(例如,从外部PROM)中被读出或由外部设备写入到FPGA。接着各个存储器单元的集体状态确定了FPGA的功能。

[0121] 另一种类型的PLD是复杂可编程逻辑器件,或CPLD。CPLD包括通过互连开关矩阵被连接在一起并被连接到输入/输出(“I/O”)资源的两个或更多“功能块”。CPLD的每个功能块包括二级与门/或门结构,类似于在可编程逻辑阵列(“PLA”)和可编程阵列逻辑(“PAL”)器件中使用的那些结构。在CPLD中,配置数据典型地在片上被存储在非易失性存储器中。在某些CPLD中,配置数据典型地在芯片上被存储在非易失性存储器中,然后被下载到易失性存储器,作为初始配置(编程)序列的一部分。

[0122] 对于所有这些可编程逻辑器件(“PLD”),所述器件的功能由为了该目的被提供到所述器件的数据比特控制。所述数据比特可被存储在易失性存储器(例如,静态存储器单元,如在FPGA和某些CPLD中的)、非易失性存储器(例如,快闪存储器,如在某些CPLD中的)、或任何其它类型的存储器单元中。

[0123] 其它的PLD通过应用可编程地互连器件上各种元件的处理层(诸如金属层)而被编程。这些PLD被称为掩模可编程器件。PLD也可以以其它方式,例如通过熔丝或反熔丝技术,而被实施。术语“PLD”和“可编程逻辑器件”包括但不限于,这些示例性器件,并且包括仅仅部分地可编程的器件。例如,一种类型的PLD包括硬编码的晶体管逻辑和用来可编程地互连这些硬编码的晶体管逻辑的可编程开关结构的组合。

[0124] 如上所述,先进的FPGA可包括在阵列中几种不同类型的可编程逻辑块。例如,图7显示FPGA结构700,其包括大量不同的可编程片,它们包括多吉比特收发机(“MGT”)701、可配置逻辑块(“CLB”)702、随机存取存储器块(“BRAM”)703、输入/输出块(“IOB”)704、配置和时钟逻辑(“CONFIG/CLOCK”)705、数字信号处理块(“DSP”)706、专用输入/输出块(“I/O”)707(例如,配置端口和时钟端口)和其它可编程逻辑708,诸如数字时钟管理器、模数转换器、系统监视逻辑等等。某些FPGA还包括专用处理器块(“PROC”)710。

[0125] 在某些FPGA中,每个可编程片包括可编程互连元件(“INT”)711具有去到和来自每个相邻的片中对应的互连元件的标准化连接。因此,合在一起的可编程互连元件实施用于显示的FPGA的可编程互联结构。可编程互连元件711还包括去到和来自在同一个片中的可编程逻辑元件的连接,诸如在图7的顶部所包括的例子显示的。

[0126] 例如,CLB 702可包括可配置的逻辑元件(“CLE”)712,它可被编程来实施用户逻辑加单个可编程互连元件(“INT”)711。BRAM 703除了一个或多个可编程互连元件以外,还可包括BRAM逻辑元件(“BRL”)713。典型地,一个片中所包括的互连元件的数目取决于片的高度。在图示的实施例中,BRAM片具有与五个CLB相同的高度,但也可以使用其它数目(例如,四个)。DSP片706,除了适当数目的可编程互连元件以外,还可包括DSP逻辑元件(“DSPL”)714。IOB 704,除了可编程互连元件711的一个实例以外,可包括例如,输入输出逻辑元件(“IOL”)715的两个实例。正如本领域技术人员熟知的,例如被连接到例如I/O逻辑元件715的实际的I/O面板通常不被限制于输入/输出逻辑元件715的区域。

[0127] 在图示的实施例中,靠近裸片中心的水平区域(图7上显示的)被用于配置、时钟和其它控制逻辑。从这个水平区域或柱延伸的竖直柱709被用来在FPGA的宽度上分配时钟和配置信号。

[0128] 利用图7上显示的结构体系的某些FPGA包括附加的逻辑块,其打乱规则的列结构,构成FPGA的大部分。附加逻辑块可以是可编程块和/或专用逻辑。例如,处理器块710横跨CLB和BRAM的几列。

[0129] 应当注意,图7仅仅旨在显示示例性的FPGA结构。例如,一行中逻辑块的数目、行的相对宽度、行的数目和次序、行中包括的逻辑块的类型、逻辑块的相对尺寸以及在图7的顶部处所包括的互连/逻辑实施例都纯粹是示例性的。例如,在实际的FPGA中,CLB出现的任何地方都会包括超过一个相邻的CLB行,便于有效地实施用户逻辑,但相邻的CLB行的数目是随FPGA的总体尺寸而变化的。

[0130] 图8是描绘示例性压控振荡过程800的流程图。压控振荡过程800可以被用于LC

VC0100,以提供振荡信号412输出,并且因此,压控振荡过程800可以同时参照图1-6和图8进行描述。

[0131] 在这样的过程800的801中,第一电流,例如 $I_{out}$  104,可以被接收到电感器的抽头,例如电感器120的抽头501。另外,电感器120可被耦接到或具有正端输出节点105和负端输出节点106。作为801的一部分,在811,选择信号168和268可以是用于选择这样的第一电流的选项,其中可编程电流源110被耦接以接收所述选择信号,以选择所述第一电流。可编程电流源110可被耦接到电源节点101(它可以是电源电压节点),用来给所述第一电流供电。再一次,选择信号168和268可被用于可编程电流源110的相反极性的两个晶体管。

[0132] 在802,可以从被耦接到正端输出节点105和负端输出节点106的粗粒度电容器阵列130中选择电容值。再一次,粗粒度电容器阵列130的单元131可以分别被耦接以接收选择信号168,从而选择这样的电容值。

[0133] 在803,控制电压143可以例如由控制器600设置成用于被耦接到正端输出节点105和负端输出节点106的变容二极管140。在804,可以经由被耦接到正端输出节点105和负端输出节点106的跨导单元(例如交叉耦合跨导单元150)而提供跨导。所述交叉耦合跨导单元150可以具有公共节点,例如公共源极节点107。

[0134] 在805,可以从被耦接到所述公共节点107的频率缩放的电阻网络160中选择电阻值,用于第二电流(例如 $I_{bias}$ 电流163)的路径。频率缩放的电阻网络160可被耦接以接收选择信号168,以选择用于到接地节点102的所述路径的所述阻值。沿着这一路径,在806,振荡信号412可以从LC VCO 100中输出,所述LC VCO 100具有根据如上所述的选择和受控电压设置的频率和幅度摆动。这样的频率可以在被包括于LC VCO 100的宽带频率调谐范围的范围内。

[0135] 概括来说,压控振荡器被描述为具有电感器,所述电感器被耦接以接收到电感器的抽头的第一电流,并且被耦接到或具有正端输出节点和负端输出节点。粗粒度电容器阵列被耦接到正端输出节点和负端输出节点,和被耦接以分别接收选择信号。变容二极管被耦接到正端输出节点和负端输出节点,并且被耦接以接收控制电压,其中所述变容二极管包括第一 $\mu$ GFET。跨导单元被耦接到正端输出节点和负端输出节点,并且具有公共节点。频率缩放的电阻网络被耦接到公共节点并被耦接以接收用于第二电流的路径的电阻值的选择信号。

[0136] 在如上一段所述的这样的压控振荡器中,频率缩放的电阻网络可包括各自第一端被耦接到选择晶体管的公共节点的电阻,所述选择晶体管的漏极节点分别被耦接到所述电阻的第二端,并且所述晶体管的源极节点分别互相共同耦接,其中选择晶体管的栅极节点被分别耦接以接收选择电流。用于第二电流的路径的电阻值可以是随压控振荡器的频率范围中的频率而可缩放的。选择晶体管可包括第二 $\mu$ GFET。第二电流可以是用于压控振荡器的偏置电流。粗粒度电容器阵列的单元可以互相间隔地被耦接到正端输出节点和负端输出节点。所述单元可以逐步地间隔以远离电感器的线圈。所述单元可被耦接以分别接收选择信号。所述单元可以参照选择信号,从最低位到最高位耦接。最低位可以是最接近于线圈的。每个单元可包括:第一电容器和第二电容器;以及第一晶体管,其具有被耦接以接收所述选择信号中的一个选择信号的第一栅极,还具有被耦接到第一电容器的第一近端导体的第一源漏节点和被耦接到第二电容器的第二近端导体的第二源漏节点。每个单元可包括:

第二晶体管和第三晶体管,它们分别具有被共同耦接以接收所述选择信号中的一个选择信号的第二栅极和第三栅极;第二晶体管的第一漏极节点被耦接至第一晶体管的第一源漏节点;第三晶体管的第二漏极节点被耦接到第一晶体管的第二源漏节点;并且第二晶体管和第三晶体管各自的源极节点都被共同耦接到接地节点。第一晶体管、第二晶体管和第三晶体管可包括第二MuGFET。可编程电流源可被耦接到电源节点,以提供第一电流,其中可编程电流源可被耦接以接收选择信号分别到它的各个选择晶体管,以提供频率缩放的电流源。选择晶体管可以是与第一极性相关联的第一选择晶体管。可编程电流源可被耦接以接收第二选择信号分别到它的第二选择晶体管。第二选择晶体管可以与第二极性相关联,所述第二极性是与第一极性相反的。可编程电流源的第一选择晶体管和第二选择晶体管可以分别是第二MuGFET。

[0137] 进一步概括起来,用于集成电路器件的系统被描述为具被耦接以接收频率和幅度摆动输入信号的控制器。压控振荡器被耦接到控制器,以接收选择信号和控制电压。所述压控振荡器包括:电感器,其被耦接以接收第一电流到它的抽头,并且被耦接到或具有正端输出节点和负端输出节点;粗粒度电容器阵列,其被耦接到正端输出节点和负端输出节点,并被耦接以分别接收所述选择信号;变容二极管,其被耦接到正端输出节点和负端输出节点,并被耦接以接收所述控制电压,其中所述变容二极管包括第一MuGFET;跨导单元被耦接到正端输出节点和负端输出节点,并具有公共节点;以及频率缩放的电阻网络,其被耦接到所述公共节点,并被耦接以接收用于第二电流的路径的电阻值的选择信号。

[0138] 在如前一段所述的系统中,可编程电流源可被耦接到电源节点,以提供第一电流,其中可编程电流源可被耦接以接收选择信号到它的各个第一选择晶体管。频率缩放的电阻网络可包括:在各自的第一端处被耦接到所述公共节点的电阻;以及第二选择晶体管,其漏极节点分别被耦接到所述电阻的第二端,其源极节点分别被互相共同耦接。第二选择晶体管的栅极节点可以分别被耦接以接收选择信号。粗粒度电容器阵列的各单元可以互相间隔开,以被耦接到正端输出节点和负端输出节点。所述单元可以逐步地间隔以远离电感器的线圈。用于第二电流的路径的电阻值可以经由被提供到频率缩放的电阻网络的选择信号,而对于在压控振荡器的频率范围中的频率可缩放。第一选择晶体管可以是与第一极性相关联的;选择信号可以是第一选择信号;可编程电流源可被耦接以分别接收第二选择信号到它的第四选择晶体管;以及第四选择晶体管可以与第二极性相关联,所述第二极性是与第一极性相反的。第一选择晶体管、第二选择晶体管、第三选择晶体管和第四选择晶体管,每个都分别包括第二MuGFET。

[0139] 再进一步概括起来,用于压控振荡的方法被描述为接收第一电流到电感器的抽头,其中电感器被耦接到或具有正端输出节点和负端输出节点。电容值是从被耦接到正端输出节点和负端输出节点的粗粒度电容器阵列中被选择的,其中粗粒度电容器阵列被耦接以分别接收选择信号,从而选择电容值。控制电压被设置以用于被耦接到正端输出节点和负端输出节点的变容二极管,其中变容二极管包括MuGFET。跨导是经由被耦接到正端输出节点和负端输出节点的跨导单元而被提供的,其中跨导单元具有公共节点。电阻值是从被耦接到用于第二电流的路径的公共节点的频率缩放的电阻网络中选择。频率缩放的偏置电流源-电阻网络被耦接以接收选择信号,用来选择用于该路径的电阻值。振荡信号被输出。

[0140] 在如前一段所述的方法中,选择信号可以是第一选择信号,以及第一电流可以通过可编程电流源而被选择,所述可编程电流源被耦接以接收第一选择信号和第二选择信号从而选择第一电流。可编程电流源可被耦接到电源节点,以为第一电流供电。第一选择信号和第二选择信号可被用于可编程电流源的相反极性的两个晶体管。

[0141] 虽然以上描述了示例性设备和/或方法,但可以根据这里描述的一个或多个方面设定其它和另外的例子,而不背离本发明的范围,这个范围由所附的权利要求及其等同而确定。权利要求列出步骤不暗示步骤的任何次序。注册商标是它们各自所有者的财产。

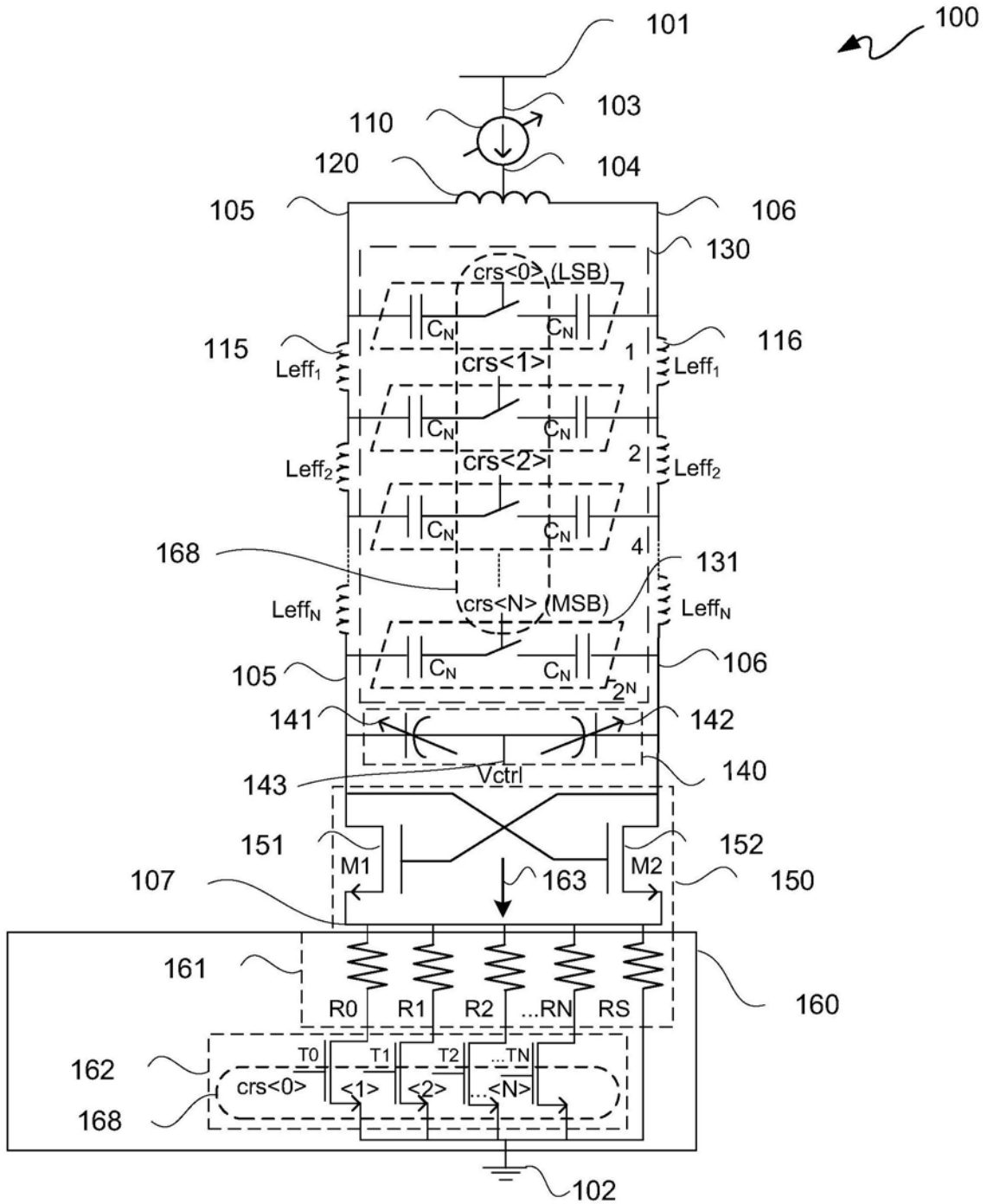


图1

110

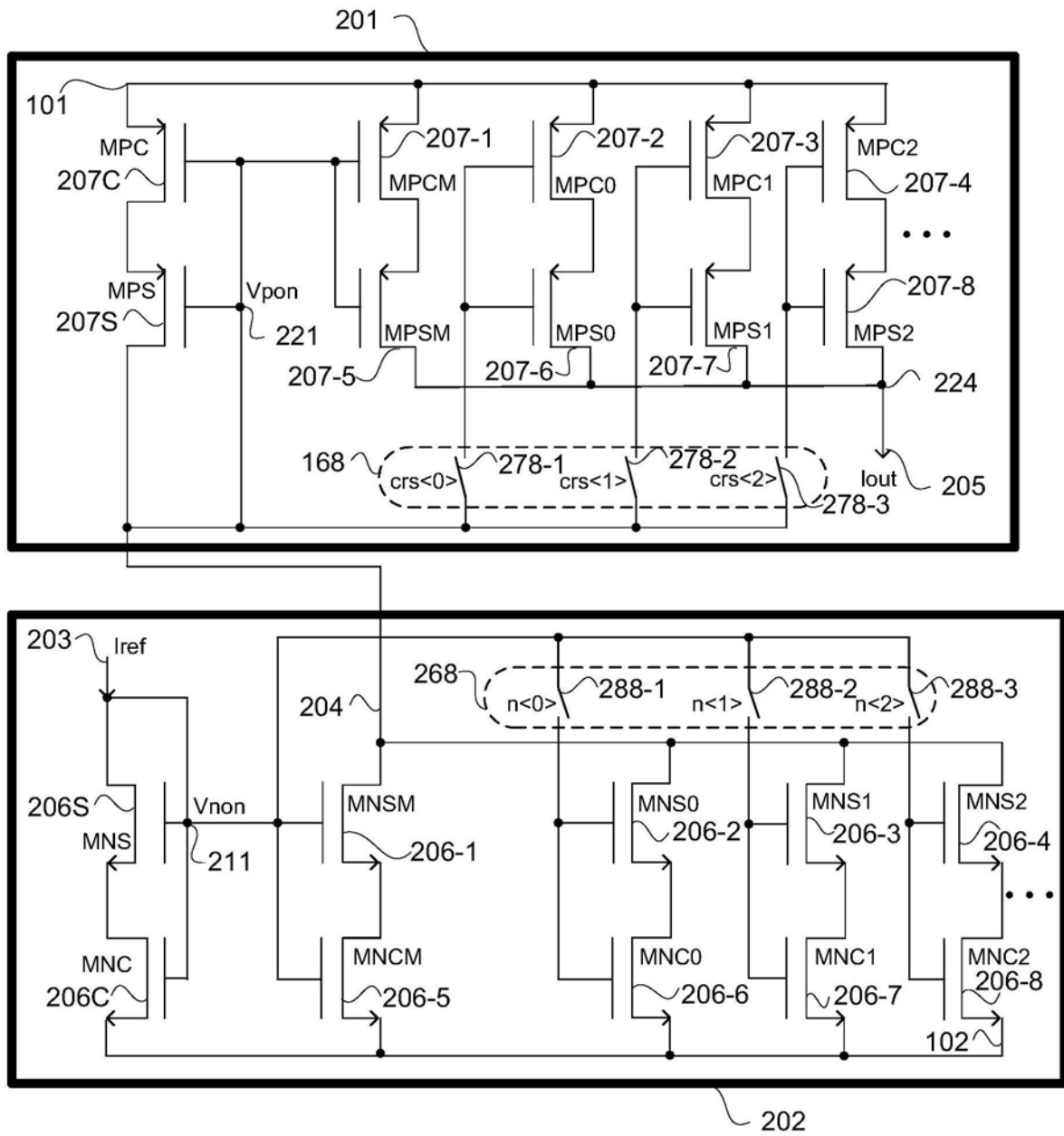


图2



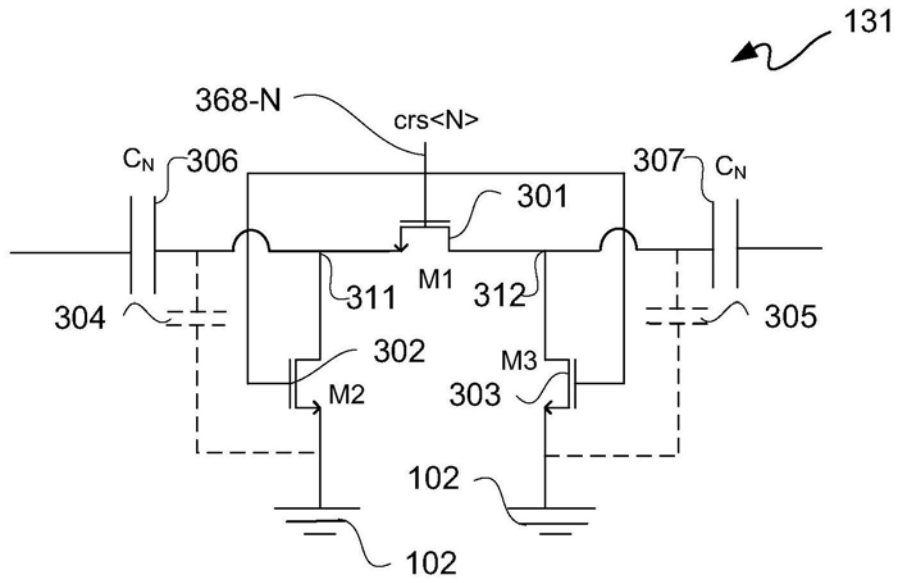


图3

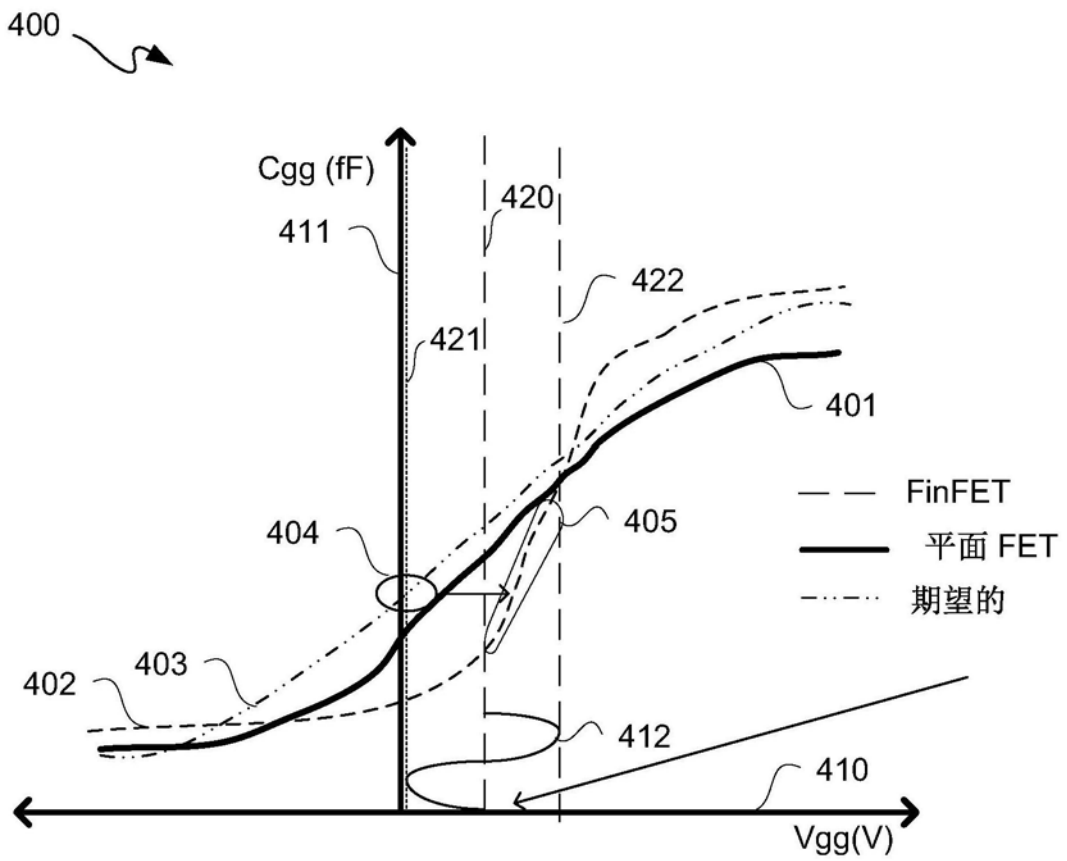


图4

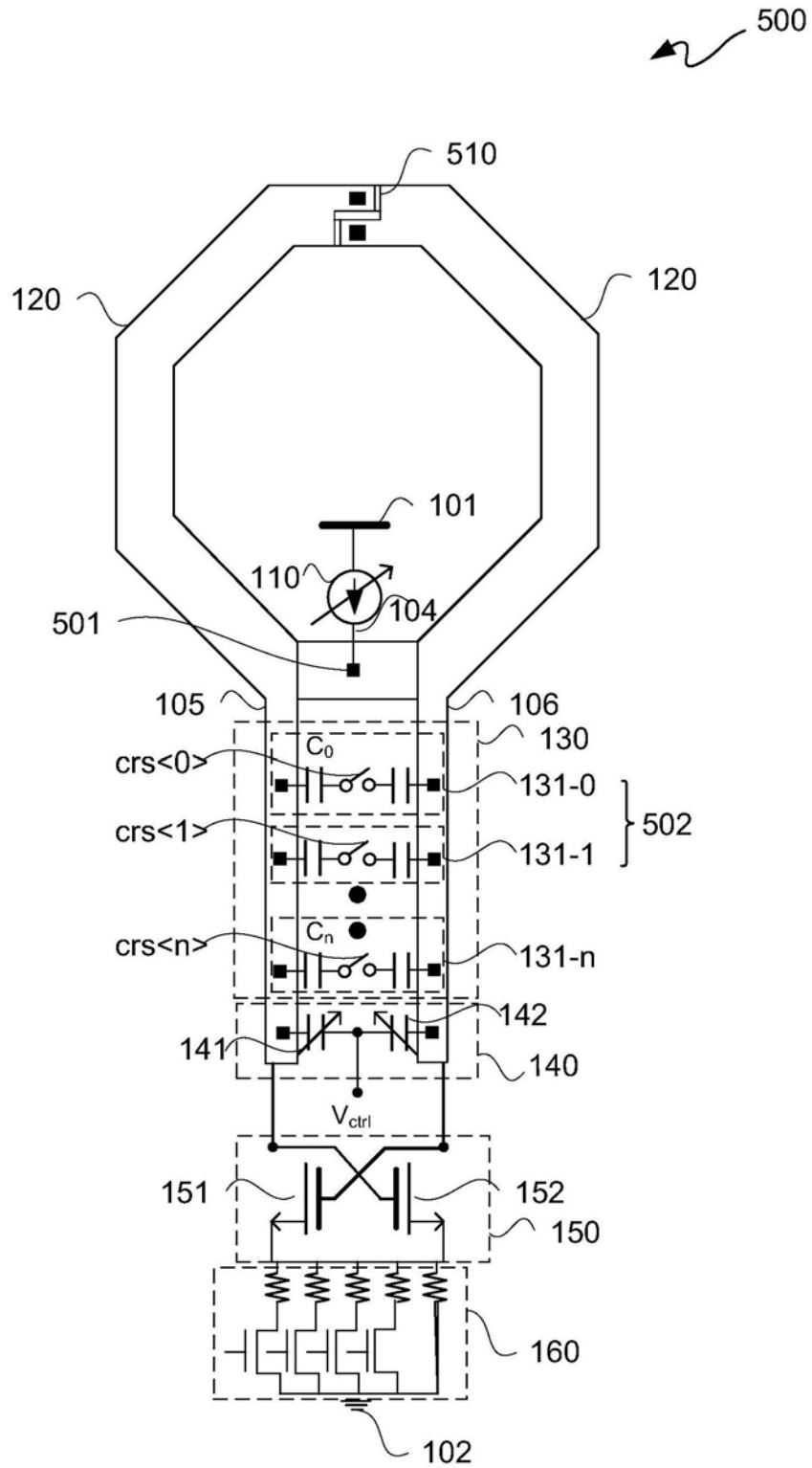


图5

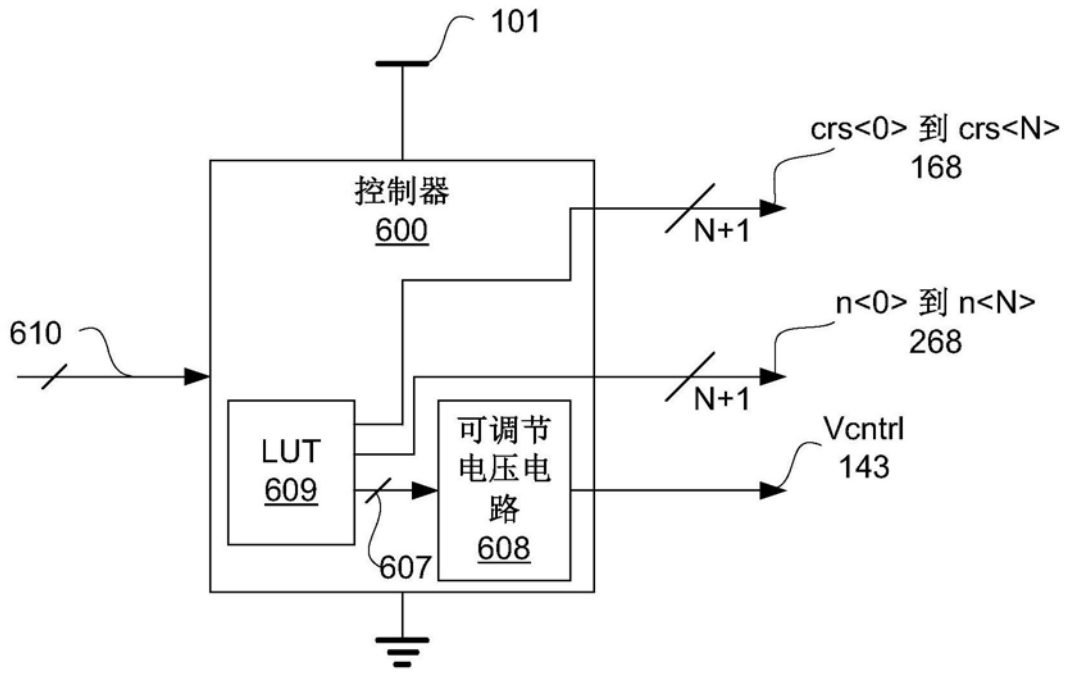


图6

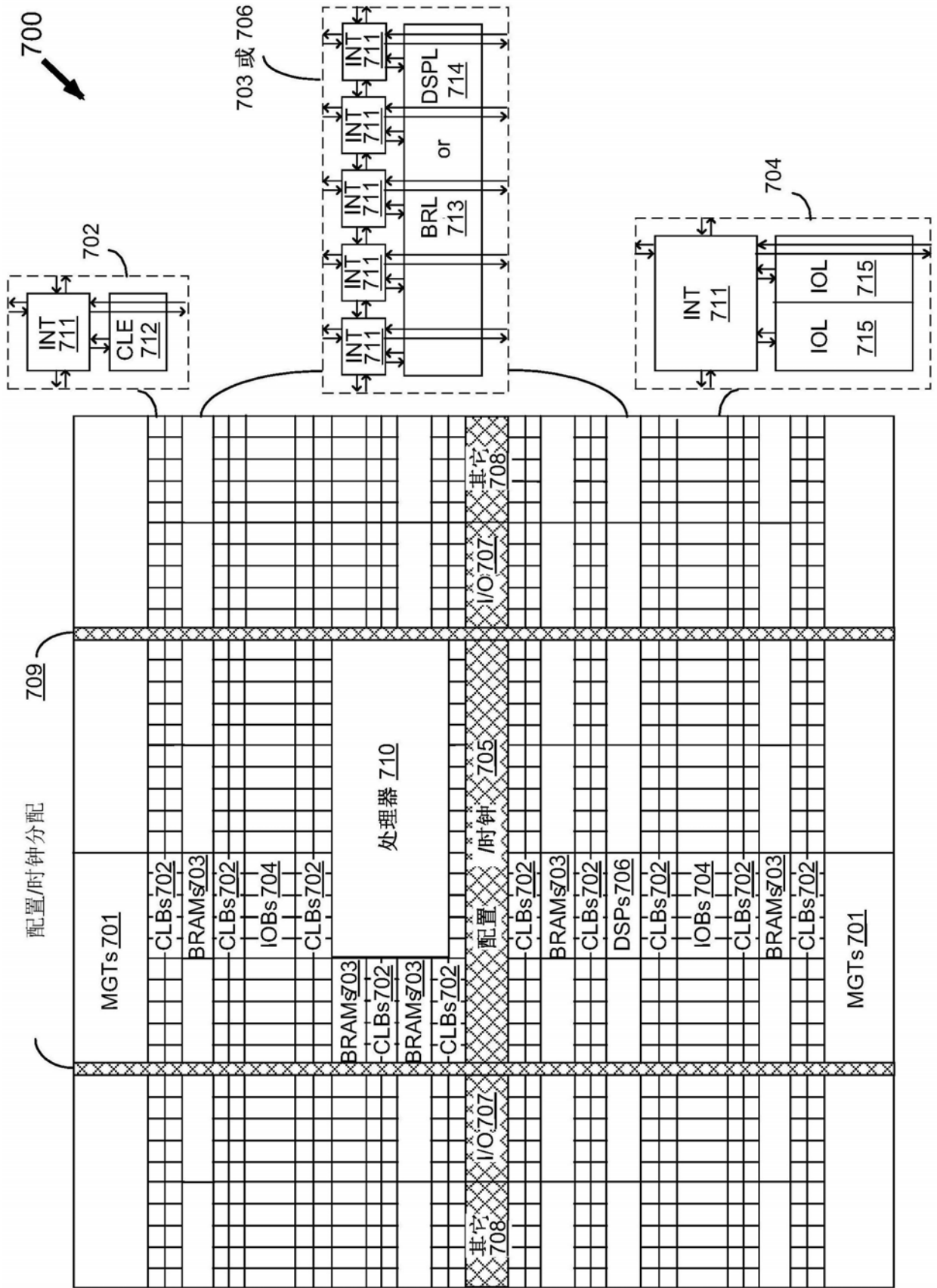


图7

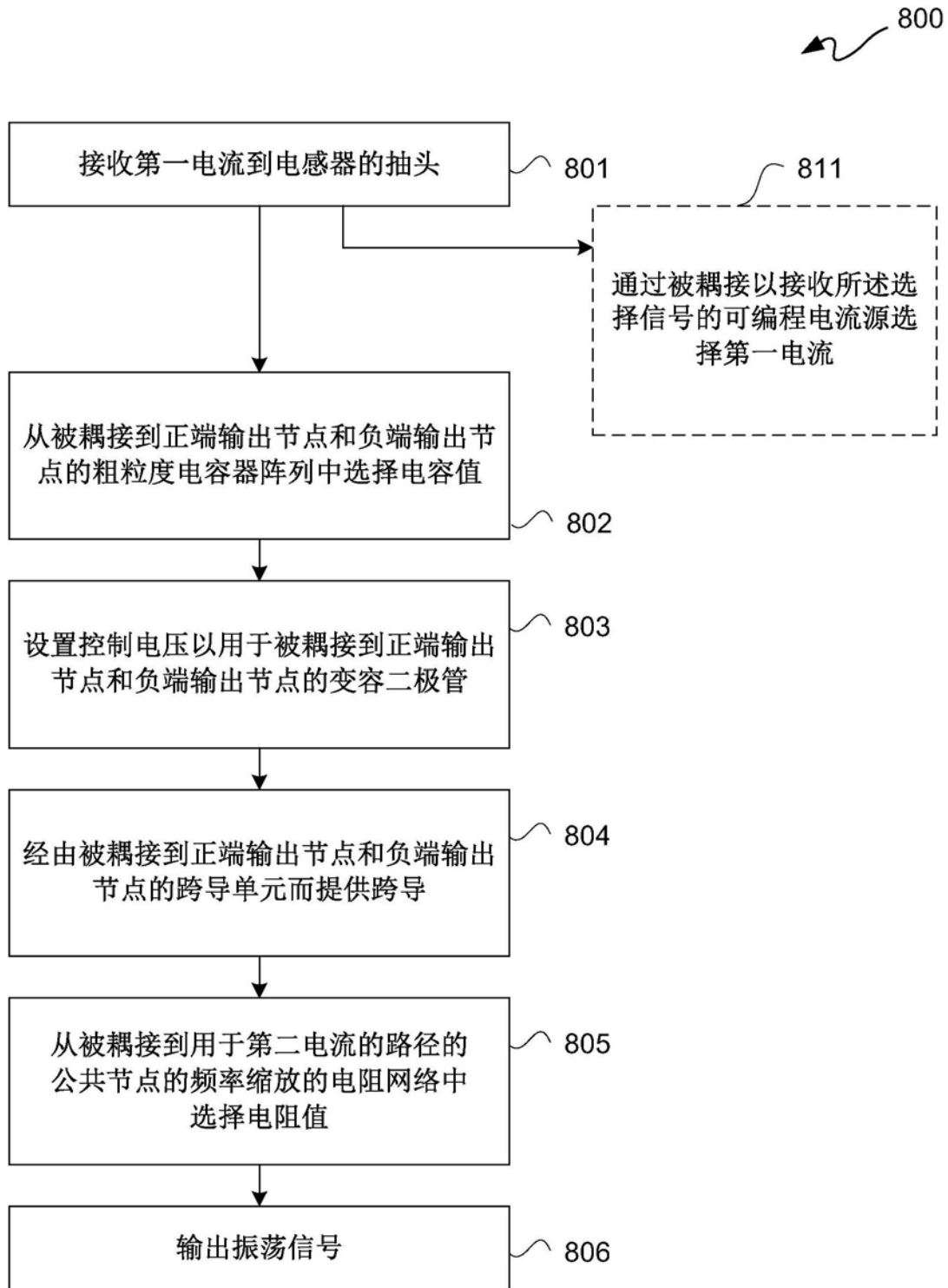


图8