



OFICINA ESPAÑOLA DE  
PATENTES Y MARCAS

ESPAÑA

(11) Número de publicación: **2 334 387**

(51) Int. Cl.:

**G06F 13/362** (2006.01)

(12)

TRADUCCIÓN DE PATENTE EUROPEA

T3

(96) Número de solicitud europea: **06736729 .2**

(96) Fecha de presentación : **01.03.2006**

(97) Número de publicación de la solicitud: **1861787**

(97) Fecha de publicación de la solicitud: **05.12.2007**

(54) Título: **Esquema de arbitraje de acceso a bus.**

(30) Prioridad: **01.03.2005 US 70338**

(73) Titular/es: **QUALCOMM INCORPORATED  
5775 Morehouse Drive  
San Diego, California 92121, US**

(45) Fecha de publicación de la mención BOPI:  
**09.03.2010**

(72) Inventor/es:  
**Ganasan, Jaya, Prakash, Subramaniam;  
Hofmann, Richard, Gerard y  
Lohman, Terence, J.**

(45) Fecha de la publicación del folleto de la patente:  
**09.03.2010**

(74) Agente: **Carpintero López, Mario**

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

**DESCRIPCIÓN**

Esquema de arbitraje de acceso a bus.

**5 Antecedentes**

**Campo**

La presente invención se refiere en general a sistemas de procesamiento y, más específicamente, a un esquema de arbitraje de acceso a bus en un sistema de procesamiento.

**Antecedentes**

Los ordenadores han revolucionado la industria electrónica permitiendo llevar a cabo tareas de procesamiento sofisticadas pulsando solamente algunas teclas. Estas tareas sofisticadas incluyen un número increíblemente elevado de componentes complejos que se comunican entre sí de una manera rápida y eficaz utilizando un bus. Un bus es un canal o trayectoria entre componentes de un ordenador o de otro dispositivo computacional.

Muchos buses se han implementado tradicionalmente como buses compartidos. Un bus compartido proporciona un medio para que cualquier número de componentes se comuniquen a través de una trayectoria o canal común. Recientemente, la tecnología de buses compartidos se ha sustituido en gran medida por conexiones de conmutación punto a punto. Las conexiones de conmutación punto a punto proporcionan una conexión directa entre dos componentes del bus cuando están comunicándose entre sí. Pueden utilizarse múltiples enlaces directos para permitir que varios componentes se comuniquen al mismo tiempo. Puede utilizarse un árbitro de bus para gestionar las comunicaciones a través del bus.

Un ordenador que implementa una arquitectura de bus puede incluir cualquier número de componentes de procesamiento conectados a uno o más recursos compartidos, tal como memoria. Uno o más procesadores (control maestro del bus) puede iniciar una transacción de bus solicitando acceso a partir del árbitro de bus. El árbitro de bus determina la secuencia en la que se concederá a los procesadores acceso al bus en base a un algoritmo predeterminado. En el pasado se han implementado varios esquemas de arbitraje de acceso a bus para gestionar estas transacciones. Un enfoque bastante común es un esquema de arbitraje mediante turnos rotativos el cual asigna ancho de banda de manera equitativa a todos los componentes de procesamiento, pero no tiene noción de requisitos de latencia. Otro enfoque común es un esquema de arbitraje de prioridad fija que tiene alguna noción de requisitos de latencia pero que degrada severamente a los procesadores de baja prioridad que pueden requerir un gran ancho de banda. La multiplexación por división de tiempo es probablemente una mejor solución que un esquema de arbitraje basado en prioridad fija o en turnos rotativos, pero es difícil predecir cuándo un procesador particular puede requerir acceso al bus. Por consiguiente, en la técnica existe la necesidad de un esquema de arbitraje de acceso a bus que proporcione la capacidad de asignar ancho de banda manteniendo al mismo tiempo requisitos de latencia para los procesadores en el bus. El documento US 2003/0074507 describe un procedimiento y aparato para planificar que un recurso cumpla con garantías de calidad de servicio.

**Resumen**

En un aspecto de la presente invención, se proporciona un sistema de procesamiento, que comprende:

un bus;

una pluralidad de procesadores acoplados al bus; y

un árbitro de bus configurado para asignar una ponderación de segundo nivel a uno o más de los procesadores y para conceder de manera secuencial acceso al bus al uno o más procesadores que presentan una ponderación de segundo nivel durante una parte inicial de un intervalo de bus en base a las ponderaciones de segundo nivel asignadas, estando configurado además el árbitro de bus para conceder acceso al bus a uno cualquiera de los procesadores durante la parte inicial del intervalo de bus como respuesta a una solicitud de primer nivel de dicho uno cualquiera de los procesadores que presentan una ponderación de primer nivel donde, para cada procesador del uno o más de los procesadores a los que se les ha concedido acceso durante la parte inicial del intervalo de bus, la ponderación de nivel asociada con una solicitud de nivel correspondiente se reduce para cada ranura de tiempo en la parte inicial del intervalo de bus en la que a un procesador se le ha concedido acceso, estando configurado además el árbitro de bus para reinicializar la ponderación de primer nivel del uno o más procesadores al principio de un intervalo de calidad de servicio donde la longitud del intervalo de calidad de servicio no es igual a la longitud del intervalo de bus.

En un aspecto de la presente invención, se proporciona un procedimiento de arbitraje entre una pluralidad de procesadores que solicitan acceso a un bus, que comprende:

asignar una ponderación de segundo nivel a cada procesador de uno o más de los procesadores;

# ES 2 334 387 T3

conceder de manera secuencial acceso al bus al uno o más procesadores durante una parte inicial de un intervalo de bus en base a las ponderaciones de segundo nivel asignadas;

5 conceder acceso al bus a uno cualquiera de los procesadores durante la parte inicial del intervalo de bus como respuesta a una solicitud de dicho uno cualquiera de los procesadores que presentan una ponderación de primer nivel;

10 reducir la ponderación de nivel para cada procesador del uno o más de los procesadores a los que se ha concedido acceso durante la parte inicial del intervalo de bus; y

15 reinicializar la ponderación de primer nivel del uno o más procesadores al principio de un intervalo de calidad de servicio donde la longitud del intervalo de calidad de servicio no es igual a la longitud del intervalo de bus.

## 15 Breve descripción de los dibujos

La fig. 1 es un diagrama de bloques conceptual que ilustra un ejemplo de un sistema de procesamiento;

20 la fig. 2 es un diagrama conceptual que ilustra la distribución de tiempo de un esquema de arbitraje de acceso a bus que puede soportar requisitos de gran ancho de banda para varios procesadores;

25 la fig. 3 es un diagrama conceptual que ilustra el funcionamiento de un esquema de arbitraje de acceso a bus que puede soportar requisitos de gran ancho de banda para varios procesadores;

30 la fig. 4 es un diagrama conceptual que ilustra la distribución de tiempo de un esquema de arbitraje de acceso a bus que puede soportar requisitos de latencia y de gran ancho de banda para varios procesadores; y

la fig. 5 es un diagrama conceptual que ilustra el funcionamiento de un esquema de arbitraje de acceso a bus que puede soportar requisitos de latencia y de gran ancho de banda para varios procesadores.

## 30 Descripción detallada

La fig. 1 es un diagrama de bloques conceptual que ilustra un ejemplo de un sistema de procesamiento. El sistema 100 de procesamiento puede ser un ordenador, o residir en un ordenador, o cualquier otro sistema capaz de procesar, recuperar y almacenar información. El sistema 100 de procesamiento puede ser un sistema independiente o, como alternativa, estar embebido en un dispositivo, tal como un teléfono inalámbrico, un asistente personal digital (PDA), un ordenador personal (PC), un ordenador portátil, etc.

40 El sistema 100 de procesamiento se muestra con varios procesadores 102a a 102c que pueden acceder a la memoria 104 a través de un bus 110, pero puede estar configurado con cualquier número de procesadores dependiendo de la aplicación particular y de las limitaciones globales de diseño. Cada procesador puede implementarse como cualquier tipo de componente de control maestro de bus incluyendo, a modo de ejemplo, un microprocesador, un procesador de señales digitales (DSP), un procesador gráfico de vídeo, un procesador de módem, o cualquier otro componente de procesamiento de información. La memoria 104 puede ser un controlador de memoria, una memoria caché, una memoria apilada o cualquier otro componente que pueda recuperar o almacenar información.

45 Un árbitro 108 de bus puede utilizarse para conceder a los procesadores 102a a 102c acceso al bus. El bus 110 puede implementarse con conexiones de conmutación punto a punto a través de una interconexión 106 de bus. En esta configuración, el árbitro 108 de bus configura la interconexión 106 de bus para proporcionar una conexión directa entre uno de los procesadores y la memoria 104. Múltiples enlaces directos de la interconexión 106 de bus pueden utilizarse para permitir que los demás procesadores se comuniquen con otros dispositivos esclavos de bus al mismo tiempo. Como alternativa, el bus 110 puede implementarse como un bus compartido o como cualquier otro tipo de bus, bajo el control del árbitro 108 de bus.

55 El árbitro 108 de bus puede utilizarse para gestionar el acceso al bus 110 mediante los procesadores 102a a 102c. En una realización del árbitro 108 de bus, los componentes 102a a 102c de procesamiento pueden transmitir comandos, junto con las instrucciones y/o datos de programa asociados, al árbitro 108 de bus. El árbitro 108 de bus puede determinar la secuencia en la que los comandos, e instrucciones y datos de programa asociados, se proporcionarán a la memoria 104 y, por lo tanto, configurarán dinámicamente la interconexión 106 de bus. En otra realización del árbitro 108 de bus, los procesadores 102a a 102c pueden solicitar acceso al bus 110, y el árbitro 108 de bus puede determinar la secuencia en la que las solicitudes se concederán, de nuevo, mediante la reconfiguración dinámica de la interconexión 106. En cualquier caso, el árbitro 108 de bus determina la secuencia en la que los comandos, e instrucciones y datos de programa asociados, se proporcionan a la memoria 104 basándose en un esquema de arbitraje de acceso a bus.

65 El esquema de arbitraje de acceso a bus puede implementarse para permitir los requisitos funcionales de los diversos procesadores 102a a 102c. A modo de ejemplo, un procesador puede requerir un gran ancho de banda, tal como un procesador gráfico de vídeo. Otro procesador puede requerir comunicaciones de baja latencia, tal como un DSP que procesa comunicaciones de voz. Otro procesador adicional puede no tener ningún requisito de ancho de banda

o de latencia, tal como una unidad central de procesamiento (CPU) que procesa correo electrónico de Internet. Estas últimas comunicaciones (aquellas sin ningún requisito de ancho de banda o de latencia) se denominan normalmente como comunicaciones de “máximo esfuerzo”.

5        El esquema de arbitraje de acceso a bus puede utilizarse para asignar ancho de banda entre los diversos procesadores manteniendo al mismo tiempo requisitos de latencia. Esto puede conseguirse creando múltiples niveles a partir de los cuales se determinará el acceso al bus 110. A modo de ejemplo, un primer nivel puede utilizarse para planificar solicitudes de baja latencia, un segundo nivel puede utilizarse para planificar solicitudes de gran ancho de banda, y un tercer nivel puede utilizarse para aplicaciones no críticas en lo que respecta a la latencia y al ancho de banda. Una ponderación programable o ajustable puede asignarse a cada procesador en los dos primeros niveles. La ponderación asignada puede concebirse como un número de “testigos” que pueden gastarse para acceder al bus 110. La ponderación asignada para cada procesador puede reinicializarse periódicamente en base a un periodo de tiempo. El periodo puede ser el mismo o diferente para los dos primeros niveles.

15      En primer lugar se describirá un esquema de arbitraje de acceso a bus para el segundo nivel. El segundo nivel puede utilizarse para garantizar que cada procesador 102 reciba el ancho de banda que requiere. Esto puede conseguirse asignando a cada procesador 102a una ponderación acorde con sus requisitos de ancho de banda. La ponderación puede utilizarse para garantizar que el procesador 102 reciba un número mínimo de concesiones de acceso a bus durante un periodo de tiempo dado. Como alternativa, la ponderación puede utilizarse para asignar bits u octetos de 20 datos a un procesador 102. La ponderación puede programarse o ajustarse para permitir requisitos de ancho de banda variables. A modo de ejemplo, un procesador 102 puede ejecutar una nueva aplicación que requiera más o menos ancho de banda. El árbitro 108 de bus puede responder modificando de manera correspondiente la ponderación asignada a ese procesador 102.

25      Las ponderaciones pueden asignarse a los diversos procesadores 102 mediante el árbitro 108 de bus cuando el sistema 100 de procesamiento se enciende inicialmente. Durante el encendido, cada procesador 102 conectado al bus 110, y que presenta un requisito de ancho de banda, comunica su requisito al árbitro 108 de bus. En base a estas comunicaciones, el árbitro 108 de bus asigna una parte del ancho de banda a cada uno. El ancho de banda restante puede utilizarse para comunicaciones de máximo esfuerzo. Durante el funcionamiento, si un procesador 102 ejecuta 30 una nueva aplicación, o si cambian sus requisitos de ancho de banda, puede negociarse una nueva ponderación entre ese procesador 102 y el árbitro 108 de bus.

35      La figura 2 es un diagrama conceptual que ilustra la distribución de tiempo de un esquema de arbitraje de acceso a bus para los procesadores de segundo nivel. El árbitro de bus determina un intervalo 202 de bus basándose en los requisitos de ancho de banda de los diversos procesadores y en la necesidad de soportar comunicaciones de máximo esfuerzo. El intervalo 202 de bus puede programarse o ajustarse para soportar requisitos de ancho de banda variables. En al menos una realización del árbitro de bus, el intervalo 202 de bus puede dividirse en dos periodos de tiempo: un periodo 204 de tiempo ponderado y un periodo 206 de tiempo de máximo esfuerzo. Durante el periodo 204 de tiempo ponderado, la pugna por el bus puede resolverse concediendo acceso al bus al procesador con la ponderación más alta. Puede concederse acceso al bus a los procesadores de tercer nivel durante el periodo 204 de tiempo ponderado cuando los procesadores de segundo nivel no solicitan acceso. La ponderación de cada procesador de segundo nivel puede reducirse cada vez que se le conceda acceso al bus. El periodo 204 de tiempo ponderado continúa hasta que la ponderación asignada a cada uno de los procesadores de segundo nivel se reduzca a cero. El periodo 206 de tiempo de máximo esfuerzo sigue al periodo 204 ponderado y continúa hasta el final del intervalo 202 de bus. Durante el periodo 40 206 de tiempo de máximo esfuerzo, la pugna por el bus puede resolverse mediante turnos rotativos.

45      La figura 3 es un diagrama conceptual que ilustra el funcionamiento de un esquema de arbitraje de bus para los procesadores de segundo nivel. En este ejemplo hay tres procesadores ( $P_1$ ,  $P_2$  y  $P_3$ ) de segundo nivel y tres procesadores ( $P_4$ ,  $P_5$  y  $P_6$ ) de tercer nivel. Las ponderaciones asignadas por el árbitro de bus a los procesadores de segundo nivel se denominarán como testigos. El primer procesador  $P_1$  requiere la mayor parte del ancho de banda y tiene asignados cuatro testigos mediante el árbitro de bus. El segundo y el tercero procesador  $P_2$  y  $P_3$  son procesadores con un ancho de banda inferior y tienen asignados dos y un testigo, respectivamente, mediante el árbitro de bus. El siguiente ejemplo supone que todos los procesadores están solicitando continuamente acceso al bus.

55      Haciendo referencia a la fig. 3, el esquema de arbitraje de acceso al bus entra en el periodo 204 de tiempo ponderado al principio de intervalo 202 de bus. La pugna por el bus durante la primera ranura 301 de tiempo se resuelve concediendo acceso al procesador con el mayor número de testigos, que en este caso es el primer procesador  $P_1$  con cuatro testigos. Tras conceder acceso al bus al primer procesador  $P_1$ , el árbitro de bus reduce en uno los testigos del primer procesador, dejándolo con tres testigos. Los tres testigos restantes para el primer procesador  $P_1$  son suficientes 60 para obtener acceso al bus durante la segunda ranura 302 de tiempo. El árbitro de bus toma otro testigo del primer procesador  $P_1$  después de concederle acceso al bus, dejándolo con dos testigos.

65      La pugna por el bus durante la tercera ranura 303 de tiempo también se resuelve concediendo acceso al procesador con el mayor número de testigos. Sin embargo, en este caso, tanto el primer como el segundo procesador  $P_1$  y  $P_2$  tienen dos testigos, lo que es superior a cualquiera de los otros procesadores. El árbitro de bus puede utilizar un esquema de arbitraje de turnos rotativos para el arbitraje entre los dos procesadores. Puesto que al primer procesador  $P_1$  se le concedió acceso al bus en la ranura 302 de tiempo anterior, el árbitro de bus concede acceso al segundo procesador  $P_2$  durante la ranura 303 de tiempo actual. Tras conceder acceso al bus al segundo procesador  $P_2$ , el árbitro de bus reduce

## ES 2 334 387 T3

en uno los testigos del segundo procesador, dejándolo con un solo testigo. El árbitro de bus concede acceso al bus al primer procesador  $P_1$ , con dos testigos restantes, durante la cuarta ranura 304 de tiempo, y consume otro testigo en el proceso.

- 5 Durante la quinta ranura 305 de tiempo, cada uno de los procesadores  $P_1, P_2, P_3$  de segundo nivel tiene un testigo. El árbitro de bus puede utilizar un esquema de arbitraje de turnos rotativos para arbitrar el acceso al bus. En este caso, tanto el primer como el segundo procesador  $P_1$  y  $P_2$  han accedido al bus durante el intervalo 202 de bus actual. Puede concederse acceso al tercer procesador  $P_3$ , el cual tiene que acceder todavía al bus en el intervalo 202 de bus actual. Tras conceder acceso al bus al tercer procesador  $P_3$ , el árbitro de bus reduce a cero los testigos del tercer procesador, dejando al primer y al segundo procesador  $P_1$  y  $P_2$  con el mayor número de testigos en la sexta ranura 306 de tiempo. El árbitro de bus puede seguir utilizando un esquema de arbitraje de turnos rotativos para conceder acceso a memoria al primer y al segundo procesador  $P_1$  y  $P_2$  en las siguientes dos ranuras 306 y 307 de tiempo en cualquier orden, consumiendo de ese modo todos los testigos para los procesadores de segundo nivel al término del periodo 204 de tiempo ponderado del intervalo 202 de bus.
- 10 15 La ranura 206 de tiempo de máximo esfuerzo sigue a la ranura 204 de tiempo ponderado. Durante la ranura 206 de tiempo de máximo esfuerzo, el árbitro de bus puede conceder acceso al bus mediante turnos rotativos. En el ejemplo mostrado en la figura 3, hay seis ranuras 308 a 313 de tiempo en la ranura 206 de tiempo de máximo esfuerzo. También hay seis procesadores: tres procesadores  $P_1, P_2, P_3$  de segundo nivel con sus testigos agotados, y tres procesadores  $P_4, P_5, P_6$  de tercer nivel. Por consiguiente, bajo cualquier esquema de arbitraje de turnos rotativos, debe concederse acceso al bus a cada procesador una vez. El orden no es necesariamente importante pero, en primer lugar, debe concederse acceso al bus a los tres procesadores  $P_4, P_5, P_6$  de tercer nivel para garantizar el acceso si la ranura 206 de tiempo de máximo esfuerzo es relativamente corta. En el ejemplo mostrado en la fig. 3, se concede acceso al bus al cuarto procesador  $P_4$  durante la octava ranura 308 de tiempo, se concede acceso al bus al quinto procesador  $P_5$  en la novena ranura 309 de tiempo, se concede acceso al bus al sexto procesador  $P_6$  en la décima ranura 310 de tiempo, se concede acceso al bus al primer procesador  $P_1$  en la undécima ranura 311 de tiempo, se concede acceso al bus al segundo procesador  $P_2$  en la duodécima ranura 312 de tiempo, y se concede acceso al bus al tercer procesador  $P_3$  en la décima tercera ranura 313 de tiempo.
- 20 25 30 Un esquema de arbitraje de acceso a bus de primer nivel puede implementarse como una superposición al esquema de arbitraje de acceso a bus de segundo nivel para incluir procesadores con requisitos de baja latencia. Volviendo a la fig. 1, un procesador 102 que requiere acceso de baja latencia a la memoria 104 puede asignarse a un primer nivel mediante el árbitro 108 de bus. Si el mismo procesador 102 presenta requisitos de gran ancho de banda, también puede recibir una asignación de segundo nivel. De manera similar a la descrita con relación al esquema de arbitraje de acceso a bus de segundo nivel, una ponderación programable o ajustable puede asignarse a cada procesador 102 en el primer nivel mediante el árbitro 108 de bus. La ponderación asignada a un procesador puede utilizarse para garantizar que reciba un número mínimo de concesiones de acceso a bus durante un periodo de tiempo dado. El punto en el tiempo o el mecanismo en el que una solicitud del procesador se convierte en una solicitud de primer nivel puede llevarse a cabo mediante el procesador, el cual indica que la solicitud es una solicitud de primer nivel a través de una señal adicional al árbitro, o mediante el propio árbitro, el cual eleva la solicitud del procesador para convertirla en una solicitud de primer nivel. Por ejemplo, el árbitro puede tener un temporizador de latencia que cuente los ciclos de reloj en los que una solicitud del control maestro haya estado pendiente y no se haya concedido. Una vez que el temporizador de latencia haya alcanzado o superado un valor programable, el árbitro puede elevar internamente la solicitud del procesador para que pase a ser de primer nivel. Como alternativa, la ponderación puede utilizarse para asignar bits u octetos de datos a un procesador durante el periodo de tiempo. El periodo de tiempo puede ser el igual a o diferente del intervalo de bus. La ponderación puede programarse o ajustarse para permitir requisitos de latencia variables.
- 40 45

Cuando el sistema 100 de procesamiento se enciende inicialmente, cada procesador 102 conectado al bus 110, y que presenta un requisito de latencia, comunica sus requisitos al árbitro 108 de bus. En algunos casos, un procesador 102 puede comunicar requisitos de latencia y de ancho de banda al árbitro 108 de bus. Como respuesta a estas comunicaciones, el árbitro de bus realiza las asignaciones apropiadas de primer y de segundo nivel a los diversos procesadores 102 conectados al bus 110. El árbitro 108 de bus también asigna una ponderación a cada procesador 102 de primer y de segundo nivel. Durante el funcionamiento, si un procesador 102 ejecuta una nueva aplicación, o si cambian sus requisitos de latencia, puede negociarse una nueva ponderación entre ese procesador 102 y el árbitro 108 de bus para uno o más niveles.

55 La fig. 4 es un diagrama conceptual que ilustra la distribución de tiempo de un esquema de arbitraje de acceso a bus de primer nivel superpuesto al esquema de arbitraje de acceso a bus de segundo nivel de la fig. 2. En este ejemplo, el árbitro de bus determina un intervalo 402 de calidad de servicio basándose en los requisitos de latencia de los diversos procesadores de primer nivel. El intervalo 402 de calidad de servicio puede programarse o ajustarse para soportar requisitos de latencia variables. Durante el intervalo 402 de calidad de servicio, a un procesador de primer nivel que solicita acceso al bus se le puede dar prioridad a través de solicitudes de segundo y de tercer nivel. La pugna por el bus entre dos o más procesadores de primer nivel puede resolverse concediendo acceso al procesador con la ponderación más alta. La ponderación de cada procesador se reduce cada vez que se le concede acceso al bus. Cuando la ponderación de un procesador de primer nivel llega a cero, el árbitro de bus no concederá ninguna solicitud adicional de acceso a bus de primer nivel durante el intervalo 402 de calidad de servicio actual. Al principio de cada intervalo 402 de calidad de servicio, el árbitro de bus reinicializará la ponderación de cada procesador de primer nivel a su valor original asignado. El intervalo 402 de calidad de servicio puede ser el mismo que el intervalo 202 de bus o puede ser

## ES 2 334 387 T3

diferente. Si los dos intervalos son diferentes, el intervalo 202 de bus puede ser más largo o más corto que el intervalo 402 de calidad de servicio, y los dos períodos de tiempo pueden ser o no múltiplos entre sí. En el ejemplo mostrado en la fig. 4, el intervalo 202 de bus es tres veces más largo que el intervalo 402 de calidad de servicio.

5 La fig. 5 es un diagrama conceptual que ilustra el funcionamiento del esquema de arbitraje de acceso a bus de primer nivel superpuesto al esquema de arbitraje de acceso a bus de segundo nivel de la fig. 3. En este ejemplo, hay dos procesadores ( $P_1$  y  $P_2$ ) de primer nivel, tres procesadores ( $P_2$ ,  $P_3$  y  $P_4$ ) de segundo nivel y tres procesadores ( $P_5$ ,  $P_6$  y  $P_7$ ) de tercer nivel. El segundo procesador  $P_2$  presenta tanto un requisito de latencia como un requisito de gran ancho de banda y, por lo tanto, tiene una asignación de primer y de segundo nivel. El primer procesador  $P_1$  es un procesador de baja latencia con una asignación de primer nivel, y el tercer y cuarto procesador ( $P_3$  y  $P_4$ ) son procesadores de gran ancho de banda con una asignación de segundo nivel. Los procesadores ( $P_5$ ,  $P_6$  y  $P_7$ ) restantes son procesadores de máximo esfuerzo sin ningún requisito específico de latencia o de ancho de banda.

15 Las ponderaciones asignadas por el árbitro de bus a los procesadores de primer y de segundo nivel se denominarán como testigos. El primer procesador  $P_1$  tiene asignados dos testigos de primer nivel, el segundo procesador  $P_2$  tiene asignado un testigo de primer nivel y dos testigos de segundo nivel, el tercer procesador  $P_3$  tiene asignados tres testigos de segundo nivel, y el cuarto procesador  $P_4$  tiene asignado un testigo de segundo nivel.

20 El árbitro de bus fija inicialmente el intervalo 402 de calidad de servicio a cinco ranuras de tiempo y el intervalo 202 de bus a quince ranuras de tiempo. El primer procesador  $P_1$  se muestra realizando solicitudes de primer nivel para el acceso al bus durante la tercera, cuarta, duodécima y décimo tercera ranura 503, 504, 512 y 513 de tiempo. El segundo procesador  $P_2$  se muestra realizando solicitudes de primer nivel para el acceso al bus durante la tercera hasta la sexta ranura 503 a 506 de tiempo y desde la duodécima hasta las décimo cuarta 512 a 514 ranura de tiempo. Aunque no se muestra, todos los procesadores están realizando continuamente solicitudes para el acceso al bus.

25 El esquema de arbitraje de acceso a bus entra en el periodo 204 de tiempo ponderado al principio del intervalo 202 de bus. La pugna por el bus durante la primera ranura 501 de tiempo puede resolverse concediendo acceso al procesador de segundo nivel con el mayor número de testigos, que en este caso es el tercer procesador  $P_3$  con tres testigos. Tras conceder acceso al bus al tercer procesador  $P_3$ , el árbitro de bus reduce en uno los testigos de segundo nivel del tercer procesador, dejándolo con dos testigos de segundo nivel.

30 La pugna por el bus durante la segunda ranura 502 de tiempo puede resolverse de manera similar concediendo acceso al bus al procesador de segundo nivel con el mayor número de testigos. Sin embargo, en este caso, tanto el segundo como el tercer procesador  $P_2$  y  $P_3$  tienen dos testigos, lo que es superior a cualquiera de los demás procesadores de segundo nivel. El árbitro de bus puede utilizar un esquema de arbitraje de turnos rotativos para arbitrar entre los dos procesadores. Puesto que al tercer procesador  $P_3$  se le concedió acceso al bus durante la ranura 501 de tiempo anterior, el árbitro de bus concede acceso al bus al segundo procesador  $P_2$  durante la ranura 502 de tiempo actual. Tras conceder acceso al bus al segundo procesador  $P_2$ , el árbitro de bus reduce en uno los testigos de segundo nivel del segundo procesador, dejándolo con un testigo de segundo nivel.

40 Durante la tercera ranura 503 de tiempo, tanto el primer como el segundo procesador  $P_1$  y  $P_2$  realizan una solicitud de primer nivel para acceder al bus. El árbitro de bus, que está configurado para dar prioridad a las solicitudes de primer nivel, debe arbitrar en este caso entre el primer y el segundo procesador  $P_1$  y  $P_2$ . Puesto que el primer procesador  $P_1$  tiene más testigos de primer nivel que el segundo procesador  $P_2$ , el árbitro de bus concede acceso al bus al primer procesador  $P_1$ . Tras conceder acceso al bus al primer procesador  $P_1$ , el árbitro de bus reduce en uno los testigos de primer nivel del primer procesador, dejándolo con un testigo de primer nivel.

50 Tanto el primer como el segundo procesador  $P_1$  y  $P_2$  realizan solicitudes de primer nivel repetidas para acceder al bus durante la siguiente ranura 504 de tiempo. Sin embargo, esta vez el primer y el segundo procesador  $P_1$  y  $P_2$  tienen cada uno la misma cantidad de testigos de primer nivel y, por lo tanto, el árbitro de bus puede utilizar un esquema de arbitraje de turnos rotativos para arbitrar entre los dos procesadores. Puesto que al primer procesador  $P_1$  se le concedió acceso al bus en la ranura 503 de tiempo anterior, el árbitro de bus puede conceder acceso al bus al segundo procesador  $P_2$ . Tras conceder acceso al segundo procesador  $P_2$ , el árbitro de bus reduce en uno los testigos de primer nivel del segundo procesador, dejándolo con cero testigos de primer nivel.

55 Una solicitud de primer nivel repetida del segundo procesador  $P_2$  durante la quinta ranura 505 de tiempo puede denegarse por el árbitro de bus debido a que el segundo procesador  $P_2$  ha agotado todos sus testigos de primer nivel. En cambio, el árbitro de bus concede acceso al bus al procesador de segundo nivel que presente el mayor número de testigos, que en este caso es el tercer procesador  $P_3$  con dos testigos de segundo nivel. Tras conceder acceso al bus al tercer procesador  $P_3$ , el árbitro de bus reduce en uno los testigos de segundo nivel del tercer procesador, dejándolo con un testigo de segundo nivel.

60 Un nuevo intervalo 402 de calidad de servicio comienza con el inicio de la sexta ranura 506 de tiempo. El árbitro de bus reinicializa cada procesador de primer nivel con el número apropiado de testigos. Suponiendo que no hay ningún cambio en los requisitos de latencia, el árbitro de bus incrementa a dos los testigos de primer nivel del primer procesador y a uno los testigos de primer nivel del segundo procesador. El árbitro de bus puede conceder en este momento acceso al bus al segundo procesador  $P_2$  como respuesta a una solicitud de primer nivel durante la sexta ranura 503 de tiempo. Tras conceder acceso al bus al segundo procesador  $P_2$ , el árbitro de bus reduce en uno los

testigos de primer nivel del segundo procesador, dejándolo con cero testigos de primer nivel. Como resultado, al segundo procesador  $P_2$  no se le concederá ningún acceso adicional al bus en respuesta a una solicitud de primer nivel hasta el siguiente intervalo 402 de calidad de servicio.

- 5 Durante la séptima ranura 507 de tiempo, cada uno de los procesadores  $P_2$ ,  $P_3$  y  $P_4$  de segundo nivel tiene un testigo. El árbitro de bus puede utilizar un esquema de turnos rotativos para arbitrar el acceso al bus entre los tres procesadores. En este caso, tanto el segundo como el tercer procesador  $P_2$  y  $P_3$  han accedido al bus durante el intervalo 202 de bus actual en respuesta a una solicitud de segundo nivel. Puede concederse acceso al cuarto procesador  $P_4$ , el cual tiene que acceder todavía al bus en el intervalo 202 de bus actual. Tras conceder acceso al bus al cuarto procesador  
10  $P_4$ , el árbitro de bus reduce a cero los testigos de segundo nivel del cuarto procesador, dejando al segundo y al tercer procesador  $P_2$  y  $P_3$  con el mayor número de testigos de segundo nivel en la octava ranura 508 de tiempo. El árbitro de bus puede seguir utilizando un esquema de arbitraje de turnos rotativos para conceder acceso a memoria al segundo y al tercer procesador  $P_2$  y  $P_3$  en las siguientes dos ranuras 508 y 509 de tiempo en cualquier orden, agotando de ese modo todos los testigos de segundo nivel para los procesadores de segundo nivel al término del periodo 204 de tiempo  
15 ponderado del intervalo 202 de bus.

El periodo 206 de tiempo de máximo esfuerzo sigue al periodo 204 de tiempo ponderado. Durante el periodo 206 de tiempo de máximo esfuerzo, el árbitro de bus puede conceder acceso al bus mediante turnos rotativos. En el ejemplo mostrado en la fig. 5, el árbitro de bus puede conceder acceso a la memoria al quinto y al sexto procesador  $P_5$  y  $P_6$   
20 durante la décima y la undécima ranura 510 y 511 de tiempo, respectivamente. Como alternativa, puede concederse acceso al bus a cualquier otra combinación de procesadores durante las dos ranuras 510 y 511 de tiempo iniciales del periodo 206 de tiempo de máximo esfuerzo.

El tercer intervalo 402 de calidad de servicio comienza con el inicio de la undécima ranura 511 de tiempo, y el  
25 primer y el segundo procesador  $P_1$  y  $P_2$  se reinicializan con su número apropiado de testigos de primer nivel. De nuevo, suponiendo que los requisitos de latencia de estos procesadores no han cambiado, los testigos de primer nivel del primer procesador permanecerán a dos, y los testigos de primer nivel del segundo procesador aumentarán a uno. Tal y como se muestra en la fig. 5, ambos procesadores realizan un solicitud de primer nivel para acceder a la memoria durante la duodécima ranura 512 de tiempo. Como respuesta a estas solicitudes, el árbitro de bus concede acceso al bus al primer procesador  $P_1$ , que tiene el mayor número de testigos de primer nivel, durante esa ranura 512 de tiempo. Tras conceder acceso al bus al primer procesador  $P_1$ , el árbitro de bus reduce en uno los testigos de primer nivel del primer procesador, dejándolo con un testigo de primer nivel.  
30

Durante la décimo tercera ranura 513 de tiempo, tanto el primer como el segundo procesador  $P_1$  y  $P_2$  realizan  
35 solicitudes de primer nivel repetidas para acceder a memoria. Sin embargo, esta vez el primer y el segundo procesador  $P_1$  y  $P_2$  tienen cada uno la misma cantidad de testigos de primer nivel y, por lo tanto, el árbitro de bus puede utilizar un esquema de arbitraje de turnos rotativos para conceder acceso a memoria al segundo procesador  $P_2$  durante esa ranura 513 de tiempo. Tras conceder acceso al bus al segundo procesador  $P_2$ , el árbitro de bus reduce en uno los testigos de primer nivel del segundo procesador, dejándolo con cero testigos de primer nivel.  
40

Una solicitud de primer nivel repetida del segundo procesador  $P_2$  durante la décimo cuarta ranura 514 de tiempo puede denegarse por el árbitro de bus debido a que el segundo procesador  $P_2$  ha agotado todos sus testigos de primer nivel. En cambio, el árbitro de bus concede acceso al bus al séptimo procesador  $P_7$  en la décimo cuarta ranura 514 de tiempo y al primer procesador  $P_1$  en la décimo quinta ranura 515 de tiempo utilizando un esquema de arbitraje de turnos rotativos para soportar comunicaciones de máximo esfuerzo. Otras combinaciones de concesiones de acceso a bus también son posibles durante estas dos ranuras 514 y 515 de tiempo. Al final de la décimo quinta ranura 515 de tiempo, se inician un nuevo intervalo de bus y un nuevo intervalo de calidad de servicio. El árbitro de bus reinicializa los testigos de primer y de segundo nivel para cada procesador y se repite el proceso descrito anteriormente.  
45

Los diversos bloques, módulos, circuitos, elementos y/o componentes lógicos ilustrativos descritos con relación a las realizaciones descritas en este documento pueden implementarse o llevarse a cabo con un procesador de propósito general, un procesador de señales digitales (DSP), un circuito integrado de aplicación específica (ASIC), una matriz de puertas programables de campo (FPGA) u otro componente lógico programable, puerta discreta o lógica de transistor, componentes de hardware discretos, o cualquier combinación de los mismos diseñada para llevar a cabo las funciones  
50 descritas en este documento. Un procesador de propósito general puede ser un microprocesador pero, como alternativa, el procesador puede ser cualquier procesador, controlador, microcontrolador o máquina de estados convencional. Un procesador también puede implementarse como una combinación de componentes informáticos, por ejemplo, una combinación de un DSP y un microprocesador, una pluralidad de microprocesadores, uno o más microprocesadores junto con un núcleo DSP, o cualquier otra configuración de este tipo.  
55

Los procedimientos o algoritmos descritos con relación a las realizaciones descritas en este documento pueden realizarse directamente en hardware, en un módulo de software ejecutado por un procesador, o en una combinación de los dos. Un módulo de software puede residir en memoria RAM, memoria flash, memoria ROM, memoria EPROM, memoria EEPROM, registros, discos duros, un disco extraíble, un CD-ROM o en cualquier otra forma de medio de almacenamiento conocido en la técnica. Un medio de almacenamiento puede acoplarse al procesador de manera que el procesador pueda leer información desde, y escribir información en, el medio de almacenamiento. Como alternativa, el medio de almacenamiento puede ser una parte integrante del procesador.  
60

## REIVINDICACIONES

1. Un sistema de procesamiento, que comprende:

5 un bus (110);

una pluralidad de procesadores (102) acoplados al bus; y

10 un árbitro (108) de bus configurado para asignar una ponderación de segundo nivel a uno o más de los procesadores y para conceder de manera secuencial acceso al bus al uno o más procesadores que presentan una ponderación de segundo nivel durante una parte (204) inicial de un intervalo (202) de bus en base a las ponderaciones de segundo nivel asignadas, estando configurado además el árbitro de bus para conceder acceso al bus a uno cualquiera de los procesadores durante la parte inicial del intervalo de bus como respuesta a una solicitud de primer nivel de dicho uno cualquiera de los procesadores que presentan una ponderación de primer nivel donde, para cada procesador del uno o más de los procesadores a los que se les ha concedido acceso durante la parte inicial del intervalo de bus, la ponderación de nivel asociada con una solicitud de nivel correspondiente se reduce para cada ranura de tiempo en la parte inicial del intervalo de bus en la que a un procesador se le ha concedido acceso, **caracterizado** porque el árbitro de bus está configurado además para reinicializar la ponderación de primer nivel del uno o más procesadores al principio de un intervalo (402) de calidad de servicio donde la longitud del intervalo de calidad de servicio no es igual a la longitud del intervalo de bus.

25 2. El sistema de procesamiento según la reivindicación 1, en el que el árbitro (108) de bus está configurado además para conceder acceso al bus a dicho uno cualquiera de los procesadores (102) como respuesta a una solicitud del mismo durante la parte (206) restante del intervalo (202) de bus que sigue a la parte (204) inicial del intervalo de bus.

30 3. El sistema de procesamiento según la reivindicación 2, en el que el árbitro (108) de bus está configurado además para conceder acceso al bus a dicho uno cualquiera de los procesadores (102) durante la parte (206) restante del intervalo (202) de bus basándose en un esquema de turnos rotativos.

35 4. El sistema de procesamiento según la reivindicación 1, en el que el árbitro (108) de bus está configurado además para establecer la duración del intervalo (202) de bus.

50 5. El sistema de procesamiento según la reivindicación 1, en el que la parte (204) inicial del intervalo (202) de bus termina cuando la ponderación de segundo nivel de cada procesador del uno o más procesadores (102) se reduce a cero.

40 6. El sistema de procesamiento según la reivindicación 5, en el que el árbitro (108) de bus está configurado además para fijar la ponderación de segundo nivel para cada procesador del uno o más procesadores (102) al principio de cada uno de los intervalos (202) de bus.

45 7. El sistema de procesamiento según la reivindicación 1, en el que la ponderación de segundo nivel comprende el número de concesiones de acceso a bus requerido durante el intervalo (202) de bus por el procesador (102) al que está asignada la ponderación de segundo nivel.

50 8. El sistema de procesamiento según la reivindicación 1, en el que la ponderación de segundo nivel comprende el número de bits de datos requeridos durante el intervalo (202) de bus por el procesador (102) al que está asignada la ponderación de segundo nivel.

55 9. El sistema de procesamiento según la reivindicación 1, en el que el árbitro (108) de bus determina la duración del intervalo (402) de calidad de servicio.

10. El sistema de procesamiento según la reivindicación 1, en el que el árbitro (108) de bus está configurado además para establecer la duración del intervalo (402) de calidad de servicio.

60 11. El sistema de procesamiento según la reivindicación 1, en el que el árbitro (108) de bus está configurado además para arbitrar entre el uno o más de los procesadores (102) que solicitan acceso al bus (110) concediendo acceso al bus a un procesador del uno o más de los procesadores solicitantes mediante turnos rotativos si ninguno de los procesadores solicitantes tiene una ponderación de primer o de segundo nivel.

65 12. El sistema de procesamiento según la reivindicación 1, en el que uno o más de los procesadores (102) está tanto en el primer como en el segundo nivel.

## ES 2 334 387 T3

13. Un procedimiento de arbitraje entre una pluralidad de procesadores (102) que solicitan acceso a un bus (110), que comprende:

5                asignar una ponderación de segundo nivel a cada procesador de uno o más de los procesadores;

conceder de manera secuencial acceso al bus al uno o más procesadores durante una parte (204) inicial de un intervalo (202) de bus en base a las ponderaciones de segundo nivel asignadas;

10              conceder acceso al bus a uno cualquiera de los procesadores durante la parte inicial del intervalo de bus como respuesta a una solicitud de dicho uno cualquiera de los procesadores que presentan una ponderación de primer nivel;

15              reducir la ponderación de nivel para cada procesador del uno o más de los procesadores a los que se ha concedido acceso durante la parte inicial del intervalo de bus; **caracterizado por**

reinicializar la ponderación de primer nivel del uno o más procesadores al principio de un intervalo (402) de calidad de servicio donde la longitud del intervalo de calidad de servicio no es igual a la longitud del intervalo de bus.

20              14. El procedimiento según la reivindicación 13, que comprende además conceder acceso al bus a dicho uno cualquiera de los procesadores (102) como respuesta a una solicitud del mismo durante la parte (206) restante del intervalo (202) de bus que sigue a la parte (204) inicial del intervalo de bus.

25              15. El procedimiento según la reivindicación 14, en el que la concesión de acceso al bus a dicho uno cualquiera de los procesadores (102) durante la parte (206) restante del intervalo (202) de bus se basa en un esquema de turnos rotativos.

30              16. El procedimiento según la reivindicación 13, que comprende además establecer la duración del intervalo (202) de bus.

35              17. El procedimiento según la reivindicación 13, en el que se concede acceso al bus al procesador (102) del uno o más procesadores con la ponderación de segundo nivel más alta, comprendiendo además el procedimiento reducir la ponderación de segundo nivel de tal procesador después de haberle concedido acceso al bus.

35              18. El procedimiento según la reivindicación 17, en el que la parte (204) inicial del intervalo (202) de bus termina cuando la ponderación de segundo nivel de cada procesador del uno o más procesadores se reduce a cero.

40              19. El procedimiento según la reivindicación 13, en el que la ponderación de segundo nivel comprende el número de concesiones de acceso a bus requerido durante el intervalo (202) de bus por el procesador (102) al que está asignada la ponderación de segundo nivel.

45              20. El procedimiento según la reivindicación 13, en el que la ponderación de segundo nivel comprende el número de bits de datos requeridos durante el intervalo (202) de bus por el procesador (102) al que está asignada la ponderación de segundo nivel.

50              21. El procedimiento según la reivindicación 13, que comprende además establecer la duración del intervalo (402) de calidad de servicio.

55              22. El procedimiento según la reivindicación 13, en el que el arbitraje entre el uno o más de los procesadores (102) que solicitan acceso al bus se lleva a cabo mediante turnos rotativos si ninguno de los procesadores solicitantes tiene una ponderación de primer o de segundo nivel.

55              23. El procedimiento según la reivindicación 13, en el que la asignación de la ponderación de primer nivel a cada uno de los procesadores (102) en el primer nivel y la asignación de la ponderación de segundo nivel a cada uno de los procesadores en el segundo nivel comprende asignar un primera y una segunda ponderación al mismo de entre los procesadores.

60

65

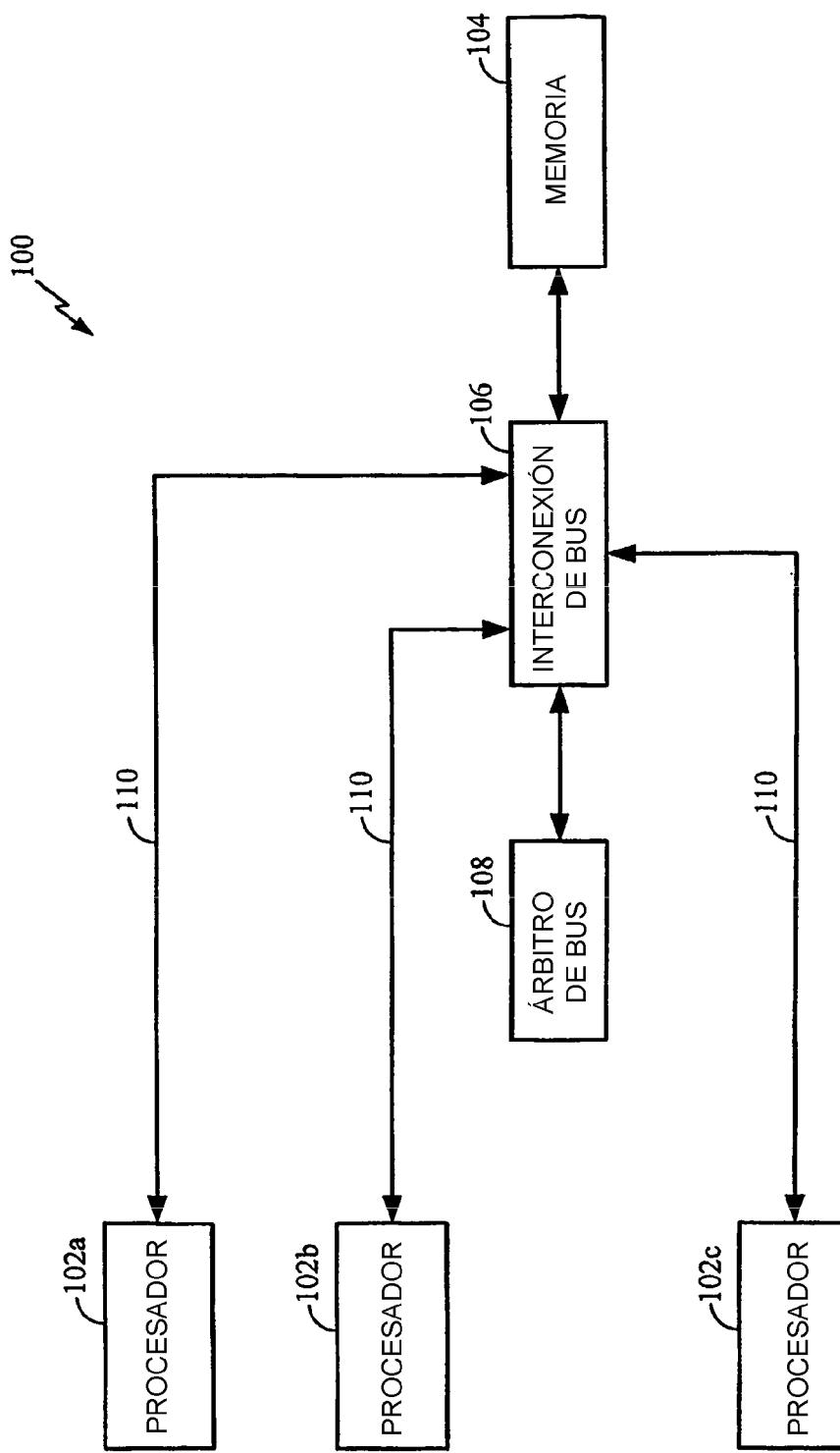


FIG. 1

ES 2 334 387 T3

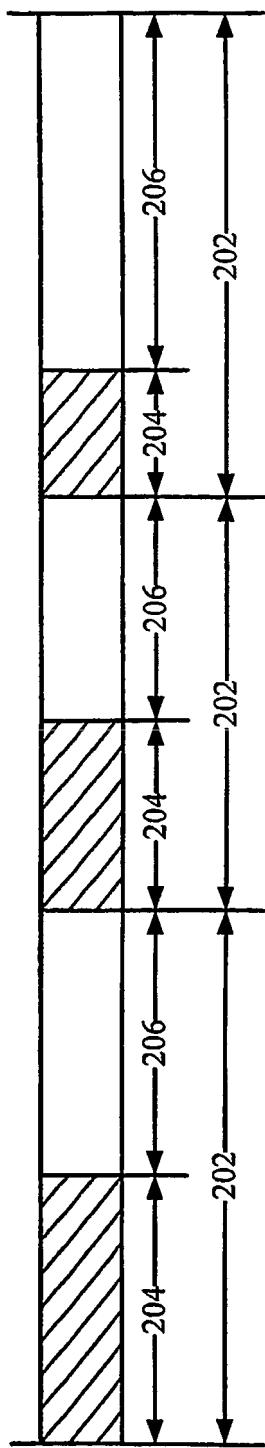


FIG. 2

ES 2 334 387 T3

TESTIGOS ASIGNADOS						TESTIGOS RESTANTES						
PROCESADOR	P <sub>1</sub>	P <sub>2</sub>	P <sub>3</sub>	P <sub>4</sub>	P <sub>5</sub>	P <sub>6</sub>	P <sub>1</sub>	P <sub>2</sub>	P <sub>3</sub>	P <sub>4</sub>	P <sub>5</sub>	P <sub>6</sub>
P <sub>1</sub>	4	3	2	1	1	1	0	0	0	0	0	0
P <sub>2</sub>	2	2	1	1	0	0	0	0	0	0	0	0
P <sub>3</sub>	1	1	1	1	0	0	0	0	0	0	0	0
P <sub>4</sub>	0	0	0	0	0	0	0	0	0	0	0	0
P <sub>5</sub>	0	0	0	0	0	0	0	0	0	0	0	0
P <sub>6</sub>	0	0	0	0	0	0	0	0	0	0	0	0

FIG. 3

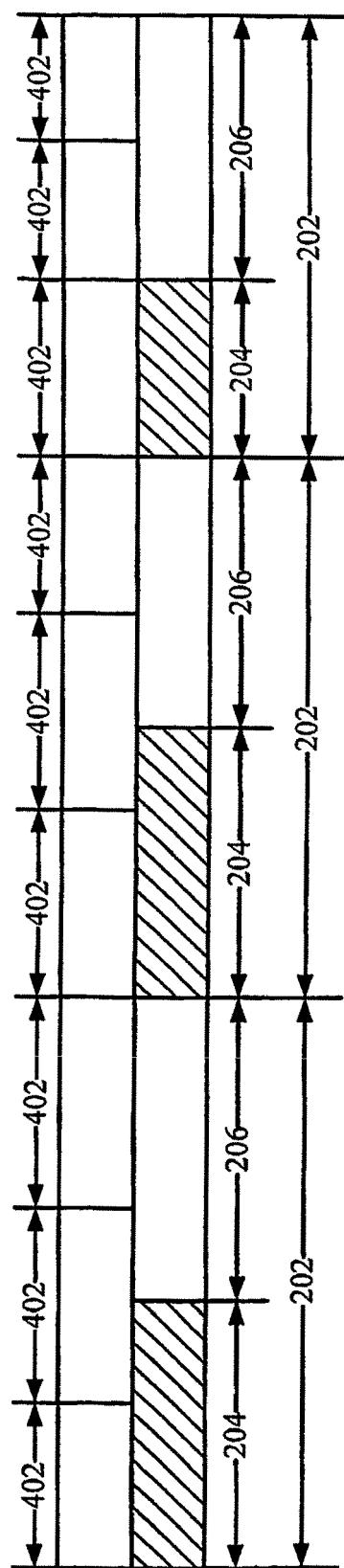


FIG. 4

FIG. 5

