

POLSKA
RZECZPOSPOLITA
LUDOWA



URZĄD
PATENTOWY
PRL

OPIS PATENTOWY 130 274

Patent dodatkowy
do patentu _____

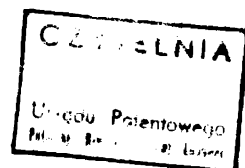
Zgłoszono: 80 02 01 /P.221785/

Pierwszeństwo: _____

Zgłoszenie ogłoszono: 81 08 07

Opis patentowy opublikowano: 1985 12 30

Int. Cl.³ H03K 3/72



Twórca wynalazku: Edward Hrynkiewicz

Uprawniony z patentu: Politechnika Śląska im. W. Pstrowskiego, Gliwice /Polska/

UKŁAD DO POWIELANIA CZĘSTOTLIWOŚCI PRZEBIEGU PROSTOKĄTNEGO

Przedmiotem wynalazku jest układ powielania częstotliwości przebiegu prostokątnego zawierający programowany dzielnik częstotliwości.

Znanych jest kilka rozwiązań problemu powielania częstotliwości przebiegu prostokątnego. Jednym z układów jest układ powielania częstotliwości zawierający sterowany napięciem generator objęty pętlą fazowego sprzężenia zwrotnego. W pętli znajduje się dzielnik częstotliwości o współczynniku podziału K . W takim układzie uzyskuje się na wyjściu częstotliwość K razy większą od częstotliwości przebiegu wejściowego. Układ zawiera podzespoły analogowe, które poza tym, że są rozbudowane, charakteryzują się zależnością od temperatury i niestabilnością długoterminową.

Innym układem powielania częstotliwości jest układ wykorzystujący ideę mieszania funkcji Walsha. Zbudowany jest on z układów opóźniających i bramek realizujących sumę modulo 2. Przebieg wyjściowy z takiego układu nie posiada wypełnienia 0,5 a dodatkowo uzyskanie dużego współczynnika powielania jest trudne ze względu na konieczność tworzenia wielu układów opóźniających.

Znany jest także układ powielania częstotliwości zawierający licznik, który w czasie równym okresowi przebiegu wyjściowego zlicza impulsy przychodzące z generatora zegarowego poprzez dzielnik o współczynniku podziału K . Następnie zawartość licznika jest przepisywana do licznika zliczającego wstecz, do którego doprowadza się impulsy z generatora zegarowego. Każde wyzerowanie się licznika liczącego wstecz powoduje impuls na wejściu oraz wpisanie zawartości licznika liczącego w przód do licznika liczącego wstecz.

W efekcie uzyskuje się na wyjściu układu częstotliwość około K razy większą od częstotliwości na wejściu układu. W układzie nie uzyskuje się dokładnie K krotnego powielania częstotliwości ze względu na to, że w czasie trwania jednego okresu przebiegu wejściowego K okresów generatora zegarowego nie mieści się całkowita liczba razy.

Celem wynalazku jest opracowanie układu do powielania częstotliwości przebiegu prostokątnego, w którym to układzie unika się błędów temperaturowych, niestabilności długoterminowej i przy stosunkowo prostej konstrukcji układu uzyskuje się duży współczynnik powielania.

Istota wynalazku opiera się na stwierdzeniu, że na wyjściu spomiędzy dwóch nieprogramowanych dzielników częstotliwości umieszczonych w pętli sprzężenia zwrotnego licznika rewersyjnego zawierający programowany dzielnik częstotliwości, uzyskuje się wielokrotnie powieloną częstotliwość przebiegu wejściowego. Wielokrotność powielenia częstotliwości przebiegu wejściowego jest równa krotności dzielenia częstotliwości przez dzielnik połączony z wejściem zliczania wstecz licznika rewersyjnego.

W układzie według wynalazku wejścia z poszczególnych stopni licznika rewersyjnego połączone są z wejściami programowanego dzielnika częstotliwości, który przez dwa nieprogramowane dzielniki częstotliwości połączony jest z wejściem zliczania wstecz licznika rewersyjnego, przy czym do wejścia programowanego dzielnika częstotliwości doprowadzony jest przebieg z generatora zegarowego.

Wynalazek pokazano w przykładzie wykonania na rysunku. Wyjście z licznika rewersyjnego LR połączone są z wejściami programującymi programowanego dzielnika częstotliwości PDCz, którego wyjście połączone jest z wejściem nieprogramowanego dzielnika $1/p$.

Nieprogramowany dzielnik $1/K$ połączony jest z dzielnikiem $1/p$ oraz z wejściem zliczania wstecz licznika rewersyjnego LR. Przebieg wejściowy doprowadzony jest do wejścia zliczenia w przód licznika rewersyjnego a przebieg wyjściowy wytwarzany jest na wyjściu dzielnika $1/p$.

Z a s t r z e ż e n i e p a t e n t o w e

Układ do powielania częstotliwości przebiegu prostokątnego, z n a m i e n n y t y m, że wyjście z poszczególnych stopni licznika rewersyjnego /LR/ połączone są z wejściami programowanego dzielnika częstotliwości /PDCz/, który poprzez dwa nieprogramowane dzielniki częstotliwości $1/p$ i $1/K$ połączony jest z wejściem zliczania wstecz licznika rewersyjnego /LR/, przy czym do wejścia programowanego dzielnika częstotliwości /PDCz/ doprowadzony jest przebieg z generatora zegarowego.

