

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁶
H01L 27/108

(11) 공개번호 특1997-0077642
(43) 공개일자 1997년 12월 12일

(21) 출원번호	특1996-0014165
(22) 출원일자	1996년 05월 02일
(71) 출원인	LG 반도체 주식회사 문정환
(72) 발명자	충청북도 청주시 흥덕구 향정동 1번지 (우 : 361-480) 조복원
(74) 대리인	충청북도 청주시 비하동 270-1 우진빌라 B-302호 양순석

심사청구 : 있음

(54) 반도체 소자의 캐패시터 제조 방법

요약

본 반도체 소자의 캐패시터 제조방법은, 기판 상에 제1절연막과 상기 제1절연막 상에 제2절연막을 형성하는 공정과, 제2절연막을 선택적으로 식각하여 제1콘택을 형성하는 공정과, 제1콘택과 제2절연막 상에 제3절연막을 형성하는 공정과, 상기 제1콘택영역을 포함하는 캐패시터 영역의 제3절연막을 식각하여, 캐패시터 영역에 제2절연막을 포함하는 제1콘택을 노출시키는 공정과, 제1콘택의 제1절연막을 식각하는 공정과, 캐패시터 영역 및 제3절연막 상에 제1전도층을 형성하는 공정과, 캐패시터 영역의 제1전도층상에 임의층을 형성하는 공정과, 임의층을 마스크로 사용하여 제3절연막 상의 제1전도층을 식각하는 공정과, 임의층을 제거하고 제1전도층의 표면에 유전막을 형성하는 공정과, 상기 유전막 상에 제2전도층을 형성하는 공정을 포함한다.

대표도

도2

명세서

[발명의 명칭]

반도체 소자의 캐패시터 제조 방법

[도면의 간단한 설명]

제2도는 본 발명의 제조 방법을 설명하기 위한 공정별 일부 단면도이다.

본 내용은 요부공개 건이므로 전문내용을 수록하지 않았음

(57) 청구의 범위

청구항 1

기판상에 제1절연막과 상기 제1절연막 상에 제2절연막을 형성하는 공정과, 제2절연막을 선택적으로 식각하여 제1콘택을 형성하는 공정과, 제1콘택과 제2절연막 상에 제3절연막을 형성하는 공정과, 상기 제1콘택영역을 포함하는 캐패시터 영역의 제3절연막을 식각하여, 캐패시터 영역에 제2절연막을 포함하는 제1콘택을 노출시키는 공정과, 제1콘택의 제1절연막을 식각하는 공정과, 캐패시터 영역 및 제3절연막 상에 제1전도층을 형성하는 공정과, 캐패시터 영역의 제1전도층상에 임의층을 형성하는 공정과, 임의층을 마스크로 사용하여 제3절연막 상의 제1전도층을 식각하는 공정과, 임의층을 제거하고 제1전도층의 표면에 유전막을 형성하는 공정과, 상기 유전막 상에 제2전도층을 형성하는 공정을 포함하는 반도체 소자의 캐패시터 제조방법.

청구항 2

제1항에 있어서, 상기 제1절연막과 제3절연막은 식각 속도가 비슷한 물질을 사용하며, 상기 제1절연막과 제2절연막은 서로 식각 속도가 다른 물질을 선택하는 것이 특징인 캐패시터 제조방법.

청구항 3

제1항에 있어서, 상기 제1절연막과 제3절연막은 동일한 물질을 사용하며, 상기 제1절연막과 제2절연막은 서로 식각 속도가 서로 다른 물질을 선택하는 것이 특징인 캐패시터 제조방법.

청구항 4

제2항에 있어서, 상기 제1절연막으로는 평탄화 특성을 가지는 산화막을 사용하며, 상기 제2절연막으로 질화막을 사용하며, 상기 제3절연막으로 CVD 산화막을 사용하는 것이 특징인 캐패시터 제조방법.

청구항 5

제1항에 있어서, 임의층을 마스크로 사용하여 제3절연막 상의 제1전도층을 식각하는 공정은 CMP 방법으로 표면을 평탄화하면서 제3절연막 상의 제1전도층을 식각하는 것이 특징인 캐패시터 제조방법.

청구항 6

제1항에 있어서, 임의층을 제거하는 공정은 습식 식각 방법을 이용하는 것이 특징인 캐패시터 제조방법.

청구항 7

반도체 장치의 캐패시터 제조방법에 있어서, 가) 캐패시터와 연결될 불순물 확산영역이 형성된 기판 상에 제1절연막과 제2절연막을 차례로 증착한 다음, 사진식각공정으로 콘택홀이 형성될 부위의 제2절연막을 식각하는 단계와, 나) 제3절연막을 증착하고, 이웃하는 캐패시터와의 경계 부위에만 제3절연막이 남도록 제3절연막을 패터닝하고 이어서 제2절연막으로 마스크 되지 아니하는 제1절연막까지 식각하여 콘택홀을 형성하는 단계와, 다) 캐패시터의 저장전극이 될 도전물질층을 형성한 다음, 평탄화층을 형성하여 제3절연막 높이 이상으로 평탄화 시킨 후, CMP 방법으로 평탄화층을 깎아내어 제3절연막의 상부에 있는 도전물질층을 제거하는 단계와, 라) 평탄화층과 제3절연층을 습식식각으로 완전히 제거하여 캐패시터의 저장전극을 형성하는 단계와, 마) 저장 전극 상에 유전막과 플레이트 전극을 형성하는 단계를 포함하여 이루어지는 것이 특징인 캐패시터 제조방법.

청구항 8

제7항에 있어서, 상기 도전물질층은 표면에 반구형 폴리실리콘을 형성하여 표면적이 크게 되도록 하는 것이 특징인 캐패시터 제조방법.

청구항 9

반도체 소자의 캐패시터 제조방법에 있어서, 가) 반도체 기판에 트랜지스터를 형성한 다음 전면을 제1절연막으로 덮고 소오스/드레인 전극과 연결되는 비트라인을 형성하고, 전면에 제2절연막을 차례로 증착한 다음, 콘택홀이 형성될 부위의 제2절연막을 식각하는 단계와, 나) 제3절연막을 증착하고, 이웃하는 캐패시터와의 경계 부위에만 제3절연막이 남도록 제3절연막을 패터닝하고 이어서 제2절연막으로 마스크 되지 아니하는 제1절연막까지 식각하여 콘택홀을 형성하는 단계와, 다) 캐패시터의 저장전극이 될 도전물질을 증착한 다음, 평탄화층을 형성하여 제3절연막이 높이 이상으로 평탄화를 시킨 후, 평탄화층을 제3절연막의 상단까지 깎아내는 단계와, 라) 습식식각을 이용하여 남아 있는 평탄화층과 제3절연층을 완전히 제거하여 캐패시터의 저장전극을 형성하는 단계와, 마) 저장전극 상에 유전막과 플레이트 전극을 형성하는 단계를 포함하여 이루어지는 것이 특징인 캐패시터 제조방법.

청구항 10

제9항에 있어서, 상기 제1절연막과 제3절연막은 식각 속도가 비슷한 물질을 사용하며, 상기 제1절연막과 제2절연막은 서로 식각 속도가 다른 물질을 선택하는 것이 특징인 캐패시터 제조방법.

청구항 11

제9항에 있어서, 상기 제1절연막과 제3절연막은 동일한 물질을 사용하며, 상기 제1절연막과 제2절연막은 서로 식각 속도가 다른 물질을 선택하는 것이 특징인 캐패시터 제조방법.

※ 참고사항 : 최초출원 내용에 의하여 공개되는 것임.

도면

도면2

