

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7172920号
(P7172920)

(45)発行日 令和4年11月16日(2022.11.16)

(24)登録日 令和4年11月8日(2022.11.8)

(51)国際特許分類		F I	
H 0 1 L	29/739 (2006.01)	H 0 1 L	29/78 6 5 5 E
H 0 1 L	29/78 (2006.01)	H 0 1 L	29/78 6 5 7 D
H 0 1 L	21/8234(2006.01)	H 0 1 L	29/78 6 5 3 A
H 0 1 L	27/06 (2006.01)	H 0 1 L	29/78 6 5 2 J
H 0 1 L	27/088 (2006.01)	H 0 1 L	29/78 6 5 5 B
請求項の数 5 (全14頁) 最終頁に続く			
(21)出願番号	特願2019-161392(P2019-161392)	(73)特許権者	000004260 株式会社デンソー 愛知県刈谷市昭和町1丁目1番地
(22)出願日	令和1年9月4日(2019.9.4)	(74)代理人	110001128弁理士法人ゆうあい特許事 務所
(65)公開番号	特開2021-40071(P2021-40071A)	(72)発明者	宮田 征典 愛知県刈谷市昭和町1丁目1番地 株式 会社デンソー内
(43)公開日	令和3年3月11日(2021.3.11)	(72)発明者	利田 祐麻 愛知県刈谷市昭和町1丁目1番地 株式 会社デンソー内
審査請求日	令和3年11月4日(2021.11.4)	(72)発明者	薬師川 裕貴 愛知県豊田市トヨタ町1番地 トヨタ自 動車株式会社内
		(72)発明者	妹尾 賢 最終頁に続く

(54)【発明の名称】 半導体装置

(57)【特許請求の範囲】
【請求項1】

I G B T素子として機能するI G B T領域(1 1)と、F W D素子として機能するF W D領域(1 2)とを有する半導体装置であって、

第1導電型のドリフト層(3 1)と、前記ドリフト層の表層部に形成された第2導電型のベース層(3 2)と、前記I G B T領域において、前記ベース層の表層部に前記ドリフト層から離間して形成され、前記ドリフト層よりも高不純物濃度とされた第1導電型のエミッタ領域(3 6)と、前記I G B T領域において、前記ドリフト層のうちの前記ベース層側と反対側に形成された第2導電型のコレクタ層(4 3)と、前記F W D領域において、前記ドリフト層のうちの前記ベース層側と反対側に形成された第1導電型のカソード層(4 4)と、を有する半導体基板(3 0)と、

前記エミッタ領域と前記ドリフト層との間に位置する前記ベース層の表面に配置されたゲート絶縁膜(3 4)と、

前記ゲート絶縁膜上に配置されたゲート電極(3 5)と、

前記ベース層および前記エミッタ領域と電氣的に接続される第1電極(4 1)と、

前記コレクタ層および前記カソード層と電氣的に接続される第2電極(4 5)と、を備え、

前記I G B T領域は、第1領域(1 1 a)と、前記第1領域と異なる第2領域(1 1 b)とを有し、

前記エミッタ領域は、前記第1領域および前記第2領域に形成され、

前記 F W D 領域および前記 I G B T 領域の第 1 領域には、前記第 1 電極と前記第 2 電極との間に前記 F W D 素子をダイオード動作させる順バイアスが印加された際、前記第 2 領域よりも、前記第 2 電極から注入されるキャリアが抜け易くなるキャリア引抜部（32a、38、39）が形成されている半導体装置。

【請求項 2】

前記 I G B T 領域は、前記 F W D 領域側に前記第 1 領域が配置されている請求項 1 に記載の半導体装置。

【請求項 3】

前記 I G B T 領域および前記 F W D 領域の配列方向に沿った長さを幅とすると、

前記 I G B T 領域は、前記第 1 領域の幅が前記半導体基板の厚さ以上とされている請求項 2 記載の半導体装置。

10

【請求項 4】

前記 I G B T 領域および前記 F W D 領域の配列方向に沿った長さを幅とすると、

前記 I G B T 領域は、前記第 1 領域の幅が前記 F W D 領域の幅以下とされている請求項 2 または 3 に記載の半導体装置。

【請求項 5】

前記ベース層と前記ドリフト層との間、または前記ベース層内に形成された第 1 導電型のバリア領域（38）と、

前記ベース層に形成され、前記バリア領域と接続されると共に前記第 1 電極と接続される第 1 導電型のピラー領域（39）と、を有する前記キャリア引抜部が形成された請求項 1 ないし 4 のいずれか 1 つに記載の半導体装置。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、絶縁ゲート構造を有する絶縁ゲートバイポーラトランジスタ（以下では、I G B T という）素子が形成された I G B T 領域およびフリーホイールダイオード（以下では、F W D という）素子が形成された F W D 領域を有する半導体装置に関する。

【背景技術】

【0002】

従来より、I G B T 領域および F W D 領域を有する半導体装置において、F W D 素子のスイッチング損失を低減した半導体装置が提案されている（例えば、特許文献 1 参照）。具体的には、この半導体装置は、N⁻型のドリフト層を構成する半導体基板を有しており、ドリフト層上にベース層が形成されている。そして、I G B T 領域および F W D 領域では、ベース層を貫通するように複数のトレンチが形成され、各トレンチには、壁面を覆うようにゲート絶縁膜が形成されていると共に、ゲート絶縁膜上にゲート電極が形成されている。また、I G B T 領域には、トレンチと接するように、N⁺型のエミッタ領域が形成されている。そして、半導体基板のうちのベース層側の一面側には、ベース層およびエミッタ領域と電氣的に接続される上部電極が形成されている。

30

【0003】

半導体基板の一面と反対の他面側には、P 型のコレクタ層および N 型のカソード層が形成されていると共に、コレクタ層およびカソード層と電氣的に接続される下部電極が形成されている。そして、半導体装置は、半導体基板の他面側にコレクタ層が形成されている領域が I G B T 領域とされ、カソード層が形成されている領域が F W D 領域とされている。

40

【0004】

また、ドリフト層とベース層との間には、N 型のバリア領域が形成されている。そして、ベース層には、半導体基板の一面からバリア領域に達するようにピラー領域が形成され、ピラー領域は、上部電極とも接続されている。なお、ピラー領域は、隣合うトレンチの間にそれぞれ形成され、I G B T 領域および F W D 領域の全体に渡って形成されている。

【0005】

このような半導体装置では、バリア領域およびピラー領域が形成されていることにより

50

、FWD領域をダイオード動作させる際、正孔の注入が抑制される。このため、リカバリ電流を小さくでき、リカバリ時間を短くできる。したがって、スイッチング損失を低減できる。

【先行技術文献】

【特許文献】

【0006】

【文献】特許5919121号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

しかしながら、本発明者らが検討したところ、上記半導体装置では、短絡耐量が低下する可能性があることが確認された。

【0008】

本発明は上記点に鑑み、スイッチング損失を低減しつつ、短絡耐量が低下することを抑制できる半導体装置を提供することを目的とする。

【課題を解決するための手段】

【0009】

上記目的を達成するための請求項1は、IGBT素子として機能するIGBT領域(11)と、FWD素子として機能するFWD領域(12)とを有する半導体装置であって、第1導電型のドリフト層(31)と、ドリフト層の表層部に形成された第2導電型のベース層(32)と、IGBT領域において、ベース層の表層部にドリフト層から離間して形成され、ドリフト層よりも高不純物濃度とされた第1導電型のエミッタ領域(36)と、IGBT領域において、ドリフト層のうちのベース層側と反対側に形成された第2導電型のコレクタ層(43)と、FWD領域において、ドリフト層のうちのベース層側と反対側に形成された第1導電型のカソード層(44)と、を有する半導体基板(30)と、エミッタ領域とドリフト層との間に位置するベース層の表面に配置されたゲート絶縁膜(34)と、ゲート絶縁膜上に配置されたゲート電極(35)と、ベース層およびエミッタ領域と電氣的に接続される第1電極(41)と、コレクタ層およびカソード層と電氣的に接続される第2電極(45)と、を備えている。そして、IGBT領域は、第1領域(11a)と、第1領域と異なる第2領域(11b)とを有し、エミッタ領域は、第1領域および第2領域に形成され、FWD領域およびIGBT領域の第1領域には、第1電極と第2電極との間にFWD素子をダイオード動作させる順バイアスが印加された際、第2領域よりも、第2電極から注入されるキャリアが抜け易くなるキャリア引抜部(32a、38、39)が形成されている。

【0010】

これによれば、キャリア引抜部が形成されているFWD領域および第1領域により、スイッチング損失の低減を図ることができる。また、キャリア引抜部が形成されていない第2領域により、短絡耐量が低下することを抑制できる。

【0011】

なお、各構成要素等に付された括弧付きの参照符号は、その構成要素等と後述する実施形態に記載の具体的な構成要素等との対応関係の一例を示すものである。

【図面の簡単な説明】

【0012】

【図1】第1実施形態における半導体装置の平面図である。

【図2】図1中のII-II線に沿った断面図である。

【図3】図1中のIII-III線に沿った断面図である。

【図4】ダイオード動作している際の電子の流れを示す模式図である。

【図5】ダイオード動作している際のホール密度に関するシミュレーション結果を示す図である。

【図6】短絡電流が遮断された直後の温度分布に関するシミュレーション結果を示す図で

10

20

30

40

50

ある。

【図 7】リーク電流とピラー領域の有無との関係に関するシミュレーション結果を示す図である。

【図 8】第 1 領域の幅と短絡耐量との関係に関する実験結果を示す図である。

【図 9】第 2 実施形態における半導体装置の断面図である。

【発明を実施するための形態】

【0013】

以下、本発明の実施形態について図に基づいて説明する。なお、以下の各実施形態相互において、互いに同一もしくは均等である部分には、同一符号を付して説明を行う。

【0014】

(第 1 実施形態)

第 1 実施形態について、図面を参照しつつ説明する。なお、本実施形態の半導体装置は、例えば、インバータ、DC/DCコンバータ等の電源回路に使用されるパワースwitchング素子として利用されると好適である。

【0015】

図 1 に示されるように、半導体装置は、セル領域 10 と、当該セル領域 10 を囲む外周領域 20 とを有している。本実施形態の半導体装置は、2 つのセル領域 10 を有している。そして、各セル領域 10 には、IGBT 素子として機能する IGBT 領域 11 と、IGBT 領域 11 に隣接し、FWD 素子として機能する FWD 領域 12 とが形成されている。つまり、本実施形態の半導体装置は、同じチップ内に IGBT 領域 11 と FWD 領域 12 とが形成された RC (Reverse Conducting の略) - IGBT とされている。

【0016】

本実施形態では、IGBT 領域 11 および FWD 領域 12 は、各セル領域 10 において、一方向に沿って交互に形成されている。つまり、IGBT 領域 11 および FWD 領域 12 は、後述する半導体基板 30 の面方向における一方向に沿って交互に形成されている。具体的には、IGBT 領域 11 および FWD 領域 12 は、それぞれ長手方向を有する矩形状の領域とされており、当該長手方向と交差する方向に沿って交互に形成されている。また、IGBT 領域 11 および FWD 領域 12 は、配列方向における両端部に IGBT 領域 11 が位置するように、交互に配列されている。

【0017】

なお、図 1 中では、IGBT 領域 11 および FWD 領域 12 は、紙面左右方向を長手方向とする矩形状とされており、紙面上下方向に沿って交互に形成されている。以下では、IGBT 領域 11 および FWD 領域 12 において、IGBT 領域 11 と FWD 領域 12 との配列方向を幅方向ともいい、IGBT 領域 11 と FWD 領域 12 との配列方向に沿った長さを幅ともいう。そして、本実施形態では、IGBT 領域 11 は、幅が 800 μm とされており、FWD 領域 12 は、幅が 250 μm とされている。

【0018】

以下、本実施形態の半導体装置の具体的な構成について説明する。

【0019】

半導体装置は、図 2 および図 3 に示されるように、N⁻型のドリフト層 31 を構成する半導体基板 30 を有している。なお、本実施形態では、半導体基板 30 は、シリコン基板で構成されており、一面 30a と他面 30b との間の長さである厚さが 120 μm とされている。つまり、半導体基板 30 は、厚さが FWD 領域 12 の幅よりも薄くされている。そして、ドリフト層 31 上には、P 型のベース層 32 が形成されている。言い換えると、半導体基板 30 の一面 30a 側には、ベース層 32 が形成されている。

【0020】

半導体基板 30 には、一面 30a 側からベース層 32 を貫通してドリフト層 31 に達するように複数のトレンチ 33 が形成されている。これにより、ベース層 32 は、トレンチ 33 によって複数個に分離されている。本実施形態では、複数のトレンチ 33 は、IGBT 領域 11 および FWD 領域 12 にそれぞれ形成されている。また、本実施形態では、複

10

20

30

40

50

数のトレンチ 33 は、I G B T 領域 11 および F W D 領域 12 の配列方向と交差する方向（すなわち、図 1 中の紙面左右方向）を長手方向としてストライプ状に形成されている。なお、隣合うトレンチ 33 同士の間隔（すなわち、ピッチ間隔）は、例えば、6 μ m 程度とされる。

【0021】

そして、各トレンチ 33 は、各トレンチ 33 の壁面を覆うように形成されたゲート絶縁膜 34 と、このゲート絶縁膜 34 の上に形成されたポリシリコン等により構成されるゲート電極 35 とにより埋め込まれている。これにより、トレンチゲート構造が構成されている。

【0022】

なお、I G B T 領域 11 に形成されたトレンチ 33 に配置されているゲート電極 35 は、図示しないゲート配線を介して外周領域 20 に形成されたゲートパッド等と接続される。ゲートパッドは、図示しない可変抵抗を介して駆動回路と接続される。そして、このゲート電極 35 には、所定のパルス状のゲート電圧が印加される。F W D 領域 12 に形成されているトレンチ 33 に配置されたゲート電極 35 は、後述する上部電極 41 と電氣的に接続され、所定電位に維持されるようになっている。

【0023】

ベース層 32 の表層部には、ドリフト層 31 よりも高不純物濃度とされた N⁺ 型のエミッタ領域 36 が形成されている。すなわち、半導体基板 30 の一面 30a 側には、エミッタ領域 36 が形成されている。また、ベース層 32 の表層部には、ベース層 32 よりも高不純物濃度とされた P⁺ 型のコンタクト領域 37 が形成されている。具体的には、エミッタ領域 36 は、ベース層 32 内において終端し、かつ、トレンチ 33 の側面に接するように形成されている。また、コンタクト領域 37 は、エミッタ領域 36 と同様に、ベース層 32 内において終端するように形成されている。

【0024】

より詳しくは、エミッタ領域 36 は、隣合うトレンチ 33 間の領域において、トレンチ 33 の長手方向に沿ってトレンチ 33 の側面に接するように棒状に延設され、トレンチ 33 の先端よりも内側で終端する構造とされている。また、コンタクト領域 37 は、エミッタ領域 36 と接するように、トレンチ 33 の長手方向に沿って棒状に延設されている。

【0025】

なお、本実施形態では、トレンチ 33 の壁面のうちのエミッタ領域 36 とドリフト層 31 との間に位置する部分が、エミッタ領域とドリフト層との間に位置するベース層の表面に相当する。また、図 2 および図 3 では、コンタクト領域 37 は、エミッタ領域 36 と同じ深さとされている図が示されているが、エミッタ領域 36 より深くまで形成されていてもよい。

【0026】

さらに、本実施形態では、ベース層 32 には、当該ベース層 32 をトレンチ 33 の深さ方向に分割するように、ドリフト層 31 よりも高不純物濃度とされた N 型のバリア領域 38 が形成されている。

【0027】

そして、I G B T 領域 11 および F W D 領域 12 には、ベース層 32 に、半導体基板 30 の一面 30a からバリア領域 38 に達するように N 型のピラー領域 39 が形成されている。なお、ピラー領域 39 は、バリア領域 38 とほぼ同じ不純物濃度とされており、トレンチ 33 の延設方向に沿って延設されている。

【0028】

ここで、I G B T 領域 11 のうちの F W D 領域 12 側の領域を第 1 領域 11a とし、I G B T 領域 11 のうちの第 1 領域 11a と異なる領域を第 2 領域 11b とする。本実施形態では、上記のように I G B T 領域 11 および F W D 領域 12 が配列されているため、F W D 領域 12 で挟まれている部分の I G B T 領域 11 では、第 2 領域 11b は、第 1 領域 11a で挟まれた構成となる。また、I G B T 領域 11 と F W D 領域 12 との配列方向の

10

20

30

40

50

両端部に位置する I G B T 領域 1 1 では、配列方向の端部側の領域の全体が第 2 領域 1 1 b となる。

【 0 0 2 9 】

そして、F W D 領域 1 2 には、全体的にピラー領域 3 9 が形成されている。一方、I G B T 領域 1 1 では、第 1 領域 1 1 a のみにピラー領域 3 9 が形成されており、第 2 領域 1 1 b には、ピラー領域 3 9 が形成されていない。つまり、I G B T 領域 1 1 は、ピラー領域 3 9 が形成されている領域と、ピラー領域 3 9 が形成されていない領域とが混在した状態となっている。言い換えると、I G B T 領域 1 1 は、ピラー領域 3 9 が間引かれた構成となっている。

【 0 0 3 0 】

なお、本実施形態では、バリア領域 3 8 およびピラー領域 3 9 がキャリア引抜部に相当している。また、本実施形態では、第 1 領域 1 1 a は、F W D 領域 1 2 との境界から最も離れた位置のピラー領域 3 9 における当該境界と反対側の部分までとされている。つまり、後述する第 1 領域 1 1 a の幅とは、F W D 領域 1 2 との境界と、境界から最も離れた位置のピラー領域 3 9 における当該境界と反対側の部分との間の長さのことである。

【 0 0 3 1 】

半導体基板 3 0 の一面 3 0 a 上には、B P S G (Borophosphosilicate Glass の略) 等で構成される層間絶縁膜 4 0 が形成されている。そして、層間絶縁膜 4 0 上には、層間絶縁膜 4 0 に形成されたコンタクトホール 4 0 a を通じて、エミッタ領域 3 6、コンタクト領域 3 7 (すなわち、ベース層 3 2)、およびピラー領域 3 9 と電氣的に接続される上部電極 4 1 が形成されている。つまり、層間絶縁膜 4 0 上には、I G B T 領域 1 1 においてエミッタ電極として機能し、F W D 領域 1 2 においてアノード電極として機能する上部電極 4 1 が形成されている。なお、上部電極 4 1 は、ベース層 3 2、コンタクト領域 3 7、およびピラー領域 3 9 とオーミック接合されていてよいし、ベース層 3 2 およびコンタクト領域 3 7 とオーミック接合されると共にピラー領域 3 9 とショットキー接合されていてよい。

【 0 0 3 2 】

また、本実施形態では、層間絶縁膜 4 0 には、F W D 領域 1 2 において、ゲート電極 3 5 を露出させるコンタクトホール 4 0 b が形成されている。そして、上部電極 4 1 は、このコンタクトホール 4 0 b を通じてゲート電極 3 5 とも接続されている。これにより、F W D 領域 1 2 に形成されたゲート電極 3 5 は、上部電極 4 1 と同電位に維持される。本実施形態では、上部電極 4 1 が第 1 電極に相当している。

【 0 0 3 3 】

ドリフト層 3 1 のうちのベース層 3 2 側と反対側 (すなわち、半導体基板 3 0 の他面 3 0 b 側) には、ドリフト層 3 1 よりも高不純物濃度とされた N 型のバッファ層 4 2 が形成されている。

【 0 0 3 4 】

そして、I G B T 領域 1 1 では、バッファ層 4 2 を挟んでドリフト層 3 1 と反対側に P ⁺ 型のコレクタ層 4 3 が形成され、F W D 領域 1 2 では、バッファ層 4 2 を挟んでドリフト層 3 1 と反対側に N ⁺ 型のカソード層 4 4 が形成されている。つまり、I G B T 領域 1 1 と F W D 領域 1 2 とは、半導体基板 3 0 の他面 3 0 b 側に形成される層がコレクタ層 4 3 であるかカソード層 4 4 であるかによって区画されている。そして、コレクタ層 4 3 上の領域が I G B T 領域 1 1 とされ、カソード層 4 4 上の領域が F W D 領域 1 2 とされている。

【 0 0 3 5 】

コレクタ層 4 3 およびカソード層 4 4 を挟んでドリフト層 3 1 と反対側 (すなわち、半導体基板 3 0 の他面 3 0 b) には、コレクタ層 4 3 およびカソード層 4 4 と電氣的に接続される下部電極 4 5 が形成されている。つまり、I G B T 領域 1 1 においてはコレクタ電極として機能し、F W D 領域 1 2 においてはカソード電極として機能する下部電極 4 5 が形成されている。本実施形態では、下部電極 4 5 は、コレクタ層 4 3 およびカソード層 4

10

20

30

40

50

4 とオーミック接合されている。また、本実施形態では、下部電極 4 5 が第 2 電極に相当している。

【 0 0 3 6 】

そして、上記のように構成されていることにより、FWD 領域 1 2 においては、ベース層 3 2 およびコンタクト領域 3 7 をアノードとし、ドリフト層 3 1、バッファ層 4 2、カソード層 4 4 をカソードとして P N 接合された FWD 素子が構成されている。

【 0 0 3 7 】

以上が本実施形態における半導体装置の構成である。なお、本実施形態では、N 型、N⁺ 型、N⁻ 型が第 1 導電型に相当しており、P 型、P⁺ 型が第 2 導電型に相当している。また、本実施形態では、上記のように構成されることにより、半導体基板 3 0 は、コレクタ層 4 3、カソード層 4 4、ドリフト層 3 1、エミッタ領域 3 6、コンタクト領域 3 7、バリア領域 3 8、ピラー領域 3 9 を含んだ構成となっている。

10

【 0 0 3 8 】

次に、上記半導体装置の作動について説明しつつ、さらに半導体装置の詳細な構成について説明する。

【 0 0 3 9 】

I G B T 領域 1 1 に形成された I G B T 素子の作動については、従来と同様である。簡単に説明すると、I G B T 素子は、ゲート電極 3 5 に印加されるゲート電圧が制御されることにより、ベース層 3 2 のうちのトレンチ 3 3 と接する部分に形成されるチャンネルの有無が制御される。これにより、I G B T 素子は、エミッタ - コレクタ間に電流を流したり、遮断したりするスイッチング動作を行う。

20

【 0 0 4 0 】

そして、FWD 領域 1 2 に形成された FWD 素子は、上部電極 4 1 と下部電極 4 5 との間に順バイアスが印加されることにより、下部電極 4 5 からカソード層 4 4 に電子が注入されると共に、上部電極 4 1 からコンタクト領域 3 7 に正孔が注入されることでダイオード動作する。この際、本実施形態では、FWD 領域 1 2 および I G B T 領域 1 1 の第 1 領域 1 1 a には、ピラー領域 3 9 が形成されている。このため、図 4 に示されるように、下部電極 4 5 から注入された電子は、ピラー領域 3 9 から上部電極 4 1 へと低抵抗な状態で抜ける。したがって、バリア領域 3 8 およびピラー領域 3 9 と、ベース層 3 2 との間の P N 接合に順バイアスが印加され難くなり、上部電極 4 1 からの正孔の注入を低減できる。なお、図 4 では、電子を「e」として示している。

30

【 0 0 4 1 】

このため、上部電極 4 1 と下部電極 4 5 との間の電圧が順バイアスから逆バイアスに切り替わった際、正孔の注入が抑制されているため、リカバリ電流を小さくでき、リカバリ時間を短くできる。したがって、スイッチング損失を低減することができる。なお、本実施形態では、電子が第 2 電極から注入されるキャリアに相当する。

【 0 0 4 2 】

ここで、ピラー領域 3 9 が I G B T 領域 1 1 および FWD 領域 1 2 の全体に渡って形成された従来の半導体装置（以下では、単に従来の半導体装置ともいう）について、本発明者らが検討した結果を図 5 および図 6 を参照しつつ説明する。

40

【 0 0 4 3 】

まず、図 5 に示されるように、半導体装置をダイオード動作させた際、ホール濃度は、FWD 領域 1 2 で高くなることが確認される。そして、I G B T 領域 1 1 では、FWD 領域 1 2 との境界側と反対側を I G B T 領域 1 1 の幅方向における中心側（以下では、単に中心側ともいう）とすると、ホール濃度は、FWD 領域 1 2 との境界側から中心側に向かって順に低くなることが確認される。これは、ダイオード動作時には、カソード層 4 4（すなわち、半導体基板 3 0 の他面 3 0 b）に注入される電子は、一面 3 0 a 側に向かって約 4 5 ° の広がりを持って拡散しながら移動するためである。つまり、I G B T 領域 1 1 では、元々、FWD 領域 1 2 との境界から半導体基板 3 0 の厚さ以上の部分に電子が到達し難く、ホールが注入され難い状態となっている。

50

【 0 0 4 4 】

また、図 6 に示されるように、半導体装置が短絡して I G B T 領域 1 1 に大電流である短絡電流が流れ、当該短絡電流が遮断された直後の温度分布は、F W D 領域 1 2 との境界側から中心側に向かって高くなることが確認される。これは、I G B T 領域 1 1 のうちの F W D 領域 1 2 との境界側の領域では、大電流が流れたことによって発生する熱が F W D 領域 1 2 側へと放熱されるためである。

【 0 0 4 5 】

さらに、本発明者らは、リーク電流と、ピラー領域 3 9 の有無との関係について鋭意検討を行い、図 7 に示す結果を得た。

【 0 0 4 6 】

図 7 に示されるように、リーク電流は、温度が高くなるほど電子が上部電極 4 1 側へと抜け易くなるために大きくなる。そして、ピラー領域 3 9 が形成されている場合には、ピラー領域 3 9 が形成されていない場合よりも電子が上部電極 4 1 側へと抜け易くなるため、リーク電流が大きくなり易いことが確認される。

【 0 0 4 7 】

つまり、半導体装置は、短絡時においては、I G B T 領域 1 1 における中心側の領域が F W D 領域 1 2 との境界側の領域より温度が高くなり易いため、この領域にピラー領域 3 9 が形成されていると、リーク電流が大きくなることによって短絡耐量が低下し易い。このため、従来の半導体装置のように、I G B T 領域 1 1 および F W D 領域 1 2 の全体に渡ってピラー領域 3 9 が形成されている場合には、短絡耐量が低下する。

【 0 0 4 8 】

したがって、本実施形態の半導体装置では、I G B T 領域 1 1 は、F W D 領域 1 2 側の第 1 領域 1 1 a にピラー領域 3 9 が形成されており、第 1 領域 1 1 a と異なる第 2 領域 1 1 b にはピラー領域 3 9 を形成しないようにしている。このため、スイッチング損失を低減しつつ、短絡耐量を向上させることができる。

【 0 0 4 9 】

そして、本発明者らは、さらに、第 1 領域 1 1 a における幅について鋭意検討を行い、図 8 に示す実験結果を得た。なお、図 8 は、半導体基板 3 0 の厚さを $120\text{ }\mu\text{m}$ とし、F W D 領域 1 2 の幅を $250\text{ }\mu\text{m}$ とした実験結果を示す図である。また、図 8 では、I G B T 領域 1 1 とカソード層 4 4 との境界を基準（すなわち、図 8 中の第 1 領域の幅が 0）としている。

【 0 0 5 0 】

図 8 に示されるように、リカバリ損失（すなわち、スイッチング損失）は、第 1 領域 1 1 a の幅が $120\text{ }\mu\text{m}$ までは急峻に低下するが、 $120\text{ }\mu\text{m}$ 以上の範囲ではあまり変化しない。すなわち、リカバリ損失は、半導体基板 3 0 の厚さが $120\text{ }\mu\text{m}$ とされている場合、第 1 領域 1 1 a の幅を半導体基板 3 0 の厚さ以上としてもあまり変化しない。

【 0 0 5 1 】

一方、短絡耐量は、第 1 領域 1 1 a の幅が $250\text{ }\mu\text{m}$ まではほぼ一定であるが、第 1 領域 1 1 a の幅が $250\text{ }\mu\text{m}$ 以上となると急峻に低下する。すなわち、短絡耐量は、F W D 領域 1 2 の幅が $250\text{ }\mu\text{m}$ である場合、第 1 領域 1 1 a の幅を F W D 領域 1 2 の幅以上とすると急峻に低下する。

【 0 0 5 2 】

このため、本実施形態では、第 1 領域 1 1 a の幅は、半導体基板 3 0 の厚さ以上であって、F W D 領域 1 2 の幅以下となるように形成されている。

【 0 0 5 3 】

以上説明したように、本実施形態では、F W D 領域 1 2 には、ピラー領域 3 9 が形成されている。また、I G B T 領域 1 1 は、ピラー領域 3 9 が形成された第 1 領域 1 1 a と、ピラー領域 3 9 が形成されていない第 2 領域 1 1 b とを有している。このため、ピラー領域 3 9 が形成されている F W D 領域 1 2 および第 1 領域 1 1 a により、スイッチング損失の低減を図ることができる。また、ピラー領域 3 9 が形成されていない第 2 領域 1 1 b に

10

20

30

40

50

より、短絡耐量が低下することを抑制できる。

【 0 0 5 4 】

そして、本実施形態では、第 1 領域 1 1 a は、F W D 領域 1 2 との境界側に形成されている。また、第 1 領域 1 1 a の幅は、半導体基板 3 0 の厚さ以上であって、F W D 領域 1 2 の幅以下とされている。このため、スイッチング損失を十分に低減しつつ、短絡耐量が低下することを抑制できる。

【 0 0 5 5 】

(第 2 実施形態)

第 2 実施形態について説明する。本実施形態は、第 1 実施形態に対し、I G B T 領域 1 1 の構成を変更したものである。その他に関しては、第 1 実施形態と同様であるため、こ

10

【 0 0 5 6 】

本実施形態では、図 9 に示されるように、バリア領域 3 8 およびピラー領域 3 9 は形成されていない。そして、ベース層 3 2 は、第 1 領域 1 1 a に位置する第 1 ベース層 3 2 a が、第 2 領域 1 1 b に位置する第 2 ベース層 3 2 b よりも不純物濃度が低くされている。なお、特に図示しないが、F W D 領域 1 2 は、第 1 領域 1 1 a と同様の構成とされている。

【 0 0 5 7 】

このように、ベース層 3 2 の不純物濃度を变化させることによって上部電極 4 1 への電子の引く抜き易さを变化させた半導体装置としても、上記第 1 実施形態と同様の効果を得ることができる。なお、本実施形態では、第 1 ベース層 3 2 a がキャリア引抜部に相当する。

20

【 0 0 5 8 】

(他の実施形態)

本発明は上記した実施形態に限定されるものではなく、特許請求の範囲に記載した範囲内において適宜変更が可能である。

【 0 0 5 9 】

例えば、上記各実施形態では、第 1 導電型を N 型とし、第 2 導電型を P 型とした例について説明したが、第 1 導電型を P 型とし、第 2 導電型を N 型とすることもできる。

【 0 0 6 0 】

また、上記各実施形態において、トレンチゲート型の半導体装置ではなく、半導体基板 3 0 の一面 3 0 a 上にゲート電極 3 5 が配置されるプレーナ型の半導体装置としてもよい。

30

【 0 0 6 1 】

さらに、上記各実施形態において、セル領域 1 0 は、1 つとされていてもよいし、3 つ以上の複数とされていてもよい。また、F W D 領域 1 2 は、1 つのセル領域 1 0 内に 1 つのみ形成されるようにしてもよい。

【 0 0 6 2 】

また、上記各実施形態において、第 1 領域 1 1 a は、F W D 領域 1 2 側に形成されていなくてもよい。さらに、第 1 領域 1 1 a の幅は、半導体基板 1 0 の厚さ未満とされていてもよいし、F W D 領域 1 2 の幅より広くされていてもよい。このような半導体装置としても、I G B T 領域 1 1 を第 1 領域 1 1 a と第 2 領域 1 1 b とを有する構成とすることにより、スイッチング損失を低減しつつ、短絡耐量が低下することを抑制できる。

40

【 0 0 6 3 】

そして、上記第 1 実施形態において、特に図示しないが、バリア領域 3 8 は、ドリフト層 3 1 とベース層 3 2 との間に配置されていてもよい。また、上記第 1 実施形態において、特に図示しないが、バリア領域 3 8 が形成されておらず、キャリア引抜部がピラー領域 3 9 のみで構成されるようにしてもよい。さらに、上記第 1 実施形態において、ピラー領域 3 9 の不純物濃度を变化させることにより、キャリアの引き抜き易さを变化させるようにしてもよい。この場合、例えば、第 1 領域 1 1 a に形成されるピラー領域 3 9 は、第 2 領域 1 1 b に形成されるピラー領域 3 9 よりも不純物濃度が濃くなるようにすればよい。

50

【 0 0 6 4 】

さらに、上記第 1 実施形態において、コンタクト領域 3 7 は、形成されていなくてもよいし、ピラー領域 3 9 と離れて形成されていてもよい。つまり、半導体装置は、ベース層 3 2 が半導体基板 3 0 の一面 3 0 a から露出する構成とされていてもよい。

【 0 0 6 5 】

また、上記第 1、第 2 実施形態において、I G B T 領域 1 1 と F W D 領域 1 2 とは、隣接して配置されていなくてもよい。例えば、I G B T 領域 1 1 と F W D 領域 1 2 の間に、繋ぎ領域等の領域が配置されていてもよい。

【 符号の説明 】

【 0 0 6 6 】

- 1 1 I G B T 領域
- 1 1 a 第 1 領域
- 1 1 b 第 2 領域
- 1 2 F W D 領域
- 3 1 ドリフト層
- 3 2 ベース層
- 3 6 エミッタ領域
- 3 8 バリア領域
- 3 9 ピラー領域
- 4 1 上部電極（第 1 電極）
- 4 3 コレクタ層
- 4 4 カソード層
- 4 5 下部電極（第 2 電極）

10

20

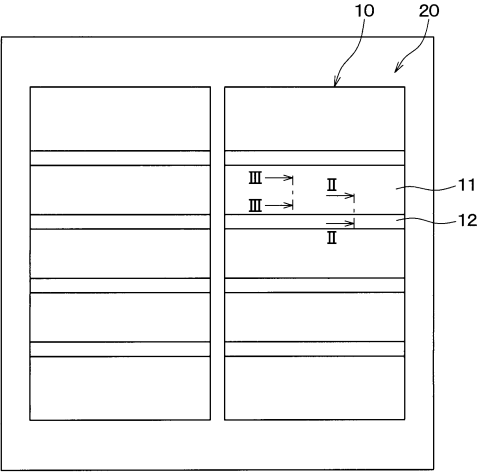
30

40

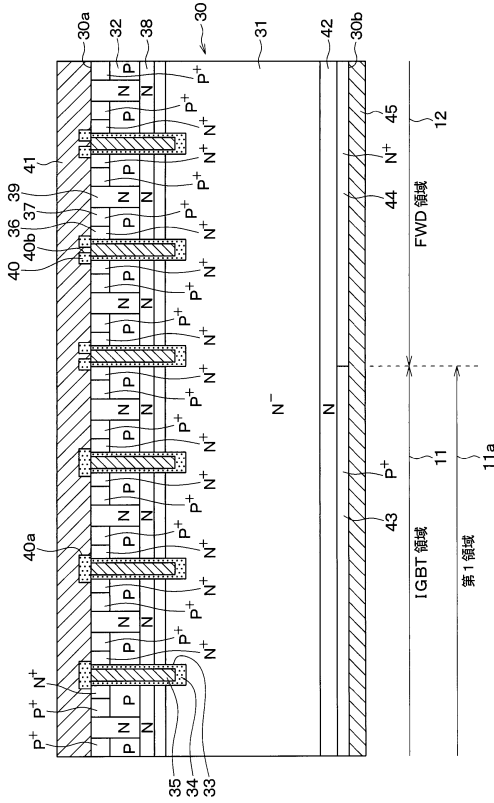
50

【図面】

【図 1】



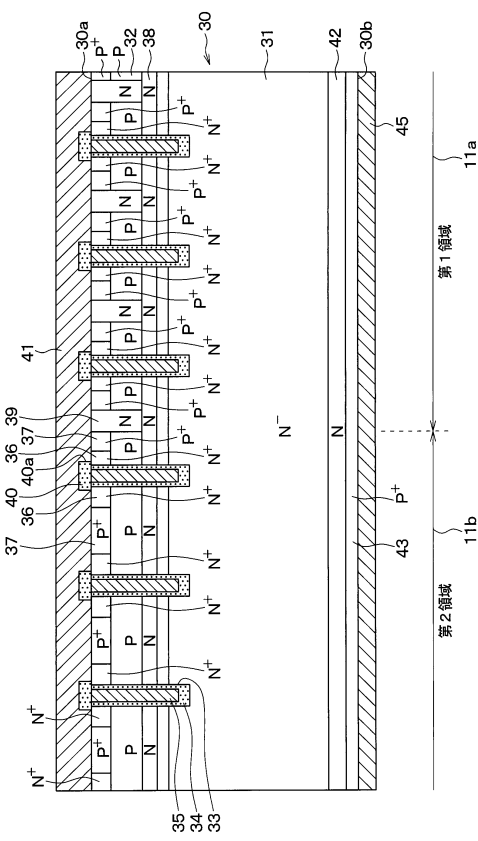
【図 2】



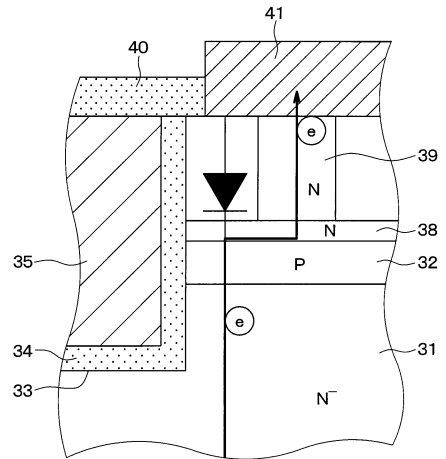
10

20

【図 3】



【図 4】

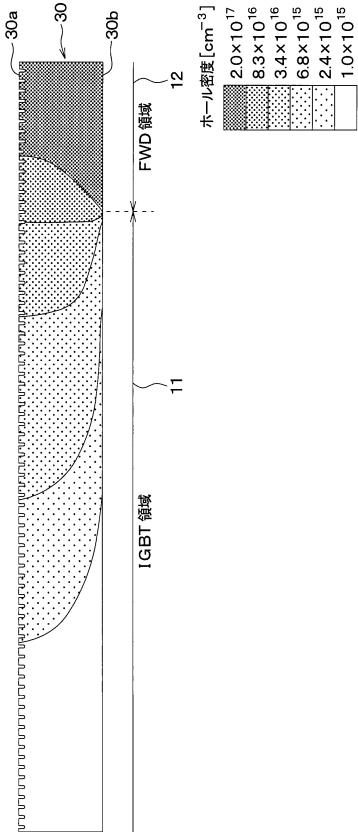


30

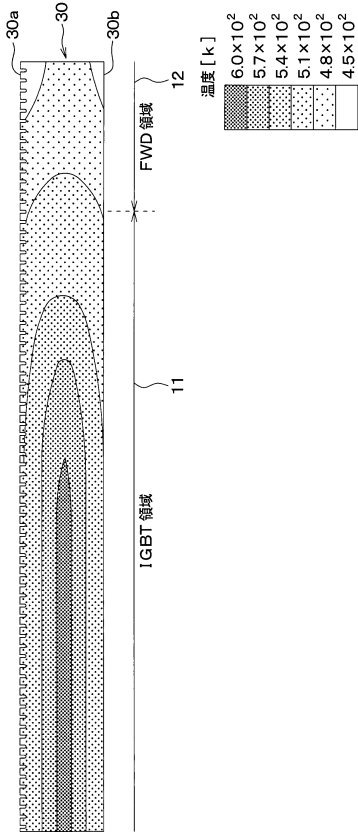
40

50

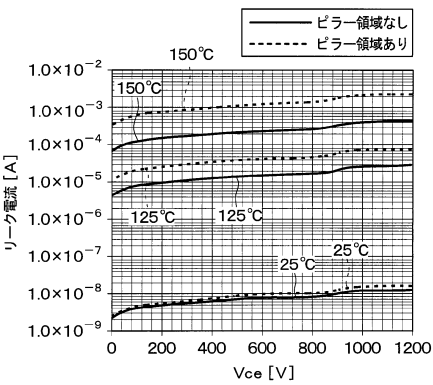
【図 5】



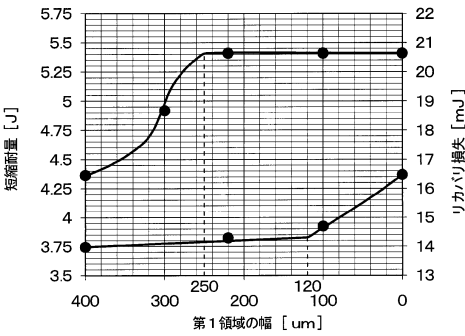
【図 6】



【図 7】



【図 8】



10

20

30

40

50

フロントページの続き

(51)国際特許分類 F I
H 0 1 L 27/06 1 0 2 A
H 0 1 L 27/088 E

愛知県豊田市トヨタ町 1 番地 トヨタ自動車株式会社内

(72)発明者 細川 博司
愛知県豊田市トヨタ町 1 番地 トヨタ自動車株式会社内

(72)発明者 永井 昂哉
愛知県豊田市トヨタ町 1 番地 トヨタ自動車株式会社内

審査官 殿川 雅也

(56)参考文献 特開 2 0 1 8 - 0 7 3 9 1 1 (J P , A)
特開 2 0 1 6 - 2 2 5 3 4 5 (J P , A)
特許第 5 9 1 9 1 2 1 (J P , B 2)
特開 2 0 1 7 - 0 5 9 7 2 5 (J P , A)
国際公開第 2 0 1 9 / 1 1 7 2 4 8 (W O , A 1)
国際公開第 2 0 1 0 / 1 4 3 2 8 8 (W O , A 1)

(58)調査した分野 (Int.Cl., D B 名)
H 0 1 L 2 9 / 7 3 9
H 0 1 L 2 9 / 7 8
H 0 1 L 2 1 / 8 2 3 4