(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0138305
(43) 공개일자 2020년12월09일

(51) 국제특허분류(Int. Cl.)
G11C 11/408 (2006.01) *G11C 11/405* (2006.01)
G11C 11/4074 (2006.01) *H01L 29/786* (2006.01)
(52) CPC특허분류
G11C 11/408 (2013.01)
G11C 11/405 (2013.01)
(21) 출원번호 10-2020-7030843
(22) 출원일자(국제) 2019년03월20일
심사청구일자 없음
(85) 번역문제출일자 2020년10월26일
(86) 국제출원번호 PCT/IB2019/052244
(87) 국제공개번호 WO 2019/186323
국제공개일자 2019년10월03일
(30) 우선권주장
JP-P-2018-065571 2018년03월29일 일본(JP)
JP-P-2018-169247 2018년09월10일 일본(JP)

(71) 출원인
가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자
야마자키 슌페이
일본 243-0036 가나가와켄 아쓰기시 하세 398 가부시키가이샤한도오따이 에네루기 켄큐쇼 나이
가토 기요시
일본 243-0036 가나가와켄 아쓰기시 하세 398 가부시키가이샤한도오따이 에네루기 켄큐쇼 나이
(뒷면에 계속)
(74) 대리인
김태홍, 김진희

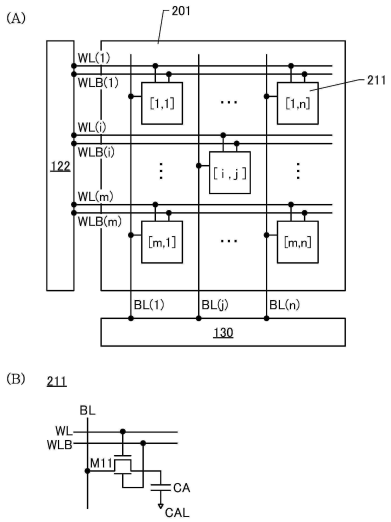
전체 청구항 수 : 총 7 항

(54) 발명의 명칭 **기억 장치 및 전자 기기**

(57) 요 약

데이터의 유지 시간이 길고, 신뢰성이 높은 기억 장치를 제공한다. 기억 장치는 드라이버 회로와 복수의 메모리 셀을 가지고, 메모리 셀은 트랜지스터와 용량 소자를 가지고, 트랜지스터는 채널 형성 영역에 금속 산화물을 가진다. 트랜지스터는 제 1 게이트 및 제 2 게이트를 가지고, 메모리 셀이 데이터를 유지하는 기간에서 트랜지스터의 제 1 게이트 및 제 2 게이트에 음의 전위를 인가한다.

대 표 도 - 도2



(52) CPC특허분류
G11C 11/4074 (2013.01)
H01L 29/786 (2013.01)
(72) 발명자
이시즈 다카히코
일본 252-0311 가나가와켄 사가미하라시 미나미쿠 히가시린칸 1-16-12 구린데루부아루토312
오누키 다츠야
일본 243-0036 가나가와켄 아쓰기시 하세 398 가부시키가이샤한도오따이 에네루기 켄큐쇼 나이

명 세 서

청구범위

청구항 1

기억 장치로서,

드라이버 회로와,

복수의 메모리 셀을 가지고,

상기 메모리 셀은 트랜지스터와 용량 소자를 가지고,

상기 트랜지스터의 소스 및 드레인 중 한쪽은 상기 용량 소자의 한쪽 전극과 전기적으로 접속되고,

상기 트랜지스터는 채널 형성 영역에 금속 산화물을 가지고,

상기 트랜지스터는 제 1 게이트 및 제 2 게이트를 가지고,

상기 제 1 게이트 및 제 2 게이트는 채널 형성 영역을 개재(介在)하여 서로 중첩되는 영역을 가지고,

상기 드라이버 회로는 상기 제 1 게이트를 구동하는 기능을 가지고,

상기 메모리 셀이 데이터를 유지하는 기간에 있어서 상기 드라이버 회로는 상기 제 1 게이트에 상기 트랜지스터의 소스 및 드레인에 인가되는 전위보다 낮은 제 1 전위를 출력하고,

상기 제 2 게이트에는 상기 트랜지스터의 소스 및 드레인에 인가되는 전위보다 낮은 제 2 전위가 인가되는, 기억 장치.

청구항 2

제 1 항에 있어서,

상기 제 2 전위는 상기 제 1 전위보다 낮은 전위인, 기억 장치.

청구항 3

기억 장치로서,

드라이버 회로와,

복수의 메모리 셀을 가지고,

상기 메모리 셀은 트랜지스터와 용량 소자를 가지고,

상기 트랜지스터의 소스 및 드레인 중 한쪽은 상기 용량 소자의 한쪽 전극과 전기적으로 접속되고,

상기 트랜지스터는 채널 형성 영역에 금속 산화물을 가지고,

상기 트랜지스터는 제 1 게이트 및 제 2 게이트를 가지고,

상기 제 1 게이트 및 제 2 게이트는 채널 형성 영역을 개재하여 서로 중첩되는 영역을 가지고,

상기 드라이버 회로는 상기 제 1 게이트 및 상기 제 2 게이트를 구동하는 기능을 가지고,

상기 메모리 셀이 데이터를 유지하는 기간에 있어서 상기 드라이버 회로는 상기 제 1 게이트에 상기 트랜지스터의 소스 및 드레인에 인가되는 전위보다 낮은 제 1 전위를 출력하고,

상기 메모리 셀이 데이터를 유지하는 기간에 있어서 상기 드라이버 회로는 상기 제 2 게이트에 상기 트랜지스터의 소스 및 드레인에 인가되는 전위보다 낮은 제 2 전위를 출력하는, 기억 장치.

청구항 4

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 금속 산화물은 적어도 In(인듐) 및 Zn(아연) 중 한쪽 또는 양쪽을 포함하는, 기억 장치.

청구항 5

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 금속 산화물은 Ga(갈륨)을 포함하는, 기억 장치.

청구항 6

전자 기기로서,

제 1 항 내지 제 5 항 중 어느 한 항에 기재된 기억 장치를 가지는, 전자 기기.

청구항 7

반도체 장치의 구동 방법으로서,

상기 반도체 장치는 드라이버 회로와 메모리 셀을 가지고,

상기 메모리 셀은 트랜지스터와 용량 소자를 가지고,

상기 트랜지스터의 소스 및 드레인 중 한쪽은 상기 용량 소자의 한쪽 전극과 전기적으로 접속되고,

상기 트랜지스터는 채널 형성 영역을 개재하여 서로 중첩되는 제 1 게이트 및 제 2 게이트를 가지고,

상기 구동 방법은,

상기 제 1 게이트에 제 1 전위가 인가되고, 상기 트랜지스터의 소스 및 드레인 중 다른 쪽에 제 2 전위가 인가되는 제 1 단계와,

상기 제 1 게이트에 제 3 전위가 인가되는 제 2 단계를 가지고,

상기 제 3 전위는 상기 트랜지스터의 소스 및 드레인의 전위보다 낮고,

상기 제 1 단계 및 제 2 단계를 통하여 상기 제 2 게이트에는 상기 트랜지스터의 소스 및 드레인의 전위보다 낮은 제 4 전위가 인가되는, 구동 방법.

발명의 설명

기 술 분 야

[0001] 본 발명의 일 형태는 기억 장치에 관한 것이다. 특히 반도체 특성을 이용함으로써 기능할 수 있는 기억 장치에 관한 것이다.

[0002] 또한, 본 발명의 일 형태는 상술한 기술분야에 한정되지 않는다. 본 명세서 등에서 개시(開示)하는 발명의 기술분야는 물건, 방법, 또는 제조 방법에 관한 것이다. 또는, 본 발명의 일 형태는 공정(process), 기계(machine), 제품(manufacture), 또는 조성물(composition of matter)에 관한 것이다.

배 경 기 술

[0003] DRAM(Dynamic Random Access Memory)은 각종 전자 기기에 내장되는 기억 장치(메모리라고도 함)로서 널리 사용되고 있다. 또한, DRAM의 메모리 셀에 산화물 반도체를 사용한 트랜지스터(산화물 반도체 트랜지스터, OS 트랜지스터라고도 함)를 적용한 예가 제안되어 있다(예를 들어 특허문헌 1, 비특허문헌 1).

[0004] 산화물 반도체 트랜지스터는 오프 상태에서의 누설 전류(오프 전류)가 매우 작기 때문에, 산화물 반도체 트랜지스터를 DRAM의 메모리 셀에 적용함으로써, 리프레시 빈도가 낮고, 소비전력이 적은 메모리를 제작할 수 있다.

[0005] 본 명세서 등에서는 산화물 반도체 트랜지스터가 메모리 셀에 적용된 DRAM을 "산화물 반도체 DRAM" 또는 "DOSRAM(등록 상표)(Dynamic Oxide Semiconductor Random Access Memory)"이라고 부른다.

[0006] 한편, 산화물 반도체는 트랜지스터에 적용할 수 있는 반도체로서 근년 주목을 받고 있다. 산화물 반도체로서,

예를 들어 산화 인듐, 산화 아연 등 일원계 금속의 산화물뿐만 아니라, 다원계 금속의 산화물도 알려져 있다. 다원계 금속의 산화물 중에서도 특히 In-Ga-Zn 산화물(IGZO라고도 함)에 관한 연구가 활발히 진행되고 있다.

[0007] IGZO에 관한 연구에 의하여 산화물 반도체에서 단결정도 비정질도 아닌, CAAC(c-axis aligned crystalline) 구조, 및 nc(nanocrystalline) 구조가 발견되었다(비특허문헌 2 내지 비특허문헌 4 참조).

[0008] 비특허문헌 2 및 비특허문헌 3에서는 CAAC 구조를 가지는 산화물 반도체를 사용하여 트랜지스터를 제작하는 기술이 개시되어 있다. 또한, CAAC 구조 및 nc 구조보다 결정성이 낮은 산화물 반도체이더라도, 미소한 결정을 가진다는 것이 비특허문헌 5 및 비특허문헌 6에 개시되어 있다.

[0009] 비특허문헌 7에서는 산화물 반도체를 사용한 트랜지스터의 오프 전류가 매우 작은 것이 보고되고, 비특허문헌 8 및 비특허문헌 9에서는 오프 전류가 매우 작은 성질을 이용한 LSI 및 디스플레이가 보고되어 있다.

선행기술문헌

특허문헌

[0010] (특허문헌 0001) 일본 공개특허공보 특개2012-256820호

비특허문헌

[0011] (비특허문헌 0001) T.Onuki et al., "DRAM with Storage Capacitance of 3.9fF using CAAC-OS Transistor with L of 60nm and having More Than 1-h Retention Characteristics", Ext.Abstr.SSDM, 2014, pp.430-431.

(비특허문헌 0002) S.Yamazaki et al., "SID Symposium Digest of Technical Papers", 2012, volume 43, issue1, p.183-186

(비특허문헌 0003) S.Yamazaki et al., "Japanese Journal of Applied Physics", 2014, volume 53, Number 4S, p.04ED18-1-04ED18-10

(비특허문헌 0004) S.Ito et al., "The Proceedings of AM-FPD'13 Digest of Technical Papers", 2013, p.151-154

(비특허문헌 0005) S.Yamazaki et al., "ECS Journal of Solid State Science and Technology", 2014, volume3, issue 9, p.Q3012-Q3022

(비특허문헌 0006) S.Yamazaki, "ECS Transactions", 2014, volume 64, issue 10, p.155-164

(비특허문헌 0007) K.Kato et al., "Japanese Journal of Applied Physics", 2012, volume 51, p.021201-1-021201-7

(비특허문헌 0008) S.Matsuda et al., "2015 Symposium on VLSI Technology Digest of Technical Papers", 2015, p.T216-T217

(비특허문헌 0009) S.Amano et al., "SID Symposium Digest of Technical Papers", 2010, volume 41, issue 1, p.626-62

발명의 내용

해결하려는 과제

[0012] OS 트랜지스터는 백 게이트에 음의 전위를 인가함으로써 문턱 전압이 플러스로 시프트하고, 소스에 대한 게이트의 전압(Vgs)이 0V일 때의 소스와 드레인 사이를 흐르는 전류(Ids)(컷오프 전류라고도 함)를 저감할 수 있다. 즉, OS 트랜지스터가 메모리 셀에 적용된 DRAM(DOSRAM)에 있어서, 데이터의 유지 시간을 길게 할 수 있다.

[0013] 그러나, 트랜지스터의 백 게이트에 인가하는 전위가 트랜지스터의 전기 특성에 영향을 미치기 위해서는, 비교적 큰 전위가 필요한 경우가 있었다. 또한, 트랜지스터의 백 게이트에 인가하는 전위를 크게 함으로써, 트랜지스

터의 신뢰성이 낮아지는 경우가 있었다.

[0014] 본 발명의 일 형태는, 데이터의 유지 시간이 길고 신뢰성이 높은 기억 장치를 제공하는 것을 과제의 하나로 한다. 또는, 본 발명의 일 형태는 신규 기억 장치를 제공하는 것을 과제의 하나로 한다. 또는, 본 발명의 일 형태는 신규 기억 장치를 가지는 전자 기기를 제공하는 것을 과제의 하나로 한다.

[0015] 또한, 본 발명의 일 형태는 반드시 상술한 과제 모두를 해결할 필요는 없고, 적어도 하나의 과제를 해결할 수 있는 것이면 좋다. 또한, 상기 과제의 기재는 다른 과제의 존재를 방해하는 것은 아니다. 이들 외의 과제는 명세서, 청구범위, 도면 등의 기재로부터 저절로 명백해질 것이며 명세서, 청구범위, 도면 등의 기재에서 이들 외의 과제를 추출하는 것이 가능하다.

과제의 해결 수단

[0016] 본 발명의 일 형태는, 드라이버 회로와 복수의 메모리 셀을 가지는 기억 장치이다. 메모리 셀은 트랜지스터와 용량 소자를 가지고, 트랜지스터의 소스 및 드레인 중 한쪽은 용량 소자의 한쪽 전극과 전기적으로 접속되고, 트랜지스터는 채널 형성 영역에 금속 산화물을 가진다. 트랜지스터는 제 1 게이트 및 제 2 게이트를 가지고, 제 1 게이트 및 제 2 게이트는 채널 형성 영역을 개재(介在)하여 서로 중첩되는 영역을 가진다. 드라이버 회로는 제 1 게이트를 구동하는 기능을 가지고, 메모리 셀이 데이터를 유지하는 기간에 있어서, 드라이버 회로는 제 1 게이트에, 트랜지스터의 소스 및 드레인에 인가되는 전위보다 낮은 제 1 전위를 출력하고, 제 2 게이트에는 트랜지스터의 소스 및 드레인에 인가되는 전위보다 낮은 제 2 전위가 인가된다.

[0017] 또한, 상기 형태에 있어서, 제 2 전위는 제 1 전위보다 낮은 전위이다.

[0018] 또한, 본 발명의 일 형태는, 드라이버 회로와 복수의 메모리 셀을 가지는 기억 장치이다. 메모리 셀은 트랜지스터와 용량 소자를 가지고, 트랜지스터의 소스 및 드레인 중 한쪽은 용량 소자의 한쪽 전극과 전기적으로 접속되고, 트랜지스터는 채널 형성 영역에 금속 산화물을 가진다. 트랜지스터는 제 1 게이트 및 제 2 게이트를 가지고, 제 1 게이트 및 제 2 게이트는 채널 형성 영역을 개재하여 서로 중첩되는 영역을 가진다. 드라이버 회로는 제 1 게이트 및 제 2 게이트를 구동하는 기능을 가지고, 메모리 셀이 데이터를 유지하는 기간에 있어서, 드라이버 회로는 제 1 게이트에, 트랜지스터의 소스 및 드레인에 인가되는 전위보다 낮은 제 1 전위를 출력하고, 메모리 셀이 데이터를 유지하는 기간에 있어서, 드라이버 회로는 제 2 게이트에 트랜지스터의 소스 및 드레인에 인가되는 전위보다 낮은 제 2 전위를 출력한다.

[0019] 또한, 상기 형태에 있어서, 금속 산화물은 적어도 In(인듐) 및 Zn(아연) 중 한쪽 또는 양쪽을 포함한다.

[0020] 또한, 상기 형태에 있어서, 금속 산화물은 Ga(갈륨)을 포함한다.

[0021] 또한, 본 발명의 일 형태는 상기 형태에 기재된 기억 장치를 가지는 전자 기기이다.

발명의 효과

[0022] 본 발명의 일 형태에 의하여, 데이터의 유지 시간이 길고 신뢰성이 높은 기억 장치를 제공할 수 있다. 또는, 본 발명의 일 형태에 의하여, 신규 기억 장치를 제공할 수 있다. 또는, 본 발명의 일 형태에 의하여, 신규 기억 장치를 가지는 전자 기기를 제공할 수 있다.

[0023] 또한, 이들 효과의 기재는 다른 효과의 존재를 방해하는 것이 아니다. 또한, 본 발명의 일 형태는 반드시 이들 효과의 모두를 가질 필요는 없다. 이들 이외의 효과는 명세서, 청구범위, 도면 등의 기재로부터 저절로 명백해지는 것이고, 명세서, 청구범위, 도면 등의 기재로부터 이들 이외의 효과를 추출할 수 있다.

도면의 간단한 설명

[0024] 도 1은 메모리의 구성예를 도시한 블록도.

도 2의 (A)는 메모리 셀 어레이를 설명하는 도면이고, 도 2의 (B)는 메모리 셀의 구성예를 도시한 회로도.

도 3의 (A), (B), (C)는 메모리 셀의 구성예를 도시한 회로도.

도 4의 (A)는 워드선 드라이버 회로의 구성예를 도시한 블록도이고, 도 4의 (B)는 회로(LVB)의 구성예를 도시한 회로도.

도 5의 (A), (B)는 워드선 드라이버 회로의 입출력의 예를 도시한 도면.

도 6의 (A), (B)는 전위 생성 회로의 구성예를 도시한 회로도.

도 7은 메모리 셀 어레이와 비트선 드라이버 회로의 구성예를 설명하는 도면.

도 8은 회로 구성예를 설명하는 도면.

도 9는 기억 장치의 동작예를 설명하는 타이밍 차트.

도 10은 기억 장치의 동작예를 설명하는 타이밍 차트.

도 11은 기억 장치의 동작예를 설명하는 타이밍 차트.

도 12는 반도체 장치의 구성예를 도시한 단면도.

도 13의 (A), (B), (C)는 트랜지스터의 구조예를 도시한 단면도.

도 14의 (A)는 트랜지스터의 구조예를 도시한 상면도이고, 도 14의 (B), (C)는 트랜지스터의 구조예를 도시한 단면도.

도 15의 (A)는 트랜지스터의 구조예를 도시한 상면도이고, 도 15의 (B), (C)는 트랜지스터의 구조예를 도시한 단면도.

도 16의 (A)는 트랜지스터의 구조예를 도시한 상면도이고, 도 16의 (B), (C)는 트랜지스터의 구조예를 도시한 단면도.

도 17의 (A)는 트랜지스터의 구조예를 도시한 상면도이고, 도 17의 (B), (C)는 트랜지스터의 구조예를 도시한 단면도.

도 18의 (A)는 트랜지스터의 구조예를 도시한 상면도이고, 도 18의 (B), (C)는 트랜지스터의 구조예를 도시한 단면도.

도 19의 (A)는 트랜지스터의 구조예를 도시한 상면도이고, 도 19의 (B)는 트랜지스터의 구조예를 도시한 사시도.

도 20의 (A), (B)는 트랜지스터의 구조예를 도시한 단면도.

도 21의 (A), (C)는 트랜지스터의 단면도이고, 도 21의 (B), (D)는 트랜지스터의 전기 특성을 도시한 도면.

도 22는 제품 이미지를 설명하는 도면.

도 23의 (A), (B), (C), (D), (E1), (E2)는 전자 기기의 구성예를 도시한 도면.

도 24는 트랜지스터의 V_G-I_D 특성의 온도 의존성을 설명하는 도면.

도 25의 (A), (B), (C)는 동작 주파수의 산출 방법을 설명하는 도면.

도 26은 동작 주파수의 산출 결과를 도시한 도면.

도 27의 (A)는 트랜지스터 구조를 도시한 사시도이고, 도 27의 (B)는 Id-Vg 특성의 백 게이트 전압 의존성을 도시한 도면.

도 28의 (A)는 전계 효과 이동도(μFE)의 백 게이트 전압(Vbg) 의존성을 도시한 도면이고, 도 28의 (B)는 문턱 전압(Vth)의 백 게이트 전압(Vbg) 의존성을 도시한 도면.

도 29는 64kb DOSRAM의 블록도.

도 30의 (A)는 CAAC-IGZO FET의 Id-Vg 특성을 도시한 도면이고, 도 30의 (B), (C)는 동작 전압을 도시한 도면.

도 31은 DOSRAM의 데이터 유지 상황의 평가 결과를 도시한 도면.

도 32의 (A), (B)는 85℃의 환경 온도하에서의 유지 시간과 수율의 평가 결과.

도 33의 (A)는 음 전위 생성 회로의 블록도이고, 도 33의 (B)는 음 전위 생성 회로의 동작 파형을 도시한 도면.

도 34의 (A)는 링 오실레이터의 동작 조건을 도시한 도면이고, 도 34의 (B)는 차지 펌프의 동작 조건을 도시한 도면.

도 35의 (A)는 콤퍼레이터의 회로도이고, 도 35의 (B)는 콤퍼레이터의 동작 파형을 도시한 도면.

도 36은 1Mb DOSRAM의 소비전력과 점유 면적의 추산 결과.

도 37은 시작(試作)한 DOSRAM의 칩 사진.

발명을 실시하기 위한 구체적인 내용

[0025] 이하에서, 실시형태에 대하여 도면을 참조하면서 설명한다. 다만, 실시형태는 많은 상이한 형태로 실시될 수 있으며, 취지 및 그 범위에서 벗어남이 없이 그 형태 및 자세한 사항을 다양하게 변경할 수 있는 것은 통상의 기술자라면 용이하게 이해할 수 있다. 따라서, 본 발명은 이하의 실시형태의 기재 내용에 한정하여 해석되는 것은 아니다.

[0026] 또한, 이하에 나타내는 복수의 실시형태는 적절히 조합할 수 있다. 또한, 하나의 실시형태 중에서 복수의 구성예가 나타내어지는 경우에는, 구성예를 서로 적절히 조합할 수 있다.

[0027] 또한, 본 명세서에 첨부된 도면에서는 구성 요소를 기능마다 분류하여 서로 독립된 블록으로서 블록도를 도시하였지만, 실제의 구성 요소들을 기능마다 완전히 나누는 것이 어려우며 하나의 구성 요소가 복수의 기능에 관련될 수도 있다.

[0028] 또한, 도면 등에서 크기, 층의 두께, 영역 등은 명료화를 위하여 과장되어 있는 경우가 있다. 따라서, 반드시 그 스케일에 한정되는 것은 아니다. 도면은 이상적인 예를 모식적으로 도시한 것이고, 도면에 도시한 형상 또는 값 등에 한정되지 않는다.

[0029] 또한, 도면 등에서 동일한 요소들 또는 비슷한 기능을 가지는 요소들, 동일한 재질의 요소들, 또는 동시에 형성되는 요소들 등에는 동일한 부호를 부여하는 경우가 있고, 그 반복 설명을 생략하는 경우가 있다.

[0030] 또한, 본 명세서 등에서, "막"이라는 용어와 "층"이라는 용어는 서로 바꿀 수 있다. 예를 들어, "도전층"이라는 용어를 "도전막"이라는 용어로 변경할 수 있는 경우가 있다. 또는, 예를 들어 "절연막"이라는 용어를 "절연층"이라는 용어로 바꿀 수 있는 경우가 있다.

[0031] 또한, 본 명세서 등에서 "위"나 "아래" 등 배치를 나타내는 용어는 구성 요소의 위치 관계가 "바로 위" 또는 "바로 아래"인 것을 한정하는 것이 아니다. 예를 들어 "게이트 절연층 위의 게이트 전극"이라는 표현이라면 게이트 절연층과 게이트 전극 사이에 다른 구성 요소를 포함하는 것을 제외하지 않는다.

[0032] 또한, 본 명세서 등에서 "제 1", "제 2", "제 3" 등의 서수사는 구성 요소의 혼동을 피하기 위하여 붙인 것이고, 수적으로 한정하는 것이 아니다.

[0033] 또한, 본 명세서 등에서, "전기적으로 접속"이란, "어떠한 전기적 작용을 가지는 것"을 통하여 접속되어 있는 경우가 포함된다. 여기서, "어떠한 전기적 작용을 가지는 것"은 접속 대상 간에서의 전기 신호의 주고받음을 가능하게 하는 것이면 특별한 제한을 받지 않는다. 예를 들어, "어떠한 전기적 작용을 가지는 것"에는 전극이나 배선을 비롯하여 트랜지스터 등의 스위칭 소자, 저항 소자, 인덕터, 용량 소자, 이 외 각종 기능을 가지는 소자 등이 포함된다.

[0034] 또한, 본 명세서 등에서 "전압"이란 어떤 전위와 기준 전위(예를 들어, 그라운드 전위)의 전위차를 가리키는 경우가 많다. 따라서, 전압과 전위차는 바꿔 말할 수 있다.

[0035] 또한, 본 명세서 등에서 트랜지스터란 게이트와 드레인과 소스를 포함하는 적어도 3개의 단자를 가지는 소자이다. 그리고, 드레인(드레인 단자, 드레인 영역, 또는 드레인 전극)과 소스(소스 단자, 소스 영역, 또는 소스 전극) 사이에 채널 형성 영역을 가지고, 채널 형성 영역을 통하여 소스와 드레인 사이에 전류를 흘릴 수 있는 것이다. 또한, 본 명세서 등에서 채널 형성 영역이란, 전류가 주로 흐르는 영역을 말한다.

[0036] 또한, 소스나 드레인의 기능은 상이한 극성의 트랜지스터를 채용하는 경우나, 회로 동작에서 전류의 방향이 변화되는 경우 등에는 바뀌는 경우가 있다. 그래서, 본 명세서 등에서 소스나 드레인이라는 용어는 서로 바꿔 사용할 수 있는 것으로 한다.

[0037] 또한, 본 명세서 등에서 특별히 언급하지 않는 경우, 오프 전류란 트랜지스터가 오프 상태(비도통 상태, 차단 상태라고도 함)일 때의 드레인 전류를 말한다. 오프 상태란, 특별히 언급하지 않는 경우, n채널형 트랜지스터에서는 소스에 대한 게이트의 전압(Vgs)이 문턱 전압(Vth)보다 낮은 상태, p채널형 트랜지스터에서는 소스에 대한 게이트의 전압(Vgs)이 문턱 전압(Vth)보다 높은 상태를 말한다. 즉, n채널형 트랜지스터의 오프 전류란, 소

스에 대한 게이트의 전압(Vgs)이 문턱 전압(Vth)보다 낮을 때의 드레인 전류를 말하는 경우가 있다.

[0038] 상기 오프 전류의 설명에서 드레인을 소스로 바꿔 읽어도 좋다. 즉, 오프 전류란, 트랜지스터가 오프 상태일 때의 소스 전류를 말하는 경우가 있다. 또한, 오프 전류와 같은 의미로 누설 전류라고 하는 경우가 있다. 또한, 본 명세서 등에서 오프 전류란 트랜지스터가 오프 상태일 때에 소스와 드레인 사이를 흐르는 전류를 가리키는 경우가 있다.

[0039] 또한, 본 명세서 등에서, 금속 산화물(metal oxide)이란, 넓은 의미로의 금속의 산화물이다. 금속 산화물은, 산화물 절연체, 산화물 도전체(투명 산화물 도전체를 포함함), 산화물 반도체(Oxide Semiconductor라고도 함) 등으로 분류된다.

[0040] 예를 들어, 트랜지스터의 채널 형성 영역에 금속 산화물을 사용한 경우, 상기 금속 산화물을 산화물 반도체라고 부르는 경우가 있다. 즉 금속 산화물이 증폭 작용, 정류 작용, 및 스위칭 작용 중 적어도 하나를 가지는 경우, 상기 금속 산화물을 금속 산화물 반도체(metal oxide semiconductor)라고 부를 수 있다. 즉 채널 형성 영역에 금속 산화물을 가지는 트랜지스터를 "산화물 반도체 트랜지스터", "OS 트랜지스터"라고 부를 수 있다. 마찬가지로, 상술한 "산화물 반도체를 사용한 트랜지스터"도 채널 형성 영역에 금속 산화물을 가지는 트랜지스터이다.

[0041] 또한, 본 명세서 등에서 질소를 가지는 금속 산화물도 금속 산화물(metal oxide)이라고 부르는 경우가 있다. 또한, 질소를 가지는 금속 산화물을 금속 산질화물(metal oxynitride)이라고 불러도 좋다. 금속 산화물의 자세한 사항에 대해서는 후술한다.

[0042] (실시형태 1)

[0043] 본 실시형태에서는 본 발명의 일 형태에 따른 기억 장치의 구성예에 대하여 설명한다. 본 발명의 일 형태에 따른 기억 장치는 반도체 특성을 이용함으로써 기능할 수 있는 기억 장치이고, 메모리라고도 불린다.

[0044] <메모리의 구성예>

[0045] 도 1은 본 발명의 일 형태에 따른 메모리(100)의 구성예를 도시한 블록도이다. 메모리(100)는 주변 회로(111) 및 메모리 셀 어레이(201)(도 1에는 "Memory Cell Array"라고 표기하였음)를 가진다. 주변 회로(111)는 행 디코더(121), 워드선 드라이버 회로(122), 비트선 드라이버 회로(130), 출력 회로(140), 음 전위 생성 회로(150), 음 전위 생성 회로(151), 컨트롤 로직 회로(160)를 가진다. 또한, 본 명세서 등에서 설명하는 도면에 있어서, 주된 신호의 흐름을 화살표 또는 선으로 나타내고, 전원선 등은 생략하는 경우가 있다.

[0046] 비트선 드라이버 회로(130)는 열 디코더(column decoder)(131), 프리차지 회로(132), 감지 증폭기(133), 및 입출력 회로(134)를 가진다. 프리차지 회로(132)는 배선(BL)을 프리차지하는 기능을 가진다. 감지 증폭기(133)는 배선(BL)으로부터 판독된 데이터 신호를 증폭하는 기능을 가지고, 입출력 회로(134)는 배선(BL)에 데이터 신호를 기록하는 기능 및 배선(BL)으로부터 판독한 데이터 신호를 출력 회로(140)로 출력하는 기능을 가진다. 또한, 열 디코더(131), 프리차지 회로(132), 감지 증폭기(133) 등의 자세한 사항에 대해서는, 실시형태 2에서 설명한다.

[0047] 배선(BL), 배선(WL), 및 배선(WLB)은 메모리 셀 어레이(201)가 가지는 메모리 셀(211)(도 1에는 "Memory Cell"이라고 표기하였음)에 접속되어 있는 배선이고, 자세한 사항은 후술한다. 증폭된 데이터 신호는 출력 회로(140)를 통하여 디지털의 데이터 신호(RDATA)로서 메모리(100)의 외부로 출력된다.

[0048] 메모리(100)에는 외부로부터 전원으로서 저전원 전위(VSS), 주변 회로(111)용 고전원 전위(VDD), 메모리 셀 어레이(201)용 고전원 전위(VIH)가 공급된다. 여기서, 고전원 전위(VDD)는 저전원 전위(VSS)보다 높은 전위이다. 또한, 예를 들어 고전원 전위(VIH)는 고전원 전위(VDD)보다 높은 전위, 또는 고전원 전위(VDD)와 같은 전위로 할 수 있다.

[0049] 또한, 외부로부터 공급된 전원으로부터, 음 전위 생성 회로(150)는 저전원 전위(VLL)를 생성하고, 음 전위 생성 회로(151)는 저전원 전위(VBL)를 생성한다. 저전원 전위(VLL) 및 저전원 전위(VBL)는 저전원 전위(VSS)보다 낮은 전위이다. 또한, 메모리(100)를 음 전위 생성 회로(150) 및 음 전위 생성 회로(151)를 가지지 않는 구성으로 하고, 저전원 전위(VLL) 및 저전원 전위(VBL)를 메모리(100)의 외부로부터 공급하여도 좋다.

[0050] 메모리(100)에는 제어 신호(CE, WE, RE), 어드레스 신호(ADDR), 데이터 신호(WDATA)가 외부로부터 입력된다. 어드레스 신호(ADDR)는 행 디코더(121) 및 열 디코더(131)에 입력되고, WDATA는 입출력 회로(134)에 입력된다.

[0051] 컨트롤 로직 회로(160)는 외부로부터의 입력 신호(CE, WE, RE)를 처리하여 행 디코더(121), 열 디코더(131)의

제어 신호를 생성한다. CE는 칩 인에이블 신호이고, WE는 기록 인에이블 신호이고, RE는 판독 인에이블 신호이다. 컨트롤 로직 회로(160)가 처리하는 신호는 이에 한정되는 것이 아니고, 필요에 따라 다른 제어 신호를 입력하여도 좋다.

[0052] 또한, 메모리(100)에서 상술한 각 회로, 각 신호, 및 각 전위는 필요에 따라 적절히 취사할 수 있다. 또는 다른 회로, 다른 신호, 또는 다른 전위를 추가하여도 좋다.

[0053] 여기서, 메모리 셀(211)을 구성하는 트랜지스터에 OS 트랜지스터를 적용할 수 있다. OS 트랜지스터는 오프 전류가 매우 작기 때문에, 메모리 셀(211)에 기록된 데이터를 장시간 유지할 수 있다. 그러므로, 메모리 셀(211)의 리프레시 빈도를 낮게 할 수 있고, 메모리(100)를 소비전력이 적은 메모리로 할 수 있다. 또한, OS 트랜지스터의 자세한 사항에 대해서는, 실시형태 3 및 실시형태 4에서 설명한다.

[0054] 또한, OS 트랜지스터는 박막 트랜지스터이고, 반도체 기판 위에 적층하여 제공할 수 있다. 예를 들어, 주변 회로(111)를 구성하는 트랜지스터에 단결정 실리콘 기판에 형성된 Si 트랜지스터를 적용할 수 있다. Si 트랜지스터를 적용한 주변 회로(111)는 고속 동작이 가능하다. 그리고, OS 트랜지스터를 적용한 메모리 셀(211)은 주변 회로(111)의 위쪽에 적층하여 제공할 수 있다.

[0055] 도 2의 (A)에 메모리 셀 어레이(201)의 자세한 사항을 기재한다. 메모리 셀 어레이(201)는 1열에 m(m은 1 이상의 정수)개, 1행에 n(n은 1 이상의 정수)개, 총 m×n개의 메모리 셀(211)을 가지고, 메모리 셀(211)은 매트릭스상으로 배치되어 있다. 도 2의 (A)에서는 메모리 셀(211)의 어드레스도 표기하였고, [1, 1], [m, 1], [i, j], [1, n], [m, n](i는 1 이상 m 이하의 정수이고, j는 1 이상 n 이하의 정수임)은 메모리 셀(211)의 어드레스이다.

[0056] 또한, 각 메모리 셀(211)은 배선(BL), 배선(WL), 및 배선(WLB)과 접속되어 있다. 메모리 셀 어레이(201)는 n개의 배선(BL)(BL(1) 내지 BL(n))과 m개의 배선(WL)(WL(1) 내지 WL(m)), 및 m개의 배선(WLB)(WLB(1) 내지 WLB(m))을 가진다. 도 2의 (A)에 도시한 바와 같이, 어드레스가 [i, j]의 메모리 셀(211)은 배선(WL(i)) 및 배선(WLB(i))을 통하여 워드선 드라이버 회로(122)와 전기적으로 접속되고, 배선(BL(j))을 통하여 비트선 드라이버 회로(130)와 전기적으로 접속된다.

[0057] <메모리 셀의 구성예>

[0058] 도 2의 (B)는 메모리 셀(211)의 구성예를 도시한 회로도이다.

[0059] 메모리 셀(211)은 트랜지스터(M11)와 용량 소자(CA)를 가진다. 또한, 트랜지스터(M11)는 프런트 게이트(단순히 게이트라고 부르는 경우가 있음) 및 백 게이트를 가진다.

[0060] 트랜지스터(M11)의 소스 및 드레인 중 한쪽은 용량 소자(CA)의 제 1 단자와 전기적으로 접속되고, 트랜지스터(M11)의 소스 및 드레인 중 다른 쪽은 배선(BL)과 접속된다. 트랜지스터(M11)의 게이트는 배선(WL)과 접속되고, 트랜지스터(M11)의 백 게이트는 배선(WLB)과 접속된다. 용량 소자(CA)의 제 2 단자는 배선(CAL)과 접속된다.

[0061] 배선(BL)은 비트선으로서 기능하고, 배선(WL)은 워드선으로서 기능한다. 배선(CAL)은 용량 소자(CA)의 제 2 단자에 소정의 전위를 인가하기 위한 배선으로서 기능한다. 또한, 배선(WLB)은 트랜지스터(M11)의 백 게이트에 전위를 인가하기 위한 배선으로서 기능한다. 배선(WLB)에 임의의 전위를 인가함으로써, 트랜지스터(M11)의 문턱 전압을 증감시킬 수 있다.

[0062] 트랜지스터(M11)는 용량 소자(CA)의 제 1 단자와 배선(BL)을 도통 또는 비도통으로 하는 스위치로서의 기능을 가진다. 데이터의 기록 또는 판독은 배선(WL)에 하이 레벨의 전위를 인가하고 용량 소자(CA)의 제 1 단자와 배선(BL)을 도통 상태로 함으로써 수행된다. 즉, 메모리 셀(211)은 용량 소자(CA)에 전하를 축적함으로써 데이터를 유지하는 메모리이고, 메모리 셀(211)에 유지되는 데이터는 배선(BL) 및 트랜지스터(M11)를 통하여 기록 또는 판독된다.

[0063] 또한, 트랜지스터(M11)에는 채널 형성 영역에 금속 산화물을 가지는 트랜지스터(OS 트랜지스터)를 사용할 수 있다. 예를 들어, 트랜지스터(M11)의 채널 형성 영역에 인듐, 원소 M(원소 M은 알루미늄, 갈륨, 이트륨, 구리, 바나듐, 베릴륨, 붕소, 타이타늄, 철, 니켈, 저마늄, 지르코늄, 몰리브데넘, 란타넘, 세륨, 네오디뮴, 하프늄, 탄탈럼, 텅스텐, 및 마그네슘 등에서 선택된 1종류 또는 복수 종류), 아연 중 어느 하나를 가지는 금속 산화물을 사용할 수 있다. 특히, 인듐, 갈륨, 아연으로 이루어지는 금속 산화물인 것이 바람직하다.

[0064] OS 트랜지스터는 오프 전류가 매우 작기 때문에, 트랜지스터(M11)에 OS 트랜지스터를 사용함으로써 메모리 셀(211)에 기록한 데이터를 장시간에 걸쳐 유지할 수 있다. 그러므로, 메모리 셀(211)의 리프레시 빈도를 낮게 할 수 있고, 메모리(100)를 소비전력이 적은 메모리로 할 수 있다.

[0065] 또는, 트랜지스터(M11)에 OS 트랜지스터를 사용함으로써, 메모리 셀(211)의 리프레시 동작을 불필요하게 할 수 있다. 또는, 트랜지스터(M11)에 OS 트랜지스터를 사용함으로써, 메모리 셀(211)에 멀티레벨 데이터 또는 아날로그 데이터를 유지할 수 있다.

[0066] 트랜지스터(M11)에 OS 트랜지스터를 사용함으로써, 상술한 DOSRAM을 구성할 수 있다.

[0067] <메모리 셀의 구성예 2>

[0068] 또한, 메모리 셀(211)은 상기 구성에 한정되는 것이 아니다. 도 3의 (A)에 도시된 메모리 셀(212)은 메모리 셀(211)의 다른 구성예이다.

[0069] 메모리 셀(212)은 트랜지스터(M12)와 트랜지스터(M13)와 용량 소자(CB)를 가진다. 트랜지스터(M12)는 프런트 게이트 및 백 게이트를 가진다.

[0070] 트랜지스터(M12)의 소스 및 드레인 중 한쪽은 용량 소자(CB)의 제 1 단자 및 트랜지스터(M13)의 게이트와 전기적으로 접속되고, 트랜지스터(M12)의 소스 및 드레인 중 다른 쪽은 배선(WBL)과 접속된다. 트랜지스터(M12)의 게이트는 배선(WL)과 접속되고, 트랜지스터(M12)의 백 게이트는 배선(WLB)과 접속된다. 용량 소자(CB)의 제 2 단자는 배선(CAL)과 접속된다. 트랜지스터(M13)의 소스 및 드레인 중 한쪽은 배선(SL)과 접속되고, 트랜지스터(M13)의 소스 및 드레인 중 다른 쪽은 배선(RBL)과 접속된다.

[0071] 배선(WBL)은 기록 비트선으로서 기능하고, 배선(RBL)은 판독 비트선으로서 기능하고, 배선(WL)은 워드선으로서 기능한다. 배선(CAL)은 용량 소자(CB)의 제 2 단자에 소정의 전위를 인가하기 위한 배선으로서 기능한다. 또한, 배선(WLB)은 트랜지스터(M12)의 백 게이트에 전위를 인가하기 위한 배선으로서 기능한다. 배선(WLB)에 임의의 전위를 인가함으로써, 트랜지스터(M12)의 문턱 전압을 증감시킬 수 있다.

[0072] 그리고, 트랜지스터(M12)는 용량 소자(CB)의 제 1 단자와 배선(WBL)을 도통 또는 비도통으로 하는 스위치로서의 기능을 가진다.

[0073] 데이터의 기록은 배선(WL)에 하이 레벨의 전위를 인가하여 트랜지스터(M12)를 도통 상태로 하고, 용량 소자(CB)의 제 1 단자와 배선(WBL)을 전기적으로 접속함으로써 수행된다. 구체적으로는 트랜지스터(M12)가 도통 상태일 때, 기록하는 데이터에 대응하는 전위를 배선(WBL)에 인가하고, 용량 소자(CB)의 제 1 단자 및 트랜지스터(M13)의 게이트에 상기 전위를 기록한다. 그 후, 배선(WL)에 로 레벨의 전위를 인가하고, 트랜지스터(M12)를 비도통 상태로 함으로써 용량 소자(CB)의 제 1 단자의 전위 및 트랜지스터(M13)의 게이트의 전위를 유지한다.

[0074] 데이터의 판독은 배선(SL)에 소정의 전위를 인가함으로써 수행된다. 트랜지스터(M13)의 소스와 드레인 사이에 흐르는 전류는 트랜지스터(M13)의 게이트의 전위, 및 트랜지스터(M13)의 소스 및 드레인 중 한쪽(배선(SL))의 전위에 따라 결정되고, 또한 상기 전류에 의하여 트랜지스터(M13)의 소스 및 드레인 중 다른 쪽의 전위가 결정된다. 그러므로, 트랜지스터(M13)의 소스 및 드레인 중 다른 쪽과 접속되는 배선(RBL)의 전위를 판독함으로써 용량 소자(CB)의 제 1 단자(또는 트랜지스터(M13)의 게이트)에 유지되는 전위를 판독할 수 있다. 즉, 용량 소자(CB)의 제 1 단자(또는 트랜지스터(M13)의 게이트)에 유지되어 있는 전위로부터 메모리 셀(212)에 기록되어 있는 데이터를 판독할 수 있다.

[0075] 또한, 트랜지스터(M12)에는 채널 형성 영역에 금속 산화물을 가지는 트랜지스터(OS 트랜지스터)를 사용할 수 있다. OS 트랜지스터는 오프 전류가 매우 작기 때문에, 트랜지스터(M12)로서 OS 트랜지스터를 사용함으로써, 메모리 셀(212)에 기록한 데이터를 장시간에 걸쳐 유지할 수 있다. 또한, 트랜지스터(M13)는 특별히 한정되지 않는다. 예를 들어, 트랜지스터(M13)로서 OS 트랜지스터를 사용하여도 좋고, Si 트랜지스터를 사용하여도 좋다.

[0076] 메모리 셀(212)은 2 트랜지스터 1 용량 소자의 게인 셀형 메모리 셀이다. 게인 셀형 메모리 셀은 용량 소자의 용량이 작은 경우에도 축적된 전하를 가장 가까운 트랜지스터로 증폭함으로써 메모리로서의 동작을 수행할 수 있다. 또한, 트랜지스터(M12)에 오프 전류가 매우 작은 OS 트랜지스터를 사용함으로써 전력의 공급이 정지된 기간에서도 축적된 전하가 유지될 수 있어, 메모리 셀(212)은 비휘발성 메모리로서의 성질을 가진다. OS 트랜지스터를 사용한, 게인 셀형 메모리 셀로 구성되는 메모리를 본 명세서 등에서는 "NOSRAM(Nonvolatile Oxide Semiconductor Random Access Memory)"이라고 부른다. 또한, NOSRAM은 용량 소자의 충방전에 의하여 데이터의

재기록을 수행하기 때문에, 원리적으로는 재기록 횟수에 제한은 없다.

[0077] 또한, 메모리 셀(212)은 배선(WBL)과 배선(RBL)을 하나의 배선(BL)으로서 합친 구성이어도 좋다. 배선(WBL)과 배선(RBL)을 하나의 배선(BL)으로서 합친 구성예를 도 3의 (B)에 도시하였다.

[0078] 도 3의 (B)에 도시된 메모리 셀(213)에서는 트랜지스터(M12)의 소스 및 드레인 중 다른 쪽 및 트랜지스터(M13)의 소스 및 드레인 중 다른 쪽이 배선(BL)과 접속된다. 즉, 메모리 셀(213)은 기록 비트선과 판독 비트선이 하나의 배선(BL)으로서 동작하는 구성이다. 이 경우, 데이터를 기록할 때는 배선(SL)을 전기적으로 부유 상태(플로팅)로 하는 것이 바람직하다.

[0079] <메모리 셀의 구성예 3>

[0080] 또한, 메모리 셀(212)을 3 트랜지스터 1 용량 소자의 게인 셀형 메모리 셀로 하여도 좋다. 메모리 셀(212)을 3 트랜지스터 1 용량 소자의 게인 셀형 메모리 셀로 한 경우의 구성예를 도 3의 (C)에 도시하였다.

[0081] 도 3의 (C)에 도시된 메모리 셀(214)은 트랜지스터(M14) 내지 트랜지스터(M16)와 용량 소자(CC)를 가진다. 트랜지스터(M14)는 프런트 게이트 및 백 게이트를 가진다.

[0082] 트랜지스터(M14)의 소스 및 드레인 중 한쪽은 용량 소자(CC)의 제 1 단자 및 트랜지스터(M15)의 게이트와 전기적으로 접속되고, 트랜지스터(M14)의 소스 및 드레인 중 다른 쪽은 배선(BL)과 접속된다. 트랜지스터(M14)의 게이트는 배선(WL)과 접속되고, 트랜지스터(M14)의 백 게이트는 배선(WLB)과 접속된다. 용량 소자(CC)의 제 2 단자는 배선(CAL) 및 트랜지스터(M15)의 소스 및 드레인 중 한쪽과 전기적으로 접속되고, 트랜지스터(M15)의 소스 및 드레인 중 다른 쪽은 트랜지스터(M16)의 소스 및 드레인 중 한쪽과 전기적으로 접속된다. 트랜지스터(M16)의 소스 및 드레인 중 다른 쪽은 배선(BL)과 접속되고, 트랜지스터(M16)의 게이트는 배선(RWL)과 접속된다.

[0083] 배선(BL)은 비트선으로서 기능하고, 배선(WL)은 기록 워드선으로서 기능하고, 배선(RWL)은 판독 워드선으로서 기능한다. 배선(CAL)은 용량 소자(CC)의 제 2 단자에 소정의 전위를 인가하기 위한 배선으로서 기능한다(예를 들어 소정의 전위로서 로 레벨의 전위를 인가함). 또한, 배선(WLB)은 트랜지스터(M14)의 백 게이트에 전위를 인가하기 위한 배선으로서 기능한다. 배선(WLB)에 임의의 전위를 인가함으로써, 트랜지스터(M14)의 문턱 전압을 증감시킬 수 있다.

[0084] 트랜지스터(M14)는 용량 소자(CC)의 제 1 단자와 배선(BL)을 도통 또는 비도통으로 하는 스위치로서의 기능을 가지고, 트랜지스터(M16)는 트랜지스터(M15)의 소스 및 드레인 중 다른 쪽과 배선(BL)을 도통 또는 비도통으로 하는 스위치로서의 기능을 가진다.

[0085] 데이터의 기록은 배선(WL)에 하이 레벨의 전위를 인가하여 트랜지스터(M14)를 도통 상태로 하고, 용량 소자(CC)의 제 1 단자와 배선(BL)을 전기적으로 접속함으로써 수행된다. 구체적으로는 트랜지스터(M14)가 도통 상태일 때, 기록하는 데이터에 대응하는 전위를 배선(BL)에 인가하고, 용량 소자(CC)의 제 1 단자 및 트랜지스터(M15)의 게이트에 상기 전위를 기록한다. 그 후, 배선(WL)에 로 레벨의 전위를 인가하고, 트랜지스터(M14)를 비도통 상태로 함으로써 용량 소자(CC)의 제 1 단자의 전위 및 트랜지스터(M15)의 게이트의 전위를 유지한다.

[0086] 데이터의 판독은 배선(BL)에 소정의 전위를 인가(프리차지)하고, 그 후에 배선(BL)을 전기적으로 부유 상태(플로팅)로 하고, 또한 배선(RWL)에 하이 레벨의 전위를 인가함으로써 수행된다. 배선(RWL)에 하이 레벨의 전위를 인가함으로써 트랜지스터(M16)는 도통 상태가 되고, 트랜지스터(M15)의 소스 및 드레인 중 다른 쪽과 배선(BL)은 전기적으로 접속 상태가 된다. 이때, 트랜지스터(M15)의 소스와 드레인 사이에는 배선(BL)과 배선(CAL)의 전위차에 대응하는 전압이 인가되고, 트랜지스터(M15)의 소스와 드레인 사이를 흐르는 전류는 트랜지스터(M15)의 게이트의 전위 및 상기 소스와 드레인 사이에 인가되는 전압에 따라 결정된다.

[0087] 여기서, 배선(BL)의 전위는 트랜지스터(M15)의 소스와 드레인 사이를 흐르는 전류에 따라 변화하기 때문에, 배선(BL)의 전위를 판독함으로써 용량 소자(CC)의 제 1 단자(또는 트랜지스터(M15)의 게이트)에 유지되어 있는 전위를 판독할 수 있다. 즉, 용량 소자(CC)의 제 1 단자(또는 트랜지스터(M15)의 게이트)에 유지되어 있는 전위로부터 메모리 셀(214)에 기록되어 있는 데이터를 판독할 수 있다.

[0088] 트랜지스터(M14)로서는 채널 형성 영역에 금속 산화물을 가지는 트랜지스터(OS 트랜지스터)를 사용할 수 있다. OS 트랜지스터는 오프 전류가 매우 작기 때문에, 트랜지스터(M14)로서 OS 트랜지스터를 사용함으로써 메모리 셀(214)에 기록한 데이터를 장시간에 걸쳐 유지할 수 있다. 또한, 트랜지스터(M15) 및 트랜지스터(M16)는 특별히 한정되지 않는다. 예를 들어, 트랜지스터(M15) 및 트랜지스터(M16)로서 OS 트랜지스터를 사용하여도 좋고, Si

트랜지스터를 사용하여도 좋다.

[0089] 또한, 도 3의 (A) 내지 (C)를 사용하여 메모리 셀(211)의 다른 구성예를 설명하였지만, 메모리 셀(211)의 구성예는 이들에 한정되지 않고, 회로의 구성을 적절히 변경할 수 있다.

[0090] <워드선 드라이버 회로의 구성예>

[0091] 도 4의 (A)는 워드선 드라이버 회로(122)의 구성예를 도시한 블록도이다.

[0092] 워드선 드라이버 회로(122)는 워드선으로서 기능하는 배선(WL)을 구동하는 기능을 가진다. 워드선 드라이버 회로(122)에는, 배선(WL) 및 배선(WLB)을 구동하기 위한 신호(WI) 및 신호(WIB)가 행 디코더(121)로부터 입력된다. 여기서, 신호(WI) 및 신호(WIB)는 하이 레벨 또는 로 레벨로 나타내어지는 디지털 신호이고, 신호(WIB)는, 신호(WI)의 논리를 반전한 반전 신호이다.

[0093] 또한, 배선(WL) 및 배선(WLB)은 각각 m개 있기 때문에, 신호(WI) 및 신호(WIB)의 개수도 각각 m이다. 도 4의 (A)에서는, WI(1) 내지 WI(m), 및 WIB(1) 내지 WIB(m)라고 나타낸다.

[0094] 그리고, 행 디코더(121)에는 저전원 전위(VSS)와 고전원 전위(VDD)가 공급되어 있기 때문에, 신호(WI) 및 신호(WIB)의 하이 레벨에 대응하는 전위는 고전원 전위(VDD)이고, 신호(WI) 및 신호(WIB)의 로 레벨에 대응하는 전위는 저전원 전위(VSS)이다.

[0095] 한편, 메모리 셀 어레이(201)에 있어서, 배선(WL)의 하이 레벨에 대응하는 전위로서 고전원 전위(VIH)가 사용되고, 배선(WL)의 로 레벨에 대응하는 전위로서 저전원 전위(VLL)가 사용된다. 또한, 배선(WLB)에는 저전원 전위(VBL)가 공급된다.

[0096] 그러므로, 워드선 드라이버 회로(122)는 입력된 신호의 하이 레벨 또는 로 레벨, 또는 하이 레벨 및 로 레벨을 조정하는(레벨 조정이라고도 함) 기능과, 입력된 신호에 배선(WL)(도 4의 (A)에서는 WL(1) 내지 WL(m)이라고 나타내었음)을 구동하는 능력을 부가하는(버퍼라고도 함) 기능을 가진다. 워드선 드라이버 회로(122)는 회로(LVB)를 m개 가지고, 도 4의 (A)에서는 LVB(1) 내지 LVB(m)로 나타낸다.

[0097] 또한, 워드선 드라이버 회로(122)에는 저전원 전위(VBL)가 입력되고, 저전원 전위(VBL)는 배선(WLB)(도 4의 (A)에서는 WLB(1) 내지 WLB(m)로 나타내었음)에 출력된다.

[0098] <회로(LVB)의 구성예>

[0099] 도 4의 (B)는 회로(LVB)의 구성예를 도시한 회로도이다.

[0100] 회로(LVB)는 n채널형의 트랜지스터(13) 내지 트랜지스터(21), 및 p채널형의 트랜지스터(33) 내지 트랜지스터(41)를 가진다. 또한, 회로(LVB)는 입력 단자(WI_IN), 입력 단자(WIB_IN), 배선(VIH_IN), 배선(VSS_IN), 배선(VLL_IN), 및 출력 단자(WL_OUT)를 가진다.

[0101] 회로(LVB)의 입력 단자(WI_IN)에는 신호(WI)가 입력되고, 입력 단자(WIB_IN)에는 신호(WIB)가 입력되고, 배선(VIH_IN)에는 고전원 전위(VIH)가 입력되고, 배선(VSS_IN)에는 저전원 전위(VSS)가 입력되고, 배선(VLL_IN)에는 저전원 전위(VLL)가 입력된다. 그리고, 회로(LVB)는 출력 단자(WL_OUT)로부터 배선(WL)을 구동하는 신호를 출력한다.

[0102] 그리고, 회로(LVB)에 있어서, 트랜지스터(13)의 소스 및 드레인 중 한쪽은 배선(VSS_IN)과 전기적으로 접속되고, 트랜지스터(13)의 소스 및 드레인 중 다른 쪽은 트랜지스터(34)의 소스 및 드레인 중 한쪽 및 트랜지스터(35)의 게이트와 전기적으로 접속되고, 트랜지스터(13)의 게이트는 입력 단자(WI_IN) 및 트랜지스터(34)의 게이트와 전기적으로 접속되어 있다. 트랜지스터(34)의 소스 및 드레인 중 다른 쪽은 트랜지스터(33)의 소스 및 드레인 중 한쪽과 전기적으로 접속되고, 트랜지스터(33)의 소스 및 드레인 중 다른 쪽은 배선(VIH_IN)과 전기적으로 접속되어 있다.

[0103] 트랜지스터(14)의 소스 및 드레인 중 한쪽은 배선(VSS_IN)과 전기적으로 접속되고, 트랜지스터(14)의 소스 및 드레인 중 다른 쪽은 트랜지스터(36)의 소스 및 드레인 중 한쪽 및 트랜지스터(33)의 게이트와 전기적으로 접속되고, 트랜지스터(14)의 게이트는 입력 단자(WIB_IN) 및 트랜지스터(36)의 게이트와 전기적으로 접속되어 있다. 트랜지스터(36)의 소스 및 드레인 중 다른 쪽은 트랜지스터(35)의 소스 및 드레인 중 한쪽과 전기적으로 접속되고, 트랜지스터(35)의 소스 및 드레인 중 다른 쪽은 배선(VIH_IN)과 전기적으로 접속되어 있다. 여기서, 트랜지스터(36)의 소스 및 드레인 중 다른 쪽과 트랜지스터(35)의 소스 및 드레인 중 한쪽의 접속부를 노드(N11)라

고 부르고, 노드(N11)와 전기적으로 접속되는 다른 소자 등에 대해서는 후술한다.

[0104] 트랜지스터(13), 트랜지스터(14), 및 트랜지스터(33) 내지 트랜지스터(36)는 입력된 신호(WI) 및 신호(WIB)의 하이 레벨에 대응하는 전위를 고전원 전위(VDD)로부터 고전원 전위(VIH)로 변환하는 레벨 조정의 기능을 가진다.

[0105] 또한, 회로(LVB)에 있어서 트랜지스터(15)의 소스 및 드레인 중 한쪽은 배선(VSS_IN)과 전기적으로 접속되고, 트랜지스터(15)의 소스 및 드레인 중 다른 쪽은 트랜지스터(37)의 소스 및 드레인 중 한쪽, 트랜지스터(16)의 게이트, 및 트랜지스터(38)의 게이트와 전기적으로 접속되고, 트랜지스터(15)의 게이트는 노드(N11) 및 트랜지스터(37)의 게이트와 전기적으로 접속되어 있다. 트랜지스터(37)의 소스 및 드레인 중 다른 쪽은 배선(VIH_IN)과 전기적으로 접속되어 있다. 여기서, 트랜지스터(15)의 소스 및 드레인 중 다른 쪽과 트랜지스터(37)의 소스 및 드레인 중 한쪽, 트랜지스터(16)의 게이트, 및 트랜지스터(38)의 게이트의 접속부를 노드(N12)라고 부르고, 노드(N12)와 전기적으로 접속되는 다른 소자 등에 대해서는 후술한다.

[0106] 트랜지스터(16)의 소스 및 드레인 중 한쪽은 배선(VSS_IN)과 전기적으로 접속되고, 트랜지스터(16)의 소스 및 드레인 중 다른 쪽은 트랜지스터(38)의 소스 및 드레인 중 한쪽과 전기적으로 접속되고, 트랜지스터(38)의 소스 및 드레인 중 다른 쪽은 배선(VIH_IN)과 전기적으로 접속되어 있다. 여기서, 트랜지스터(16)의 소스 및 드레인 중 다른 쪽과 트랜지스터(38)의 소스 및 드레인 중 한쪽의 접속부를 노드(N13)라고 부르고, 노드(N13)와 전기적으로 접속되는 다른 소자 등에 대해서는 후술한다.

[0107] 트랜지스터(15) 및 트랜지스터(37)는 노드(N11)의 신호의 반전 신호를 생성하는 기능을 가진다.

[0108] 또한, 회로(LVB)에 있어서, 트랜지스터(18)의 소스 및 드레인 중 한쪽은 배선(VLL_IN)과 전기적으로 접속되고, 트랜지스터(18)의 소스 및 드레인 중 다른 쪽은 트랜지스터(17)의 소스 및 드레인 중 한쪽과 전기적으로 접속되고, 트랜지스터(17)의 소스 및 드레인 중 다른 쪽은 트랜지스터(39)의 소스 및 드레인 중 한쪽 및 트랜지스터(20)의 게이트와 전기적으로 접속되고, 트랜지스터(39)의 소스 및 드레인 중 다른 쪽은 배선(VIH_IN)과 전기적으로 접속되어 있다. 트랜지스터(17)의 게이트는 노드(N12) 및 트랜지스터(39)의 게이트와 전기적으로 접속되어 있다.

[0109] 트랜지스터(20)의 소스 및 드레인 중 한쪽은 배선(VLL_IN)과 전기적으로 접속되고, 트랜지스터(20)의 소스 및 드레인 중 다른 쪽은 트랜지스터(19)의 소스 및 드레인 중 한쪽과 전기적으로 접속되고, 트랜지스터(19)의 소스 및 드레인 중 다른 쪽은 트랜지스터(40)의 소스 및 드레인 중 한쪽 및 트랜지스터(18)의 게이트와 전기적으로 접속되고, 트랜지스터(40)의 소스 및 드레인 중 다른 쪽은 배선(VIH_IN)과 전기적으로 접속되어 있다. 트랜지스터(19)의 게이트는 노드(N13) 및 트랜지스터(40)의 게이트와 전기적으로 접속되어 있다. 여기서, 트랜지스터(20)의 소스 및 드레인 중 다른 쪽과 트랜지스터(19)의 소스 및 드레인 중 한쪽의 접속부를 노드(N14)라고 부르고, 노드(N14)와 전기적으로 접속되는 다른 소자 등에 대해서는 후술한다.

[0110] 트랜지스터(17) 내지 트랜지스터(20), 트랜지스터(39), 및 트랜지스터(40)는 노드(N12) 및 노드(N13)의 신호의로 레벨에 대응하는 전위를 저전원 전위(VSS)로부터 저전원 전위(VLL)로 변환하는 레벨 조정 기능을 가진다.

[0111] 또한, 회로(LVB)에 있어서, 트랜지스터(21)의 소스 및 드레인 중 한쪽은 배선(VLL_IN)과 전기적으로 접속되고, 트랜지스터(21)의 소스 및 드레인 중 다른 쪽은 트랜지스터(41)의 소스 및 드레인 중 한쪽 및 출력 단자(WL_OUT)와 전기적으로 접속되고, 트랜지스터(21)의 게이트는 노드(N14) 및 트랜지스터(41)의 게이트와 전기적으로 접속되어 있다. 트랜지스터(41)의 소스 및 드레인 중 다른 쪽은 배선(VIH_IN)과 전기적으로 접속되어 있다.

[0112] 트랜지스터(21) 및 트랜지스터(41)는 노드(N14)의 신호를 출력 단자(WL_OUT)로부터 출력하는 버퍼의 기능을 가진다.

[0113] <워드선 드라이버 회로의 입출력의 예>

[0114] 도 5의 (A)는 워드선 드라이버 회로(122)의 입출력의 일례를 도시한 도면이다.

[0115] 도 5의 (A)를 사용하여, 워드선 드라이버 회로(122)에 입력되는 신호(WI) 및 신호(WIB)와, 워드선 드라이버 회로(122)가 구동하는 배선(WL) 및 배선(WLB)의 전위의 관계에 대하여 설명한다. 신호(WI), 신호(WIB), 배선(WL), 및 배선(WLB)은 각각 m개 있기 때문에, 그 중의 하나(WI(i), WIB(i), 배선(WL(i)), 및 WLB(i))를 예로 들어 설명한다(i는 1 이상 m 이하의 정수).

[0116] 도 5의 (A)의 세로축은 전위를 나타내고, 전위는 높은 쪽으로부터 고전원 전위(VIH), 고전원 전위(VDD), 저전원 전위(VSS), 저전원 전위(VLL), 저전원 전위(VBL)인 경우를 도시하였다.

[0117] 도 5의 (A)에서, T1, T2는 시각을 나타내고, 신호(WI(i)) 및 신호(WIB(i))와 거의 같은 시각에 배선(WL(i))이 구동되는 모양을 도시하였다. 또한, 실제로는 입력되는 신호(WI(i)) 및 신호(WIB(i))와 배선(WL(i))이 구동될 때까지에는 지연 시간이 발생하고, 또한 신호에 둔화나 노이즈 등을 가지는 경우가 있다. 도 5의 (A)는 이상적인 경우의 파형을 도시한 것이다.

[0118] 도 5의 (A)에 도시한 바와 같이, 신호(WI(i)) 및 신호(WIB(i))는 고전원 전위(VDD) 또는 저전원 전위(VSS)로 하이 레벨 또는 로 레벨을 나타내는 디지털 신호이다. 신호(WI(i))는 배선(WL(i)) 및 배선(WLB(i))과 전기적으로 접속된 메모리 셀(211)에 대하여 데이터의 기록 또는 판독을 수행하는 경우, 하이 레벨이 된다(신호(WIB)는 신호(WI)의 반전 신호이기 때문에 로 레벨이 됨).

[0119] 워드선 드라이버 회로(122)는 신호(WI(i))가 로 레벨인 경우, 배선(WL(i))에 저전원 전위(VLL)를 출력하고, 신호(WI(i))가 하이 레벨인 경우, 배선(WL(i))에 고전원 전위(VIH)를 출력한다. 또한, 워드선 드라이버 회로(122)는 배선(WLB(i))에 저전원 전위(VBL)를 출력한다.

[0120] 또는, 워드선 드라이버 회로(122)는 배선(WL)에 더하여 배선(WLB)을 구동하여도 좋다. 워드선 드라이버 회로(122)가 배선(WLB)을 구동하는 경우, 예를 들어 워드선 드라이버 회로(122)에 회로(LVB)를 추가함으로써 수행된다.

[0121] 도 5의 (B)는 도 5의 (A)와 마찬가지로, 워드선 드라이버 회로(122)의 입출력의 일례를 도시한 도면이다. 도 5의 (B)에 도시한 바와 같이, 예를 들어 워드선 드라이버 회로(122)는 신호(WI(i))가 로 레벨인 경우, 배선(WLB(i))에 저전원 전위(VBL)를 출력하고, 신호(WI(i))가 하이 레벨인 경우, 배선(WLB(i))에 고전원 전위(VDD)와 저전원 전위(VSS) 사이의 전위를 출력할 수 있다.

[0122] 이와 같이, 워드선 드라이버 회로(122)는 신호(WI(i)) 및 신호(WIB(i))의 하이 레벨 또는 로 레벨, 또는 하이 레벨 및 로 레벨을 바꿈으로써 배선(WL(i)) 또는 배선(WL(i)) 및 배선(WLB(i))을 구동한다.

[0123] <음 전위 생성 회로>

[0124] 다음으로, 음 전위 생성 회로(150) 및 음 전위 생성 회로(151)에 적용할 수 있는 회로(54) 및 회로(55)의 구성예를 도 6의 (A) 및 (B)에 도시하였다.

[0125] 회로(54) 및 회로(55)는 강압형 차지 펌프이고, 입력 단자(IN)에 저전원 전위(VSS)가 입력되고, 출력 단자(OUT)로부터 저전원 전위(VLL) 또는 저전원 전위(VBL)가 출력된다. 여기서는 일례로서 차지 펌프 회로의 기본 회로의 단수는 4단으로 하였지만, 이에 한정되지 않고 임의의 단수로 차지 펌프 회로를 구성하여도 좋다.

[0126] 도 6의 (A)에 도시된 회로(54)는 트랜지스터(M21) 내지 트랜지스터(M24) 및 용량 소자(C21) 내지 용량 소자(C24)를 가진다. 또한, 트랜지스터(M21) 내지 트랜지스터(M24)는 n채널형 트랜지스터이다.

[0127] 트랜지스터(M21) 내지 트랜지스터(M24)는 입력 단자(IN)와 출력 단자(OUT)사이에 직렬로 접속되어 있다. 트랜지스터(M21) 내지 트랜지스터(M24)에 있어서, 각각의 게이트와 소스 및 드레인 중 한쪽이 전기적으로 접속되고, 트랜지스터(M21) 내지 트랜지스터(M24)는 다이오드로서 기능한다. 또한, 트랜지스터(M21) 내지 트랜지스터(M24)의 게이트에는 각각 용량 소자(C21) 내지 용량 소자(C24)가 전기적으로 접속되어 있다.

[0128] 홀수 단의 용량 소자(C21), 용량 소자(C23)의 한쪽 전극에는 클록 신호(CLK)가 입력되고, 짝수 단의 용량 소자(C22), 용량 소자(C24)의 한쪽 전극에는 클록 신호(CLKB)가 입력된다. 클록 신호(CLKB)는 클록 신호(CLK)의 위상을 반전한 반전 클록 신호이다.

[0129] 회로(54)는 입력 단자(IN)에 입력된 저전원 전위(VSS)를 강압하여 저전원 전위(VLL) 또는 저전원 전위(VBL)를 생성하는 기능을 가진다. 회로(54)는 클록 신호(CLK) 및 클록 신호(CLKB)의 공급만으로 저전원 전위(VSS)를 강압한 저전원 전위(VLL) 또는 저전원 전위(VBL)를 생성할 수 있다.

[0130] 도 6의 (B)에 도시된 회로(55)는 p채널형 트랜지스터인 트랜지스터(M31) 내지 트랜지스터(M34)로 구성되어 있다. 그 외의 구성 요소에 대해서는 회로(54)의 설명을 원용한다.

[0131] <트랜지스터(M11)>

[0132] 상술한 바와 같이, 트랜지스터(M11), 트랜지스터(M12), 및 트랜지스터(M14)로서 백 게이트를 가지는 OS 트랜지

스터를 사용할 수 있다. OS 트랜지스터는 백 게이트에 전위를 인가함으로써 문턱 전압을 증감시킬 수 있다. 구체적으로는, OS 트랜지스터의 백 게이트에 인가하는 전위를 높게 함으로써, 문턱 전압은 마이너스로 시프트하고, 백 게이트에 인가하는 전위를 낮게 함으로써, 문턱 전압은 플러스로 시프트한다.

[0133] 즉, 백 게이트에 인가하는 전위(본 명세서 등에서는 저전원 전위(VBL))를 낮게 함으로써, 소스에 대한 게이트의 전압(Vgs)이 0V일 때의 소스와 드레인 사이를 흐르는 전류(Ids)(컷 오프 전류라고도 함)를 저감할 수 있다. 컷 오프 전류를 저감함으로써, 메모리 셀(211)에 기록한 데이터의 유지 시간을 길게 할 수 있다.

[0134] 또한, 트랜지스터가 비도통일 때(오프 상태)에 프런트 게이트에 인가하는 전위를 저전원 전위(VSS)보다 낮은 전위(본 명세서 등에서는 저전원 전위(VLL))로 함으로써, 소스와 드레인 사이를 흐르는 전류를 저감할 수 있다. 즉, 트랜지스터가 비도통일 때에 프런트 게이트에 저전원 전위(VLL)를 인가함으로써, 저전원 전위(VBL)와 저전원 전위(VSS)의 전위차를 작게 하여도, 트랜지스터의 소스와 드레인 사이를 흐르는 전류를 저감할 수 있다.

[0135] 저전원 전위(VBL)와 저전원 전위(VSS)의 전위차를 작게 함으로써, 트랜지스터의 백 게이트와 채널 형성 영역 사이에 있는 절연막(게이트 절연막, 게이트 절연층이라고도 함)에 인가되는 전계 강도를 작게 할 수 있어, 트랜지스터의 신뢰성을 향상시킬 수 있다. 즉, 트랜지스터에 가해지는 전계 스트레스를 저감할 수 있기 때문에, 트랜지스터의 신뢰성을 높일 수 있다. 메모리(100)를 데이터의 유지 시간이 길고 신뢰성이 높은 기억 장치로 할 수 있다.

[0136] 또한, 본 실시형태는 본 명세서에 기재된 다른 실시형태와 적절히 조합하여 실시할 수 있다.

[0137] (실시형태 2)

[0138] 본 실시형태에서는 메모리(100)에 포함되는 메모리 셀 어레이(201)의 구성예와 그 동작예에 대하여 설명하다.

[0139] 도 7에 도 2의 (A)와 상이한 메모리 셀 어레이(201)의 일례를 도시하였다. 도 7은 반복 비트선 방식(폴디드 비트선 방식)의 메모리 셀 어레이이다. 또한, 메모리 셀(221)은 개방형 비트선 방식(오픈 비트선 방식)의 메모리 셀 어레이에 사용할 수도 있다. 또한, 도 7에서는 배선(WLB)을 생략하였다.

[0140] 도 7에 도시된 메모리 셀 어레이(201)는 1열에 m개, 1행에 n개, 총 m×n개의 메모리 셀(221)을 가지고, 메모리 셀(221)은 매트릭스상으로 배치되어 있다. 도 7에서는 메모리 셀(221)의 어드레스도 같이 나타내었다. 예를 들어, [i, j]는 i행 j열째의 메모리 셀(221)을 나타낸다.

[0141] 또한, 도 7에 도시된 메모리 셀 어레이(201)는 워드선 드라이버 회로(122)와 전기적으로 접속되는 m개의 배선(WL)을 가진다. 배선(WL(1))은 1행째의 메모리 셀(221)과 전기적으로 접속된다. 마찬가지로, 배선(WL(i))은 i행째의 메모리 셀(221)과 전기적으로 접속된다.

[0142] 또한, 도 7에 도시된 메모리 셀 어레이(201)는 1열에 2개의 배선(BIL)(배선(BILa) 및 배선(BILb))을 가진다. 도 7 등에서는 1열째의 배선(BILa)을 배선(BILa(1))으로 나타내고, j열째의 배선(BILb)을 배선(BILb(j))으로 나타낸다.

[0143] 홀수 행에 배치된 메모리 셀(221)은 배선(BILa) 및 배선(BILb) 중 한쪽과 전기적으로 접속되고, 짝수 행에 배치된 메모리 셀(221)은 배선(BILa) 및 배선(BILb) 중 다른 쪽과 전기적으로 접속된다.

[0144] 또한, 배선(BILa) 및 배선(BILb)은 열마다 제공된 프리차지 회로(132), 감지 증폭기(133), 및 입출력 회로(134)와 전기적으로 접속된다. 또한, 입출력 회로(134)는 열마다 배선(SALa) 및 배선(SALb)과 전기적으로 접속된다. 도 7 등에서는 첫 번째 열의 프리차지 회로(132)를 프리차지 회로(132(1))로 나타내고, j열째의 프리차지 회로(132)를 프리차지 회로(132(j))로 나타내었다. 감지 증폭기(133) 및 입출력 회로(134)도 마찬가지로 표기하였다. 또한, 비트선 드라이버 회로(130)는 열 디코더(131)(도 1 참조)를 가진다.

[0145] <회로 구성예>

[0146] 도 8에 J열째의 메모리 셀(221), 프리차지 회로(132), 감지 증폭기(133), 및 입출력 회로(134)의 회로 구성예를 도시하였다.

[0147] <프리차지 회로(132)>

[0148] 프리차지 회로(132(j))는 n채널형 트랜지스터(Tr21) 내지 트랜지스터(Tr23)를 가진다. 또한, 트랜지스터(Tr21) 내지 트랜지스터(Tr23)는 p채널형이어도 좋다. 트랜지스터(Tr21)의 소스 및 드레인 중 한쪽은 배선(BILa(j))과 접속되고, 소스 및 드레인 중 다른 쪽은 배선(PRE)과 접속되어 있다. 트랜지스터(Tr22)의 소스 및 드레인 중

한쪽은 배선(BILb(j))과 접속되고, 소스 및 드레인 중 다른 쪽은 배선(PRE)과 접속되어 있다. 트랜지스터(Tr23)의 소스 및 드레인 중 한쪽은 배선(BILa(j))과 접속되고, 소스 및 드레인 중 다른 쪽은 배선(BILb(j))과 접속되어 있다. 트랜지스터(Tr21)의 게이트, 트랜지스터(Tr22)의 게이트, 및 트랜지스터(Tr23)의 게이트는 배선(PL)과 접속되어 있다. 프리차지 회로(PRC)는 배선(BILa(j)) 및 배선(BILb(j))의 전위를 초기화하는 기능을 가진다.

[0149] <감지 증폭기(133)>

[0150] 감지 증폭기(133(j))는 p채널형 트랜지스터(Tr31) 및 트랜지스터(Tr32)와 n채널형 트랜지스터(Tr33) 및 트랜지스터(Tr34)를 가진다. 트랜지스터(Tr31)의 소스 및 드레인 중 한쪽은 배선(SP)과 접속되고, 소스 및 드레인 중 다른 쪽은 트랜지스터(Tr32)의 게이트, 트랜지스터(Tr34)의 게이트, 및 배선(BILa(j))과 접속되어 있다. 트랜지스터(Tr33)의 소스 및 드레인 중 한쪽은 트랜지스터(Tr32)의 게이트, 트랜지스터(Tr34)의 게이트, 및 배선(BLa(j))과 접속되고, 소스 및 드레인 중 다른 쪽은 배선(SN)과 접속되어 있다. 트랜지스터(Tr32)의 소스 및 드레인 중 한쪽은 배선(SP)과 접속되고, 소스 및 드레인 중 다른 쪽은 트랜지스터(Tr31)의 게이트, 트랜지스터(Tr33)의 게이트, 및 배선(BLb(j))과 접속되어 있다. 트랜지스터(Tr34)의 소스 및 드레인 중 한쪽은 트랜지스터(Tr31)의 게이트, 트랜지스터(Tr33)의 게이트, 및 배선(BLb(j))과 접속되고, 소스 및 드레인 중 다른 쪽은 배선(SN)과 접속되어 있다. 감지 증폭기(133(j))는 배선(BLa(j)), 배선(BILb(j))의 전위를 증폭하는 기능을 가진다. 또한, 감지 증폭기(133(j))는 래치형 감지 증폭기로서 기능한다.

[0151] <입출력 회로(134)>

[0152] 입출력 회로(134(j))는 n채널형 트랜지스터(Tr41) 및 트랜지스터(Tr42)를 가진다. 또한, 트랜지스터(Tr41) 및 트랜지스터(Tr42)는 p채널형이어도 좋다. 트랜지스터(Tr41)의 소스 및 드레인 중 한쪽은 배선(BILa(j))과 접속되고, 소스 및 드레인 중 다른 쪽은 배선(SALa(j))과 접속되어 있다. 트랜지스터(Tr42)의 소스 및 드레인 중 한쪽은 배선(BILb(j))과 접속되고, 소스 및 드레인 중 다른 쪽은 배선(SALb(j))과 접속되어 있다. 트랜지스터(Tr41)의 게이트 및 트랜지스터(Tr42)의 게이트는 배선(CSEL)과 접속되어 있다.

[0153] 입출력 회로(134(j))는 배선(CSEL)에 공급되는 전위에 의거하여, 배선(BILa(j))과 배선(SALa(j))의 도통 상태 및 배선(BILb(j))과 배선(SALb(j))의 도통 상태를 제어하는 기능을 가진다. 즉, 입출력 회로(134(j))에 의하여 배선(SALa(j)), 배선(SALb(j))에 전위를 출력하는지 여부를 선택할 수 있다.

[0154] 배선(SP), 배선(SN), 배선(CSEL), 배선(PRE), 배선(PL)은 프리차지 회로(132), 감지 증폭기(133), 및 입출력 회로(134)의 동작을 제어하기 위한 신호를 전달하는 기능을 가진다. 배선(SP), 배선(SN), 배선(CSEL), 배선(PRE), 배선(PL)은 도 1에 도시된 컨트롤 로직 회로(160)와 접속되어 있다. 컨트롤 로직 회로(160)는 배선(SP), 배선(SN), 배선(CSEL), 배선(PRE), 배선(PL)에 제어 신호를 공급하는 기능을 가진다.

[0155] <동작예>

[0156] 도 8에 도시된 메모리 셀(221[i, j]), 프리차지 회로(132(j)), 감지 증폭기(133(j)), 및 입출력 회로(134(j))를 사용하여 메모리(100)의 동작 모드에 대하여 설명한다. 또한, 배선(BGL(i))에 -3V가 공급되어 있는 것으로 한다.

[0157] <판독 모드>

[0158] 우선, 메모리 셀(221[i, j])로부터 데이터를 판독할 때의 감지 증폭기(133(j))의 동작예에 대하여 도 9에 나타낸 타이밍 차트를 사용하여 설명한다.

[0159] [기간 T11]

[0160] 기간 T11에서, 프리차지 회로(132(j))를 동작시켜, 배선(BILa(j)) 및 배선(BILb(j))의 전위를 초기화한다. 구체적으로는, 배선(PL)의 전위를 하이 레벨(VH_PL)로 하여, 트랜지스터(Tr21) 내지 트랜지스터(Tr23)를 온 상태로 한다. 이로써, 배선(BILa(j)) 및 배선(BILb(j))에 배선(PRE)의 전위(Vpre)가 공급된다. 또한, 전위(Vpre)는, 예를 들어 (VH_SP+VL_SN)/2로 할 수 있다. VH_SP는 배선(SP)에 공급되는 하이 레벨 전위이고, VL_SN은 배선(SN)에 공급되는 로 레벨 전위이다.

[0161] 또한, 기간 T11에서, 배선(CSEL)의 전위는 로 레벨(VL_CSEL)이고, 입출력 회로(134(j))에서 트랜지스터(Tr41), 트랜지스터(Tr42)는 오프 상태이다. 또한, 배선(WL(i))의 전위는 로 레벨(VL_WL)이고, 메모리 셀(221[i, j])이 가지는 트랜지스터(M11)는 오프 상태이다. 마찬가지로, 도 8에는 도시하지 않았지만, 배선(WL[i+1])의 전위는

로 레벨(VL_WL)이고, 메모리 셀(221[i+1, j])이 가지는 트랜지스터(M11)는 오프 상태이다. 또한 배선(SP) 및 배선(SN)의 전위는 전위(Vpre)이고, 감지 증폭기(133(j))는 정지 상태가 되어 있다.

[0162] 또한, VL_WL은 VL_SN보다 낮은 전위인 것이 바람직하다. 또한, VL_WL은 VL_SN으로부터 트랜지스터(M11)의 Vth를 뺀 전위보다 낮은 전위인 것이 바람직하다. 바꿔 말하면, VL_SN을 기준 전위(0V)로 한 경우, VL_WL을 음의 전위("마이너스 전위" 또는 "음 바이어스"라고도 함)로 하면 좋다.

[0163] 배선(WL(i))에 음 바이어스를 공급함으로써, 트랜지스터(M11)를 더 확실하게 오프 상태로 할 수 있다. 특히, 고온 동작하에 있어서도 데이터의 유지 시간이 긴 기억 장치를 제공할 수 있다.

[0164] 또한, 배선(BGL(i))에 음 바이어스를 공급함으로써도 트랜지스터(M11)를 오프 상태로 할 수 있다. 특히, 배선(WL(i)) 및 배선(BGL(i))의 양쪽에 음 바이어스를 공급함으로써, 한쪽에만 음 바이어스를 공급하는 경우보다 작은 바이어스로 동등한 효과를 실현할 수 있다. 또한, 트랜지스터(M11)에 가해지는 전계 스트레스를 저감할 수 있기 때문에, 트랜지스터(M11)의 신뢰성을 높일 수 있다. 또한, 트랜지스터(M11)의 소비전력을 저감할 수 있다. 즉, 메모리(100)의 신뢰성을 높이고 소비전력을 저감할 수 있다.

[0165] [기간 T12]

[0166] 기간 T12에서, 배선(PL)의 전위를 로 레벨(VL_PL)로 하여, 트랜지스터(Tr21) 내지 트랜지스터(Tr23)를 오프 상태로 한다. 또한, 배선(WL(i))을 선택한다. 구체적으로는, 배선(WL(i))의 전위를 하이 레벨(VH_WL)로 함으로써, 메모리 셀(221[i, j])이 가지는 트랜지스터(M11)를 온 상태로 한다. 이로써, 메모리 셀(221[i, j])에서 배선(BILa(j))과 용량 소자(CA)가 트랜지스터(M11)를 통하여 도통 상태가 되어, 용량 소자(CA)에 유지되어 있는 전하의 양에 따라 배선(BILa(j))의 전위가 변동한다.

[0167] 여기서, VH_WL은 VH_SP보다 높은 전위인 것이 바람직하다. 구체적으로는 VH_WL은 VH_SP에 트랜지스터(M11)의 Vth를 가한 전위보다 높은 전위인 것이 바람직하다.

[0168] 도 9에서는 메모리 셀(221[i, j])에 데이터 "1"이 저장되고, 용량 소자(CA)에 축적되어 있는 전하의 양이 많은 경우를 예시하였다. 구체적으로, 용량 소자(CA)에 축적되어 있는 전하의 양이 많은 경우, 용량 소자(CA)로부터 배선(BILa(j))으로 전하가 방출됨으로써, 배선(BILa(j))의 전위가 전위(Vpre)로부터 ΔV1만큼 상승한다. 한편, 메모리 셀(221[i, j])에 데이터 "0"이 저장되고, 용량 소자(CA)에 축적되어 있는 전하의 양이 적은 경우에는 배선(BILa(j))으로부터 용량 소자(CA)로 전하가 유입됨으로써, 배선(BILa(j))의 전위는 ΔV2만큼 하강된다(도시하지 않았음).

[0169] 또한, 기간 T12에서, 배선(CSEL)의 전위는 로 레벨(VL_CSEL)이고, 입출력 회로(134(j))에서 트랜지스터(Tr41), 트랜지스터(Tr42)는 오프 상태이다. 또한 배선(SP) 및 배선(SN)의 전위는 전위(Vpre)이고, 감지 증폭기(133(j))는 정지 상태를 유지한다.

[0170] [기간 T13]

[0171] 기간 T13에서, 배선(SP)의 전위를 하이 레벨(VH_SP)까지 변화시키고, 배선(SN)의 전위를 로 레벨(VL_SN)까지 변화시킨다. 이로써, 감지 증폭기(133(j))가 동작 상태가 된다. 감지 증폭기(133(j))는 배선(BILa(j))과 배선(BILb(j))의 전위차(도 9에서는 ΔV1)를 증폭시키는 기능을 가진다. 감지 증폭기(133(j))가 동작 상태가 됨으로써, 배선(BILa(j))의 전위는 Vpre+ΔV1로부터 배선(SP)의 전위(VH_SP)에 가까워진다. 또한, 배선(BILb(j))의 전위는 Vpre로부터 배선(SN)의 전위(VL_SN)에 가까워진다.

[0172] 또한, 기간 T13의 초기에서 배선(BILa(j))의 전위가 Vpre-ΔV2인 경우에는, 감지 증폭기(133(j))가 동작 상태가 됨으로써 배선(BILa(j))의 전위는 Vpre-ΔV2로부터 배선(SN)의 전위(VL_SN)에 가까워진다. 또한, 배선(BILb(j))의 전위는 전위(Vpre)로부터 배선(SP)의 전위(VH_SP)에 가까워진다.

[0173] 또한, 기간 T13에서 배선(PL)의 전위는 로 레벨(VL_PL)이고, 프리차지 회로(132(j))에서 트랜지스터(Tr21) 내지 트랜지스터(Tr23)는 오프 상태이다. 또한, 배선(CSEL)의 전위는 로 레벨(VL_CSEL)이고, 입출력 회로(134(j))에서 트랜지스터(Tr41), 트랜지스터(Tr42)는 오프 상태이다. 또한, 배선(WL(i))의 전위는 하이 레벨(VH_WL)이고, 메모리 셀(221[i, j])이 가지는 트랜지스터(M11)는 온 상태이다. 따라서, 메모리 셀(221[i, j])에서는 배선(BILa(j))의 전위(VH_SP)에 대응하는 전하량이 용량 소자(CA)에 축적된다.

[0174] [기간 T14]

[0175] 기간 T14에서, 배선(CSEL)의 전위를 제어함으로써 입출력 회로(134(j))를 온 상태로 한다. 구체적으로는, 배선

(CSEL)의 전위를 하이 레벨(VH_CSEL)로 함으로써, 트랜지스터(Tr41)와 트랜지스터(Tr42)를 온 상태로 한다. 이로써, 배선(BILa(j))의 전위가 배선(SALa(j))에 공급되고, 배선(BILb(j))의 전위가 배선(SALb(j))에 공급된다.

[0176] 또한, 기간 T14에서, 배선(PL)의 전위는 로 레벨(VL_PL)이고, 프리차지 회로(132(j))에서 트랜지스터(Tr21) 내지 트랜지스터(Tr23)는 오프 상태이다. 또한, 배선(WL(i))의 전위는 하이 레벨(VH_WL)이고, 메모리 셀(221[i, j])이 가지는 트랜지스터(M11)는 온 상태이다. 또한, 배선(SP)의 전위는 하이 레벨(VH_SP)이고, 배선(SN)의 전위는 로 레벨(VL_SN)이고, 감지 증폭기(133(j))는 동작 상태이다. 따라서, 메모리 셀(221[i, j])에서는 배선(BILa(j))의 전위(VH_SP)에 대응하는 전하가 용량 소자(CA)에 축적되어 있다.

[0177] [기간 T15]

[0178] 기간 T15에서, 배선(CSEL)의 전위를 제어함으로써 입출력 회로(134(j))를 오프 상태로 한다. 구체적으로는, 배선(CSEL)의 전위를 로 레벨(VL_CSEL)로 함으로써, 트랜지스터(Tr41), 트랜지스터(Tr42)를 오프 상태로 한다.

[0179] 또한, 기간 T15에서 배선(WL(i))에 VL_WL을 공급하여 배선(WL(i))을 비선택 상태로 한다. 구체적으로는, 배선(WL(i))의 전위를 로 레벨(VL_WL)로 한다. 그리고, 메모리 셀(221[i, j])이 가지는 트랜지스터가 오프 상태가 된다. 이로써, 배선(BLa)의 전위(VH_SP)에 대응하는 전하량이 메모리 셀(221[i, j])이 가지는 용량 소자(CA)에 유지된다. 따라서, 데이터의 판독이 수행된 후에도 데이터가 메모리 셀(221[i, j])에 유지된다.

[0180] 배선(WL(i))에 공급하는 VL_WL을 음의 전위로 함으로써, 트랜지스터(M11)를 더 확실하게 오프 상태로 할 수 있다. 특히, 고온 동작하에 있어서도 데이터의 유지 시간이 긴 기억 장치를 제공할 수 있다.

[0181] 또한, 기간 T15에 있어서 입출력 회로(134(j))를 오프 상태로 하여도 감지 증폭기(133(j))가 동작 상태이면 배선(BILa(j))과 배선(BILb(j))의 전위는 감지 증폭기(133(j))에 의하여 유지된다. 그러므로, 감지 증폭기(133(j))는 메모리 셀(221[i, j])로부터 판독한 데이터를 일시적으로 유지하는 기능을 가진다.

[0182] 상기 동작에 의하여 메모리 셀(221[i, j])로부터 데이터를 판독할 수 있다. 판독된 데이터는, 배선(SALa(j)) 및/또는 배선(SALb(j)을 통하여 출력 회로(140)(도 1 참조)에 공급된다. 또한, 메모리 셀(221[i+1, j])로부터의 데이터의 판독도 메모리 셀(221[i, j])과 마찬가지로 수행할 수 있다.

[0183] <기록 모드>

[0184] 다음으로, 메모리 셀(221[i, j])에 데이터를 기록할 때의 감지 증폭기(133(j))의 동작예에 대하여 도 10에 나타낸 타이밍 차트를 사용하여 설명한다. 메모리 셀(221[i+1, j])로의 데이터의 기록은 상기와 같은 원리로 수행할 수 있다.

[0185] [기간 T21]

[0186] 기간 T21에서, 프리차지 회로(132(j))가 가지는 트랜지스터(Tr21) 내지 트랜지스터(Tr23)를 온 상태로 하여, 배선(BILa(j)) 및 배선(BILb(j))의 전위를 초기화한다. 구체적으로는, 배선(PL)의 전위를 하이 레벨(VH_PL)로 하여, 트랜지스터(Tr21) 내지 트랜지스터(Tr23)를 온 상태로 한다. 이로써, 배선(BILa(j)) 및 배선(BILb(j))에 배선(PRE)의 전위(Vpre)가 공급된다. 또한, 전위(Vpre)는, 예를 들어 (VH_SP+VL_SN)/2로 할 수 있다.

[0187] [기간 T22]

[0188] 기간 T22에서, 그 후 배선(PL)의 전위를 로 레벨(VL_PL)로 하여, 트랜지스터(Tr21) 내지 트랜지스터(Tr23)를 오프 상태로 한다. 또한, 데이터의 기록을 수행하는 메모리 셀(221[i, j])과 접속된 배선(WL(i))을 선택한다. 구체적으로는, 배선(WL(i))의 전위를 하이 레벨(VH_WL)로 하여, 메모리 셀(221[i, j])이 가지는 트랜지스터(M11)를 온 상태로 한다. 이로써, 메모리 셀(221[i, j])에서 배선(BILa(j))과 용량 소자(CA)가 트랜지스터(M11)를 통하여 도통 상태가 된다.

[0189] 또한, 기록 모드로 동작하는 동안, 배선(BGL(i))에 음 바이어스를 공급한 채로 하여도 좋지만, 배선(WL(i))의 전위가 VH_WL이 되는 것에 맞추어 배선(BGL(i))의 전위를 상승시켜도 좋다. 도 10에서는 기간 T22에 있어서 배선(BGL(i))의 전위를 L 전위(예를 들어 0V)로 하였다.

[0190] 배선(WL(i))의 전위 상승에 맞추어 배선(BGL(i))의 전위를 상승시킴으로써 트랜지스터(M11)의 문턱 전압(Vth)이 작게 되어, 동작 속도를 높일 수 있다. 따라서, 기록 동작에 필요한 시간을 단축할 수 있다. 따라서, 메모리(100)의 동작 속도를 높일 수 있다.

[0191] 또한, 배선(WL(i)) 및 배선(BGL(i))의 양쪽의 전위를 상승시킴으로써, 한쪽만의 전위를 상승시키는 경우보다 적

은 전위 상승으로 동등한 기록 속도를 실현할 수 있다. 따라서, 트랜지스터(M11)에 가해지는 전계 스트레스를 저감할 수 있기 때문에, 트랜지스터(M11)의 신뢰성을 높일 수 있다. 또한, 트랜지스터(M11)의 소비전력을 저감할 수 있다. 즉, 메모리(100)의 신뢰성을 높이고 소비전력을 저감할 수 있다.

[0192] 이때, 이미 메모리 셀(221[i, j])에 데이터 "1"이 저장되어 있는 경우, 용량 소자(CA)로부터 배선(BILa(j))으로 전하가 방출됨으로써, 배선(BILa(j))의 전위가 전위(Vpre)로부터 ΔV1만큼 상승한다.

[0193] [기간 T23]

[0194] 기간 T23에 있어서, 배선(SP)의 전위를 하이 레벨(VH_SP)로 하고, 배선(SN)의 전위를 로 레벨(VL_SN)로 하고, 감지 증폭기(133(j))를 동작 상태로 한다.

[0195] [기간 T24]

[0196] 기간 T24에 있어서, 배선(CSEL)의 전위를 제어함으로써, 입출력 회로(134(j))를 온 상태로 한다. 이에 의하여, 배선(BILa(j))과 배선(SALa(j))이 도통 상태가 되고, 배선(BILb(j))과 배선(SALb(j))이 도통 상태가 된다.

[0197] 데이터 신호(WDATA)는 배선(SALa(j)) 및 배선(SALb(j))을 통하여 입출력 회로(134(j))에 공급된다. 배선(SALa(j)) 및 배선(SALb(j))에 데이터 신호(WDATA)에 상당하는 기록 전위를 공급함으로써, 입출력 회로(134(j))를 통하여 배선(BILa(j)) 및 배선(BILb(j))에 기록 전위가 공급된다. 예를 들어, 메모리 셀(221[i, j])에 데이터 "0"을 저장하는 경우, 배선(SALa(j))에 로 레벨(VL_SN)을 공급하고, 배선(SALb(j))에 하이 레벨(VH_SP)을 공급한다.

[0198] 이로써, 감지 증폭기(133(j))가 가지는 트랜지스터(Tr31) 내지 트랜지스터(Tr34)의 온 오프 상태가 반전하고, 배선(BILa(j))에 배선(SN)의 전위(VL_SN)가 공급되고, 배선(BILb(j))에 배선(SP)의 전위(VL_SP)가 공급된다. 따라서, 데이터 "0"을 나타내는 전위(VL_SN)에 대응하는 전하량이 용량 소자(CA)에 축적된다. 이와 같은 동작에 의하여, 메모리 셀(221[i, j])에 데이터를 기록할 수 있다.

[0199] [기간 T25]

[0200] 기간 T25에 있어서, 배선(WL(i))에 VL_WL을 공급하여 배선(WL(i))을 비선택 상태로 한다. 이에 의하여, 메모리 셀(221[i, j])에 기록된 전하가 유지된다. 배선(WL(i))의 전위 상승에 맞추어 배선(BGL(i))의 전위도 상승시킨 경우, 배선(WL(i))의 전위가 VL_WL이 되는 것에 맞추어 배선(BGL(i))의 전위를 줄인다. 예를 들어, 배선(BGL(i))에 -3V를 공급한다.

[0201] 또한, 배선(CSEL)의 전위를 로 레벨(VL_CSEL)로 함으로써, 트랜지스터(Tr41), 트랜지스터(Tr42)를 오프 상태로 한다.

[0202] 또한, 배선(BILa(j))에 배선(SALa(j))의 전위가 공급된 후에는, 입출력 회로(134(j))에 있어서 트랜지스터(Tr41), 트랜지스터(Tr42)를 오프 상태로 하여도, 감지 증폭기(133(j))가 동작 상태이면 배선(BILa(j))과 배선(BILb(j))의 전위는 감지 증폭기(133(j))에 의하여 유지된다. 따라서, 트랜지스터(Tr41), 트랜지스터(Tr42)를 온 상태로부터 오프 상태로 변경하는 타이밍은 배선(WL(i))을 선택하기 전이라도 선택한 후라도 좋다.

[0203] 상기 동작에 의하여 메모리 셀(221[i, j])에 데이터를 기록할 수 있다. 또한, 메모리 셀(221[i+1, j])로의 데이터의 기록도 메모리 셀(221[i, j])과 마찬가지로 수행할 수 있다.

[0204] 배선(WL(i))에 공급하는 VL_WL을 음의 전위로 함으로써, 트랜지스터(M11)를 더 확실하게 오프 상태로 할 수 있다. 특히, 고온 동작하에 있어서도 데이터의 유지 시간이 긴 기억 장치를 제공할 수 있다.

[0205] <리프레시 모드>

[0206] 메모리 셀(221[i, j])에 기록된 데이터를 유지하기 위하여 일정 기간마다 리프레시 동작(재기록 동작)을 수행한다. 리프레시 동작 시의 감지 증폭기(133(j))의 동작예에 대하여, 도 11에 도시된 타이밍 차트를 사용하여 설명한다. 또한, 리프레시 동작도 상기와 같은 원리로 수행할 수 있다.

[0207] [기간 T31]

[0208] 기간 T31에 있어서, 프리차지 회로(132(j))가 가지는 트랜지스터(Tr21) 내지 트랜지스터(Tr23)를 온 상태로 하여 배선(BILa(j)) 및 배선(BILb(j))의 전위를 초기화한다. 구체적으로는, 배선(PL)의 전위를 하이 레벨(VH_PL)로 하여, 트랜지스터(Tr21) 내지 트랜지스터(Tr23)를 온 상태로 한다. 이로써, 배선(BILa(j)) 및 배선

(BILb(j))에 배선(PRE)의 전위(Vpre)가 공급된다.

[0209] [기간 T32]

[0210] 기간 T32에 있어서, 배선(PL)의 전위를 로 레벨(VL_PL)로 하여, 트랜지스터(Tr21) 내지 트랜지스터(Tr23)를 오프 상태로 한다. 또한, 데이터의 기록을 수행하는 메모리 셀(221[i, j])과 접속된 배선(WL(i))을 선택한다. 구체적으로는, 배선(WL(i))의 전위를 하이 레벨(VH_WL)로 하여, 메모리 셀(221[i, j])이 가지는 트랜지스터(M11)를 온 상태로 한다. 이로써, 메모리 셀(221[i, j])에서 배선(BILa(j))과 용량 소자(CA)가 트랜지스터(M11)를 통하여 도통 상태가 된다.

[0211] 또한, 리프레시 모드로 동작하는 동안, 배선(BGL(i))에 음 바이어스를 공급한 채로 하여도 좋지만, 배선(WL(i))의 전위가 VH_WL이 되는 것에 맞추어 배선(BGL(i))의 전위를 상승시켜도 좋다. 도 11에서는, 기간 T32에 있어서 배선(BGL(i))의 전위를 L 전위(예를 들어 0V)로 하였다.

[0212] 배선(WL(i))의 전위 상승에 맞추어 배선(BGL(i))의 전위를 상승시킴으로써, 트랜지스터(M11)의 동작 속도를 높일 수 있다. 따라서, 리프레시에 필요한 시간을 단축할 수 있다. 따라서, 메모리(100)의 동작 속도를 높일 수 있다.

[0213] 또한, 배선(WL(i)) 및 배선(BGL(i))의 양쪽의 전위를 상승시킴으로써, 한쪽만의 전위를 상승시키는 경우보다 적은 전위 상승으로 동등한 기록 속도를 실현할 수 있다. 따라서, 트랜지스터(M11)에 가해지는 전계 스트레스를 저감할 수 있기 때문에, 트랜지스터(M11)의 신뢰성을 높일 수 있다. 또한, 트랜지스터(M11)의 소비전력을 저감할 수 있다.

[0214] 이때, 이미 메모리 셀(221[i, j])에 데이터 "1"이 저장되어 있는 경우, 용량 소자(CA)로부터 배선(BILa(j))으로 전하가 방출됨으로써, 배선(BILa(j))의 전위가 전위(Vpre)로부터 ΔV1만큼 상승한다.

[0215] [기간 T33]

[0216] 기간 T33에서, 배선(SP)의 전위를 하이 레벨(VH_SP)로 하고, 배선(SN)의 전위를 로 레벨(VL_SN)로 하여, 감지 증폭기(133(j))를 동작 상태로 한다. 감지 증폭기(133(j))가 동작 상태가 됨으로써, 배선(BILa(j))의 전위는 Vpre+ΔV1로부터 배선(SP)의 전위(VH_SP)에 가까워진다. 또한, 배선(BILb(j))의 전위는 Vpre로부터 배선(SN)의 전위(VL_SN)에 가까워진다. 또한, 본 명세서 등에서, 기간 T33에 필요한 시간을 '기록 시간'이라고 한다.

[0217] [기간 T34]

[0218] 기간 T34에 있어서 배선(WL(i))에 VL_WL을 공급하여 배선(WL(i))을 비선택 상태로 한다. 구체적으로는, 배선(WL(i))의 전위를 로 레벨(VL_WL)로 함으로써, 메모리 셀(221[i, j])이 가지는 트랜지스터를 오프 상태로 한다. 이로써, 배선(BLa)의 전위(VH_SP)에 대응하는 전하량이 메모리 셀(221[i, j])이 가지는 용량 소자(CA)에 유지된다.

[0219] 또한, VL_WL을 음의 전위로 함으로써 트랜지스터(M11)를 더 확실하게 오프 상태로 할 수 있다. 특히, 고온 동작하에 있어서도 데이터의 유지 시간이 긴 기억 장치를 제공할 수 있다.

[0220] 또한, 배선(WL(i))의 전위가 VL_WL이 되는 것에 맞추어 배선(BGL(i))의 전위를 줄인다. 예를 들어, 배선(BGL(i))에 -3V를 공급한다.

[0221] 리프레시 모드에서는 데이터의 판독 또는 기록을 수행하지 않기 때문에, 입출력 회로(134(j))는 계속 오프 상태이어도 좋다. 따라서, 리프레시 모드는 판독 모드 및 기록 모드보다 짧은 기간에 수행할 수 있다. 또한, 메모리 셀(221[i+1, j])의 리프레시 모드도 메모리 셀(221[i, j])과 마찬가지로 수행할 수 있다.

[0222] 또한, 본 실시형태는 본 명세서에 기재된 다른 실시형태와 적절히 조합하여 실시할 수 있다.

[0223] (실시형태 3)

[0224] 본 실시형태에서는 상기 실시형태에서 설명한 주변 회로(111)에 적용할 수 있는 Si 트랜지스터 및 메모리 셀(211)에 적용할 수 있는 OS 트랜지스터의 구성예에 대하여 설명한다. 또한, 본 실시형태에서는 상기 Si 트랜지스터 및 OS 트랜지스터를 합쳐서 반도체 장치라고 부른다.

[0225] <반도체 장치의 구성예>

[0226] 도 12에 도시된 반도체 장치는 트랜지스터(300), 트랜지스터(500), 및 용량 소자(600)를 가진다. 도 13의 (A)

는 트랜지스터(500)의 채널 길이 방향의 단면도이고, 도 13의 (B)는 트랜지스터(500)의 채널 폭 방향의 단면도이고, 도 13의 (C)는 트랜지스터(300)의 채널 폭 방향의 단면도이다.

[0227] 트랜지스터(500)는 채널 형성 영역에 금속 산화물을 가지는 트랜지스터(OS 트랜지스터)이다. 트랜지스터(500)는 오프 전류가 낮기 때문에, 이를 반도체 장치에 사용함으로써 장기간에 걸쳐 기억 내용을 유지할 수 있다. 즉 리프레시 동작의 빈도가 적거나 또는 리프레시 동작이 필요 없기 때문에, 반도체 장치의 소비전력을 저감할 수 있다.

[0228] 본 실시형태에서 설명하는 반도체 장치는 도 12에 도시한 바와 같이 트랜지스터(300), 트랜지스터(500), 용량 소자(600)를 가진다. 트랜지스터(500)는 트랜지스터(300)의 위쪽에 제공되고, 용량 소자(600)는 트랜지스터(300) 및 트랜지스터(500)의 위쪽에 제공된다.

[0229] 트랜지스터(300)는 기판(311) 위에 제공되고, 도전체(316), 절연체(315), 기판(311)의 일부로 이루어지는 반도체 영역(313), 및 소스 영역 또는 드레인 영역으로서 기능하는 저저항 영역(314a) 및 저저항 영역(314b)을 가진다.

[0230] 트랜지스터(300)는 도 13의 (C)에 도시한 바와 같이 반도체 영역(313)의 상면 및 채널 폭 방향의 측면이 절연체(315)를 개재하여 도전체(316)로 덮여 있다. 이와 같이, 트랜지스터(300)를 Fin형으로 함으로써 실효적인 채널 폭이 증대하여 트랜지스터(300)의 온 특성을 향상시킬 수 있다. 또한, 게이트 전극의 전계의 기여를 높일 수 있기 때문에, 트랜지스터(300)의 오프 특성을 향상시킬 수 있다.

[0231] 또한, 트랜지스터(300)는 p채널형 및 n채널형 중 어느 것이어도 좋다.

[0232] 반도체 영역(313)의 채널이 형성되는 영역, 그 근방의 영역, 소스 영역 또는 드레인 영역이 되는 저저항 영역(314a) 및 저저항 영역(314b) 등에서 실리콘계 반도체 등의 반도체를 포함하는 것이 바람직하고, 단결정 실리콘을 포함하는 것이 바람직하다. 또는 Ge(저마늄), SiGe(실리콘 저마늄), GaAs(갈륨 비소), GaAlAs(갈륨 알루미늄 비소) 등을 가지는 재료로 형성하여도 좋다. 결정 격자에 응력을 가하여 격자 간격을 변화시킴으로써 유효 질량을 제어한 실리콘을 사용한 구성으로 하여도 좋다. 또는 GaAs와 GaAlAs 등을 사용함으로써, 트랜지스터(300)를 HEMT(High Electron Mobility Transistor)로 하여도 좋다.

[0233] 저저항 영역(314a) 및 저저항 영역(314b)은 반도체 영역(313)에 적용되는 반도체 재료에 더하여 비소, 인 등의 n형 도전성을 부여하는 원소 또는 붕소 등의 p형 도전성을 부여하는 원소를 포함한다.

[0234] 게이트 전극으로서 기능하는 도전체(316)는 비소, 인 등의 n형 도전성을 부여하는 원소, 또는 붕소 등의 p형 도전성을 부여하는 원소를 포함하는 실리콘 등의 반도체 재료, 금속 재료, 합금 재료, 또는 금속 산화물 재료 등의 도전성 재료를 사용할 수 있다.

[0235] 또한, 도전체의 재료에 따라 일함수가 결정되기 때문에, 도전체의 재료를 변경함으로써 트랜지스터의 Vth를 조정할 수 있다. 구체적으로는, 도전체에 질화 타이타늄이나 질화 탄탈럼 등의 재료를 사용하는 것이 바람직하다. 또한, 도전성과 매립성을 양립하기 위하여 도전체에 텅스텐이나 알루미늄 등의 금속 재료를 적층하여 사용하는 것이 바람직하고, 특히 텅스텐을 사용하는 것이 내열성의 점에서 바람직하다.

[0236] 또한, 도 12에 도시된 트랜지스터(300)는 일례이며, 그 구조에 한정되지 않고 회로 구성이나 구동 방법에 따라 적절한 트랜지스터를 사용하면 좋다. 예를 들어, 트랜지스터(500)와 마찬가지로, 트랜지스터(300)에 산화물 반도체를 사용하는 구성으로 하여도 좋다.

[0237] 트랜지스터(300)를 덮어 절연체(320), 절연체(322), 절연체(324), 및 절연체(326)가 순차적으로 적층되어 제공된다.

[0238] 절연체(320), 절연체(322), 절연체(324), 및 절연체(326)로서 예를 들어 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 산화 알루미늄, 산화질화 알루미늄, 질화산화 알루미늄, 질화 알루미늄 등을 사용하면 좋다.

[0239] 절연체(322)는, 그 아래쪽에 제공되는 트랜지스터(300) 등에 의하여 생기는 단차를 평탄화하는 평탄화막으로서의 기능을 가져도 좋다. 예를 들어, 절연체(322)의 상면은 평탄성을 높이기 위하여 화학 기계 연마(CMP)법 등을 사용한 평탄화 처리에 의하여 평탄화되어도 좋다.

[0240] 또한, 절연체(324)에는 기판(311) 또는 트랜지스터(300) 등으로부터 트랜지스터(500)가 제공되는 영역으로 수소나 불순물이 확산되지 않도록 하는 배리어성을 가지는 막을 사용하는 것이 바람직하다.

[0241] 수소에 대한 배리어성을 가지는 막의 일례로서, 예를 들어 CVD법으로 형성한 질화 실리콘을 사용할 수 있다. 여기서, 트랜지스터(500) 등의 산화물 반도체를 가지는 반도체 소자로 수소가 확산됨으로써 상기 반도체 소자의 특성이 저하되는 경우가 있다. 따라서, 트랜지스터(500)와, 트랜지스터(300) 사이에 수소의 확산을 억제하는 막을 사용하는 것이 바람직하다. 수소의 확산을 억제하는 막이란, 구체적으로는 수소의 이탈량이 적은 막이다.

[0242] 수소의 이탈량은, 예를 들어 승온 이탈 가스 분석법(TDS) 등을 사용하여 분석할 수 있다. 예를 들어, 절연체(324)의 수소의 이탈량은 TDS 분석에서 막의 표면 온도가 50℃ 내지 500℃의 범위에서 수소 원자로 환산한 이탈량이 절연체(324)의 면적당으로 환산하여, 10×10^{15}atoms/cm^2 이하, 바람직하게는 5×10^{15}atoms/cm^2 이하이면 좋다.

[0243] 또한, 절연체(326)는 절연체(324)보다 유전율이 낮은 것이 바람직하다. 예를 들어, 절연체(326)의 비유전율은 4 미만이 바람직하고, 3 미만이 더 바람직하다. 또한, 예를 들어 절연체(326)의 비유전율은 절연체(324)의 비유전율의 0.7배 이하가 바람직하고, 0.6배 이하가 더 바람직하다. 유전율이 낮은 재료를 층간막으로 함으로써, 배선 사이에 생기는 기생 용량을 저감할 수 있다.

[0244] 또한, 절연체(320), 절연체(322), 절연체(324), 및 절연체(326)에는 용량 소자(600) 또는 트랜지스터(500)와 접속되는 도전체(328) 및 도전체(330) 등이 매립되어 있다. 또한, 도전체(328) 및 도전체(330)는 플러그 또는 배선으로서의 기능을 가진다. 또한, 플러그 또는 배선으로서의 기능을 가지는 도전체에는, 복수의 구조를 합쳐서 동일한 부호를 부여하는 경우가 있다. 또한, 본 명세서 등에서 배선과, 배선과 접속되는 플러그가 일체물이어도 좋다. 즉, 도전체의 일부가 배선으로서 기능하는 경우 및 도전체의 일부가 플러그로서 기능하는 경우도 있다.

[0245] 각 플러그 및 배선(도전체(328) 및 도전체(330) 등)의 재료로서는, 금속 재료, 합금 재료, 금속 질화물 재료, 또는 금속 산화물 재료 등의 도전성 재료를 단층 또는 적층으로 사용할 수 있다. 내열성과 도전성을 양립하는 텅스텐이나 몰리브데넘 등의 고융점 재료를 사용하는 것이 바람직하고, 텅스텐을 사용하는 것이 바람직하다. 또는, 알루미늄이나 구리 등의 저저항 도전성 재료로 형성하는 것이 바람직하다. 저저항 도전성 재료를 사용함으로써 배선 저항을 낮출 수 있다.

[0246] 절연체(326) 및 도전체(330) 위에 배선층을 제공하여도 좋다. 예를 들어 도 12에 있어서, 절연체(350), 절연체(352), 및 절연체(354)가 순차적으로 적층되어 제공된다. 또한 절연체(350), 절연체(352), 및 절연체(354)에는 도전체(356)가 형성된다. 도전체(356)는 트랜지스터(300)와 접속되는 플러그 또는 배선으로서의 기능을 가진다. 또한, 도전체(356)는 도전체(328) 및 도전체(330)와 같은 재료를 사용하여 제공할 수 있다.

[0247] 또한, 예를 들어 절연체(350)에는, 절연체(324)와 마찬가지로 수소에 대한 배리어성을 가지는 절연체를 사용하는 것이 바람직하다. 또한, 도전체(356)는 수소에 대한 배리어성을 가지는 도전체를 포함하는 것이 바람직하다. 특히, 수소에 대한 배리어성을 가지는 절연체(350)가 가지는 개구부에 수소에 대한 배리어성을 가지는 도전체가 형성된다. 상기 구성에 의하여 트랜지스터(300)와 트랜지스터(500)는 배리어층에 의하여 분리할 수 있어, 트랜지스터(300)로부터 트랜지스터(500)로 수소가 확산되는 것을 억제할 수 있다.

[0248] 또한, 수소에 대한 배리어성을 가지는 도전체로서는, 예를 들어 질화 탄탈럼 등을 사용하는 것이 좋다. 또한, 질화 탄탈럼과 도전성이 높은 텅스텐을 적층함으로써, 배선으로서의 도전성을 유지한 채, 트랜지스터(300)로부터의 수소의 확산을 억제할 수 있다. 이 경우, 수소에 대한 배리어성을 가지는 질화 탄탈럼층이, 수소에 대한 배리어성을 가지는 절연체(350)와 접하는 구조인 것이 바람직하다.

[0249] 절연체(354) 및 도전체(356) 위에 배선층을 제공하여도 좋다. 예를 들어, 도 12에서 절연체(360), 절연체(362), 및 절연체(364)가 순차적으로 적층되어 제공된다. 또한, 절연체(360), 절연체(362), 및 절연체(364)에는 도전체(366)가 형성된다. 도전체(366)는 플러그 또는 배선으로서의 기능을 가진다. 또한, 도전체(366)는 도전체(328) 및 도전체(330)와 같은 재료를 사용하여 제공할 수 있다.

[0250] 또한, 예를 들어 절연체(360)에는, 절연체(324)와 마찬가지로 수소에 대한 배리어성을 가지는 절연체를 사용하는 것이 바람직하다. 또한, 도전체(366)는 수소에 대한 배리어성을 가지는 도전체를 포함하는 것이 바람직하다. 특히, 수소에 대한 배리어성을 가지는 절연체(360)가 가지는 개구부에 수소에 대한 배리어성을 가지는 도전체가 형성된다. 상기 구성에 의하여 트랜지스터(300)와 트랜지스터(500)는 배리어층에 의하여 분리할 수 있어, 트랜지스터(300)로부터 트랜지스터(500)로 수소가 확산되는 것을 억제할 수 있다.

[0251] 절연체(364) 및 도전체(366) 위에 배선층을 제공하여도 좋다. 예를 들어 도 12에 있어서, 절연체(370), 절연체

(372), 및 절연체(374)가 순차적으로 적층되어 제공되어 있다. 또한, 절연체(370), 절연체(372), 및 절연체(374)에는 도전체(376)가 형성된다. 도전체(376)는 플러그 또는 배선으로서의 기능을 가진다. 또한, 도전체(376)는 도전체(328) 및 도전체(330)와 같은 재료를 사용하여 제공할 수 있다.

[0252] 또한, 예를 들어 절연체(370)에는, 절연체(324)와 마찬가지로 수소에 대한 배리어성을 가지는 절연체를 사용하는 것이 바람직하다. 또한, 도전체(376)는 수소에 대한 배리어성을 가지는 도전체를 포함하는 것이 바람직하다. 특히, 수소에 대한 배리어성을 가지는 절연체(370)가 가지는 개구부에 수소에 대한 배리어성을 가지는 도전체가 형성된다. 상기 구성에 의하여 트랜지스터(300)와 트랜지스터(500)는 배리어층에 의하여 분리할 수 있어, 트랜지스터(300)로부터 트랜지스터(500)로 수소가 확산되는 것을 억제할 수 있다.

[0253] 절연체(374) 및 도전체(376) 위에 배선층을 제공하여도 좋다. 예를 들어 도 12에 있어서, 절연체(380), 절연체(382), 및 절연체(384)가 순차적으로 적층되어 제공된다. 또한, 절연체(380), 절연체(382), 및 절연체(384)에는 도전체(386)가 형성된다. 도전체(386)는 플러그 또는 배선으로서의 기능을 가진다. 또한, 도전체(386)는 도전체(328) 및 도전체(330)와 같은 재료를 사용하여 제공할 수 있다.

[0254] 또한, 예를 들어 절연체(380)에는, 절연체(324)와 마찬가지로 수소에 대한 배리어성을 가지는 절연체를 사용하는 것이 바람직하다. 또한, 도전체(386)는 수소에 대한 배리어성을 가지는 도전체를 포함하는 것이 바람직하다. 특히, 수소에 대한 배리어성을 가지는 절연체(380)가 가지는 개구부에 수소에 대한 배리어성을 가지는 도전체가 형성된다. 상기 구성에 의하여 트랜지스터(300)와 트랜지스터(500)는 배리어층에 의하여 분리할 수 있어, 트랜지스터(300)로부터 트랜지스터(500)로 수소가 확산되는 것을 억제할 수 있다.

[0255] 상기에서, 도전체(356)를 포함하는 배선층, 도전체(366)를 포함하는 배선층, 도전체(376)를 포함하는 배선층, 및 도전체(386)를 포함하는 배선층에 대하여 설명하였지만, 본 실시형태에 따른 반도체 장치는 이에 한정되는 것이 아니다. 도전체(356)를 포함하는 배선층과 같은 배선층을 3층 이하로 하여도 좋고, 도전체(356)를 포함하는 배선층과 같은 배선층을 5층 이상으로 하여도 좋다.

[0256] 절연체(384) 위에는 절연체(510), 절연체(512), 절연체(514), 및 절연체(516)가 순차적으로 적층되어 제공된다. 절연체(510), 절연체(512), 절연체(514), 및 절연체(516) 중 어느 것에는 산소나 수소에 대하여 배리어성을 가지는 물질을 사용하는 것이 바람직하다.

[0257] 예를 들어, 절연체(510) 및 절연체(514)에는 예를 들어 기판(311) 또는 트랜지스터(300)를 제공하는 영역 등으로부터 트랜지스터(500)를 제공하는 영역으로 수소나 불순물이 확산되지 않도록 하는, 배리어성을 가지는 막을 사용하는 것이 바람직하다. 따라서, 절연체(324)와 같은 재료를 사용할 수 있다.

[0258] 수소에 대한 배리어성을 가지는 막의 일례로서, CVD법으로 형성한 질화 실리콘을 사용할 수 있다. 여기서, 트랜지스터(500) 등의 산화물 반도체를 가지는 반도체 소자로 수소가 확산됨으로써 상기 반도체 소자의 특성이 저하되는 경우가 있다. 따라서, 트랜지스터(500)와 트랜지스터(300) 사이에 수소의 확산을 억제하는 막을 사용하는 것이 바람직하다. 수소의 확산을 억제하는 막이란, 구체적으로는 수소의 이탈량이 적은 막이다.

[0259] 또한, 수소에 대한 배리어성을 가지는 막으로서, 예를 들어 절연체(510) 및 절연체(514)에는 산화 알루미늄, 산화 하프늄, 산화 탄탈럼 등의 금속 산화물을 사용하는 것이 바람직하다.

[0260] 특히, 산화 알루미늄은 산소 및 트랜지스터의 전기 특성의 변동 요인이 되는 수소, 수분 등의 불순물의 양쪽에 대하여 막을 투과시키지 않도록 하는 차단 효과가 높다. 따라서, 산화 알루미늄은 트랜지스터의 제작 공정 중 및 제작 후에서 수소, 수분 등의 불순물의 트랜지스터(500)로의 혼입을 방지할 수 있다. 또한, 트랜지스터(500)를 구성하는 산화물로부터의 산소의 방출을 억제할 수 있다. 그러므로, 트랜지스터(500)에 대한 보호막으로서 사용하는 것에 적합하다.

[0261] 또한, 예를 들어 절연체(512) 및 절연체(516)에는 절연체(320)와 같은 재료를 사용할 수 있다. 또한, 유전율이 비교적 낮은 재료를 층간막으로 함으로써, 배선 사이에 생기는 기생 용량을 저감할 수 있다. 예를 들어, 절연체(512) 및 절연체(516)로서 산화 실리콘막이나 산화질화 실리콘막 등을 사용할 수 있다.

[0262] 또한, 절연체(510), 절연체(512), 절연체(514), 및 절연체(516)에는 도전체(518) 및 트랜지스터(500)를 구성하는 도전체(도전체(503)) 등이 매립되어 있다. 또한, 도전체(518)는 용량 소자(600) 또는 트랜지스터(300)와 접속되는 플러그 또는 배선으로서의 기능을 가진다. 도전체(518)는 도전체(328) 및 도전체(330)와 같은 재료를 사용하여 제공할 수 있다.

[0263] 특히 절연체(510) 및 절연체(514)와 접하는 영역의 도전체(518)는 산소, 수소, 및 물에 대한 배리어성을 가지는

도전체인 것이 바람직하다. 상기 구성에 의하여 트랜지스터(300)와 트랜지스터(500)는 산소, 수소, 및 물에 대한 배리어성을 가지는 층에 의하여 분리할 수 있어, 트랜지스터(300)로부터 트랜지스터(500)로의 수소의 확산을 억제할 수 있다.

[0264] 절연체(516)의 위쪽에는 트랜지스터(500)가 제공된다.

[0265] 도 13의 (A), (B)에 도시한 바와 같이, 트랜지스터(500)는 절연체(512) 및 절연체(516)에 매립되도록 배치된 도전체(503)와, 절연체(516)와 도전체(503) 위에 배치된 절연체(521)와, 절연체(521) 위에 배치된 절연체(522)와, 절연체(522) 위에 배치된 절연체(524)와, 절연체(524) 위에 배치된 산화물(530a)과, 산화물(530a) 위에 배치된 산화물(530b)과, 산화물(530b) 위에 서로 떨어져 배치된 도전체(542a) 및 도전체(542b)와, 도전체(542a) 및 도전체(542b) 위에 배치되고 도전체(542a)와 도전체(542b) 사이에 중첩하여 개구가 형성된 절연체(580)와, 개구 내에 배치된 도전체(560)와, 산화물(530b), 도전체(542a), 도전체(542b), 및 절연체(580)와 도전체(560) 사이에 배치된 절연체(550)와, 산화물(530b), 도전체(542a), 도전체(542b), 및 절연체(580)와 절연체(550) 사이에 배치된 산화물(530c)을 가진다.

[0266] 또한, 도 13의 (A), (B)에 도시한 바와 같이, 산화물(530a), 산화물(530b), 도전체(542a), 및 도전체(542b)와 절연체(580) 사이에 절연체(544)가 배치되는 것이 바람직하다. 또한, 도 13의 (A), (B)에 도시한 바와 같이, 도전체(560)는 절연체(550)의 내측에 제공된 도전체(560a)와 도전체(560a)의 내측에 매립되도록 제공된 도전체(560b)를 가지는 것이 바람직하다. 또한, 도 13의 (A), (B)에 도시한 바와 같이, 절연체(580), 도전체(560), 및 절연체(550) 위에 절연체(574)가 배치되는 것이 바람직하다.

[0267] 또한, 이하에서 산화물(530a), 산화물(530b), 및 산화물(530c)을 합쳐서 산화물(530)이라고 하는 경우가 있다. 또한, 도전체(542a) 및 도전체(542b)를 합쳐서 도전체(542)라고 하는 경우가 있다.

[0268] 또한, 트랜지스터(500)에서는 채널이 형성되는 영역과 그 근방에서 산화물(530a), 산화물(530b), 및 산화물(530c)의 3층을 적층하는 구성에 대하여 나타내었지만, 본 발명은 이에 한정되는 것이 아니다. 예를 들어, 산화물(530b)의 단층, 산화물(530b)과 산화물(530a)의 2층 구조, 산화물(530b)과 산화물(530c)의 2층 구조, 또는 4층 이상의 적층 구조를 제공하는 구성으로 하여도 좋다. 또한, 트랜지스터(500)에서는 도전체(560)를 2층의 적층 구조로서 나타내었지만, 본 발명은 이에 한정되는 것은 아니다. 예를 들어, 도전체(560)가 단층 구조이어도 좋고, 3층 이상의 적층 구조이어도 좋다. 또한, 도 12, 도 13의 (A), (B)에 도시된 트랜지스터(500)는 일례이고, 그 구조에 한정되지 않고, 회로 구성이나 구동 방법에 따라 적절한 트랜지스터를 사용하면 좋다.

[0269] 여기서, 도전체(560)는 트랜지스터의 게이트 전극으로서 기능하고, 도전체(542a) 및 도전체(542b)는 각각 소스 전극 또는 드레인 전극으로서 기능한다. 상술한 바와 같이, 도전체(560)는 절연체(580)의 개구 및 도전체(542a)와 도전체(542b)에 끼워진 영역에 매립되도록 형성된다. 도전체(560), 도전체(542a), 및 도전체(542b)의 배치는 절연체(580)의 개구에 대하여 자기 정합(self-aligned)적으로 선택된다. 즉 트랜지스터(500)에서 게이트 전극을 소스 전극과 드레인 전극 사이에 자기 정합적으로 배치할 수 있다. 따라서, 도전체(560)를 위치를 맞추기 위한 마진을 제공하지 않고 형성할 수 있기 때문에, 트랜지스터(500)의 점유 면적의 축소를 도모할 수 있다. 이로써, 반도체 장치의 미세화, 고집적화를 도모할 수 있다.

[0270] 또한, 도전체(560)가 도전체(542a)와 도전체(542b) 사이의 영역에 자기 정합적으로 형성되기 때문에, 도전체(560)는 도전체(542a) 또는 도전체(542b)와 중첩되는 영역을 가지지 않는다. 이로써 도전체(560)와 도전체(542a) 및 도전체(542b) 사이에 형성되는 기생 용량을 저감할 수 있다. 따라서, 트랜지스터(500)의 스위칭 속도를 향상시켜, 높은 주파수 특성을 가지게 할 수 있다.

[0271] 도전체(560)는 제 1 게이트(톱 게이트라고도 함) 전극으로서 기능하는 경우가 있다. 또한, 도전체(503)는 제 2 게이트(보텀 게이트 또는 백 게이트라고도 함) 전극으로서 기능하는 경우가 있다. 그 경우, 도전체(503)에 인가하는 전위를 도전체(560)에 인가하는 전위와 연동시키지 않고 독립적으로 변화시킴으로써, 트랜지스터(500)의 Vth를 제어할 수 있다. 특히, 도전체(503)에 음의 전위를 인가함으로써, 트랜지스터(500)의 Vth를 0V보다 크게 하고, 오프 전류를 저감하는 것이 가능하게 된다. 따라서, 도전체(503)에 음의 전위를 인가하는 경우, 인가하지 않는 경우보다 도전체(560)에 인가하는 전위가 0V일 때의 드레인 전류를 작게 할 수 있다.

[0272] 도전체(503)는 산화물(530) 및 도전체(560)와 중첩되도록 배치된다. 이로써, 도전체(560) 및 도전체(503)에 전위를 인가한 경우, 도전체(560)로부터 생기는 전계와 도전체(503)로부터 생기는 전계가 연결되고, 산화물(530)에 형성되는 채널 형성 영역을 덮을 수 있다. 본 명세서 등에서 제 1 게이트 전극 및 제 2 게이트 전극의 전계에 의하여 채널 형성 영역을 전기적으로 둘러싸는 트랜지스터의 구조를 surrounded channel(S-channel) 구조라

고 부른다. 또한, 본 명세서 등에서 surrounded channel(S-channel) 구조는 소스 전극 및 드레인 전극으로서 기능하는 도전체(542a) 및 도전체(542b)에 접하는 산화물(530)의 측면 및 주변이 채널 형성 영역과 같은 I형인 등의 특징을 가진다. 또한, 도전체(542a) 및 도전체(542b)에 접하는 산화물(530)의 측면 및 주변은 절연체(580)와 접하기 때문에, 채널 형성 영역과 같이 I형이 될 수 있다. 또한, 본 명세서 등에서 I형은, 후술하는 고순도 진성과 같은 것으로 취급할 수 있다. 또한, 본 명세서 등에서 개시하는 S-channel 구조는 Fin형 구조 및 플레이너형 구조와 다르다. S-channel 구조를 채용함으로써, 단채널 효과에 대한 내성을 높일 수 있고, 바꿔 말하면 단채널 효과가 발생하기 어려운 트랜지스터로 할 수 있다.

[0273] 또한 도전체(503)는 도전체(518)와 같은 구성이고, 절연체(514) 및 절연체(516)의 개구의 내벽에 접하여 도전체(503a)가 형성되고, 그 내측에 도전체(503b)가 형성된다.

[0274] 절연체(521), 절연체(522), 절연체(524), 및 절연체(550)는 게이트 절연막으로서의 기능을 가진다.

[0275] 여기서 산화물(530)과 접하는 절연체(524)에는 화학량론적 조성을 충족시키는 산소보다 많은 산소를 포함하는 절연체를 사용하는 것이 바람직하다. 즉 절연체(524)에는 과잉 산소 영역이 형성되는 것이 바람직하다. 이와 같은 과잉 산소를 포함하는 절연체를 산화물(530)에 접하여 제공함으로써, 산화물(530) 내의 산소 결손을 저감시키고, 트랜지스터(500)의 신뢰성을 향상시킬 수 있다.

[0276] 과잉 산소 영역을 가지는 절연체로서, 구체적으로는 가열에 의하여 일부의 산소가 이탈되는 산화물 재료를 사용하는 것이 바람직하다. 가열에 의하여 산소가 이탈되는 산화물이란, TDS(Thermal Desorption Spectroscopy) 분석에서 산소 원자로 환산한 산소의 이탈량이 1.0×10^{18}atoms/cm^3 이상, 바람직하게는 1.0×10^{19}atoms/cm^3 이상, 더 바람직하게는 2.0×10^{19}atoms/cm^3 이상, 또는 3.0×10^{20}atoms/cm^3 이상인 산화물막이다. 또한, 상기 TDS 분석 시에서의 막의 표면 온도로서는 100℃ 이상 700℃ 이하, 또는 100℃ 이상 400℃ 이하의 범위가 바람직하다.

[0277] 또한, 절연체(524)가 과잉 산소 영역을 가지는 경우, 절연체(522)는 산소(예를 들어 산소 원자, 산소 분자 등)의 확산을 억제하는 기능을 가지는(상기 산소가 투과하기 어려운) 것이 바람직하다.

[0278] 절연체(522)가 산소나 불순물의 확산을 억제하는 기능을 가짐으로써, 산화물(530)이 가지는 산소는 절연체(521) 측으로 확산되지 않아 바람직하다. 또한, 도전체(503)가 절연체(524)나 산화물(530)이 가지는 산소와 반응하는 것을 억제할 수 있다.

[0279] 절연체(522)에는 예를 들어 산화 알루미늄, 산화 하프늄, 산화 탄탈럼, 산화 지르코늄, 타이타늄산 지르콘산 연(PZT), 타이타늄산 스트론튬($SrTiO_3$) 또는 (Ba, Sr)TiO_3(BST) 등의 소위 high-k 재료를 포함하는 절연체를 단층 또는 적층으로 사용하는 것이 바람직하다. 트랜지스터의 미세화 및 고집적화가 진행되면, 게이트 절연막의 박막화로 인하여 누설 전류 등의 문제가 생기는 경우가 있다. 게이트 절연막으로서 기능하는 절연체에 high-k 재료를 사용함으로써, 물리적 막 두께를 유지하면서, 트랜지스터 동작 시의 게이트 전위의 저감이 가능하게 된다.

[0280] 특히, 불순물 및 산소 등의 확산을 억제하는 기능을 가지는(상기 산소가 투과하기 어려운) 절연성 재료인 알루미늄 및 하프늄 중 한쪽 또는 양쪽의 산화물을 포함하는 절연체를 사용하는 것이 좋다. 알루미늄 및 하프늄 중 한쪽 또는 양쪽의 산화물을 포함하는 절연체로서, 산화 알루미늄, 산화 하프늄, 알루미늄 및 하프늄을 포함하는 산화물(하프늄 알루미네이트) 등을 사용하는 것이 바람직하다. 이와 같은 재료를 사용하여 절연체(522)를 형성한 경우, 절연체(522)는 산화물(530)로부터의 산소의 방출이나 트랜지스터(500)의 주변부로부터 산화물(530)로의 수소 등의 불순물의 혼입을 억제하는 층으로서 기능한다.

[0281] 또는, 이들 절연체에, 예를 들어 산화 알루미늄, 산화 비스무트, 산화 저마늄, 산화 나이오븀, 산화 실리콘, 산화 타이타늄, 산화 텅스텐, 산화 이트륨, 산화 지르코늄을 첨가하여도 좋다. 또는 이들 절연체를 질화 처리하여도 좋다. 상기 절연체에 산화 실리콘, 산화질화 실리콘, 또는 질화 실리콘을 적층하여 사용하여도 좋다.

[0282] 또한, 절연체(521)는 열적으로 안정적인 것이 바람직하다. 예를 들어, 산화 실리콘 및 산화질화 실리콘은 열적으로 안정적이기 때문에 적합하다. 또한, high-k 재료의 절연체를 산화 실리콘 또는 산화질화 실리콘과 조합함으로써, 열적으로 안정적이며 비유전율이 높은 적층 구조의 절연체(521)를 얻을 수 있다.

[0283] 또한, 절연체(521), 절연체(522), 및 절연체(524)가 2층 이상의 적층 구조를 가져도 좋다. 그 경우, 같은 재료로 이루어지는 적층 구조에 한정되지 않고, 상이한 재료로 이루어지는 적층 구조이어도 좋다.

[0284] 트랜지스터(500)는 채널 형성 영역을 포함하는 산화물(530)에 산화물 반도체로서 기능하는 금속 산화물을 사용하는 것이 바람직하다. 예를 들어, 산화물(530)로서 In-M-Zn 산화물(원소 M은 알루미늄, 갈륨, 이트륨, 구리,

바나듐, 베릴륨, 붕소, 타이타늄, 철, 니켈, 저마늄, 지르코늄, 몰리브데넘, 란타넘, 세륨, 네오디뮴, 하프늄, 탄탈럼, 텅스텐, 및 마그네슘 등에서 선택된 1종류 또는 복수 종류) 등의 금속 산화물을 사용하면 좋다. 또한, 산화물(530)로서 In-Ga 산화물, In-Zn 산화물을 사용하여도 좋다.

[0285] 산화물(530)에서, 채널 형성 영역으로서 기능하는 금속 산화물로서는, 밴드 갭이 2eV 이상, 바람직하게는 2.5eV 이상의 것을 사용하는 것이 바람직하다. 이와 같이, 밴드 갭이 큰 금속 산화물을 사용함으로써, 트랜지스터의 오프 전류를 저감할 수 있다.

[0286] 산화물(530)은 산화물(530b) 아래에 산화물(530a)을 가짐으로써, 산화물(530a)보다 아래쪽에 형성된 구조물로부터 산화물(530b)로의 불순물의 확산을 억제할 수 있다. 또한, 산화물(530b) 위에 산화물(530c)을 가짐으로써, 산화물(530c)보다 위쪽에 형성된 구조물로부터 산화물(530b)로의 불순물의 확산을 억제할 수 있다.

[0287] 또한, 산화물(530)은, 각 금속 원자의 원자수비가 상이한 산화물로 이루어지는 적층 구조를 가지는 것이 바람직하다. 구체적으로는, 산화물(530a)에 사용하는 금속 산화물에서 구성 원소 중의 원소 M의 원자수비가 산화물(530b)에 사용하는 금속 산화물에서의 구성 원소 중의 원소 M의 원자수비보다 큰 것이 바람직하다. 또한, 산화물(530a)에 사용하는 금속 산화물에서 In에 대한 원소 M의 원자수비가 산화물(530b)에 사용하는 금속 산화물에서의 In에 대한 원소 M의 원자수비보다 큰 것이 바람직하다. 또한, 산화물(530b)에 사용하는 금속 산화물에서 원소 M에 대한 In의 원자수비가 산화물(530a)에 사용하는 금속 산화물에서의 원소 M에 대한 In의 원자수비보다 큰 것이 바람직하다. 또한, 산화물(530c)은 산화물(530a) 또는 산화물(530b)에 사용할 수 있는 금속 산화물을 사용할 수 있다.

[0288] 또한, 산화물(530a) 및 산화물(530c)의 전도대 하단의 에너지가 산화물(530b)의 전도대 하단의 에너지보다 높은 것이 바람직하다. 또한, 환언하면 산화물(530a) 및 산화물(530c)의 전자 친화력이 산화물(530b)의 전자 친화력보다 작은 것이 바람직하다.

[0289] 여기서, 산화물(530a), 산화물(530b), 및 산화물(530c)의 접합부에서 전도대 하단의 에너지 준위는 완만하게 변화된다. 환언하면, 산화물(530a), 산화물(530b), 및 산화물(530c)의 접합부에서의 전도대 하단의 에너지 준위는 연속적으로 변화 또는 연속 접합한다고도 할 수 있다. 이와 같이 하기 위해서는, 산화물(530a)과 산화물(530b)의 계면 및 산화물(530b)과 산화물(530c)의 계면에서 형성되는 혼합층의 결함 준위 밀도를 낮게 하는 것이 좋다.

[0290] 구체적으로는, 산화물(530a)과 산화물(530b), 산화물(530b)과 산화물(530c)이 산소 이외에 공통의 원소를 가짐으로써(주성분으로 함으로써) 결함 준위 밀도가 낮은 혼합층을 형성할 수 있다. 예를 들어, 산화물(530b)이 In-Ga-Zn 산화물인 경우, 산화물(530a) 및 산화물(530c)로서 In-Ga-Zn 산화물, Ga-Zn 산화물, 산화 갈륨 등을 사용하는 것이 좋다.

[0291] 이때, 캐리어의 주된 경로는 산화물(530b)이다. 산화물(530a), 산화물(530c)을 상술한 구성으로 함으로써, 산화물(530a)과 산화물(530b)의 계면, 및 산화물(530b)과 산화물(530c)의 계면에서의 결함 준위 밀도를 낮게 할 수 있다. 그러므로, 계면 산란으로 인한 캐리어 전도에 대한 영향이 작아지고, 트랜지스터(500)는 높은 온 전류를 얻을 수 있다.

[0292] 산화물(530b) 위에는 소스 전극 및 드레인 전극으로서 기능하는 도전체(542)(도전체(542a) 및 도전체(542b))가 제공된다. 도전체(542)로서는 알루미늄, 크로뮴, 구리, 은, 금, 백금, 탄탈럼, 니켈, 타이타늄, 몰리브데넘, 텅스텐, 하프늄, 바나듐, 나이오븀, 망가니즈, 마그네슘, 지르코늄, 베릴륨, 인듐, 루테늄, 이리듐, 스트론튬, 란타넘 등에서 선택된 금속 원소, 또는 상술한 금속 원소를 성분으로 하는 합금이나 상술한 금속 원소를 조합한 합금 등을 사용하는 것이 바람직하다. 예를 들어 질화 탄탈럼, 질화 타이타늄, 텅스텐, 타이타늄과 알루미늄을 포함하는 질화물, 탄탈럼과 알루미늄을 포함하는 질화물, 산화 루테늄, 질화 루테늄, 스트론튬과 루테늄을 포함하는 산화물, 란타넘과 니켈을 포함하는 산화물 등을 사용하는 것이 바람직하다. 또한, 질화 탄탈럼, 질화 타이타늄, 타이타늄과 알루미늄을 포함하는 질화물, 탄탈럼과 알루미늄을 포함하는 질화물, 산화 루테늄, 질화 루테늄, 스트론튬과 루테늄을 포함하는 산화물, 란타넘과 니켈을 포함하는 산화물은 산화되기 어려운 도전성 재료, 또는 산소를 흡수하여도 도전성을 유지하는 재료이기 때문에 바람직하다.

[0293] 또한, 도 13의 (A)에 도시한 바와 같이, 산화물(530)의 도전체(542)와의 계면과 그 근방에는, 저저항 영역으로서 영역(543)(영역(543a) 및 영역(543b))이 형성되는 경우가 있다. 이때, 영역(543a)은 소스 영역 및 드레인 영역 중 한쪽으로서 기능하고, 영역(543b)은 소스 영역 및 드레인 영역 중 다른 쪽으로서 기능한다. 또한, 영역(543a)과 영역(543b) 사이에 끼워지는 영역에 채널 형성 영역이 형성된다.

[0294] 산화물(530)과 접하도록 상기 도전체(542)를 제공함으로써, 영역(543)의 산소 농도가 저감되는 경우가 있다. 또한, 영역(543)에, 도전체(542)에 포함되는 금속과, 산화물(530)의 성분을 포함하는 금속 화합물층이 형성되는 경우가 있다. 이와 같은 경우, 영역(543)의 캐리어 밀도가 증가하여 영역(543)은 저저항 영역이 된다.

[0295] 절연체(544)는 도전체(542)를 덮도록 제공되고, 도전체(542)의 산화를 억제한다. 이때, 절연체(544)는 산화물(530)의 측면을 덮어 절연체(524)와 접하도록 제공되어도 좋다.

[0296] 절연체(544)로서 하프늄, 알루미늄, 갈륨, 이트륨, 지르코늄, 텅스텐, 타이타늄, 탄탈럼, 니켈, 저마늄, 및 마그네슘 등에서 선택된 1종류 또는 2종류 이상이 포함된 금속 산화물을 사용할 수 있다.

[0297] 특히, 절연체(544)로서 알루미늄 및 하프늄 중 한쪽 또는 양쪽의 산화물을 포함하는 절연체인, 산화 알루미늄, 산화 하프늄, 알루미늄 및 하프늄을 포함하는 산화물(하프늄 알루미네이트) 등을 사용하는 것이 바람직하다. 특히, 하프늄 알루미네이트는 산화 하프늄막보다 내열성이 높다. 그러므로, 추후의 공정에서의 열처리에서 결정화되기 어렵기 때문에 바람직하다. 또한, 도전체(542)가 내산화성을 가지는 재료인 경우 또는 산소를 흡수하여도 현저히 도전성이 저하되지 않는 경우, 절연체(544)는 필수적인 구성이 아니다. 요구되는 트랜지스터 특성에 따라 적절히 설계하면 좋다.

[0298] 절연체(550)는 게이트 절연막으로서 기능한다. 절연체(550)는 산화물(530c)의 내측(상면 및 측면)에 접하여 배치되는 것이 바람직하다. 절연체(550)는 가열에 의하여 산소가 방출되는 절연체를 사용하여 형성되는 것이 바람직하다. 예를 들어, 승온 이탈 가스 분석법(TDS 분석)에서 산소 원자로 환산한 산소의 이탈량이 1.0×10^{18}atoms/cm^3 이상, 바람직하게는 1.0×10^{19}atoms/cm^3 이상, 더 바람직하게는 2.0×10^{19}atoms/cm^3 이상, 또는 3.0×10^{20}atoms/cm^3 이상인 산화물막이다. 또한, 상기 TDS 분석 시의 막의 표면 온도로서는 100℃ 이상 700℃ 이하의 범위가 바람직하다.

[0299] 구체적으로는, 과잉 산소를 가지는 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 플루오린을 첨가한 산화 실리콘, 탄소를 첨가한 산화 실리콘, 탄소 및 질소를 첨가한 산화 실리콘, 공공을 포함하는 산화 실리콘 등을 사용할 수 있다. 특히 산화 실리콘 및 산화질화 실리콘은 열에 대하여 안정적이므로 바람직하다.

[0300] 가열에 의하여 산소가 방출되는 절연체를 절연체(550)로서 산화물(530c)의 상면에 접하여 제공함으로써, 절연체(550)로부터 산화물(530c)을 통하여 산화물(530b)의 채널 형성 영역에 효과적으로 산소를 공급할 수 있다. 또한, 절연체(524)와 마찬가지로, 절연체(550) 내의 물 또는 수소 등의 불순물 농도가 저감되어 있는 것이 바람직하다. 절연체(550)의 막 두께는, 1nm 이상 20nm 이하로 하는 것이 바람직하다.

[0301] 또한, 절연체(550)가 가지는 과잉 산소를 효율적으로 산화물(530)에 공급하기 위하여, 절연체(550)와 도전체(560) 사이에 금속 산화물을 제공하여도 좋다. 상기 금속 산화물은 절연체(550)로부터 도전체(560)로의 산소 확산을 억제하는 것이 바람직하다. 산소의 확산을 억제하는 금속 산화물을 제공함으로써, 절연체(550)로부터 도전체(560)로의 과잉 산소의 확산이 억제된다. 즉, 산화물(530)에 공급하는 과잉 산소량의 감소를 억제할 수 있다. 또한, 과잉 산소로 인한 도전체(560)의 산화를 억제할 수 있다. 상기 금속 산화물로서는, 절연체(544)에 사용할 수 있는 재료를 사용하면 좋다.

[0302] 제 1 게이트 전극으로서 기능하는 도전체(560)는 도 13의 (A), (B)에서는 2층 구조로 나타내었지만, 단층 구조이어도 좋고, 3층 이상의 적층 구조이어도 좋다.

[0303] 도전체(560a)에는 수소 원자, 수소 분자, 물 분자, 질소 원자, 질소 분자, 산화 질소 분자(N_2O, NO, NO_2 등), 구리 원자 등의 불순물의 확산을 억제하는 기능을 가지는 도전성 재료를 사용하는 것이 바람직하다. 또는, 산소(예를 들어 산소 원자, 산소 분자 등 중 적어도 하나)의 확산을 억제하는 기능을 가지는 도전성 재료를 사용하는 것이 바람직하다. 도전체(560a)가 산소의 확산을 억제하는 기능을 가짐으로써, 절연체(550)에 포함되는 산소에 의하여 도전체(560b)가 산화하여 도전율이 저하되는 것을 억제할 수 있다. 산소의 확산을 억제하는 기능을 가지는 도전성 재료로서는, 예를 들어 탄탈럼, 질화 탄탈럼, 루테늄, 또는 산화 루테늄 등을 사용하는 것이 바람직하다.

[0304] 또한, 도전체(560b)에는 텅스텐, 구리, 또는 알루미늄을 주성분으로 하는 도전성 재료를 사용하는 것이 바람직하다. 또한, 도전체(560b)는 배선으로서도 기능하기 때문에, 도전성이 높은 도전체를 사용하는 것이 바람직하다. 예를 들어, 텅스텐, 구리, 또는 알루미늄을 주성분으로 하는 도전성 재료를 사용할 수 있다. 또한, 도전체(560b)는 적층 구조로 하여도 좋고, 예를 들어 타이타늄, 질화 타이타늄과 상기 도전성 재료의 적층 구조로

하여도 좋다.

[0305] 절연체(580)는 절연체(544)를 개재하여 도전체(542) 위에 제공된다. 절연체(580)는 과잉 산소 영역을 가지는 것이 바람직하다. 예를 들어, 절연체(580)로서 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 플루오린을 첨가한 산화 실리콘, 탄소를 첨가한 산화 실리콘, 탄소 및 질소를 첨가한 산화 실리콘, 공공을 가지는 산화 실리콘, 또는 수지 등을 가지는 것이 바람직하다. 특히 산화 실리콘 및 산화질화 실리콘은 열적으로 안정적이므로 바람직하다. 특히 산화 실리콘 및 공공을 가지는 산화 실리콘은 나중의 공정에서 용이하게 과잉 산소 영역을 형성할 수 있으므로 바람직하다.

[0306] 절연체(580)는 과잉 산소 영역을 가지는 것이 바람직하다. 가열에 의하여 산소가 방출되는 절연체(580)를 산화물(530c)과 접하여 제공함으로써, 절연체(580) 내의 산소를 산화물(530c)을 통하여 산화물(530)로 효율적으로 공급할 수 있다. 또한, 절연체(580) 내의 물 또는 수소 등의 불순물 농도가 저감되어 있는 것이 바람직하다.

[0307] 절연체(580)의 개구는 도전체(542a)와 도전체(542b) 사이의 영역과 중첩하여 형성된다. 이에 의하여, 도전체(560)는 절연체(580)의 개구, 및 도전체(542a)와 도전체(542b) 사이의 끼워진 영역에 매립되도록 형성된다.

[0308] 반도체 장치를 미세화함에 있어서, 게이트 길이를 짧게 하는 것이 요구되지만, 도전체(560)의 도전성이 낮아지지 않도록 할 필요가 있다. 이를 위하여 도전체(560)의 막 두께를 두껍게 하면, 도전체(560)는 종횡비가 높은 형상이 될 수 있다. 본 실시형태에서는, 도전체(560)를 절연체(580)의 개구에 매립되도록 제공하기 때문에, 도전체(560)를 종횡비가 높은 형상으로 하여도 공정 중에 도전체(560)가 무너지는 일 없이 형성할 수 있다.

[0309] 절연체(574)는 절연체(580)의 상면, 도전체(560)의 상면, 및 절연체(550)의 상면에 접하여 제공되는 것이 바람직하다. 절연체(574)를 스퍼터링법으로 성막함으로써, 절연체(550) 및 절연체(580)에 과잉 산소 영역을 제공할 수 있다. 이로써 상기 과잉 산소 영역으로부터 산화물(530) 내에 산소를 공급할 수 있다.

[0310] 예를 들어, 절연체(574)로서 하프늄, 알루미늄, 갈륨, 이트륨, 지르코늄, 텅스텐, 타이타늄, 탄탈럼, 니켈, 저마늄, 및 마그네슘 등에서 선택된 1종류 또는 2종류 이상이 포함된 금속 산화물을 사용할 수 있다.

[0311] 특히, 산화 알루미늄은 배리어성이 높아 0.5㎚ 이상 3.0㎚ 이하의 박막이어도 수소 및 질소의 확산을 억제할 수 있다. 따라서, 스퍼터링법으로 성막한 산화 알루미늄은 산소 공급원이면서 수소 등의 불순물의 배리어막으로서의 기능도 가질 수 있다.

[0312] 또한, 절연체(574) 위에 층간막으로서 기능하는 절연체(581)를 제공하는 것이 바람직하다. 절연체(581)는 절연체(524) 등과 마찬가지로, 막 내의 물 또는 수소 등의 불순물 농도가 저감되어 있는 것이 바람직하다.

[0313] 또한, 절연체(581), 절연체(574), 절연체(580), 및 절연체(544)에 형성된 개구에 도전체(540a) 및 도전체(540b)를 배치한다. 도전체(540a) 및 도전체(540b)는 도전체(560)를 끼워 대향하여 제공한다. 도전체(540a) 및 도전체(540b)는 후술하는 도전체(546) 및 도전체(548)와 같은 구성이다.

[0314] 절연체(581) 위에는 절연체(582)가 제공된다. 절연체(582)에는 산소나 수소에 대하여 배리어성이 있는 물질을 사용하는 것이 바람직하다. 따라서, 절연체(582)에는 절연체(514)와 같은 재료를 사용할 수 있다. 예를 들어, 절연체(582)에는 산화 알루미늄, 산화 하프늄, 산화 탄탈럼 등의 금속 산화물을 사용하는 것이 바람직하다.

[0315] 특히, 산화 알루미늄은 산소 및 트랜지스터의 전기 특성의 변동 요인이 되는 수소, 수분 등의 불순물의 양쪽에 대하여 막을 투과시키지 않도록 하는 차단 효과가 높다. 따라서, 산화 알루미늄은 트랜지스터의 제작 공정 중 및 제작 후에서 수소, 수분 등의 불순물의 트랜지스터(500)로의 혼입을 방지할 수 있다. 또한, 트랜지스터(500)를 구성하는 산화물로부터의 산소의 방출을 억제할 수 있다. 그러므로, 트랜지스터(500)에 대한 보호막으로서 사용하는 것에 적합하다.

[0316] 또한, 절연체(582) 위에는 절연체(586)가 제공된다. 절연체(586)에는 절연체(320)와 같은 재료를 사용할 수 있다. 또한, 유전율이 비교적 낮은 재료를 층간막으로 함으로써, 배선 사이에 생기는 기생 용량을 저감할 수 있다. 예를 들어, 절연체(586)로서 산화 실리콘막이나 산화질화 실리콘막 등을 사용할 수 있다.

[0317] 또한, 절연체(521), 절연체(522), 절연체(524), 절연체(544), 절연체(580), 절연체(574), 절연체(581), 절연체(582), 및 절연체(586)에는 도전체(546) 및 도전체(548) 등이 매립되어 있다.

[0318] 도전체(546) 및 도전체(548)는 용량 소자(600), 트랜지스터(500), 또는 트랜지스터(300)와 접속되는 플러그 또는 배선으로서의 기능을 가진다. 도전체(546) 및 도전체(548)는 도전체(328) 및 도전체(330)와 같은 재료를 사용하여 제공할 수 있다.

[0319] 이어서, 트랜지스터(500)의 위쪽에는 용량 소자(600)가 제공된다. 용량 소자(600)는 도전체(610), 도전체(620), 절연체(630)를 가진다.

[0320] 또한, 도전체(546) 및 도전체(548) 위에 도전체(612)를 제공하여도 좋다. 도전체(612)는 트랜지스터(500)와 접속되는 플러그 또는 배선으로서의 기능을 가진다. 도전체(610)는 용량 소자(600)의 전극으로서의 기능을 가진다. 또한, 도전체(612) 및 도전체(610)는 동시에 형성할 수 있다.

[0321] 도전체(612) 및 도전체(610)에는 몰리브데넘, 타이타늄, 탄탈럼, 텅스텐, 알루미늄, 구리, 크로뮴, 네오디뮴, 스칸듐에서 선택된 원소를 포함하는 금속막, 또는 상술한 원소를 성분으로 하는 금속 질화물막(질화 탄탈럼막, 질화 타이타늄막, 질화 몰리브데넘막, 질화 텅스텐막) 등을 사용할 수 있다. 또는, 인듐 주석 산화물, 산화 텅스텐을 포함하는 인듐 산화물, 산화 텅스텐을 포함하는 인듐 아연 산화물, 산화 타이타늄을 포함하는 인듐 산화물, 산화 타이타늄을 포함하는 인듐 주석 산화물, 인듐 아연 산화물, 산화 실리콘을 첨가한 인듐 주석 산화물 등의 도전성 재료를 적용할 수도 있다.

[0322] 도 12에서는 도전체(612) 및 도전체(610)를 단층 구조로 나타내었지만, 상기 구성에 한정되지 않고, 2층 이상의 적층 구조이어도 좋다. 예를 들어, 배리어성을 가지는 도전체와 도전성이 높은 도전체 사이에 배리어성을 가지는 도전체 및 도전성이 높은 도전체에 대하여 밀착성이 높은 도전체를 형성하여도 좋다.

[0323] 절연체(630)를 개재하여 도전체(610)와 중첩되도록 도전체(620)를 제공한다. 또한, 도전체(620)에는 금속 재료, 합금 재료, 또는 금속 산화물 재료 등의 도전성 재료를 사용할 수 있다. 내열성과 도전성을 양립하는 텅스텐이나 몰리브데넘 등의 고융점 재료를 사용하는 것이 바람직하고, 특히 텅스텐을 사용하는 것이 바람직하다. 또한, 도전체 등의 다른 구조와 동시에 형성하는 경우에는, 저저항 금속 재료인 Cu(구리)나 Al(알루미늄) 등을 사용하면 좋다.

[0324] 도전체(620) 및 절연체(630) 위에는 절연체(650)가 제공된다. 절연체(650)는 절연체(320)와 같은 재료를 사용하여 제공할 수 있다. 또한, 절연체(650)는 그 아래쪽의 요철 형상을 피복하는 평탄화막으로서 기능하여도 좋다.

[0325] 본 구조를 사용함으로써, 산화물 반도체를 가지는 트랜지스터를 사용한 반도체 장치에서, 전기 특성의 변동을 억제하면서 신뢰성을 향상시킬 수 있다. 또는, 온 전류가 큰 산화물 반도체를 가지는 트랜지스터를 제공할 수 있다. 또는, 오프 전류가 작은 산화물 반도체를 가지는 트랜지스터를 제공할 수 있다. 또는, 소비전력이 저감된 반도체 장치를 제공할 수 있다. 또는, 산화물 반도체를 가지는 트랜지스터를 사용한 반도체 장치에서 미세화 또는 고집적화를 도모할 수 있다.

[0326] <트랜지스터의 구조예>

[0327] 또한, 본 실시형태에 나타내는 반도체 장치의 트랜지스터(500)는 상기 구조에 한정되는 것은 아니다. 이하, 트랜지스터(500)에 사용할 수 있는 구조예에 대하여 설명한다.

[0328] <트랜지스터의 구조예 1>

[0329] 도 14의 (A), (B) 및 (C)를 사용하여 트랜지스터(510A)의 구조예를 설명한다. 도 14의 (A)는 트랜지스터(510A)의 상면도이다. 도 14의 (B)는 도 14의 (A)에 일점쇄선 L1-L2로 나타낸 부분의 단면도이다. 도 14의 (C)는 도 14의 (A)에 일점쇄선 W1-W2로 나타낸 부분의 단면도이다. 또한 도 14의 (A)의 상면도에서는 도면의 명료화를 위하여 일부의 요소를 생략하여 도시하였다.

[0330] 도 14의 (A), (B), 및 (C)에서는 트랜지스터(510A)와, 층간막으로서 기능하는 절연체(511), 절연체(512), 절연체(514), 절연체(516), 절연체(580), 절연체(582), 및 절연체(584)를 도시하였다. 또한 트랜지스터(510A)와 전기적으로 접속되고, 콘택트 플러그로서 기능하는 도전체(546)(도전체(546a) 및 도전체(546b))과, 배선으로서 기능하는 도전체(503)를 도시하였다.

[0331] 트랜지스터(510A)는 제 1 게이트 전극으로서 기능하는 도전체(560)(도전체(560a) 및 도전체(560b))와, 제 2 게이트 전극으로서 기능하는 도전체(505)(도전체(505a) 및 도전체(505b))와, 제 1 게이트 절연막으로서 기능하는 절연체(550)와, 제 2 게이트 절연막으로서 기능하는 절연체(521), 절연체(522), 및 절연체(524)와, 채널이 형성되는 영역을 가지는 산화물(530)(산화물(530a), 산화물(530b), 및 산화물(530c))과, 소스 및 드레인 중 한쪽으로서 기능하는 도전체(542a)와, 소스 및 드레인 중 다른 쪽으로서 기능하는 도전체(542b)와, 절연체(574)를 가진다.

[0332] 또한 도 14의 (A), (B), 및 (C)에 도시된 트랜지스터(510A)에서는 산화물(530c), 절연체(550), 및 도전체(560)가 절연체(580)에 제공된 개구부 내에 절연체(574)를 개재하여 배치된다. 또한 산화물(530c), 절연체(550), 및 도전체(560)는 도전체(542a) 및 도전체(542b) 사이에 배치된다.

[0333] 절연체(511) 및 절연체(512)는 층간막으로서 기능한다.

[0334] 층간막으로서는 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 산화 알루미늄, 산화 하프늄, 산화 탄탈럼, 산화 지르코늄, 타이타늄산 지르콘산 연(PZT), 타이타늄산 스트론튬($SrTiO_3$), 또는 $(Ba,Sr)TiO_3$(BST) 등의 절연체를 단층 또는 적층으로 사용할 수 있다. 또는, 이들 절연체에, 예를 들어 산화 알루미늄, 산화 비스무트, 산화 저마늄, 산화 나이오븀, 산화 실리콘, 산화 타이타늄, 산화 텅스텐, 산화 이트륨, 산화 지르코늄을 첨가하여도 좋다. 또는 이들 절연체를 질화 처리하여도 좋다. 상기 절연체에 산화 실리콘, 산화질화 실리콘, 또는 질화 실리콘을 적층하여 사용하여도 좋다.

[0335] 예를 들어, 절연체(511)는 물 또는 수소 등의 불순물이 기판 측으로부터 트랜지스터(510A)에 혼입되는 것을 억제하는 배리어막으로서 기능하는 것이 바람직하다. 따라서, 절연체(511)에는 수소 원자, 수소 분자, 물 분자, 구리 원자 등의 불순물의 확산을 억제하는 기능을 가지는(상기 불순물이 투과하기 어려운) 절연성 재료를 사용하는 것이 바람직하다. 또는, 산소(예를 들어, 산소 원자, 산소 분자 등 중 적어도 하나)의 확산을 억제하는 기능을 가지는(상기 산소가 투과하기 어려운) 절연성 재료를 사용하는 것이 바람직하다. 또한 예를 들어 절연체(511)로서 산화 알루미늄이나 질화 실리콘 등을 사용하여도 좋다. 상기 구성에 의하여 수소, 물 등의 불순물이 절연체(511)보다 기판 측으로부터 트랜지스터(510A) 측으로 확산되는 것을 억제할 수 있다.

[0336] 예를 들어, 절연체(512)는 절연체(511)보다 유전율이 낮은 것이 바람직하다. 유전율이 낮은 재료를 층간막으로 함으로써, 배선 사이에 생기는 기생 용량을 저감할 수 있다.

[0337] 도전체(503)는 절연체(512)에 매립되도록 형성된다. 여기서, 도전체(503)의 상면의 높이와 절연체(512)의 상면의 높이는 같은 정도로 할 수 있다. 또한 도전체(503)는 단층으로 하는 구성을 나타내었지만, 본 발명은 이에 한정되는 것이 아니다. 예를 들어, 도전체(503)를 2층 이상의 다층막 구조로 하여도 좋다. 또한 도전체(503)에는 텅스텐, 구리, 또는 알루미늄을 주성분으로 하는, 도전성이 높은 도전성 재료를 사용하는 것이 바람직하다.

[0338] 트랜지스터(510A)에서 도전체(560)는 제 1 게이트(톱 게이트라고도 함) 전극으로서 기능하는 경우가 있다. 또한, 도전체(505)는 제 2 게이트(보텀 게이트라고도 함) 전극으로서 기능하는 경우가 있다. 이 경우, 도전체(505)에 인가하는 전위를 도전체(560)에 인가하는 전위와 연동시키지 않고 독립적으로 변화시킴으로써, 트랜지스터(510A)의 문턱 전압을 제어할 수 있다. 특히, 도전체(505)에 음의 전위를 인가함으로써, 트랜지스터(510A)의 문턱 전압을 0V보다 크게 하고, 오프 전류를 저감할 수 있다. 따라서, 도전체(505)에 음의 전위를 인가하는 경우, 인가하지 않는 경우보다 도전체(560)에 인가하는 전위가 0V일 때의 드레인 전류를 작게 할 수 있다.

[0339] 또한 예를 들어 도전체(505)와 도전체(560)를 중첩시켜 제공함으로써, 도전체(560) 및 도전체(505)에 전위를 인가한 경우, 도전체(560)로부터 발생되는 전계와 도전체(505)로부터 발생되는 전계가 연결되고, 산화물(530)에 형성되는 채널 형성 영역을 덮을 수 있다.

[0340] 즉, 제 1 게이트 전극으로서의 기능을 가지는 도전체(560)의 전계와, 제 2 게이트 전극으로서의 기능을 가지는 도전체(505)의 전계로 채널 형성 영역을 전기적으로 둘러쌀 수 있다. 본 명세서에서 제 1 게이트 전극 및 제 2 게이트 전극의 전계에 의하여 채널 형성 영역을 전기적으로 둘러싸는 트랜지스터의 구조를 surrounded channel(S-channel) 구조라고 부른다.

[0341] 절연체(514) 및 절연체(516)는 절연체(511) 또는 절연체(512)와 마찬가지로 층간막으로서 기능한다. 예를 들어, 절연체(514)는 물 또는 수소 등의 불순물이 기판 측으로부터 트랜지스터(510A)에 혼입되는 것을 억제하는 배리어막으로서 기능하는 것이 바람직하다. 상기 구성에 의하여 수소, 물 등의 불순물이 절연체(514)보다 기판 측으로부터 트랜지스터(510A) 측으로 확산되는 것을 억제할 수 있다. 또한 예를 들어 절연체(516)는 절연체(514)보다 유전율이 낮은 것이 바람직하다. 유전율이 낮은 재료를 층간막으로 함으로써, 배선 사이에 생기는 기생 용량을 저감할 수 있다.

[0342] 제 2 게이트로서 기능하는 도전체(505)는 절연체(514) 및 절연체(516)의 개구의 내벽에 접하여 도전체(505a)가 형성되고, 더 내측에 도전체(505b)가 형성되어 있다. 여기서, 도전체(505a) 및 도전체(505b)의 상면의 높이와 절연체(516)의 상면의 높이는 같은 정도로 할 수 있다. 또한 트랜지스터(510A)에서는 도전체(505a) 및 도전체

(505b)를 적층하는 구성을 나타내었지만, 본 발명은 이에 한정되는 것이 아니다. 예를 들어, 도전체(505)는 단층 또는 3층 이상의 적층 구조로 제공하는 구성을 가져도 좋다.

[0343] 여기서, 도전체(505a)에는 수소 원자, 수소 분자, 물 분자, 구리 원자 등의 불순물의 확산을 억제하는 기능을 가지는(상기 불순물이 투과하기 어려운) 도전성 재료를 사용하는 것이 바람직하다. 또는 산소(예를 들어 산소 원자, 산소 분자 등 중 적어도 하나)의 확산을 억제하는 기능을 가지는(상기 산소가 투과하기 어려운) 도전성 재료를 사용하는 것이 바람직하다. 또한 본 명세서에서, 불순물 또는 산소의 확산을 억제하는 기능이란, 상기 불순물 또는 상기 산소 중 어느 하나 또는 모두의 확산을 억제하는 기능으로 한다.

[0344] 예를 들어, 도전체(505a)가 산소의 확산을 억제하는 기능을 가짐으로써, 도전체(505b)가 산화되어 도전율이 저하하는 것을 억제할 수 있다.

[0345] 또한 도전체(505)가 배선의 기능을 겸하는 경우, 도전체(505b)에는 텅스텐, 구리, 또는 알루미늄을 주성분으로 하는, 도전성이 높은 도전성 재료를 사용하는 것이 바람직하다. 그 경우, 도전체(503)는 반드시 제공하지 않아도 된다. 또한 도전체(505b)를 단층으로 도시하였지만, 적층 구조로 하여도 좋고, 예를 들어 타이타늄 또는 질화 타이타늄과 상기 도전성 재료의 적층으로 하여도 좋다.

[0346] 절연체(521), 절연체(522), 및 절연체(524)는 제 2 게이트 절연막으로서의 기능을 가진다.

[0347] 또한 절연체(522)는 배리어성을 가지는 것이 바람직하다. 절연체(522)가 배리어성을 가짐으로써, 트랜지스터(510A)의 주변부로부터 트랜지스터(510A)로의 수소 등의 불순물의 혼입을 억제하는 층으로서 기능한다.

[0348] 절연체(522)에는 예를 들어 산화 알루미늄, 산화 하프늄, 알루미늄 및 하프늄을 포함하는 산화물(하프늄 알루미네이트), 산화 탄탈럼, 산화 지르코늄, 타이타늄산 지르콘산 연(PZT), 타이타늄산 스트론튬($SrTiO_3$) 또는 (Ba, Sr)TiO_3(BST) 등의 소위 high-k 재료를 포함하는 절연체를 단층 또는 적층으로 사용하는 것이 바람직하다. 트랜지스터의 미세화 및 고집적화가 진행되면, 게이트 절연막의 박막화로 인하여 누설 전류 등의 문제가 생기는 경우가 있다. 게이트 절연막으로서 기능하는 절연체에 high-k 재료를 사용함으로써, 물리적 막 두께를 유지하면서, 트랜지스터 동작 시의 게이트 전위의 저감이 가능하게 된다.

[0349] 예를 들어, 절연체(521)는 열적으로 안정적인 것이 바람직하다. 예를 들어, 산화 실리콘 및 산화질화 실리콘은 열적으로 안정적이기 때문에 적합하다. 또한, high-k 재료의 절연체를 산화 실리콘 또는 산화질화 실리콘과 조합함으로써, 열적으로 안정적이며 비유전율이 높은 적층 구조의 절연체(521)를 얻을 수 있다.

[0350] 또한, 도 14의 (B), (C)에서는 제 2 게이트 절연막으로서 3층의 적층 구조를 도시하였지만, 단층 또는 2층, 또는 4층 이상의 적층 구조로 하여도 좋다. 그 경우, 같은 재료로 이루어지는 적층 구조에 한정되지 않고, 상이한 재료로 이루어지는 적층 구조이어도 좋다.

[0351] 채널 형성 영역으로서 기능하는 영역을 가지는 산화물(530)은 산화물(530a)과, 산화물(530a) 위의 산화물(530b)과, 산화물(530b) 위의 산화물(530c)을 가진다. 산화물(530)은 산화물(530b) 아래에 산화물(530a)을 가짐으로써, 산화물(530a)보다 아래쪽에 형성된 구조물로부터 산화물(530b)로의 불순물의 확산을 억제할 수 있다. 또한, 산화물(530b) 위에 산화물(530c)을 가짐으로써, 산화물(530c)보다 위쪽에 형성된 구조물로부터 산화물(530b)로의 불순물의 확산을 억제할 수 있다. 산화물(530)로서 상술한 금속 산화물의 1종류인 산화물 반도체를 사용할 수 있다.

[0352] 또한 산화물(530c)은 절연체(580)에 제공된 개구부 내에 절연체(574)를 개재하여 제공되는 것이 바람직하다. 절연체(574)가 배리어성을 가지는 경우, 절연체(580)로부터의 불순물이 산화물(530)로 확산되는 것을 억제할 수 있다.

[0353] 도전체(542)는 한쪽이 소스 전극으로서 기능하고, 다른 쪽이 드레인 전극으로서 기능한다.

[0354] 도전체(542a)와 도전체(542b)에는 알루미늄, 타이타늄, 크로뮴, 니켈, 구리, 이트륨, 지르코늄, 몰리브데넘, 은, 탄탈럼, 또는 텅스텐 등의 금속, 또는 이를 주성분으로 하는 합금을 사용할 수 있다. 특히, 질화 탄탈럼 등의 금속 질화물막은 수소 또는 산소에 대한 배리어성을 가지고, 또한 내산화성이 높기 때문에 바람직하다.

[0355] 또한 도 14의 (B)에서는 단층 구조를 나타내었지만, 2층 이상의 적층 구조로 하여도 좋다. 예를 들어, 질화 탄탈럼막과 텅스텐막을 적층하는 것이 좋다. 또한 타이타늄막과 알루미늄막을 적층하여도 좋다. 또한 텅스텐막 위에 알루미늄막을 적층하는 2층 구조, 구리-마그네슘-알루미늄 합금막 위에 구리막을 적층하는 2층 구조, 타이타늄막 위에 구리막을 적층하는 2층 구조, 텅스텐막 위에 구리막을 적층하는 2층 구조로 하여도 좋다.

[0356] 또한 타이타늄막 또는 질화 타이타늄막과, 그 타이타늄막 또는 질화 타이타늄막 위에 중첩시켜 알루미늄막 또는 구리막을 적층하고, 그 위에 타이타늄막 또는 질화 타이타늄막을 더 형성하는 3층 구조, 몰리브데넘막 또는 질화 몰리브데넘막과, 그 몰리브데넘막 또는 질화 몰리브데넘막 위에 중첩시켜 알루미늄막 또는 구리막을 적층하고, 그 위에 몰리브데넘막 또는 질화 몰리브데넘막을 더 형성하는 3층 구조 등이 있다. 또한 산화 인듐, 산화 주석, 또는 산화 아연을 포함하는 투명 도전 재료를 사용하여도 좋다.

[0357] 또한, 도전체(542) 위에 배리어층을 제공하여도 좋다. 배리어층은 산소 또는 수소에 대하여 배리어성을 가지는 물질을 사용하는 것이 바람직하다. 상기 구성에 의하여 절연체(574)를 성막할 때 도전체(542)가 산화되는 것을 억제할 수 있다.

[0358] 배리어층에는, 예를 들어 금속 산화물을 사용할 수 있다. 특히, 산화 알루미늄, 산화 하프늄, 산화 갈륨 등, 산소나 수소에 대하여 배리어성이 있는 절연막을 사용하는 것이 바람직하다. 또한, CVD법으로 형성한 질화 실리콘을 사용하여도 좋다.

[0359] 배리어층을 가짐으로써 도전체(542)의 재료 선택의 폭을 넓힐 수 있다. 예를 들어, 도전체(542)에 텅스텐이나 알루미늄 등의 내산화성이 낮으면서도 도전성이 높은 재료를 사용할 수 있다. 또한, 예를 들어 성막 또는 가공이 쉬운 도전체를 사용할 수 있다.

[0360] 절연체(550)는 제 1 게이트 절연막으로서 기능한다. 절연체(550)는 절연체(580)에 제공된 개구부 내에 산화물(530c) 및 절연체(574)를 개재하여 제공되는 것이 바람직하다.

[0361] 트랜지스터의 미세화 및 고집적화가 진행되면, 게이트 절연막의 박막화로 인하여 누설 전류 등의 문제가 생기는 경우가 있다. 그 경우, 절연체(550)는 제 2 게이트 절연막과 마찬가지로, 적층 구조로 하여도 좋다. 게이트 절연막으로서 기능하는 절연체를 high-k 재료와 열적으로 안정적인 재료의 적층 구조로 함으로써, 물리적 막 두께를 유지하면서 트랜지스터 동작 시의 게이트 전위의 저감이 가능하게 된다. 또한, 열적으로 안정적이며 비유전율이 높은 적층 구조로 할 수 있다.

[0362] 제 1 게이트 전극으로서 기능하는 도전체(560)는 도전체(560a) 및 도전체(560a) 위의 도전체(560b)를 가진다. 도전체(560a)에는 도전체(505a)와 마찬가지로, 수소 원자, 수소 분자, 물 분자, 구리 원자 등의 불순물의 확산을 억제하는 기능을 가지는 도전성 재료를 사용하는 것이 바람직하다. 또는, 산소(예를 들어 산소 원자, 산소 분자 등 중 적어도 하나)의 확산을 억제하는 기능을 가지는 도전성 재료를 사용하는 것이 바람직하다.

[0363] 도전체(560a)가 산소의 확산을 억제하는 기능을 가짐으로써, 도전체(560b)의 재료 선택성을 향상시킬 수 있다. 즉 도전체(560a)를 가짐으로써, 도전체(560b)의 산화가 억제되고, 도전율이 저하되는 것을 방지할 수 있다.

[0364] 산소의 확산을 억제하는 기능을 가지는 도전성 재료로서는, 예를 들어 탄탈럼, 질화 탄탈럼, 루테늄, 또는 산화 루테늄 등을 사용하는 것이 바람직하다. 또한, 도전체(560a)로서, 산화물(530)로서 사용할 수 있는 산화물 반도체를 사용할 수 있다. 그 경우, 도전체(560b)를 스퍼터링법으로 성막함으로써, 도전체(560a)의 전기 저항값을 저하시켜 도전체로 할 수 있다. 이를 OC(Oxide Conductor) 전극이라고 부를 수 있다.

[0365] 도전체(560b)에는 텅스텐, 구리, 또는 알루미늄을 주성분으로 하는 도전성 재료를 사용하는 것이 바람직하다. 또한, 도전체(560)는 배선으로서 기능하기 때문에, 도전성이 높은 도전체를 사용하는 것이 바람직하다. 예를 들어, 텅스텐, 구리, 또는 알루미늄을 주성분으로 하는 도전성 재료를 사용할 수 있다. 또한, 도전체(560b)는 적층 구조로 하여도 좋고, 예를 들어 타이타늄, 질화 타이타늄과 상기 도전성 재료의 적층으로 하여도 좋다.

[0366] 절연체(580)와 트랜지스터(510A) 사이에 절연체(574)를 배치한다. 절연체(574)에는 물 또는 수소 등의 불순물 및 산소의 확산을 억제하는 기능을 가지는 절연성 재료를 사용하는 것이 좋다. 예를 들어, 산화 알루미늄 또는 산화 하프늄 등을 사용하는 것이 바람직하다. 또한, 이 외에도, 예를 들어 산화 마그네슘, 산화 갈륨, 산화 저마늄, 산화 이트륨, 산화 지르코늄, 산화 란타넘, 산화 네오디뮴, 또는 산화 탄탈럼 등의 금속 산화물, 질화산화 실리콘 또는 질화 실리콘 등을 사용할 수 있다.

[0367] 절연체(574)를 가짐으로써, 절연체(580)가 가지는 물 및 수소 등의 불순물이 산화물(530c), 절연체(550)를 통하여 산화물(530b)로 확산되는 것을 억제할 수 있다. 또한 절연체(580)가 가지는 과잉 산소에 의하여, 도전체(560)가 산화되는 것을 억제할 수 있다.

[0368] 절연체(580), 절연체(582), 및 절연체(584)는 층간막으로서 기능한다.

[0369] 절연체(582)는 절연체(514)와 마찬가지로, 물 또는 수소 등의 불순물이 외부로부터 트랜지스터(510A)에 혼입되

는 것을 억제하는 배리어 절연막으로서 기능하는 것이 바람직하다.

[0370] 또한 절연체(580) 및 절연체(584)는 절연체(516)와 마찬가지로, 절연체(582)보다 유전율이 낮은 것이 바람직하다. 유전율이 낮은 재료를 층간막으로 함으로써, 배선 사이에 생기는 기생 용량을 저감할 수 있다.

[0371] 또한, 트랜지스터(510A)는 절연체(580), 절연체(582), 및 절연체(584)에 매립된 도전체(546) 등의 플러그나 배선을 통하여 다른 구조와 전기적으로 접속되어도 좋다.

[0372] 또한, 도전체(546)의 재료로서는, 도전체(505)와 마찬가지로 금속 재료, 합금 재료, 금속 질화물 재료, 또는 금속 산화물 재료 등의 도전성 재료를 단층으로, 또는 적층하여 사용할 수 있다. 예를 들어, 내열성과 도전성을 양립하는 텅스텐이나 몰리브데넘 등의 고융점 재료를 사용하는 것이 바람직하다. 또는, 알루미늄이나 구리 등의 저저항 도전성 재료로 형성하는 것이 바람직하다. 저저항 도전성 재료를 사용함으로써 배선 저항을 낮출 수 있다.

[0373] 예를 들어, 도전체(546)로서는, 예를 들어 수소 및 산소에 대하여 배리어성을 가지는 도전체인 질화 탄탈럼 등과, 도전성이 높은 텅스텐의 적층 구조를 사용함으로써, 배선으로서의 도전성을 유지한 채, 외부로부터의 불순물의 확산을 억제할 수 있다.

[0374] 상기 구조를 가짐으로써, 온 전류가 큰 산화물 반도체를 가지는 트랜지스터를 사용한 반도체 장치를 제공할 수 있다. 또는, 오프 전류가 작은 산화물 반도체를 가지는 트랜지스터를 사용한 반도체 장치를 제공할 수 있다. 또는, 전기 특성의 변동을 억제하여, 안정된 전기 특성을 가지면서 신뢰성이 향상된 반도체 장치를 제공할 수 있다.

[0375] <트랜지스터의 구조예 2>

[0376] 도 15의 (A), (B), 및 (C)를 사용하여 트랜지스터(510B)의 구조예를 설명한다. 도 15의 (A)는 트랜지스터(510B)의 상면도이다. 도 15의 (B)는 도 15의 (A)에 일점쇄선 L1-L2로 나타낸 부분의 단면도이다. 도 15의 (C)는 도 15의 (A)에 일점쇄선 W1-W2로 나타낸 부분의 단면도이다. 또한 도 15의 (A)의 상면도에서는 도면의 명료화를 위하여 일부의 요소를 생략하여 도시하였다.

[0377] 트랜지스터(510B)는 트랜지스터(510A)의 변형예이다. 따라서, 설명의 반복을 방지하기 위하여, 주로 트랜지스터(510A)와 상이한 점에 대하여 설명한다.

[0378] 트랜지스터(510B)는 도전체(542)(도전체(542a) 및 도전체(542b))와 산화물(530c), 절연체(550), 및 도전체(560)가 중첩되는 영역을 가진다. 상기 구조로 함으로써, 온 전류가 큰 트랜지스터를 제공할 수 있다. 또한, 제어성이 높은 트랜지스터를 제공할 수 있다.

[0379] 제 1 게이트 전극으로서 기능하는 도전체(560)는 도전체(560a) 및 도전체(560a) 위의 도전체(560b)를 가진다. 도전체(560a)에는 도전체(505a)와 마찬가지로, 수소 원자, 수소 분자, 물 분자, 구리 원자 등의 불순물의 확산을 억제하는 기능을 가지는 도전성 재료를 사용하는 것이 바람직하다. 또는, 산소(예를 들어 산소 원자, 산소 분자 등 중 적어도 하나)의 확산을 억제하는 기능을 가지는 도전성 재료를 사용하는 것이 바람직하다.

[0380] 도전체(560a)가 산소의 확산을 억제하는 기능을 가짐으로써, 도전체(560b)의 재료 선택성을 향상시킬 수 있다. 즉 도전체(560a)를 가짐으로써, 도전체(560b)의 산화가 억제되고, 도전율이 저하되는 것을 방지할 수 있다.

[0381] 또한, 도전체(560)의 상면 및 측면, 절연체(550)의 측면, 및 산화물(530c)의 측면을 덮도록 절연체(574)를 제공하는 것이 바람직하다. 또한, 절연체(574)에는 물 또는 수소 등의 불순물 및 산소의 확산을 억제하는 기능을 가지는 절연성 재료를 사용하는 것이 좋다. 예를 들어, 산화 알루미늄 또는 산화 하프늄 등을 사용하는 것이 바람직하다. 또한, 이 외에도, 예를 들어 산화 마그네슘, 산화 갈륨, 산화 저마늄, 산화 이트륨, 산화 지르코늄, 산화 란타넘, 산화 네오디뮴, 또는 산화 탄탈럼 등의 금속 산화물, 질화산화 실리콘 또는 질화 실리콘 등을 사용할 수 있다.

[0382] 절연체(574)를 제공함으로써 도전체(560)의 산화를 억제할 수 있다. 또한, 절연체(574)를 가짐으로써 절연체(580)가 가지는 물 및 수소 등의 불순물이 트랜지스터(510B)로 확산되는 것을 억제할 수 있다.

[0383] 또한, 도전체(546)와 절연체(580) 사이에 배리어성을 가지는 절연체(576)(절연체(576a) 및 절연체(576b))를 배치하여도 좋다. 절연체(576)를 제공함으로써, 절연체(580)의 산소가 도전체(546)와 반응하여 도전체(546)가 산화되는 것을 억제할 수 있다.

[0384] 또한, 배리어성을 가지는 절연체(576)를 제공함으로써, 플러그나 배선에 사용되는 도전체의 재료 선택의 폭을 넓힐 수 있다. 예를 들어 산소를 흡수하는 성질을 가지면서도 도전성이 높은 금속 재료를 도전체(546)에 사용함으로써, 저소비전력의 반도체 장치를 제공할 수 있다. 구체적으로는 텅스텐이나 알루미늄 등의 내산화성이 낮으면서도 도전성이 높은 재료를 사용할 수 있다. 또한, 예를 들어 성막 또는 가공이 쉬운 도전체를 사용할 수 있다.

[0385] <트랜지스터의 구조예 3>

[0386] 도 16의 (A), (B), 및 (C)를 사용하여 트랜지스터(510C)의 구조예를 설명한다. 도 16의 (A)는 트랜지스터(510C)의 상면도이다. 도 16의 (B)는 도 16의 (A)에 일점쇄선 L1-L2로 나타낸 부분의 단면도이다. 도 16의 (C)는 도 16의 (A)에 일점쇄선 W1-W2로 나타낸 부분의 단면도이다. 또한, 도 16의 (A)의 상면도에서는 도면의 명료화를 위하여 일부의 요소를 생략하여 도시하였다.

[0387] 트랜지스터(510C)는 트랜지스터(510A)의 변형예이다. 따라서, 설명의 반복을 방지하기 위하여, 주로 트랜지스터(510A)와 상이한 점에 대하여 설명한다.

[0388] 도 16의 (A), (B), 및 (C)에 도시된 트랜지스터(510C)는 도전체(542a)와 산화물(530b) 사이에 도전체(547a)가 배치되고, 도전체(542b)와 산화물(530b) 사이에 도전체(547b)가 배치되어 있다. 여기서 도전체(542a)(도전체(542b))는 도전체(547a)(도전체(547b))의 상면 및 도전체(560) 측의 측면을 넘어 연장되고, 산화물(530b)의 상면에 접하는 영역을 가진다. 여기서, 도전체(547)에는 도전체(542)에 사용될 수 있는 도전체를 사용하면 좋다. 또한, 도전체(547)의 막 두께는 적어도 도전체(542)보다 두꺼운 것이 바람직하다.

[0389] 도 16의 (A), (B), 및 (C)에 도시된 트랜지스터(510C)는 상기와 같은 구성을 가짐으로써 트랜지스터(510A)보다 도전체(542)를 도전체(560)에 가깝게 할 수 있다. 또는 도전체(542a)의 단부 및 도전체(542b)의 단부와 도전체(560)를 중첩시킬 수 있다. 이로써, 트랜지스터(510C)의 실질적인 채널 길이를 짧게 하여, 온 전류 및 주파수 특성의 향상을 도모할 수 있다.

[0390] 또한, 도전체(547a)(도전체(547b))는 도전체(542a)(도전체(542b))와 중첩하여 제공되는 것이 바람직하다. 이와 같은 구성으로 함으로써, 도전체(546a)(도전체(546b))를 매립하는 개구를 형성하는 에칭에 있어서 도전체(547a)(도전체(547b))가 스토퍼로서 기능하고 산화물(530b)이 오버 에칭되는 것을 방지할 수 있다.

[0391] 또한, 도 16의 (A), (B), 및 (C)에 도시된 트랜지스터(510C)는 절연체(544) 위에 접하여 절연체(545)를 배치하는 구성으로 하여도 좋다. 절연체(544)로서는 물 또는 수소 등의 불순물이나 과잉 산소가 절연체(580) 측으로부터 트랜지스터(510C)에 혼입하는 것을 억제하는 배리어 절연막으로서 기능하는 것이 바람직하다. 절연체(545)로서는 절연체(544)에 사용할 수 있는 절연체를 사용할 수 있다. 또한, 절연체(544)로서는 예를 들어 질화 알루미늄, 질화 알루미늄 타이타늄, 질화 타이타늄, 질화 실리콘 또는 질화산화 실리콘 등의 질화물 절연체를 사용하여도 좋다.

[0392] 또한, 도 16의 (A), (B), 및 (C)에 도시된 트랜지스터(510C)는 도 14의 (A), (B), 및 (C)에 도시된 트랜지스터(510A)와 달리, 도전체(505)를 단층 구조로 제공하여도 좋다. 이 경우, 패턴 형성된 도전체(505) 위에 절연체(516)가 되는 절연막을 성막하고, 상기 절연막의 상부를 도전체(505)의 상면이 노출될 때까지 CMP법 등을 사용하여 제거하면 좋다. 여기서, 도전체(505)의 상면의 평탄성을 양호하게 하는 것이 바람직하다. 예를 들어, 도전체(505) 상면의 평균 면 거칠기(Ra)를 1nm 이하, 바람직하게는 0.5nm 이하, 더 바람직하게는 0.3nm 이하로 하면 좋다. 이로써 도전체(505) 위에 형성되는 절연층의 평탄성을 양호하게 하여, 산화물(530b) 및 산화물(530c)의 결정성의 향상을 도모할 수 있다.

[0393] <트랜지스터의 구조예 4>

[0394] 도 17의 (A), (B), 및 (C)를 사용하여 트랜지스터(510D)의 구조예를 설명한다. 도 17의 (A)는 트랜지스터(510D)의 상면도이다. 도 17의 (B)는 도 17의 (A)에 일점쇄선 L1-L2로 나타낸 부분의 단면도이다. 도 17의 (C)는 도 17의 (A)에 일점쇄선 W1-W2로 나타낸 부분의 단면도이다. 또한 도 17의 (A)의 상면도에서는 도면의 명료화를 위하여 일부의 요소를 생략하여 도시하였다.

[0395] 트랜지스터(510D)는 상기 트랜지스터의 변형예이다. 따라서, 설명의 반복을 방지하기 위하여 주로 상기 트랜지스터와 상이한 점에 대하여 설명한다.

[0396] 도 17의 (A) 내지 (C)에서는 도전체(503)를 제공하지 않고, 제 2 게이트로서의 기능을 가지는 도전체(505)를 배선으로서도 기능시켰다. 또한, 산화물(530c) 위에 절연체(550)를 가지고, 절연체(550) 위에 금속 산화물(552)

을 가진다. 또한, 금속 산화물(552) 위에 도전체(560)를 가지고, 도전체(560) 위에 절연체(570)를 가진다. 또한, 절연체(570) 위에 절연체(571)를 가진다.

[0397] 금속 산화물(552)은 산소 확산을 억제하는 기능을 가지는 것이 바람직하다. 절연체(550)와 도전체(560) 사이에 산소의 확산을 억제하는 금속 산화물(552)을 제공함으로써 도전체(560)로의 산소의 확산이 억제된다. 즉, 산화물(530)로 공급되는 산소량의 감소를 억제할 수 있다. 또한, 산소로 인한 도전체(560)의 산화를 억제할 수 있다.

[0398] 또한, 금속 산화물(552)은 제 1 게이트의 일부로서의 기능을 가져도 좋다. 예를 들어, 산화물(530)로서 사용할 수 있는 산화물 반도체를 금속 산화물(552)로서 사용할 수 있다. 그 경우, 도전체(560)를 스퍼터링법으로 성막함으로써, 금속 산화물(552)의 전기 저항값을 저하시켜 도전층으로 할 수 있다. 이를 OC(Oxide Conductor) 전극이라고 부를 수 있다.

[0399] 또한, 금속 산화물(552)은 게이트 절연막의 일부로서의 기능을 가지는 경우가 있다. 따라서, 절연체(550)에 산화 실리콘이나 산화질화 실리콘 등을 사용하는 경우, 금속 산화물(552)로서는 비유전율이 높은 high-k 재료인 금속 산화물을 사용하는 것이 바람직하다. 상기 적층 구조로 함으로써, 열에 대하여 안정적이며 비유전율이 높은 적층 구조로 할 수 있다. 따라서, 물리적 막 두께를 유지한 채, 트랜지스터 동작 시에 인가하는 게이트 전위의 저감화가 가능하게 된다. 또한, 게이트 절연층으로서 기능하는 절연층의 등가 산화막 두께(EOT)의 박막화가 가능하게 된다.

[0400] 트랜지스터(510D)에서, 금속 산화물(552)을 단층으로 나타내었지만, 2층 이상의 적층 구조로 하여도 좋다. 예를 들어, 게이트 전극의 일부로서 기능하는 금속 산화물과 게이트 절연막의 일부로서 기능하는 금속 산화물을 적층하여 제공하여도 좋다.

[0401] 금속 산화물(552)을 가짐으로써, 게이트 전극으로서 기능하는 경우에는 도전체(560)로부터의 전계의 영향을 약하게 하지 않고, 트랜지스터(510D)의 온 전류의 향상을 도모할 수 있다. 또는, 게이트 절연막으로서 기능하는 경우에는, 절연체(550)와 금속 산화물(552)의 물리적인 두께에 의하여 도전체(560)와 산화물(530) 사이의 거리를 유지함으로써, 도전체(560)와 산화물(530) 사이의 누설 전류를 억제할 수 있다. 따라서, 절연체(550) 및 금속 산화물(552)의 적층 구조를 제공함으로써, 도전체(560)와 산화물(530) 사이의 물리적인 거리 및 도전체(560)로부터 산화물(530)에 가해지는 전계 강도를 용이하게 적절히 조정할 수 있다.

[0402] 구체적으로는, 금속 산화물(552)로서 산화물(530)에 사용할 수 있는 산화물 반도체를 저저항화시킴으로써, 금속 산화물(552)로서 사용할 수 있다. 또는, 하프늄, 알루미늄, 갈륨, 이트륨, 지르코늄, 텅스텐, 타이타늄, 탄탈럼, 니켈, 저마늄, 또는 마그네슘 등 중에서 선택된 1종류 또는 2종류 이상이 포함된 금속 산화물을 사용할 수 있다.

[0403] 특히, 알루미늄 및 하프늄 중 한쪽 또는 양쪽의 산화물을 포함하는 절연층인 산화 알루미늄, 산화 하프늄, 알루미늄 및 하프늄을 포함하는 산화물(하프늄 알루미네이트) 등을 사용하는 것이 바람직하다. 특히, 하프늄 알루미네이트는 산화 하프늄막보다 내열성이 높다. 그러므로, 추후의 공정에서의 열처리에서 결정화되기 어렵기 때문에 바람직하다. 또한, 금속 산화물(552)은 필수적인 구성이 아니다. 요구되는 트랜지스터 특성에 따라 적절히 설계하면 좋다.

[0404] 절연체(570)는 물 또는 수소 등의 불순물 및 산소의 투과를 억제하는 기능을 가지는 절연성 재료를 사용하면 좋다. 예를 들어, 산화 알루미늄 또는 산화 하프늄 등을 사용하는 것이 바람직하다. 이로써, 절연체(570)보다 위쪽으로부터의 산소로 도전체(560)가 산화되는 것을 억제할 수 있다. 또한, 절연체(570)보다 위쪽으로부터의 물 또는 수소 등의 불순물이 도전체(560) 및 절연체(550)를 통하여 산화물(530)에 혼입하는 것을 억제할 수 있다.

[0405] 절연체(571)는 하드 마스크로서 기능한다. 절연체(571)를 제공함으로써, 도전체(560)를 가공할 때, 도전체(560)의 측면이 기판 표면에 대하여 실질적으로 수직, 구체적으로는 도전체(560)의 측면과 기판 표면이 이루는 각을 75° 이상 100° 이하, 바람직하게는 80° 이상 95° 이하로 할 수 있다.

[0406] 또한, 절연체(571)에 물 또는 수소 등의 불순물 및 산소의 투과를 억제하는 기능을 가지는 절연성 재료를 사용함으로써, 배리어층으로서의 기능을 겸비시켜도 좋다. 그 경우, 절연체(570)는 제공하지 않아도 된다.

[0407] 절연체(571)를 하드 마스크로서 사용하여 절연체(570), 도전체(560), 금속 산화물(552), 절연체(550), 및 산화물(530c)의 일부를 선택적으로 제거함으로써, 이들 측면을 실질적으로 일치시키고, 또한 산화물(530b)의 표면의

일부를 노출시킬 수 있다.

[0408] 또한, 트랜지스터(510D)는 노출된 산화물(530b) 표면의 일부에 영역(531a) 및 영역(531b)을 가진다. 영역(531a) 및 영역(531b) 중 한쪽은 소스 영역으로서 기능하고, 다른 쪽은 드레인 영역으로서 기능한다.

[0409] 영역(531a) 및 영역(531b)의 형성은, 예를 들어 이온 주입법, 이온 도핑법, 플라스마 잠입 이온 주입법, 또는 플라스마 처리 등을 사용하여, 노출된 산화물(530b) 표면에 인 또는 보론 등의 불순물 원소를 도입함으로써 실현할 수 있다. 또한, 본 실시형태 등에서 '불순물 원소'란, 주성분 원소 이외의 원소를 가리킨다.

[0410] 또한, 산화물(530b) 표면의 일부를 노출시킨 후에 금속막을 성막하고, 그 후 가열 처리함으로써, 상기 금속막에 포함되는 원소를 산화물(530b)로 확산시켜 영역(531a) 및 영역(531b)을 형성할 수도 있다.

[0411] 산화물(530b)의 불순물 원소가 도입된 영역은 전기 저항률이 저하된다. 그러므로, 영역(531a) 및 영역(531b)을 '불순물 영역' 또는 '저저항 영역'이라고 하는 경우가 있다.

[0412] 절연체(571) 및/또는 도전체(560)를 마스크로서 사용함으로써, 영역(531a) 및 영역(531b)을 자기 정합(셀프 얼라인먼트)적으로 형성할 수 있다. 따라서, 영역(531a) 및/또는 영역(531b)과 도전체(560)가 중첩되지 않으므로, 기생 용량을 저감할 수 있다. 또한, 채널 형성 영역과 소스 드레인 영역(영역(531a) 또는 영역(531b)) 사이에 오프셋 영역이 형성되지 않는다. 영역(531a) 및 영역(531b)을 자기 정합(셀프 얼라인먼트)적으로 형성함으로써, 온 전류의 증가, 문턱 전압의 저감, 동작 주파수의 향상 등을 실현할 수 있다.

[0413] 또한, 오프 전류를 더 저감하기 위하여 채널 형성 영역과 소스 드레인 영역 사이에 오프셋 영역을 제공하여도 좋다. 오프셋 영역이란, 전기 저항률이 높은 영역이고, 상술한 불순물 원소의 도입이 수행되지 않는 영역이다. 오프셋 영역의 형성은, 절연체(575)의 형성 후에 상술한 불순물 원소의 도입을 수행함으로써 실현할 수 있다. 이 경우, 절연체(575)도 절연체(571) 등과 마찬가지로 마스크로서 기능한다. 따라서, 산화물(530b)의 절연체(575)와 중첩되는 영역에 불순물 원소가 도입되지 않고, 상기 영역의 전기 저항률을 높게 유지할 수 있다.

[0414] 트랜지스터(510D)는 절연체(570), 도전체(560), 금속 산화물(552), 절연체(550), 및 산화물(530c)의 측면에 절연체(575)를 가진다. 절연체(575)는 비유전율이 낮은 절연체인 것이 바람직하다. 예를 들어, 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 플루오린을 첨가한 산화 실리콘, 탄소를 첨가한 산화 실리콘, 탄소 및 질소를 첨가한 산화 실리콘, 공공(空孔)을 가지는 산화 실리콘, 또는 수지 등인 것이 바람직하다. 특히 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 공공을 가지는 산화 실리콘을 절연체(575)에 사용하면, 추후의 공정에서 절연체(575) 중에 과잉 산소 영역을 용이하게 형성할 수 있기 때문에 바람직하다. 또한, 산화 실리콘 및 산화질화 실리콘은 열적으로 안정적이기 때문에 바람직하다. 또한, 절연체(575)는 산소를 확산시키는 기능을 가지는 것이 바람직하다.

[0415] 또한, 트랜지스터(510D)는 절연체(575), 산화물(530) 위에 절연체(574)를 가진다. 절연체(574)는 스퍼터링법을 사용하여 성막하는 것이 바람직하다. 스퍼터링법을 사용함으로써, 물 또는 수소 등의 불순물이 적은 절연체를 성막할 수 있다. 예를 들어, 절연체(574)로서 산화 알루미늄을 사용하면 좋다.

[0416] 또한, 스퍼터링법을 사용한 산화막은 피성막 구조체에서 수소를 추출하는 경우가 있다. 따라서, 절연체(574)가 산화물(530) 및 절연체(575)로부터 수소 및 물을 흡수함으로써, 산화물(530) 및 절연체(575)의 수소 농도를 저감할 수 있다.

[0417] <트랜지스터의 구조예 5>

[0418] 도 18의 (A) 내지 (C)를 사용하여 트랜지스터(510E)의 구조예를 설명한다. 도 18의 (A)는 트랜지스터(510E)의 상면도이다. 도 18의 (B)는 도 18의 (A)에 일점쇄선 L1-L2로 나타낸 부분의 단면도이다. 도 18의 (C)는 도 18의 (A)에 일점쇄선 W1-W2로 나타낸 부분의 단면도이다. 또한 도 18의 (A)의 상면도에서는 도면의 명료화를 위하여 일부의 요소를 생략하여 도시하였다.

[0419] 트랜지스터(510E)는 상기 트랜지스터의 변형예이다. 따라서, 설명의 반복을 방지하기 위하여 주로 상기 트랜지스터와 상이한 점에 대하여 설명한다.

[0420] 도 18의 (A) 내지 (C)에서는 도전체(542)를 제공하지 않고, 노출된 산화물(530b) 표면의 일부에 영역(531a) 및 영역(531b)을 가진다. 영역(531a) 및 영역(531b) 중 한쪽은 소스 영역으로서 기능하고, 다른 쪽은 드레인 영역으로서 기능한다. 또한, 산화물(530b)과 절연체(574) 사이에 절연체(573)를 가진다.

[0421] 도 18의 (B)에 도시된 영역(531)(영역(531a) 및 영역(531b))은 산화물(530b)에 후술하는 원소가 첨가된 영역이

다. 영역(531)은 예를 들어 더미 게이트를 사용함으로써 형성할 수 있다.

[0422] 구체적으로는, 산화물(530b) 위에 더미 게이트를 제공하고, 상기 더미 게이트를 마스크로서 사용하고, 상기 산화물(530b)을 저저항화시키는 원소를 첨가하는 것이 좋다. 즉, 산화물(530)이 더미 게이트와 중첩되지 않은 영역에 상기 원소가 첨가되어 영역(531)이 형성된다. 또한, 상기 원소의 첨가 방법으로서는 이온화된 원료 가스를 질량 분리하여 첨가하는 이온 주입법, 이온화된 원료 가스를 질량 분리하지 않고 첨가하는 이온 도핑법, 플라스마 잠입 이온 주입법 등을 사용할 수 있다.

[0423] 또한, 산화물(530)을 저저항화시키는 원소로서는, 대표적으로는 붕소 또는 인을 들 수 있다. 또한, 수소, 탄소, 질소, 플루오린, 황, 염소, 타이타늄, 희가스 원소 등을 사용하여도 좋다. 희가스 원소의 대표적인 예로서는 헬륨, 네온, 아르곤, 크립톤, 및 제논 등이 있다. 상기 원소의 농도는 이차 이온 질량 분석법(SIMS: Secondary Ion Mass Spectrometry) 등을 사용하여 측정하면 좋다.

[0424] 특히, 붕소 및 인은 비정질 실리콘 또는 저온 폴리실리콘의 제조 라인의 장치를 사용할 수 있기 때문에 바람직하다. 기존의 설비를 전용할 수 있어, 설비 투자를 억제할 수 있다.

[0425] 이어서, 산화물(530b) 및 더미 게이트 위에 절연체(573)가 되는 절연막 및 절연체(574)가 되는 절연막을 성막하여도 좋다. 절연체(573)가 되는 절연막 및 절연체(574)가 되는 절연막을 적층하여 제공함으로써, 영역(531)과 산화물(530c) 및 절연체(550)가 중첩되는 영역을 제공할 수 있다.

[0426] 구체적으로는 절연체(574)가 되는 절연막 위에 절연체(580)가 되는 절연막을 제공한 후, 절연체(580)가 되는 절연막에 CMP(Chemical Mechanical Polishing) 처리를 수행함으로써, 절연체(580)가 되는 절연막의 일부를 제거하여 더미 게이트를 노출시킨다. 이어서 더미 게이트를 제거할 때에 더미 게이트와 접하는 절연체(573)의 일부도 제거하는 것이 좋다. 따라서, 절연체(580)에 제공된 개구부의 측면에는 절연체(574) 및 절연체(573)가 노출되고, 상기 개구부의 저면에는 산화물(530b)에 제공된 영역(531)의 일부가 노출된다. 다음으로, 상기 개구부에 산화물(530c)이 되는 산화막, 절연체(550)가 되는 절연막, 및 도전체(560)가 되는 도전막을 순차적으로 성막한 후, 절연체(580)가 노출될 때까지 CMP 처리 등에 의하여 산화물(530c)이 되는 산화막, 절연체(550)가 되는 절연막, 및 도전체(560)가 되는 도전막의 일부를 제거함으로써, 도 18의 (A) 내지 (C)에 도시된 트랜지스터를 형성할 수 있다.

[0427] 또한, 절연체(573) 및 절연체(574)는 필수적인 구성이 아니다. 요구되는 트랜지스터 특성에 따라 적절히 설계하면 좋다.

[0428] 도 18의 (A) 내지 (C)에 도시된 트랜지스터에는 기존의 장치를 전용할 수 있고, 또한 도전체(542)를 제공하지 않기 때문에 비용의 저감을 도모할 수 있다.

[0429] <트랜지스터의 구조예 6>

[0430] 또한, 도 12 및 도 13의 (A), (B)에서는 게이트로서 기능하는 도전체(560)가 절연체(580)의 개구의 내부에 형성되어 있는 구조예에 대하여 설명하였지만, 예를 들어, 상기 도전체의 위쪽에 상기 절연체가 제공된 구조를 사용할 수도 있다. 이와 같은 트랜지스터의 구조예를 도 19의 (A), (B), 도 20의 (A), (B)에 도시하였다.

[0431] 도 19의 (A)는 트랜지스터의 상면도이고, 도 19의 (B)는 트랜지스터의 사시도이다. 또한, 도 19의 (A)에서의 X1-X2의 단면도를 도 20의 (A)에 도시하고, Y1-Y2의 단면도를 도 20의 (B)에 도시하였다.

[0432] 도 19의 (A), (B), 도 20의 (A), (B)에 도시된 트랜지스터는 백 게이트로서의 기능을 가지는 도전체(BGE)와, 게이트 절연막으로서의 기능을 가지는 절연체(BGI)와, 산화물 반도체(S)와, 게이트 절연막으로서의 기능을 가지는 절연체(TGI)와, 프런트 게이트로서의 기능을 가지는 도전체(TGE)와, 배선으로서의 기능을 가지는 도전체(WE)를 가진다. 또한, 도전체(PE)는 도전체(WE)와 산화물(S), 도전체(BGE), 또는 도전체(TGE)를 접속하기 위한 플러그로서의 기능을 가진다. 또한 여기서는 산화물 반도체(S)가 3층의 산화물(S1), (S2), (S3)로 구성되는 예를 도시하였다.

[0433] <트랜지스터의 전기 특성>

[0434] 다음으로, OS 트랜지스터의 전기 특성에 대하여 설명한다. 이하에서는 일례로서, 제 1 게이트 및 제 2 게이트를 가지는 트랜지스터에 대하여 설명한다. 제 1 게이트 및 제 2 게이트를 가지는 트랜지스터는 제 1 게이트와 제 2 게이트에 다른 전위를 인가함으로써, 문턱 전압을 제어할 수 있다. 예를 들어 제 2 게이트에 음의 전위를 인가함으로써 트랜지스터의 문턱 전압을 0V보다 크게 하여 오프 전류를 저감할 수 있다. 즉, 제 2 게이트에 음

의 전위를 인가함으로써, 제 1 전극에 인가하는 전위가 0V일 때의 드레인 전류를 작게 할 수 있다.

[0435] 또한, 산화물 반도체는 수소 등의 불순물이 첨가되면 캐리어 밀도가 증가되는 경우가 있다. 예를 들어, 산화물 반도체는 수소가 첨가되면, 금속 원자와 결합하는 산소와 반응하여 물이 되고, 산소 결손을 형성하는 경우가 있다. 상기 산소 결손에 수소가 들어감으로써, 캐리어 밀도가 증가한다. 또한 수소의 일부가 금속 원자와 결합하는 산소와 결합하여, 캐리어인 전자를 생성하는 경우가 있다. 즉, 수소 등의 불순물이 첨가된 산화물 반도체는 n형이 되고 저저항화된다.

[0436] 따라서, 산화물 반도체를 선택적으로 저저항화할 수 있다. 즉 산화물 반도체에, 캐리어 밀도가 낮고 채널 형성 영역으로서 기능하는 반도체로서 기능하는 영역과, 캐리어 밀도가 높고 소스 영역 또는 드레인 영역으로서 기능하는 저저항화된 영역을 제공할 수 있다.

[0437] 여기서 제 1 게이트와 제 2 게이트에 상이한 전위를 인가하는 경우, 산화물 반도체에 제공하는 저저항 영역 및 고저항 영역의 구성이 트랜지스터의 전기 특성에 미치는 영향을 평가한다.

[0438] [트랜지스터 구조]

[0439] 도 21의 (A) 및 (C)는 전기 특성의 평가에 사용한 트랜지스터의 단면도이다. 또한, 도 21의 (A) 및 (C)에서는 도면의 명료화를 위하여 일부의 요소를 생략하여 도시하였다.

[0440] 도 21의 (A) 및 (C)에 도시된 트랜지스터는 제 1 게이트로서 기능하는 도전체(TGE)와, 제 1 게이트 절연막으로서 기능하는 절연체(TGI)와, 제 1 게이트의 측면에 제공된 사이드 월로서 기능하는 절연체(SW)와, 산화물 반도체(S)와, 제 2 게이트로서 기능하는 도전체(BGE)와, 제 2 게이트 절연막으로서 기능하는 절연체(BGI)를 가진다. 절연체(BGI)는 도전체(BGE)와 접하는 제 1 층, 제 1 층 위의 제 2 층, 제 2 층 위의 제 3 층으로 이루어지는 3층 구조로 한다. 또한, 제 3 층은 산화물 반도체(S)와 접한다.

[0441] 여기서, 도 21의 (A)에 기재된 트랜지스터가 가지는 산화물 반도체(S)는 n+영역과, 도전체(TGE)와 중첩되는 i영역을 가진다. 한편, 도 21의 (C)에 기재된 트랜지스터가 가지는 산화물 반도체(S)는 n+영역과, 도전체(TGE)와 중첩되는 i영역과, n+영역과 i영역 사이의 n-영역을 가진다.

[0442] 또한, n+영역은 소스 영역 또는 드레인 영역으로서 기능하고 캐리어 밀도가 높은 저저항화된 영역이다. 또한 i영역은 채널 형성 영역으로서 기능하고, n+영역보다 캐리어 밀도가 낮은 고저항 영역이다. 또한, n-영역은 n+영역보다 캐리어 밀도가 낮고, 또한 i영역보다 캐리어 밀도가 높은 영역이다.

[0443] 또한, 도시하지 않았지만, 산화물 반도체(S)의 n+영역은 소스 또는 드레인으로서 기능하는 S/D 전극과 접하는 구조이다.

[0444] [전기 특성의 평가 결과]

[0445] 도 21의 (A)에 도시된 트랜지스터 및 도 21의 (C)에 도시된 트랜지스터에서 Id-Vg 특성을 계산하여 트랜지스터의 전기 특성을 평가하였다.

[0446] 여기서, 트랜지스터의 전기 특성의 지표로서, 트랜지스터의 문턱 전압(이하, Vsh라고도 함)의 변화량(이하, ΔVsh라고도 함)을 사용하였다. 또한 Vsh란 Id-Vg 특성에 있어서 $Id=1.0\times10^{-12}$[A]일 때의 Vg의 값으로 정의한다.

[0447] 또한, Id-Vg 특성이란 트랜지스터의 제 1 게이트로서 기능하는 도전체(TGE)에 인가하는 전위(이하, 게이트 전위(Vg)라고도 함)를 제 1 값으로부터 제 2 값까지 변화시켰을 때의 소스와 드레인 사이의 전류(이하, 드레인 전류(Id)라고도 함)의 변동 특성이다.

[0448] 여기서는, 소스와 드레인 사이의 전위(이하, 드레인 전위(Vd)라고도 함)를 +0.1V로 하고, 소스와, 제 1 게이트로서 기능하는 도전체(TGE) 사이의 전위를 -1V로부터 +4V까지 변화시켰을 때의 드레인 전류(Id)의 변동을 평가하였다.

[0449] 또한, 계산에는 Silvaco, Inc. 제조의 디바이스 시뮬레이터 ATLAS를 사용하였다. 또한, 아래의 표에는 계산에 사용한 파라미터를 나타낸다. 또한, Eg는 에너지 갭, Nc는 전도대의 실효 상태 밀도, Nv는 가전자대의 실효 상태 밀도를 나타낸다.

[0450] [표 1]

소프트웨어		Silvaco, Inc. 제조 Atlas 2D		
구조		채널 길이(L) 채널 폭(W)	350 350	nm nm
BGE		일함수 막 두께(배선) L 방향 길이	5.0 20 510	eV nm nm
BGI	제 3 층	비유전율 막 두께	4.1 10	 nm
	제 2 층	비유전율 막 두께	16.4 10	 nm
	제 1 층	비유전율 막 두께	4.1 10	 nm
OS		전자 친화력 Eg 비유전율 전자 이동도 정공 이동도 Nc Nv 막 두께	4.5 2.9 15 20 0.01 5E+18 5E+18 15	eV eV cm^2/Vs cm^2/Vs cm^{-3} cm^{-3} nm
n+영역		L 방향 길이 캐리어 농도	655 또는 700 5E+18	nm cm^{-3}
n-영역		L 방향 길이 캐리어 농도	45 또는 0 1E+17	nm cm^{-3}
TGI		비유전율 막 두께	4.1 10	 nm
SW		비유전율 폭	4.1 15	 nm
TGE		일함수 막 두께 L 방향 길이	5.0 20 350	eV nm nm
S/D 전극		일함수	4.5	eV

[0451]

[0452] 도 21의 (A)에 도시된 트랜지스터는, 한쪽의 n+영역을 700nm로 하고, 한쪽의 n-영역을 0nm로 설정하였다. 또한, 도 21의 (C)에 도시된 트랜지스터는, 한쪽의 n+영역을 655nm로 하고, 한쪽의 n-영역을 45nm로 설정하였다. 또한, 도 21의 (A)에 도시된 트랜지스터 및 도 21의 (C)에 도시된 트랜지스터에 있어서, 제 2 게이트는 i영역보다 큰 구조로 하였다. 또한, 본 평가에 있어서는, 제 2 게이트로서 기능하는 도전체(BGE)의 전위(이하, 백 게이트 전위(Vbg)라고도 함)를 0.00V, -3.00V, 또는 -6.00V로 설정하였다.

[0453] 도 21의 (B)에, 도 21의 (A)에 도시된 트랜지스터의 계산에 의하여 얻어진 Id-Vg 특성의 결과를 도시하였다. 백 게이트 전위를 -3.00V로 한 경우, 0.00V로 하였을 때와 비교하여 트랜지스터의 문턱 전압의 변동량(ΔVsh)은 +1.2V이었다. 또한, 백 게이트 전위를 -6.00V로 한 경우, 0.00V로 하였을 때와 비교하여 트랜지스터의 문턱 전압의 변동량(ΔVsh)은 +2.3V이었다. 즉, 백 게이트 전위를 -6.00V로 한 경우, -3.00V로 하였을 때와 비교하여 트랜지스터의 문턱 전압의 변동량(ΔVsh)은 +1.1V이었다. 따라서, 제 2 게이트로서 기능하는 도전체(BGE)의 전위를 크게 하여도, 트랜지스터의 문턱 전압의 변동량은 거의 변화하지 않았다. 또한, 백 게이트 전위를 크게 하여도, 상승 특성에 변화는 보이지 않았다.

[0454] 도 21의 (D)에, 도 21의 (C)에 도시된 트랜지스터의 계산에 의하여 얻어진 Id-Vg 특성의 결과를 도시하였다. 백 게이트 전위를 -3.00V로 한 경우, 0.00V로 하였을 때와 비교하여 트랜지스터의 문턱 전압의 변동량(ΔVsh)은 +1.2V이었다. 또한, 백 게이트 전위를 -6.00V로 한 경우, 0.00V로 하였을 때와 비교하여 트랜지스터의 문턱 전

압의 변동량(ΔVsh)은 +3.5V이었다. 즉, 백 게이트 전위를 -6.00V로 한 경우, -3.00V로 하였을 때와 비교하여 트랜지스터의 문턱 전압의 변동량(ΔVsh)은 +2.3V이었다. 따라서, 제 2 게이트로서 기능하는 도전체(BGE)의 전위를 크게 할수록 트랜지스터의 문턱 전압의 변동량이 크게 되었다. 한편, 백 게이트 전위를 크게 할수록 상승 특성이 악화되었다.

[0455] 이상으로부터, 도 21의 (C)에 도시된 트랜지스터는 제 2 게이트로서 기능하는 도전체(BGE)의 전위를 크게 할수록 트랜지스터의 문턱 전압의 변동량이 크게 되는 것을 알 수 있었다. 한편, 도 21의 (A)에 도시된 트랜지스터는 제 2 게이트로서 기능하는 도전체(BGE)의 전위를 크게 하여도 트랜지스터의 문턱 전압의 변동량의 변화는 보이지 않았다.

[0456] 또한, 본 실시형태는 본 명세서에 기재하는 다른 실시형태와 적절히 조합하여 실시할 수 있다.

[0457] (실시형태 4)

[0458] 본 실시형태에서는 상기 실시형태에서 설명한 OS 트랜지스터에 사용할 수 있는 금속 산화물의 구성에 대하여 설명한다.

[0459] <금속 산화물의 구성>

[0460] 본 명세서 등에서, CAAC(c-axis aligned crystal) 및 CAC(Cloud-Aligned Composite)라고 기재하는 경우가 있다. 또한, CAAC는 결정 구조의 일례를 나타내고, CAC는 기능 또는 재료의 구성의 일례를 나타낸다.

[0461] CAC-OS 또는 CAC-metal oxide란, 재료의 일부에서는 도전성의 기능을 가지고, 재료의 일부에서는 절연성의 기능을 가지고, 재료 전체에서는 반도체로서의 기능을 가진다. 또한, CAC-OS 또는 CAC-metal oxide를 트랜지스터의 채널 형성 영역에 사용하는 경우, 도전성의 기능은 캐리어가 되는 전자(또는 홀)를 흘리는 기능이고, 절연성의 기능은 캐리어가 되는 전자를 흘리지 않는 기능이다. 도전성의 기능과 절연성의 기능을 각각 상보적으로 작용시킴으로써, 스위칭시키는 기능(On/Off시키는 기능)을 CAC-OS 또는 CAC-metal oxide에 부여할 수 있다. CAC-OS 또는 CAC-metal oxide에서 각각의 기능을 분리시킴으로써, 양쪽의 기능을 최대한 높일 수 있다.

[0462] 또한, CAC-OS 또는 CAC-metal oxide는 도전성 영역 및 절연성 영역을 가진다. 도전성 영역은 상술한 도전성의 기능을 가지고, 절연성 영역은 상술한 절연성의 기능을 가진다. 또한, 재료 내에서 도전성 영역과 절연성 영역은 나노 입자 레벨로 분리되어 있는 경우가 있다. 또한, 도전성 영역과 절연성 영역은 각각 재료 내에 편재하는 경우가 있다. 또한, 도전성 영역은 주변이 흐릿해져 클라우드상으로 연결되어 관찰되는 경우가 있다.

[0463] 또한, CAC-OS 또는 CAC-metal oxide에서 도전성 영역과 절연성 영역은 각각 0.5nm 이상 10nm 이하, 바람직하게는 0.5nm 이상 3nm 이하의 크기로 재료 내에 분산되어 있는 경우가 있다.

[0464] 또한, CAC-OS 또는 CAC-metal oxide는 상이한 밴드 갭을 가지는 성분으로 구성된다. 예를 들어, CAC-OS 또는 CAC-metal oxide는 절연성 영역에 기인하는 와이드 갭을 가지는 성분과 도전성 영역에 기인하는 내로 갭을 가지는 성분으로 구성된다. 상기 구성의 경우, 캐리어를 흘릴 때 내로 갭을 가지는 성분에서 주로 캐리어가 흐른다. 또한, 내로 갭을 가지는 성분이 와이드 갭을 가지는 성분에 상보적으로 작용하고, 내로 갭을 가지는 성분에 연동하여 와이드 갭을 가지는 성분에도 캐리어가 흐른다. 그러므로 상기 CAC-OS 또는 CAC-metal oxide를 트랜지스터의 채널 형성 영역에 사용하는 경우, 트랜지스터의 온 상태에서 높은 전류 구동력, 즉 큰 온 전류 및 높은 전계 효과 이동도를 얻을 수 있다.

[0465] 즉, CAC-OS 또는 CAC-metal oxide는 매트릭스 복합재(matrix composite) 또는 금속 매트릭스 복합재(metal matrix composite)라고 부를 수도 있다.

[0466] <금속 산화물의 구조>

[0467] 산화물 반도체는 단결정 산화물 반도체와 그 이외의 비단결정 산화물 반도체로 나누어진다. 비단결정 산화물 반도체로서는, 예를 들어 CAAC-OS(c-axis aligned crystalline oxide semiconductor), 다결정 산화물 반도체, nc-OS(nanocrystalline oxide semiconductor), a-like OS(amorphous-like oxide semiconductor), 및 비정질 산화물 반도체 등이 있다.

[0468] 트랜지스터의 반도체에 사용하는 산화물 반도체로서, 결정성이 높은 박막을 사용하는 것이 바람직하다. 상기 박막을 사용함으로써, 트랜지스터의 안정성 또는 신뢰성을 향상시킬 수 있다. 상기 박막으로서, 예를 들어 단결정 산화물 반도체의 박막 또는 다결정 산화물 반도체의 박막을 들 수 있다. 그러나, 단결정 산화물 반도체의 박막 또는 다결정 산화물 반도체의 박막을 기판 위에 형성하기 위해서는, 고온 또는 레이저 가열의 공정이 필요

하게 된다. 따라서, 제조 공정의 비용이 증가하고, 또한, 스루풋도 저하된다.

[0469] 2009년에 CAAC 구조를 가지는 In-Ga-Zn 산화물(CAAC-IGZO라고 부름)이 발견된 것이 비특허문헌 2 및 비특허문헌 3에서 보고되어 있다. 여기서는, CAAC-IGZO는 c축 배향성을 가지고, 결정립계가 명확히 확인되지 않고, 저온에서 기판 위에 형성 가능하다는 것이 보고되어 있다. 또한, CAAC-IGZO를 사용한 트랜지스터는, 우수한 전기 특성 및 신뢰성을 가진다는 것이 보고되어 있다.

[0470] 또한, 2013년에는 nc 구조를 가지는 In-Ga-Zn 산화물(nc-IGZO라고 부름)이 발견되었다(비특허문헌 4 참조). 여기서는, nc-IGZO는 미소한 영역(예를 들어, 1nm 이상 3nm 이하의 영역)에서 원자 배열에 주기성을 가지고, 상이한 상기 영역 사이에서 결정 방위에 규칙성이 보이지 않는다는 것이 보고되어 있다.

[0471] 비특허문헌 5 및 비특허문헌 6에서는, 상기 CAAC-IGZO, nc-IGZO, 및 결정성이 낮은 IGZO의 각각의 박막에 대한 전자선의 조사에 의한 평균 결정 크기의 추이(推移)가 나타나 있다. 결정성이 낮은 IGZO의 박막에서 전자선이 조사되기 전에서도 1nm 정도의 결정성 IGZO가 관찰되어 있다. 따라서, 여기서는 IGZO에서 완전한 비정질 구조(completely amorphous structure)의 존재가 확인되지 않았다고 보고되어 있다. 또한, 결정성이 낮은 IGZO의 박막에 비하여, CAAC-IGZO의 박막 및 nc-IGZO의 박막은 전자선 조사에 대한 안정성이 높은 것이 나타나 있다. 따라서, 트랜지스터의 반도체로서 CAAC-IGZO의 박막 또는 nc-IGZO의 박막을 사용하는 것이 바람직하다.

[0472] CAAC-OS는 c축 배향성을 가지며 a-b면 방향에서 복수의 나노 결정이 연결되어 변형을 가지는 결정 구조가 되어 있다. 또한, 변형이란, 복수의 나노 결정이 연결되는 영역에서, 격자 배열이 정렬된 영역과 격자 배열이 정렬된 다른 영역 사이에서 격자 배열의 방향이 변화되어 있는 부분을 가리킨다.

[0473] 나노 결정은 기본적으로 육각형이지만, 정육각형에 한정되지 않고, 비정육각형인 경우가 있다. 또한, 변형에서 오각형 및 칠각형 등의 격자 배열을 가지는 경우가 있다. 또한, CAAC-OS에서는, 변형 근방에서도 명확한 결정립계(그레인 바운더리라고도 함)를 확인할 수 없다. 즉, 격자 배열의 변형에 의하여 결정립계의 형성이 억제되어 있는 것을 알 수 있다. 이는, CAAC-OS가 a-b면 방향에서 산소 원자의 배열이 조밀하지 않거나, 금속 원소가 치환됨으로써 원자 사이의 결합 거리가 변화되는 것 등에 의하여, 변형을 허용할 수 있기 때문이라고 생각된다.

[0474] 또한, CAAC-OS는 인듐 및 산소를 가지는 층(이하, In층)과 원소 M, 아연, 및 산소를 가지는 층(이하, (M, Zn)층)이 적층된 층상의 결정 구조(층상 구조라고도 함)를 가지는 경향이 있다. 또한, 인듐과 원소 M은 서로 치환할 수 있고, (M, Zn)층의 원소 M이 인듐과 치환된 경우, (In, M, Zn)층이라고 나타낼 수도 있다. 또한, In층의 인듐이 원소 M과 치환된 경우, (In, M)층이라고 나타낼 수도 있다.

[0475] CAAC-OS는 결정성이 높은 산화물 반도체이다. 한편으로, CAAC-OS는 명확한 결정립계를 확인할 수 없기 때문에, 결정립계에 기인하는 전자 이동도의 저하가 일어나기 어렵다고 할 수 있다. 또한, 산화물 반도체의 결정성은 불순물의 혼입이나 결함의 생성 등에 의하여 저하되는 경우가 있기 때문에, CAAC-OS는 불순물이나 결함(산소 결손 등)이 적은 산화물 반도체라고도 할 수 있다. 따라서, CAAC-OS를 가지는 산화물 반도체는 물리적 성질이 안정된다. 그러므로, CAAC-OS를 가지는 산화물 반도체는 열에 강하고 신뢰성이 높다. 또한, CAAC-OS는 제조 공정에서의 높은 온도(소위 thermal budget)에 대해서도 안정적이다. 따라서, OS 트랜지스터에 CAAC-OS를 사용하면 제조 공정의 자유도를 높일 수 있게 된다.

[0476] nc-OS는 미소한 영역(예를 들어 1nm 이상 10nm 이하의 영역, 특히 1nm 이상 3nm 이하의 영역)에서 원자 배열에 주기성을 가진다. 또한, nc-OS는 상이한 나노 결정 사이에서 결정 방위에 규칙성이 보이지 않는다. 그러므로 막 전체에서 배향성이 보이지 않는다. 따라서, nc-OS는 분석 방법에 따라서는 a-like OS나 비정질 산화물 반도체와 구별이 되지 않는 경우가 있다.

[0477] a-like OS는 nc-OS와 비정질 산화물 반도체의 중간의 구조를 가지는 산화물 반도체이다. a-like OS는, 공동(void) 또는 저밀도 영역을 가진다. 즉, a-like OS는 nc-OS 및 CAAC-OS에 비하여 결정성이 낮다.

[0478] 산화물 반도체는 다양한 구조를 취하고, 각각이 상이한 특성을 가진다. 본 발명의 일 형태의 산화물 반도체는 비정질 산화물 반도체, 다결정 산화물 반도체, a-like OS, nc-OS, CAAC-OS 중 2종류 이상을 가져도 좋다.

[0479] <산화물 반도체를 가지는 트랜지스터>

[0480] 이어서, 상기 산화물 반도체를 트랜지스터에 사용하는 경우에 대하여 설명한다.

[0481] 또한, 상기 산화물 반도체를 트랜지스터에 사용함으로써, 전계 효과 이동도가 높은 트랜지스터를 실현할 수 있다. 또한, 신뢰성이 높은 트랜지스터를 실현할 수 있다.

[0482] 또한, 상기 산화물 반도체를 사용한 트랜지스터는, 비도통 상태에서 누설 전류가 매우 작고, 구체적으로는 트랜지스터의 채널 폭 1μm당 오프 전류가 yA/μm(10^{-24}A/μm) 오더인 것이 비특허문헌 7에 나타나 있다. 예를 들어, 산화물 반도체를 사용한 트랜지스터의 누설 전류가 낮다는 특성을 응용한 저소비전력의 CPU 등이 개시되어 있다(비특허문헌 8 참조).

[0483] 또한, 산화물 반도체를 사용한 트랜지스터의 누설 전류가 낮다는 특성을 이용한, 상기 트랜지스터의 표시 장치로의 응용이 보고되어 있다(비특허문헌 9 참조). 표시 장치에서는 표시되는 화상이 1초간에 수십 번 전환된다. 1초간당 화상 전환 횟수는 리프레시 레이트라고 불린다. 또한, 리프레시 레이트를 구동 주파수라고 부르는 경우도 있다. 이와 같이, 사람의 눈으로 지각하기 어려운 고속의 화면 전환이 눈의 피로의 원인으로 생각되고 있다. 그러므로, 표시 장치의 리프레시 레이트를 저하시켜, 화상의 재기록 횟수를 줄이는 것이 제안되어 있다. 또한, 리프레시 레이트를 저하시킨 구동에 의하여, 표시 장치의 소비전력을 저감할 수 있다. 이와 같은 구동 방법을 아이들링 스톱(idling stop(IDS)) 구동이라고 부른다.

[0484] 또한, 트랜지스터에는 캐리어 밀도가 낮은 산화물 반도체를 사용하는 것이 바람직하다. 산화물 반도체막의 캐리어 밀도를 낮추는 경우에는, 산화물 반도체막 내의 불순물 농도를 낮추고, 결함 준위 밀도를 낮추면 좋다. 본 명세서 등에서, 불순물 농도가 낮고 결함 준위 밀도가 낮은 것을 고순도 진성 또는 실질적으로 고순도 진성이라고 한다. 예를 들어, 산화물 반도체는 캐리어 밀도가 $8\times10^{11}/cm^3$ 미만, 바람직하게는 $1\times10^{11}/cm^3$ 미만, 더 바람직하게는 $1\times10^{10}/cm^3$ 미만이고, $1\times10^{-9}/cm^3$ 이상으로 하면 좋다.

[0485] 또한, 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체막은 결함 준위 밀도가 낮기 때문에, 트랩 준위 밀도도 낮아지는 경우가 있다.

[0486] 또한, 산화물 반도체의 트랩 준위에 포획된 전하는, 소실되는 데 걸리는 시간이 길어, 마치 고정 전하처럼 작용하는 경우가 있다. 그러므로 트랩 준위 밀도가 높은 산화물 반도체에 채널 형성 영역이 형성되는 트랜지스터는 전기 특성이 불안정해지는 경우가 있다.

[0487] 따라서 트랜지스터의 전기 특성을 안정적으로 하기 위해서는, 산화물 반도체 내의 불순물 농도를 저감하는 것이 유효하다. 또한, 산화물 반도체 내의 불순물 농도를 저감하기 위해서는, 근접한 막 내의 불순물 농도도 저감하는 것이 바람직하다. 불순물로서는, 수소, 질소, 알칼리 금속, 알칼리 토금속, 철, 니켈, 실리콘 등이 있다.

[0488] <불순물>

[0489] 여기서, 산화물 반도체 내에서의 각 불순물의 영향에 대하여 설명한다.

[0490] 산화물 반도체에 14족 원소 중 하나인 실리콘이나 탄소가 포함되면, 산화물 반도체에서 결함 준위가 형성된다. 그러므로 산화물 반도체에서의 실리콘이나 탄소의 농도와, 산화물 반도체와의 계면 근방의 실리콘이나 탄소의 농도(이차 이온 질량 분석법(SIMS: Secondary Ion Mass Spectrometry))에 의하여 얻어지는 농도)를 $2\times10^{18}atoms/cm^3$ 이하, 바람직하게는 $2\times10^{17}atoms/cm^3$ 이하로 한다.

[0491] 또한, 산화물 반도체에 알칼리 금속 또는 알칼리 토금속이 포함되면, 결함 준위를 형성하여 캐리어를 생성하는 경우가 있다. 따라서 알칼리 금속 또는 알칼리 토금속이 포함되는 산화물 반도체를 사용한 트랜지스터는 노멀리 온 특성을 가지기 쉽다. 그러므로 산화물 반도체 내의 알칼리 금속 또는 알칼리 토금속의 농도를 저감하는 것이 바람직하다. 구체적으로는, SIMS에 의하여 얻어지는 산화물 반도체 내의 알칼리 금속 또는 알칼리 토금속의 농도를 $1\times10^{18}atoms/cm^3$ 이하, 바람직하게는 $2\times10^{16}atoms/cm^3$ 이하로 한다.

[0492] 또한, 산화물 반도체에 질소가 포함되면, 캐리어인 전자가 발생하고 캐리어 밀도가 증가되어 n형화되기 쉽다. 그러므로 질소가 포함되는 산화물 반도체를 반도체에 사용한 트랜지스터는 노멀리 온 특성을 가지기 쉽다. 따라서 상기 산화물 반도체에서 질소는 가능한 한 저감되어 있는 것이 바람직하다. 예를 들어 산화물 반도체 내의 질소 농도는 SIMS에서 $5\times10^{19}atoms/cm^3$ 미만, 바람직하게는 $5\times10^{18}atoms/cm^3$ 이하, 더 바람직하게는 $1\times10^{18}atoms/cm^3$ 이하, 더욱 바람직하게는 $5\times10^{17}atoms/cm^3$ 이하로 한다.

[0493] 또한, 산화물 반도체에 포함되는 수소는 금속 원자와 결합하는 산소와 반응하여 물이 되기 때문에, 산소 결손을 형성하는 경우가 있다. 상기 산소 결손에 수소가 들어감으로써 캐리어인 전자가 생성되는 경우가 있다. 또한, 수소의 일부가 금속 원자와 결합하는 산소와 결합하여, 캐리어인 전자를 생성하는 경우가 있다. 따라서 수소가

포함되는 산화물 반도체를 사용한 트랜지스터는 노멀리 온 특성을 가지기 쉽다. 그러므로 산화물 반도체 내의 수소는 가능한 한 저감되어 있는 것이 바람직하다. 구체적으로는, 산화물 반도체에서 SIMS에 의하여 얻어지는 수소 농도를 1×10^{20}atoms/cm^3 미만, 바람직하게는 1×10^{19}atoms/cm^3 미만, 더 바람직하게는 5×10^{18}atoms/cm^3 미만, 더 바람직하게는 1×10^{18}atoms/cm^3 미만으로 한다.

[0494] 불순물이 충분히 저감된 산화물 반도체를 트랜지스터의 채널 형성 영역에 사용함으로써, 안정된 전기 특성을 부여할 수 있다.

[0495] CAAC 구조 및 nc 구조의 발견은 CAAC 구조 또는 nc 구조를 가지는 산화물 반도체를 사용한 트랜지스터의 전기 특성 및 신뢰성의 향상, 그리고 제조 공정의 비용 저하 및 스루풋의 향상에 기여하고 있다. 또한, 상기 트랜지스터의 누설 전류가 낮다는 특성을 이용한, 상기 트랜지스터의 표시 장치 및 LSI로의 응용 연구가 진행되고 있다.

[0496] 또한, 본 실시형태는 본 명세서에 기재하는 다른 실시형태와 적절히 조합하여 실시할 수 있다.

[0497] (실시형태 5)

[0498] 본 실시형태에서는 상기 실시형태에서 설명한 기억 장치를 사용할 수 있는 제품 이미지 및 전자 기기의 일례에 대하여 설명한다.

[0499] <제품 이미지>

[0500] 우선, 본 발명의 일 형태에 따른 기억 장치에 사용할 수 있는 제품 이미지를 도 22에 도시하였다. 도 22에 도시된 영역(701)은 높은 온도 특성(High T operate)을 나타내고, 영역(702)은 높은 주파수 특성(High f operate)을 나타내고, 영역(703)은 낮은 오프 특성(Ioff)을 나타내고, 영역(704)은, 영역(701), 영역(702), 및 영역(703)이 중첩된 영역을 나타낸다.

[0501] 또한, 영역(701)을 채우려고 하는 경우, 트랜지스터의 채널 형성 영역으로서 탄소화 실리콘 또는 질화 갈륨 등의 탄화물 또는 질화물을 적용함으로써, 실질적으로 채울 수 있다. 또한, 영역(702)을 채우려고 하는 경우, 트랜지스터의 채널 형성 영역으로서 단결정 실리콘 또는 결정성 실리콘 등의 규화물을 적용함으로써, 실질적으로 채울 수 있다. 또한, 영역(703)을 채우려고 하는 경우, 트랜지스터의 채널 형성 영역으로서 산화물 반도체 또는 금속 산화물을 사용함으로써, 실질적으로 채울 수 있다.

[0502] 본 발명의 일 형태에 따른 기억 장치는, 예를 들어 영역(704)에 나타낸 범위의 제품에 적합하게 사용할 수 있다.

[0503] 종래의 제품에 있어서는, 영역(701), 영역(702), 및 영역(703)을 모두 채우는 것이 어려웠다. 하지만, 본 발명의 일 형태에 따른 기억 장치가 가지는 트랜지스터는, 채널 형성 영역에 결정성 OS를 가진다. 채널 형성 영역에 결정성 OS를 가지는 경우, 높은 온도 특성과, 높은 주파수 특성과, 낮은 오프 특성을 채우는 기억 장치 및 전자 기기를 제공할 수 있다.

[0504] 또한, 영역(704)에 나타낸 범위의 제품으로서는, 예를 들어 저소비전력 또한 고성능의 CPU 등을 가지는 전자 기기, 고온 환경하에서의 높은 신뢰성이 요구되는 차재용의 전자 기기 등을 들 수 있다. 더 구체적으로는, 도 23의 (A), (B), (C), (D), (E1), 및 (E2)에 본 발명의 일 형태에 따른 기억 장치를 탑재한 전자 기기의 일례를 도시하였다.

[0505] <전자 기기>

[0506] 본 발명의 일 형태에 따른 기억 장치는 다양한 전자 기기에 탑재할 수 있다. 특히 본 발명의 일 형태에 따른 기억 장치는 전자 기기에 내장되는 메모리로서 사용할 수 있다. 전자 기기의 예로서는 예를 들어 텔레비전 장치, 데스크톱형 또는 노트북형 퍼스널 컴퓨터, 컴퓨터용 등의 모니터, 디지털 사이니지(Digital Signage: 전자 간판), 파칭코기 등의 대형 게임기 등 비교적 큰 화면을 가지는 전자 기기 외에, 디지털 카메라, 디지털 비디오 카메라, 디지털 액자, 휴대 전화기, 휴대용 게임기, 휴대 정보 단말기, 음향 재생 장치 등을 들 수 있다.

[0507] 본 발명의 일 형태의 전자 기기는 안테나를 가져도 좋다. 안테나로 신호를 수신함으로써 표시부에서 영상이나 정보 등을 표시할 수 있다. 또한, 전자 기기가 안테나 및 이차 전지를 가지는 경우, 안테나를 비접촉 전력 전송(傳送)에 사용하여도 좋다.

[0508] 본 발명의 일 형태의 전자 기기는 센서(힘, 변위, 위치, 속도, 가속도, 각속도, 회전수, 거리, 광, 액체, 자기,

온도, 화학 물질, 음성, 시간, 경도(硬度), 전기장, 전류, 전압, 전력, 방사선, 유량, 습도, 경사도, 진동, 냄새, 또는 적외선을 측정하는 기능을 포함하는 것)를 가져도 좋다.

[0509] 본 발명의 일 형태의 전자 기기는 다양한 기능을 가질 수 있다. 예를 들어, 다양한 정보(정지 화상, 동영상, 텍스트 화상 등)를 표시부에 표시하는 기능, 터치 패널 기능, 달력, 날짜, 또는 시각 등을 표시하는 기능, 다양한 소프트웨어(프로그램)를 실행하는 기능, 무선 통신 기능, 기록 매체에 기록되는 프로그램 또는 데이터를 판독하는 기능 등을 가질 수 있다. 도 23의 (A), (B), (C), (D), (E1), 및 (E2)에 전자 기기의 예를 도시하였다.

[0510] 도 23의 (A)에는 정보 단말의 1종류인 휴대 전화(스마트폰)가 도시되어 있다. 정보 단말(5500)은 하우징(5510)과 표시부(5511)를 가지고, 입력용 인터페이스로서 터치 패널이 표시부(5511)에 구비되고, 버튼이 하우징(5510)에 구비된다.

[0511] 도 23의 (B)에는 데스크톱형 정보 단말기(5300)를 도시하였다. 데스크톱형 정보 단말기(5300)는 정보 단말기의 본체(5301)와 디스플레이(5302)와 키보드(5303)를 가진다.

[0512] 또한, 상기에서는 전자 기기로서 스마트폰 및 데스크톱형 정보 단말기를 예로서, 각각 도 23의 (A), (B)에 도시하였지만, 스마트폰 및 데스크톱형 정보 단말기 이외의 정보 단말기를 적용할 수 있다. 스마트폰 및 데스크톱형 정보 단말기 이외의 정보 단말기로서는 예를 들어 PDA(Personal Digital Assistant), 노트북형 정보 단말기, 워크스테이션 등을 들 수 있다.

[0513] 도 23의 (C)는 전자 제품의 일례인 전기 냉동 냉장고(5800)를 도시한 것이다. 전기 냉동 냉장고(5800)는 하우징(5801), 냉장실용 도어(5802), 냉동실용 도어(5803) 등을 가진다.

[0514] 본 일례에서는, 전자 제품으로서 전기 냉동 냉장고에 대하여 설명하였지만, 그 외의 전자 제품으로서는 예를 들어 청소기, 전자 레인지, 전자 오븐, 밥솥, 온수기, IH 조리기, 워터 서버, 에어컨디셔너를 포함한 냉난방 기구, 세탁기, 건조기, 오디오 비주얼 기기(audio visual appliance) 등을 들 수 있다.

[0515] 도 23의 (D)는 게임기의 일례인 휴대 게임기(5200)를 도시한 것이다. 휴대 게임기는 하우징(5201), 표시부(5202), 버튼(5203) 등을 가진다.

[0516] 도 23의 (D)에서는 게임기의 일례로서 휴대 게임기를 도시하였지만, 본 발명의 일 형태에 따른 기억 장치를 적용할 수 있는 게임기는 이에 한정되지 않는다. 본 발명의 일 형태에 따른 기억 장치를 적용할 수 있는 게임기로서는, 예를 들어 가정용 거치형 게임기, 오락 시설(게임 센터, 놀이공원 등)에 설치되는 아케이드 게임기, 스포츠 시설에 설치되는 배팅 연습용 투구 머신 등을 들 수 있다.

[0517] 도 23의 (E1)은 이동체의 일례인 자동차(5700)를 도시한 것이고, 도 23의 (E2)는 자동차의 실내에서의 앞유리 주변을 도시한 것이다. 도 23의 (E2)에서는, 대시보드에 장착된 표시 패널(5701), 표시 패널(5702), 표시 패널(5703) 외, 필러에 장착된 표시 패널(5704)을 도시하였다.

[0518] 표시 패널(5701) 내지 표시 패널(5703)은, 속도계, 회전 속도계, 주행 거리, 연료계, 기어 상태, 에어컨디셔너의 설정 등을 표시함으로써, 다양한 정보를 제공할 수 있다. 또한, 표시 패널에 표시되는 표시 항목이나 레이아웃 등은 사용자의 취향에 따라 적절히 변경할 수 있기 때문에, 디자인성을 높일 수 있다. 표시 패널(5701) 내지 표시 패널(5703)은 조명 장치로서 사용할 수도 있다.

[0519] 표시 패널(5704)에는 자동차(5700)에 제공된 촬상 장치(도시하지 않았음)로부터의 영상을 표시시킴으로써 필러로 차단된 시계(사각(死角))를 보완할 수 있다. 즉, 자동차(5700) 외측에 제공된 촬상 장치로부터의 화상을 표시함으로써 사각을 보완하여 안전성을 높일 수 있다. 또한, 보이지 않는 부분을 보완하는 영상을 표시함으로써 더 자연스럽고 위화감 없이 안전을 확인할 수 있다. 표시 패널(5704)은 조명 장치로서 사용할 수도 있다.

[0520] 또한, 상기에서는 이동체의 일례로서 자동차에 대하여 설명하였지만, 이동체는 자동차에 한정되지 않는다. 예를 들어, 이동체로서는, 전철, 모노레일, 선박, 비행체(헬리콥터, 무인 항공기(드론), 비행기, 로켓) 등을 들 수도 있고, 이들 이동체에 본 발명의 일 형태에 따른 기억 장치를 적용할 수 있다.

[0521] 본 발명의 일 형태에 따른 기억 장치는 온도가 높은 환경에서도 데이터의 유지 시간이 길고, 온도가 낮은 환경에서도 고속으로 동작할 수 있다. 상기 각종 전자 기기에 본 발명의 일 형태에 따른 기억 장치를 사용함으로써, 온도가 높은 환경에서도 온도가 낮은 환경에서도 확실하게 동작할 수 있는, 신뢰성이 높은 전자 기기를 제공할 수 있다. 또한, 전자 기기의 저소비전력화를 도모할 수 있다.

[0522] 또한, 본 실시형태는 본 명세서에 기재하는 다른 실시형태와 적절히 조합하여 실시할 수 있다.

[0523] (실시예 1)

[0524] 본 실시형태에서는 실시형태 1에 나타낸 메모리 셀(211)에 대하여 동작 주파수를 추산하였다. 또한, 본 실시예에서는 메모리 셀(211)이 가지는 트랜지스터(M11)에 OS 트랜지스터를 사용하기 때문에, 메모리 셀(211)은 DOSRAM을 구성한다.

[0525] DOSRAM에 요구되는 사양 중 하나인 "변동 허용 전압"이란, DOSRAM의 용량 소자에 가해지는 전압이 데이터 기록 후로부터 변동되는 양의 허용값이다. 또한, DOSRAM의 "데이터 유지 시간"이란, DOSRAM이 가지는 용량 소자에 가해지는 전압의 변동량이 변동 허용 전압에 도달하는 데 필요한 시간이다. 본 실시예에서는 "변동 허용 전압"을 0.2V로 하고, "데이터 유지 시간"을 용량 소자(유지 용량 3.5fF)에 가해지는 전압이 데이터 기록 후의 상태에서 0.2V 저하되는 데 필요한 시간으로 하였다. 예를 들어 본 실시예에서 DOSRAM의 데이터 유지가 1시간이라고 하는 경우, DOSRAM이 가지는 용량 소자에 가해지는 전위가 데이터 기록 후의 상태에서 0.2V 저하될 때까지의 시간이 1시간인 것을 뜻한다.

[0526] DOSRAM의 데이터 유지 시간은 DOSRAM이 가지는 트랜지스터의 컷 오프 전류의 크기에 의존한다. 여기서, 트랜지스터의 컷 오프 전류란 트랜지스터의 게이트 전압 V_G=0V에 있어서의 드레인 전류 I_D(이하, Icut이라고 기재함)와 바꿔 말할 수 있다. 예를 들어 DOSRAM의 데이터 유지 특성이, DOSRAM이 가지는 트랜지스터의 Icut의 크기에만 의존하는 경우, DOSRAM의 데이터 유지 시간은 DOSRAM이 가지는 트랜지스터의 Icut의 크기에 반비례한다.

[0527] DOSRAM이 가지는 트랜지스터의 Icut이 미리 알려져 있는 경우, DOSRAM의 데이터 유지 시간은 데이터 유지 중에 용량 소자로부터 소실되는 전하량(용량 소자의 유지 용량(3.5fF)과 용량 소자에 가해지는 전압의 저하분(0.2V)의 곱에 상당하는 0.7fC)을 Icut으로 나눔으로써 산출할 수 있다. 또한, 목표로 하는 DOSRAM의 유지 시간을 설정하고, 상술한 전하량 0.7fC를 상기 유지 시간으로 나눔으로써, DOSRAM이 가지는 트랜지스터에 요구되는 Icut의 값(이하, Icut0이라고 기재함)을 추산할 수도 있다. 유지 시간의 목표를 1시간으로 하는 경우, 트랜지스터에 요구되는 Icut은 약 200zA(200×10^{-21}A)가 되었다. 도 24에 도시된 Icut0이 200zA가 되도록 백 게이트 전압을 조정함으로써, 높은 데이터 유지 특성을 가지고, 또한 넓은 온도 범위에서 높은 동작 주파수를 가지는 DOSRAM으로 할 수 있다. 본 실시예에서는, DOSRAM의 백 게이트 전압과 동작 주파수의 관계에 대하여 평가하였다.

[0528] DOSRAM의 동작 주파수의 추산에 있어서, 도 13의 (A), (B)에 도시된 트랜지스터(500)와 같은 구성을 가지는 트랜지스터(이하, 시료 1이라고 부름)를 제작하고, 그의 전기 특성으로부터 어림잡기에 필요한 파라미터를 추출하였다. 본 실시예에서는 도 2의 (B)의 트랜지스터(M11)로서 트랜지스터(500)를 상정하여 DOSRAM의 동작 주파수를 추산하였다.

[0529] 우선, 시료 1의 구성에 대하여 설명한다. 도 13의 (A), (B)에 도시한 바와 같이, 시료 1은 기판(도시하지 않았음) 위에 배치된 절연체(524)와, 절연체(524) 위에 배치된 산화물(530a)과, 산화물(530a) 위에 배치된 산화물(530b)과, 산화물(530b) 위에 배치된 산화물(530c)과, 산화물(530c) 위에 배치된 절연체(550)와, 절연체(550) 위에 배치된 도전체(560)(도전체(560a) 및 도전체(560b))를 가진다.

[0530] 절연체(524)로서 막 두께 35nm의 산화질화 실리콘을 사용하였다.

[0531] 산화물(530a)로서, DC 스퍼터링법을 사용하여 성막한, 막 두께가 5nm인 In-Ga-Zn 산화물을 사용하였다. 또한, 산화물(530a)의 성막에는 In:Ga:Zn=1:3:4[원자수비]의 타깃을 사용하고, 성막 가스로서 산소 가스 45sccm를 사용하고, 성막 압력을 0.7Pa로 하고, 성막 전력을 500W로 하고, 기판 온도를 200℃로 하고, 타깃과 기판의 간격을 60mm로 하였다.

[0532] 산화물(530b)로서, DC 스퍼터링법을 사용하여 성막한, 막 두께가 20nm인 In-Ga-Zn 산화물을 사용하였다. 또한, 산화물(530b)의 성막에는 In:Ga:Zn=4:2:4.1[원자수비]의 타깃을 사용하고, 성막 가스로서 아르곤 가스 30sccm, 산소 가스 15sccm를 사용하고, 성막 압력을 0.7Pa로 하고, 성막 전력을 500W로 하고, 기판 온도를 200℃로 하고, 타깃과 기판의 간격을 60mm로 하였다.

[0533] 산화물(530c)로서, DC 스퍼터링법을 사용하여 성막한, 막 두께가 5nm인 In-Ga-Zn 산화물을 사용하였다. 또한, 산화물(530c)의 성막에는 In:Ga:Zn=4:2:4.1[원자수비]의 타깃을 사용하고, 성막 가스로서 산소 가스 45sccm를 사용하고, 성막 압력을 0.7Pa로 하고, 성막 전력을 500W로 하고, 기판 온도를 130℃로 하고, 타깃과 기판의 간

격을 60㎜로 하였다.

[0534] 절연체(550)로서 막 두께 8㎚의 산화질화 실리콘을 사용하였다. 또한, 도전체(560a)로서 막 두께 10㎚의 질화 타이타늄을 사용하였다. 또한, 도전체(560b)로서 텅스텐을 사용하였다.

[0535] 이상과 같은 구성을 가지는 시료 1은 채널 길이 0.37㎛, 채널 폭 0.24㎛의 트랜지스터이다. 또한, 시료 1은 트랜지스터(500)와 마찬가지로, 상기 구성에 더하여 절연체(514), 절연체(516), 도전체(503), 절연체(522), 도전체(542), 절연체(554), 도전체(540), 절연체(580), 절연체(574), 절연체(581) 등을 더 가진다.

[0536] 다음으로, 시료 1에 있어서 트랜지스터(500)의 I_D-V_G 측정을 수행하였다. I_D-V_G 측정은 트랜지스터의 드레인 전위(V_D)를 +1.08V로, 소스 전위(V_S)를 0V로, 게이트 전위(V_G)를 -1.0V로부터 +3.3V까지 스위핑함으로써 수행하였다. 백 게이트 전압(V_{BG})은 -7.1V로 수행하였다. 측정 온도는 -37℃, 27℃, 83℃, 121℃, 144℃, 192℃의 6수준으로 수행하였다. 구체적으로는, 측정 대상이 되는 트랜지스터가 형성된 5인치×5인치의 기판을 상기 각 온도로 설정한 서모 척(thermo chuck) 위에 고정한 상태에서 트랜지스터의 I_D-V_G 측정을 실시하였다. 또한, 각각의 백 게이트 전압(V_{BG}) 및 측정 온도에 대하여, 3 소자의 측정을 수행하였다.

[0537] 얻어진 I_D-V_G 커브로부터 트랜지스터의 시프트 전압(Vsh) 및 서브스레숄드 스윙 값(Svalue)을 산출하였다. 또한, Svalue란, 드레인 전압을 일정하게 하고 드레인 전류를 한 자릿수 변화시키는 서브스레숄드 영역에서의 게이트 전압의 변화량을 말한다.

[0538] 트랜지스터(500)는 앞의 실시형태에서 나타낸 바와 같이, 채널 형성 영역에 금속 산화물을 사용하고 있다. 채널 형성 영역에 금속 산화물을 사용한 트랜지스터는, 예를 들어 채널 형성 영역에 Si을 사용한 트랜지스터와 비교하여, 비도통 상태에서의 누설 전류가 매우 작다. 그러므로, 채널 형성 영역에 금속 산화물을 사용한 트랜지스터는, 실측에 의하여 Icut을 검출하는 것이 어려운 경우가 있다. 트랜지스터(500)에 있어서도 Icut의 실측은 어려웠기 때문에, 상술한 I_D-V_G 커브로부터 얻어진 Vsh 및 Svalue로부터 수학식(1)을 사용한 외삽에 의하여 Icut을 추산하였다. 또한, 수학식(1)에 나타낸 바와 같이, 트랜지스터의 오프 전류가 V_G=0V에 도달할 때까지 Svalue에 따라 I_D가 단조 감소된다고 가정하였다.

[0539] [수학식 1]

[0540]
$$I_{cut} = 1 \times 10^{\left(-12-\frac{V_{sh}}{S_{value}}\right)} \qquad (1)$$

[0541] 다음으로, 트랜지스터(500)의 I_D-V_S 측정을 수행하였다.

[0542] 여기서, DOSRAM 동작 주파수의 추산 방법에 대하여 설명한다. DOSRAM 동작 주파수란 DOSRAM의 데이터 기록 사이클 시간의 역수로 한다. DOSRAM의 데이터 기록 사이클 시간은 DOSRAM이 가지는 용량 소자의 충전 시간 등에 의하여 설정되는 파라미터이다. 본 실시예에서는 DOSRAM의 데이터 기록 사이클 시간(DOSRAM 동작 주파수의 역수)의 40%에 상당하는 시간을 DOSRAM이 가지는 용량 소자의 충전 시간으로 하는 설정으로 하였다.

[0543] DOSRAM 동작 주파수는 DOSRAM이 가지는 용량 소자의 충전 시간에 의존한다. 따라서 DOSRAM 동작 주파수를 추산하는 데에 있어서, 우선 DOSRAM이 가지는 용량 소자의 충전 시간을 사전에 파악할 필요가 있다. 본 실시예에서는 DOSRAM이 가지는 용량 소자(유지 용량 3.5fF)에 0.52V 이상의 전위가 인가된 상태를 상기 용량 소자가 "충전된 상태"로 정의하였다. 따라서 본 실시예에서는 DOSRAM의 데이터 기록 동작의 시작부터 상기 용량 소자에 인가되는 전위가 0.52V에 도달할 때까지의 시간이, DOSRAM이 가지는 용량 소자의 충전 시간에 상당한다.

[0544] DOSRAM이 가지는 용량 소자의 충전 시간은 DOSRAM 데이터 기록 시에 있어서 DOSRAM이 가지는 트랜지스터의 I_D의 크기에 의존한다. 그래서 본 실시예에서는 DOSRAM 데이터 기록 시에 DOSRAM이 가지는 트랜지스터에 가해지는 것이 상정되는 전위(도 25의 (A) 참조)를 본 발명의 일 형태에 따른 트랜지스터(L/W=0.37/0.24㎛)에 실제로 인가함으로써 DOSRAM 데이터 기록 동작을 재현하고, 이때의 트랜지스터의 I_D를 측정하였다. 도 25의 (A)는 도 2의 (B)의 용량 소자(CA)에 트랜지스터(M11)를 통하여 데이터를 기록하는 경우를 상정한 것이다(도 2의 (B)의 용량 소자(CA)에 상당하는 용량 소자를 도 25의 (A)에서는 Cs라고 표기하였음). D는 드레인을 나타내고, G는 게이트를 나타내고, S는 소스를 나타낸 것이다. 트랜지스터(Tr1)의 소스의 전위(용량 소자(Cs)에 인가되는 전

압)를 V_S로 한다. 트랜지스터(Tr1)를 온으로 함으로써, 전류(I_D)가 흐르고, 용량 소자(Cs)가 충전된다. 구체적으로는, 트랜지스터의 게이트 전위(Vg)를 +2.97V로 하고, 드레인 전위(Vd)를 +1.08V로 하고, 소스 전위(V_S)를 0V로부터 +1.2V까지 스위핑함으로써 트랜지스터의 I_D 측정을 수행하였다. 백 게이트 전압(V_{BG})은 -7.1V로 수행하였다. 측정 온도는 -37℃, 27℃, 83℃, 121℃, 144℃, 192℃의 6수준으로 수행하였다.

[0545] 또한, DOSRAM에 대해서는 채널 길이(L)가 60nm, 채널 폭(W)이 60nm의 트랜지스터와, 유지 용량(3.5fF)의 용량 소자를 가지는 구성을 상정하였다. 그래서, 트랜지스터(500)(L/W=0.37㎛/0.24㎛)로부터 얻어진 I_D의 값을, DOSRAM이 가진다고 상정한 트랜지스터(L/W=60/60nm)의 크기로 보정하였다.

[0546] DOSRAM의 충전이 개시되고 V_S가 기록 판정 전압(V_{CS})에 도달할 때에 충전 완료로 한다. 이때의 시간을 충전 시간(t_W)으로 한다(도 25의 (B) 참조). DOSRAM이 가지는 유지 용량(Cs[F])의 용량 소자에 충전되는 전하를 Q[C], 충전 시간을 t_W[sec], 충전에 의하여 용량 소자에 가해지는 전위를 Vcs(=Vs)[V], DOSRAM이 가지는 트랜지스터의 드레인 전류를 I_D[A]로 한 경우, 각 파라미터 사이에는 이하의 수학식(2)의 관계가 성립된다.

[0547] [수학식 2]

$$Q = \int_0^{t_W} I_D \, dt = C_S \times V_{CS} \qquad (2)$$

[0548]

[0549] 수학식(2)을 변형함으로써, DOSRAM이 가지는 용량 소자의 충전 시간(t_W)을 이하의 수학식(3)으로 나타낼 수 있다(도 25의 (C) 참조).

[0550] [수학식 3]

$$t_W = \int_0^{V_{CS}} \frac{C_S}{I_D} \, dV_S \qquad (3)$$

[0551]

[0552] 본 실시예에서는, 수학식(3)의 Cs에 3.5fF, Vcs에 +0.52V, 상술한 I_D-V_S 측정으로 얻어진 I_D를 대입하여 DOSRAM이 가지는 용량 소자의 충전 시간(t_W)을 산출하였다.

[0553] DOSRAM의 동작 주파수(f)와 충전 시간(t_W)의 관계를 수학식(4)으로 나타낼 수 있다.

[0554] [수학식 4]

$$f = \frac{A}{t_W} \qquad (4)$$

[0555]

[0556] 수학식(4)에 있어서 A는 계수이다. DOSRAM에 있어서, 한 번의 동작 시간 중 기록에 필요한 시간은 40%로 상정되기 때문에, 본 실시예에서는 계수 A를 0.4로 하여 동작 주파수(f)를 산출하였다.

[0557] 시료 1에 있어서, 전원 전압을 3.3V, 백 게이트 전압을 -7.1V로 한 경우의 DOSRAM의 동작 주파수를 도 26에 도시하였다. 도 26에 있어서, 가로축은 온도의 역수[K^{-1}](도 26에서는 "1000/Temperature[1/K]"라고 표기하였음)를 나타내고, 세로축은 동작 주파수[MHz]를 나타낸다. 도 26에 도시한 바와 같이, 온도가 높아질수록 동작 주파수가 높게 되는 것을 확인할 수 있었다. 또한, 도 26에 도시한 바와 같이, 192℃에서의 동작 주파수가 1053MHz로 산출되었다.

[0558] 이상에 의하여, DOSRAM이 가지는 트랜지스터의 채널 형성 영역에 금속 산화물을 사용함으로써, 온도가 높아질수록 DOSRAM의 동작 주파수가 높게 되는 것을 알 수 있었다.

[0559] 본 실시예에 나타낸 구성, 방법 등은 적어도 그 일부를 본 명세서 중에 기재하는 다른 실시형태와 적절히 조합하여 실시할 수 있다.

[0560] (실시예 2)

[0561] 근년, AI(Deep Learning)의 현저한 발전이나 프로세서의 처리 능력의 향상에 의하여, 연산 메모리의 대용량화와 저소비전력화가 요구되고 있다. 그동안, DOSRAM에서는 셀 트랜지스터의 충분한 오프 상태와 온 상태를 얻기 위하여, 3.3V의 전원이 사용되어 있었다.

[0562] 65nm CAAC-IGZO FET(반도체층에 CAAC 구조를 가지는 In-Ga-Zn 산화물을 포함하는 트랜지스터)와 60nm Si CMOS를 조합한 공정을 사용하여 시작(試作)한 기억 용량 64kb의 DOSRAM의 실측 데이터를 사용하여, 워드선 전위, 백 게이트 전위의 최적화에 의한 전원 전압의 저감을 검토하였다.

[0563] 도 27의 (A)는 메모리 셀에 포함되는 CAAC-IGZO FET의 디바이스 구조를 도시한 사시도이다. 상기 트랜지스터는, 상기 실시형태에 나타낸 트랜지스터(500)와 같은 구성을 가진다. 따라서, 상기 트랜지스터는 톱 게이트 전극(TGE), 톱 게이트 전극 측의 게이트 절연층(TGI), 백 게이트 전극(BGE), 백 게이트 전극 측의 게이트 절연층(BGI) 등을 가진다. 상기 트랜지스터는 S-channel 구조의 트랜지스터이다.

[0564] 도 27의 (B)에 CAAC-IGZO FET의 백 게이트 전압(Vbg)을 0V로부터 -18V까지 2V씩 변화시켰을 때의 Id-Vg 특성의 실측 결과를 나타낸다. 또한, 도 28의 (A)에 전계 효과 이동도(μFE)의 백 게이트 전압(Vbg) 의존성을 나타내었다. 도 28의 (B)에 문턱 전압(Vth)의 백 게이트 전압(Vbg) 의존성을 나타내었다.

[0565] 도 27의 (A), 도 27의 (B), 도 28의 (A), 및 도 28의 (B)로부터, Si FET에서는 채널 도핑으로 문턱 제어를 수행하는 반면, CAAC-IGZO FET에서는 백 게이트 전압(Vbg)에 의하여 문턱 전압(Vth)을 넓은 레인지로 제어할 수 있는 것을 알 수 있다. 한편, 백 게이트 전압(Vbg)이 마이너스 방향으로 지나치게 크게 되면 전계 효과 이동도의 저하가 확인된다. 도 28의 (A)를 보면, Vbg가 -8V 미만이 되면 전계 효과 이동도(μFE)의 저하가 크게 되어 있는 것을 알 수 있다.

[0566] 도 29에 시작한 64kb DOSRAM의 블록도를 도시하였다. 시작한 64kb DOSRAM은 메모리 셀 어레이(801)와 주변 회로(802)를 포함한다. 워드선 드라이버 회로(803) 및 비트선 드라이버 회로 등의 주변 회로(802)는 1.2V로 구동한다. 또한, 워드선 드라이버 회로(803)는 레벨 시프터(804) 및 버퍼(805)를 포함한다. 이들 2개의 회로의 저전위 측 전원에는 후술하는 톱 게이트용 음 전위 생성 회로(811)에서 생성되는 음의 전위(VSSL)가 이용된다. 워드선(WL)은 상기 버퍼의 출력에 접속된다. 메모리 셀 어레이(801)를 구성하는 메모리 셀(806)에 포함되는 CAAC-IGZO FET의 백 게이트는 후술하는 백 게이트용 음 전위 생성 회로(821)의 출력에 접속되고, 그 생성 회로가 공급하는 음의 전위(Vbg)가 인가된다.

[0567] 메모리 셀의 프레시 빈도는 주로 셀 트랜지스터의 누설 전류로 결정된다. 리프레시를 1시간에 한 번으로 하기 위해서는, 비선택 시의 드레인 전류(Id)를 85℃에서 200zA/FET 이하(z는 10^{-21}의 접두사)로 매우 낮게 할 필요가 있지만, 백 게이트 전압(Vbg)을 조절하여 Vg가 0V일 때의 드레인 전류(Id)를 200zA 이하로 하는 경우, Vbg를 -7V 이하로 할 필요가 있다.

[0568] 전원 전압을 저감하기 위하여, 워드선 전위(톱 게이트 전위) 및 백 게이트 전위의 복합적인 최적화를 검토하였다. 워드선 전위 및 백 게이트 전위의 최적화의 검토에 사용한 동작 조건 중, 3종류의 동작 조건에 대하여 설명한다. 첫 번째는 톱 게이트 전압(Vtg)(워드선(WL)에 공급하는 전압에 상당함)에 공급하는 전압 중, 고전위 측 전압(VDDH)을 3.3V, 저전위 측 전압(VSSL)을 0V로 하고, 백 게이트 전압(Vbg)을 -7V로 하는 구동 조건 A이다. 두 번째는 고전위 측 전압(VDDH)을 2.5V, 저전위 측 전압(VSSL)을 -0.8V로 하고, 백 게이트 전압(Vbg)을 -3V로 하는 구동 조건 B이다. 세 번째는 고전위 측 전압(VDDH)을 1.8V, 저전위 측 전압(VSSL)을 -1.5V로 하고, 백 게이트 전압(Vbg)을 0V로 하는 구동 조건 C이다. 또한, 100MHz 정도의 동작 주파수를 얻기 위해서는, 적어도 수μA의 온 전류가 필요하다. 그러므로, 이번의 검토에서는 워드선의 전위차(VDDH-VSSL)를 3.3V로 고정하였다.

[0569] 도 30의 (A)에 구동 조건 A, 구동 조건 B, 및 구동 조건 C로 구동한 CAAC-IGZO FET의 Id-Vg 특성을 도시하였다. 도 30의 (B) 및 (C)는 구동 조건 A, 구동 조건 B, 및 구동 조건 C의 동작 전압을 도시한 도면이다.

[0570] 메모리 셀에 기록된 데이터를 유지하는 경우, 드레인 전류(Id)를 충분히 적게 할 필요가 있다. 또한, 메모리 셀에 데이터를 기록하는 경우, 기록 속도를 높이기 위하여, 드레인 전류(Id)를 크게 할 필요가 있다. 백 게이트 전극 측의 게이트 절연층(BGI)의 두께는 톱 게이트 전극 측의 게이트 절연층(TGI)의 두께와 비교하여 EOT 환산으로 약 5배 두껍다. 그러므로, 구동 조건 A에서는 1zA라는 극히 적은 드레인 전류를 실현하기 위하여 백 게이트 전압(Vbg)을 -7V로 할 필요가 있다.

[0571] 한편, 구동 조건 B에서는 백 게이트 전극뿐만 아니라, 톱 게이트 전극에도 음의 전압을 인가한다. 구동 조건 B에서는 백 게이트 전압(Vbg)이 -3V이기 때문에, 문턱 전압(Vth)의 변동량은 구동 조건 A보다 적지만, 톱 게이트 전극에 VSSL로서 음의 전위를 인가함으로써, CAAC-IGZO FET의 드레인 전류를 충분히 적게 할 수 있다. 또한, 구동 조건 C에서는 백 게이트 전압(Vbg)을 0V로 할 수 있다.

[0572] 톱 게이트 전극에 저전위 측 전압(VSSL)으로서 음의 전위를 인가함으로써, 백 게이트 전압(Vbg)의 절댓값을 작게 할 수 있다. 이로써, 기억 장치의 신뢰성을 높일 수 있다.

[0573] 도 31에, 65nm CAAC-IGZO FET와 60nm Si CMOS를 조합한 공정을 사용하여 시작한 DOSRAM의 VDDH, VSSL, 및 Vbg와, 데이터 유지 상황의 평가 결과를 도시하였다. 도 37에 시작한 DOSRAM의 칩 사진을 나타내었다. 평가는 25℃의 환경 온도하에서, VDDH와 VSSL의 전위차를 3.3V로 하고, 복수 종류의 VDDH, VSSL, 및 Vbg의 조합에 대하여 수행하였다.

[0574] 구체적으로는, 64kb DOSRAM 메모리 셀 어레이 전체에 대하여 정보를 기록하고, 1초간 유지한 후에 정보의 판독(도 31에는 "write→1s hold→read"라고 표기하였음)을 수행하고, 기록된 정보를 옳게 유지할 수 있는지 여부(Pass or Fail)의 판정을 수행하였다. 또한, 기록 시간(메모리 셀 용량으로의 충전 시간)을 200ns, 판독 시간을 150ns로 하였다.

[0575] 평가에 앞서, VDDH=1.7V, VSSL=-1.2V, 및 Vbg=0V의 조건에서의 오류 비트를 초기 불량으로서 제거하였다(도 31에는 "Initial FAILs are removed assuming ○ region has no error bits."라고 표기하였음). 이 조건은 오류 비트가 발생하기 어려운 조건이다. 따라서, 상기 오류는 DOSRAM의 제조 공정에 기인하는 오류라고 생각된다.

[0576] 도 32의 (A), (B)에, 85℃의 환경 온도하에서의 유지 시간(도 32에는 "data retention at 85℃", "write→hold→read"라고 표기하였음)과 수율의 평가 결과를 도시하였다. 평가는 VDDH=1.8V, VSSL=-1.5V, 및 Vbg=0V로서 수행하였다. 각 유지 시간의 수율은 유지 시간이 1초일 때의 수율을 100%로 하여 산출하였다. 도 31로부터, 유지 시간이 1시간의 경우에 있어서도, 높은 수율이 실현될 수 있는 것을 알 수 있다.

[0577] 도 31 및 도 32의 (A), (B)를 참조하면, Vbg를 조정함으로써 구동 조건B(Vbg=-3V) 및 구동 조건 C(Vbg=0V)를 포함하는 어느 조건에서도 정상 동작과 85℃ 1시간의 유지 특성이 얻어졌다. 또한, 동작·유지 성능의 관점에서 전원 전압을 3.3V로부터 1.8V로의 저감할 수 있는 것이 실증되었다. 그때, Vbg를 -7V로부터 0V로 할 수 있다. 따라서, 셀 트랜지스터나 Vbg 생성 회로의 부하가 경감되어 신뢰성에 유리하게 된다.

[0578] 상기 동작 전압의 차이의 영향을 셀 면적 3.696um^2의 1Mb DOSRAM(최소 어레이는 128×128로 하였음)을 상정하여 추산하였다. 구동 조건 A는 Vbg가 -7V이고 전압의 절댓값이 크고, 고내압 트랜지스터가 필요하기 때문에, 여기서는 구동 조건 B와 구동 조건 C에 대하여 비교한다.

[0579] 도 33의 (A)에 음 전위 생성 회로(음 전위 생성 회로(811) 및/또는 음 전위 생성 회로(821))의 블록도를 도시하였다. 음 전위 생성 회로(811)는 링 오실레이터(812), 차지 펌프(813), 및 콤퍼레이터(814)로 구성된다. 음 전위 생성 회로(811)는 VSSL을 인가하는 기능을 가진다. 음 전위 생성 회로(821)는 링 오실레이터(822), 차지 펌프(823) 및 콤퍼레이터(824)로 구성된다. 음 전위 생성 회로(821)는 Vbg를 인가하는 기능을 가진다.

[0580] 도 33의 (B)에, 음 전위 생성 회로(음 전위 생성 회로(811) 및/또는 음 전위 생성 회로(821))의 동작 파형을 도시하였다. 또한, 도 34의 (A)에 링 오실레이터의 동작 검증 조건을 도시하였다. 또한, 도 34의 (B)에 차지 펌프의 동작 검증 조건을 도시하였다. 음 전위 생성 회로(811)에 있어서, 링 오실레이터(812)는 콤퍼레이터(814)의 출력 신호(EN)에 의하여 간헐 동작이 제어된다. 링 오실레이터(812)의 출력(ROOUT)은 차지 펌프(813)에 공급된다. 마찬가지로, 음 전위 생성 회로(821)에 있어서, 링 오실레이터(822)는 콤퍼레이터(824)의 출력 신호(EN)에 의하여 간헐 동작이 제어된다. 링 오실레이터(822)의 출력(ROOUT)은 차지 펌프(823)에 공급된다.

[0581] 즉, 차지 펌프(차지 펌프(813) 및/또는 차지 펌프(823))의 출력이 소정 전위보다 높으면 링 오실레이터(링 오셀레아터(812) 및/또는 링 오실레이터(822)) 및 차지 펌프는 동작하고("Active 상태"라고도 함), 낮으면 동작을 멈춘다("휴면 상태" 또는 "Sleep 상태"라고도 함).

[0582] VSSL을 생성하는 음 전위 생성 회로(811)에서는, 동작 시의 부하 전류(도 34의 (B)에는 "load current"로 표기하였음)는 평균 8uA(도 34의 (B)에는 "8uA(Ave.)"라고 표기하였음)이다. 백 게이트 전극이 플로팅 구조이기 때문에, 구동 조건 A에 있어서의 음 전위 생성 회로(821)에서는, 부하 전류가 적다(도 34의 (B)에는 "less than 1pA"라고 표기하였음). 음 전위 생성 회로(811) 및 음 전위 생성 회로(821)를 구성하는 인버터의 단수(도 34의 (A)에는 "# of INV.s"라고 표기하였음)는 양쪽 5단이고, 차지 펌프의 단수(도 34의 (B)에는 "# of stages"라고

표기하였음)는 양쪽 6단이고, 최저 출력 전압(도 34의 (B)에는 "minimum output vol."라고 표기하였음)은 양쪽 약 -5V(도 34의 (B)에는 "approx. -5V"라고 표기하였음)이다.

[0583] 도 35의 (A)에 콤퍼레이터(콤퍼레이터(814) 및/또는 콤퍼레이터(824))의 회로도를 도시하였다. 도 35의 (B)에 콤퍼레이터의 동작파형을 도시하였다. 도 35의 (A)에서는 비교용 차동 쌍에 CAAC-IGZO FET를 사용하고, 비교하는 음의 전위 (VIN)(VSSL 또는 Vbg)를 백 게이트에, Vref를 톱 게이트에 인가하는 구성을 채용하였다. Si FET를 사용하는 경우에는 저항 스트링에 의한 분압 등으로 음의 전위를 양의 전위로 변환하고 나서 비교할 필요가 있지만, CAAC-IGZO FET를 사용하여 백 게이트에 음의 전위를 인가함으로써, 양의 전위로 변환하기 위한 불필요한 회로나 소비 전류를 증가시키지 않고, 음 전위 비교를 수행할 수 있다. Vref=1.18V로 VIN=-1.5V를 판정할 수 있다.

[0584] 도 36의 (A) 내지 (C)에 시뮬레이션에 의한 1Mb(기억 용량, 도 36의 (C)에는 "Density"라고 표기하였음) DOSRAM의 소비전력과 점유 면적의 추산 결과를 도시하였다. 1Mb DOSRAM의 워드선당 메모리 셀 수(도 36의 (C)에는 "Memory Cells per WL"이라고 표기하였음)는 128이다. 도 36의 (A)에 1Mb DOSRAM의 동작 시의 소비전력("동작 전력" 또는 "Active Power"라고도 함)과 대기 시의 소비전력("대기 전력" 또는 "Standby Power"라고도 함)의 추산 결과를 도시하였다. 1.8V 전원의 구동 조건 C를 채용함으로써, 2.5V의 구동 조건 B와 비교하여 대기 전력은 약 50% 삭감되고, 120.2nW가 된다.

[0585] 도 36의 (B)에 구동 조건 B에서의 음 전위 생성 회로(811)의 소비전력과 동작 시간의 추산 결과를 도시하였다. 도 36의 (B)를 참조하면, 음의 전위를 생성하기 위한 동작 시간("Active Time"라고도 함)은 2.48μ초이고, 휴면 시간("Sleep Time"라고도 함)은 28.4초이다. 즉, 음의 전위(VSSL=-1.5V)의 생성 동작은 28.4초에 한 번이고, 대기 전력에 대한 영향은 실질적으로 무시할 수 있다(도 36의 (B), 평균 전력("Average Power"라고도 함) 참조).

[0586] 1Mb DOSRAM에 있어서, 메모리 셀 어레이를 포함하는 기억부("Memory"라고도 함) 등과, 음 전위 생성 회로("Neg. Bias"라고도 함) 이외의 회로는 모두 전원을 오프(1nW 이하)로 할 수 있다(또한, 도 36의 (A)에서는 기억부와 음 전위 생성 회로를 합쳐서 "Total"이라고 표기하였음). 따라서, 1Mb DOSRAM의 소비전력은, 음 전위 생성 회로의 휴면 시의 소비전력("휴면 전력" 또는 "Sleep Power"라고도 함)이 거의 100%를 차지한다.

[0587] 또한, 음 전위 생성 회로(811)에서는 구동 조건 B(VSSL=-0.8V)보다 구동 조건 C(VSSL=-1.5V)의 소비전력이 크게 된다. 그러나, 구동 조건 C에서의 음 전위 생성 회로의 동작 전력 132μW(도 36의 (A) 참조)는 1Mb DOSRAM의 100MHz 동작 시의 소비전력 4.83mW의 2.68%이고 작다.

[0588] 도 36의 (C)에 메모리 셀 어레이를 포함하는 기억부의 점유 면적("Area A"라고도 함)과 음 전위 생성 회로의 점유 면적("Area B"라고도 함)의 추산 결과를 도시하였다. 1Mb DOSRAM의 점유 면적은 1개의 워드선(WL)에 128개의 메모리 셀이 접속되는 경우를 상정하여 추산하였다. 도 36의 (C)에 도시한 바와 같이, 음 전위 생성 회로의 점유 면적은 1Mb DOSRAM의 점유 면적과의 비(도 36에는 "ratio A/(A+B)"라고 표기하였음)로 0.209%이고 작다.

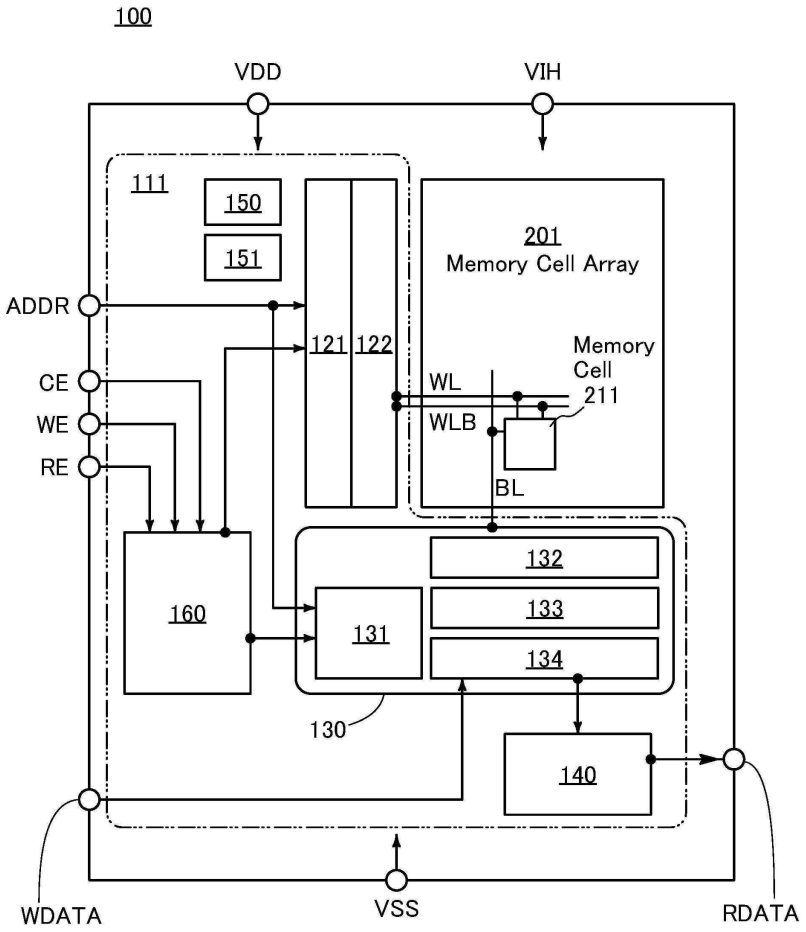
[0589] 1.8V 전원 DOSRAM은 IoT나 AI 에지 컴퓨팅에 적합한 저전력 매립 메모리이다.

부호의 설명

[0590] C21: 용량 소자, C22: 용량 소자, C24: 용량 소자, M11: 트랜지스터, M12: 트랜지스터, M13: 트랜지스터, M14: 트랜지스터, M15: 트랜지스터, M16: 트랜지스터, M21: 트랜지스터, M24: 트랜지스터, M31: 트랜지스터, M34: 트랜지스터, N11: 노드, N12: 노드, N13: 노드, N14: 노드, S1: 산화물, Tr21: 트랜지스터, Tr22: 트랜지스터, Tr23: 트랜지스터, Tr31: 트랜지스터, Tr32: 트랜지스터, Tr33: 트랜지스터, Tr34: 트랜지스터, Tr41: 트랜지스터, Tr42: 트랜지스터, 13: 트랜지스터, 14: 트랜지스터, 15: 트랜지스터, 16: 트랜지스터, 17: 트랜지스터, 18: 트랜지스터, 19: 트랜지스터, 20: 트랜지스터, 21: 트랜지스터, 33: 트랜지스터, 34: 트랜지스터, 35: 트랜지스터, 36: 트랜지스터, 37: 트랜지스터, 38: 트랜지스터, 39: 트랜지스터, 40: 트랜지스터, 41: 트랜지스터, 54: 회로, 55: 회로

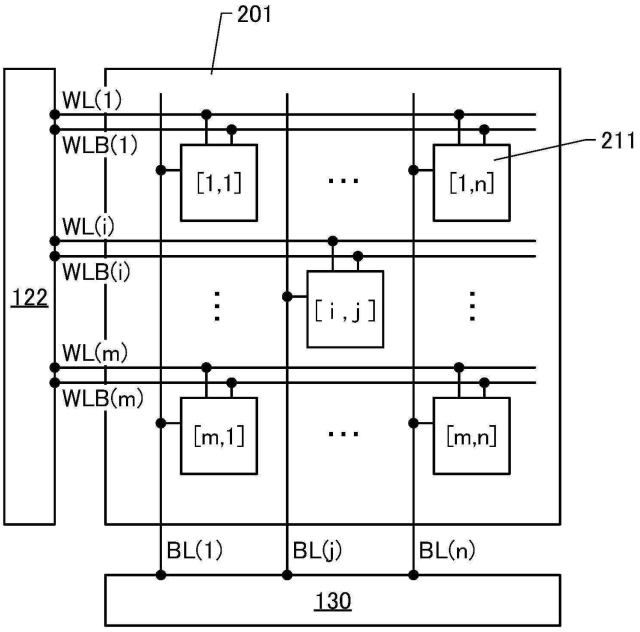
도면

도면1

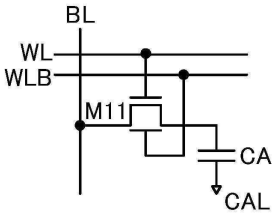

100
VDD
VIH
111
150
151
201
Memory Cell Array
ADDR
121
122
Memory
Cell
211
CE
WE
RE
WL
WLB
BL
132
133
134
160
131
130
140
WDATA
VSS
RDATA

도면2

(A)

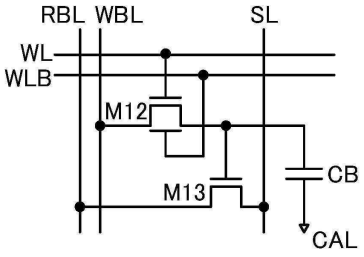

201
211
WL(1)
WLB(1)
WL(i)
WLB(i)
WL(m)
WLB(m)
122
[1,1]
[1,n]
[i,j]
[m,1]
[m,n]
BL(1)
BL(j)
BL(n)
130

(B) 211

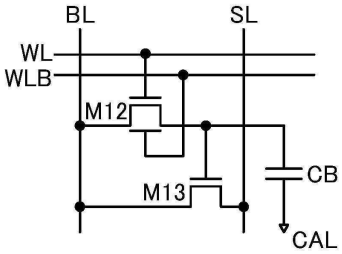

BL
WL
WLB
M11
CA
CAL

도면3

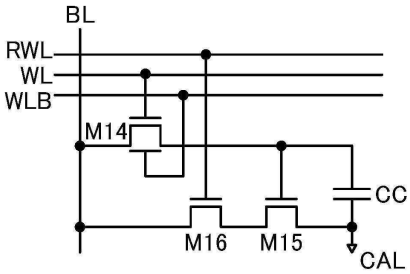
(A) 212



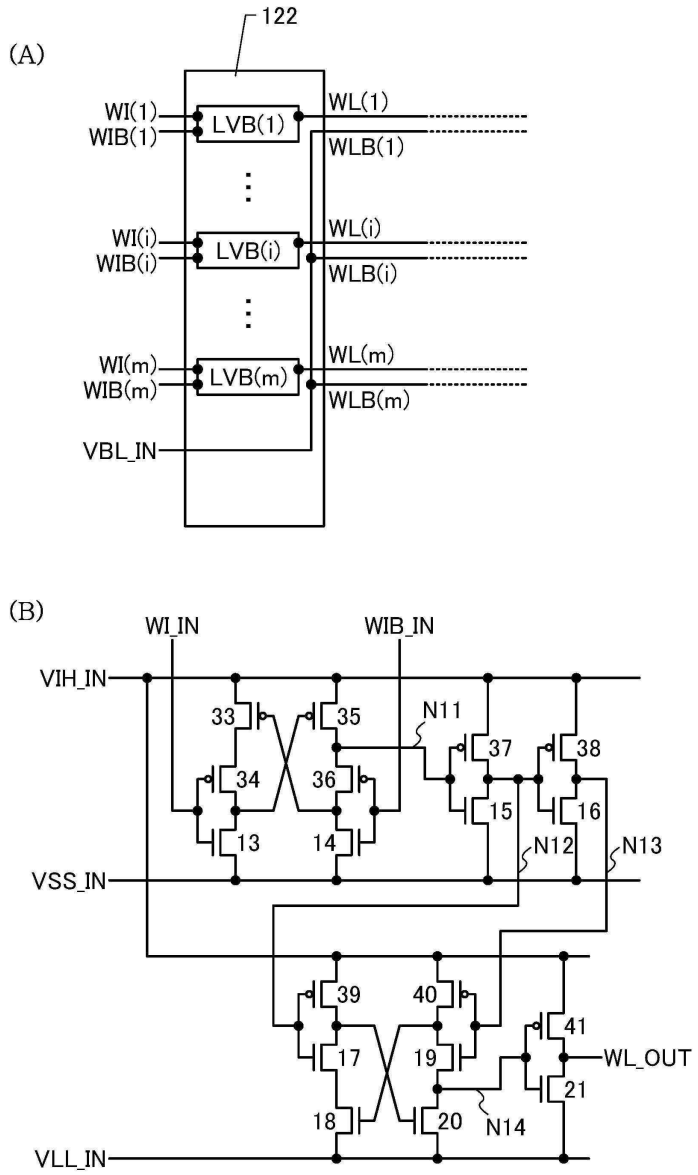
(B) 213



(C) 214

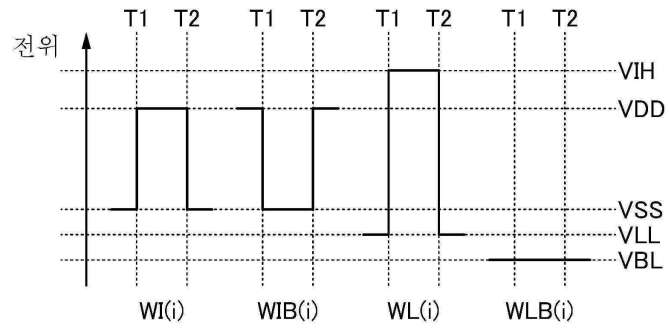


도면4

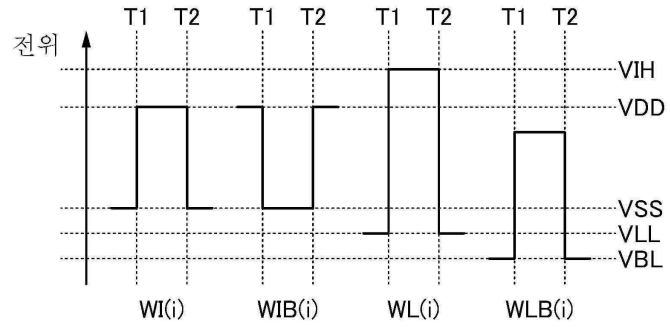

(A)
122
WI(1)
WIB(1)
LVB(1)
WL(1)
WLB(1)
WI(i)
WIB(i)
LVB(i)
WL(i)
WLB(i)
WI(m)
WIB(m)
LVB(m)
WL(m)
WLB(m)
VBL_IN
(B)
WI_IN
WIB_IN
VIH_IN
VSS_IN
VLL_IN
33
34
35
36
13
14
N11
37
38
15
16
N12
N13
39
40
17
19
18
20
N14
41
21
WL_OUT

도면5

(A)

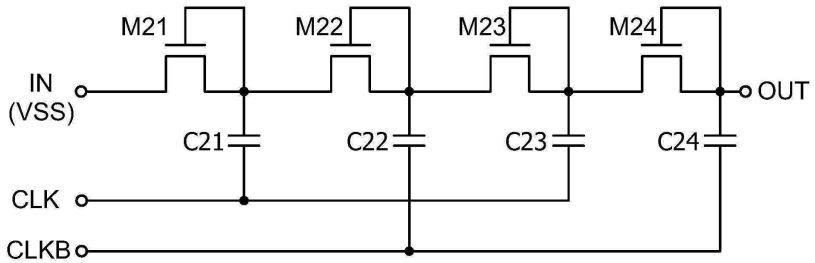

T1
T2
T1
T2
T1
T2
T1
T2
전위
VIH
VDD
VSS
VLL
VBL
WI(i)
WIB(i)
WL(i)
WLB(i)

(B)

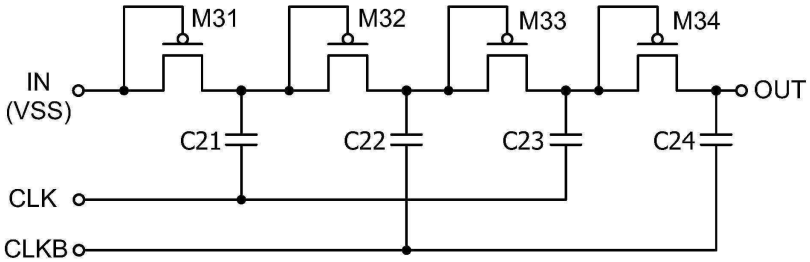

T1
T2
T1
T2
T1
T2
T1
T2
전위
VIH
VDD
VSS
VLL
VBL
WI(i)
WIB(i)
WL(i)
WLB(i)

도면6

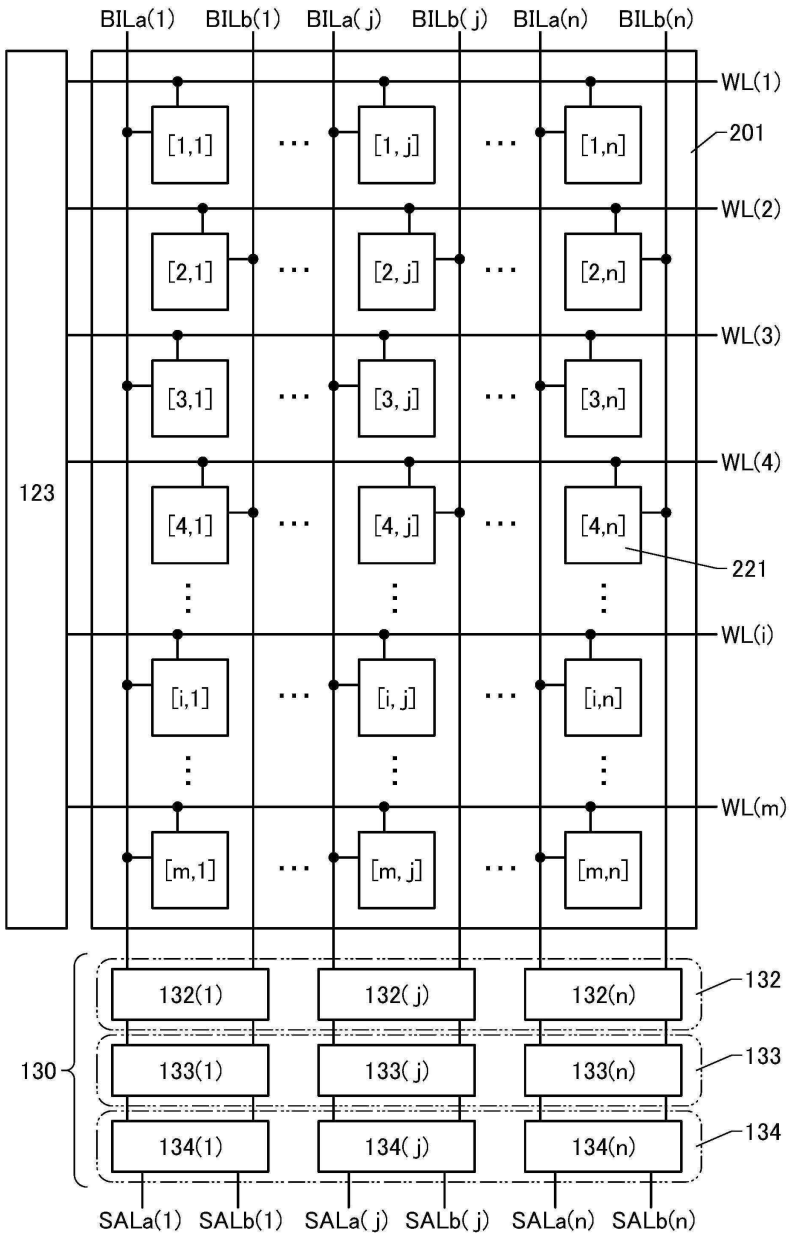
(A) 54


M21
M22
M23
M24
IN
(VSS)
OUT
C21
C22
C23
C24
CLK
CLKB

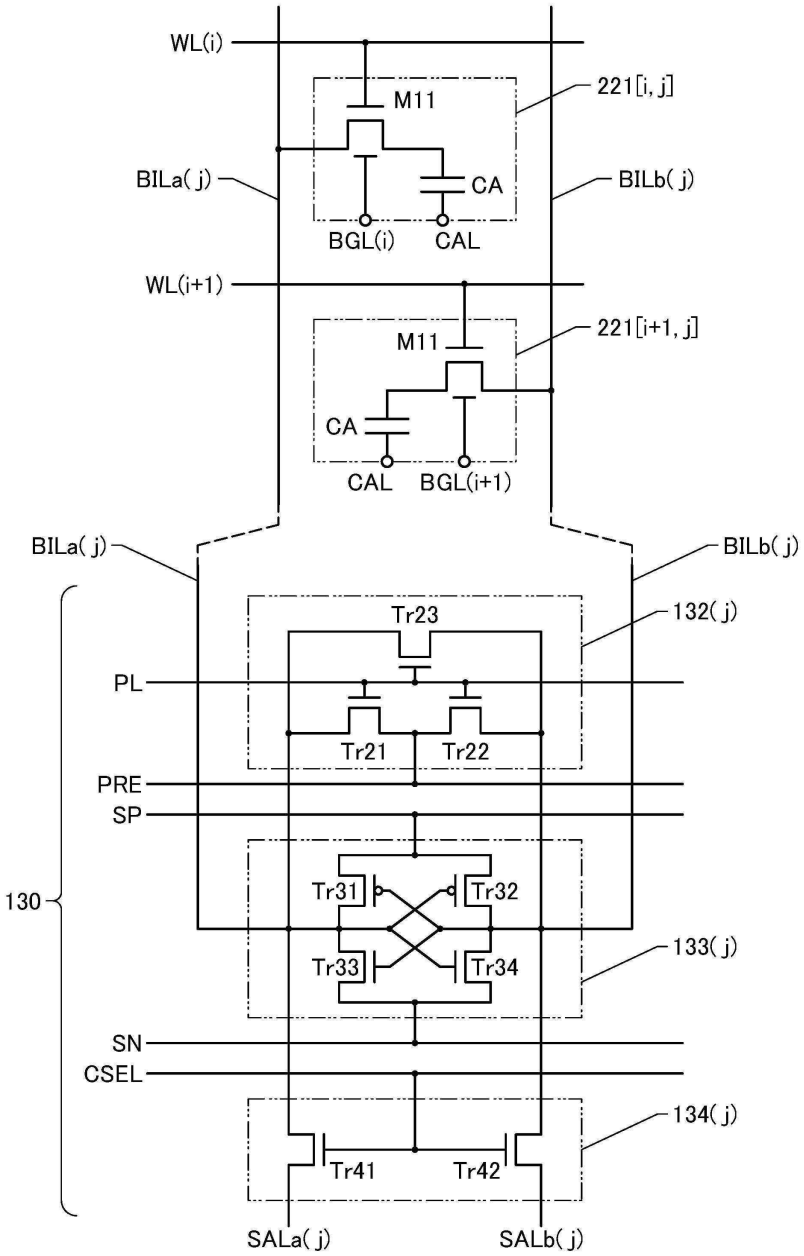
(B) 55


M31
M32
M33
M34
IN
(VSS)
OUT
C21
C22
C23
C24
CLK
CLKB

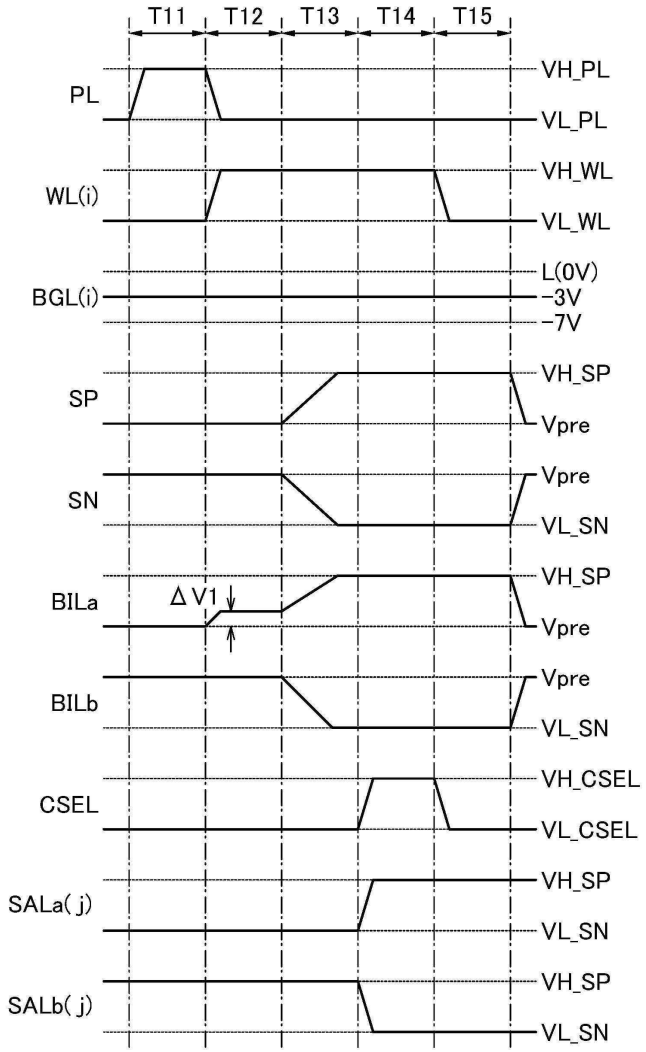
도면7


BILa(1)
BILb(1)
BILa(j)
BILb(j)
BILa(n)
BILb(n)
WL(1)
WL(2)
WL(3)
WL(4)
WL(i)
WL(m)
201
221
123
[1,1]
[1, j]
[1,n]
[2,1]
[2, j]
[2,n]
[3,1]
[3, j]
[3,n]
[4,1]
[4, j]
[4,n]
[i,1]
[i, j]
[i,n]
[m,1]
[m, j]
[m,n]
130
132(1)
132(j)
132(n)
133(1)
133(j)
133(n)
134(1)
134(j)
134(n)
132
133
134
SALa(1)
SALb(1)
SALa(j)
SALb(j)
SALa(n)
SALb(n)

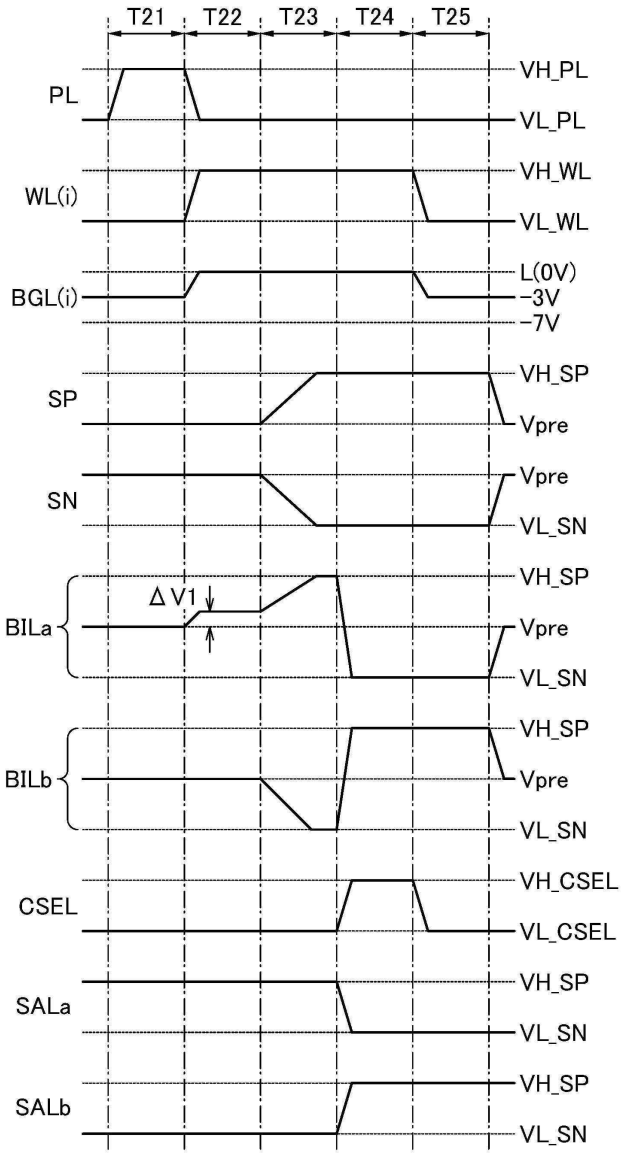
도면8


WL(i)
M11
221[i, j]
BILa(j)
CA
BILb(j)
BGL(i)
CAL
WL(i+1)
M11
221[i+1, j]
CA
CAL
BGL(i+1)
BILa(j)
BILb(j)
Tr23
132(j)
PL
Tr21
Tr22
PRE
SP
130
Tr31
Tr32
Tr33
Tr34
133(j)
SN
CSEL
134(j)
Tr41
Tr42
SALa(j)
SALb(j)

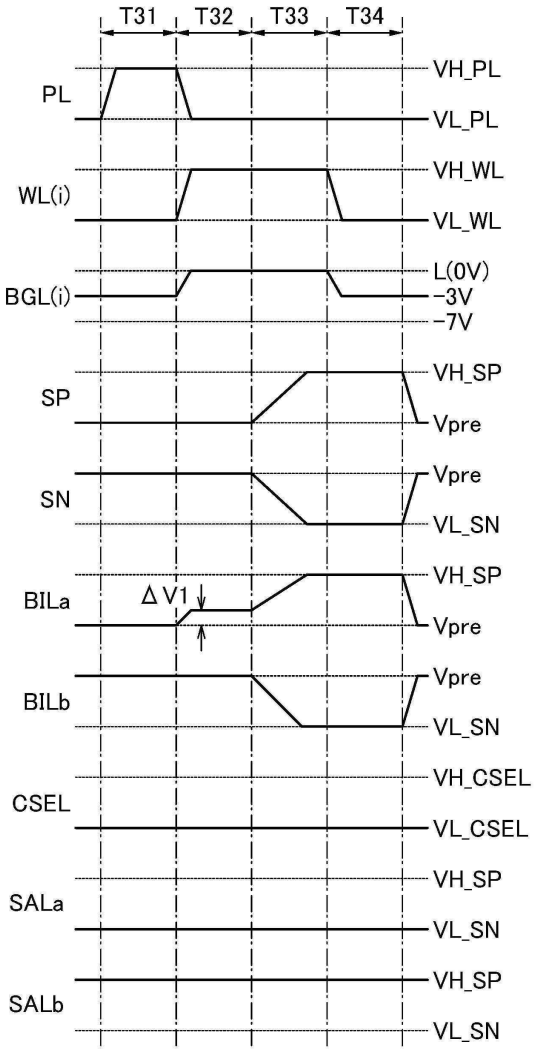
도면9


T11
T12
T13
T14
T15
PL
VH_PL
VL_PL
WL(i)
VH_WL
VL_WL
BGL(i)
L(0V)
-3V
-7V
SP
VH_SP
Vpre
SN
Vpre
VL_SN
BILa
ΔV1
VH_SP
Vpre
BILb
Vpre
VL_SN
CSEL
VH_CSEL
VL_CSEL
SALa(j)
VH_SP
VL_SN
SALb(j)
VH_SP
VL_SN

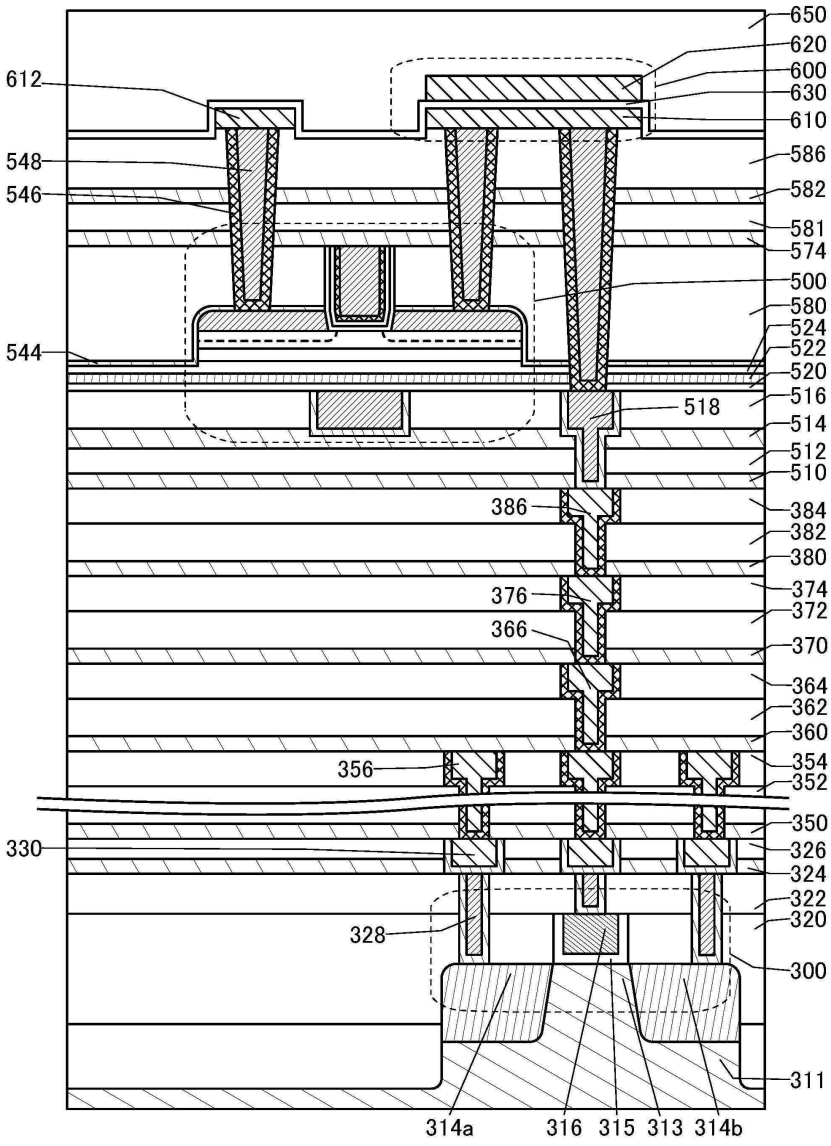
도면10


T21
T22
T23
T24
T25
PL
VH_PL
VL_PL
WL(i)
VH_WL
VL_WL
BGL(i)
L(0V)
-3V
-7V
SP
VH_SP
Vpre
SN
Vpre
VL_SN
BILa
ΔV1
VH_SP
Vpre
VL_SN
BILb
VH_SP
Vpre
VL_SN
CSEL
VH_CSEL
VL_CSEL
SALa
VH_SP
VL_SN
SALb
VH_SP
VL_SN

도면11

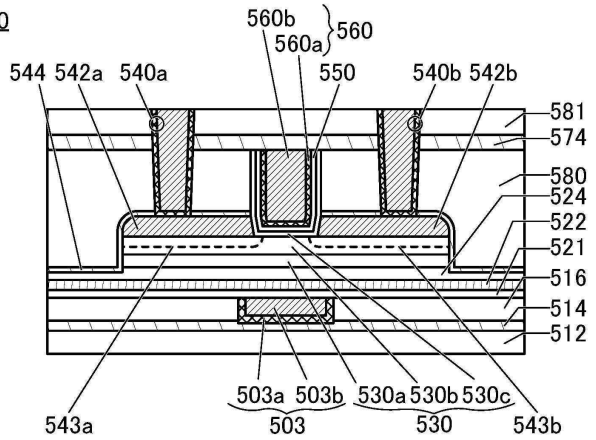

T31
T32
T33
T34
PL
VH_PL
VL_PL
WL(i)
VH_WL
VL_WL
BGL(i)
L(0V)
-3V
-7V
SP
VH_SP
Vpre
SN
Vpre
VL_SN
BILa
ΔV1
VH_SP
Vpre
BILb
Vpre
VL_SN
CSEL
VH_CSEL
VL_CSEL
SALa
VH_SP
VL_SN
SALb
VH_SP
VL_SN

도면12

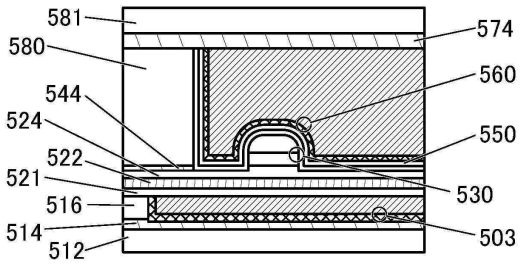

650
620
600
630
610
612
586
548
582
546
581
574
500
580
524
544
522
520
516
518
514
512
510
386
384
382
380
376
374
372
366
370
364
362
360
356
354
352
350
330
326
324
322
328
320
300
311
314a
316
315
313
314b

도면13

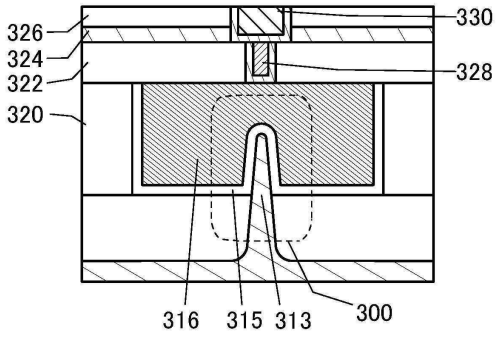
(A)


500
560b
560a
560
544
542a
540a
550
540b
542b
581
574
580
524
522
521
516
514
512
503a
503b
530a
530b
530c
543a
503
530
543b

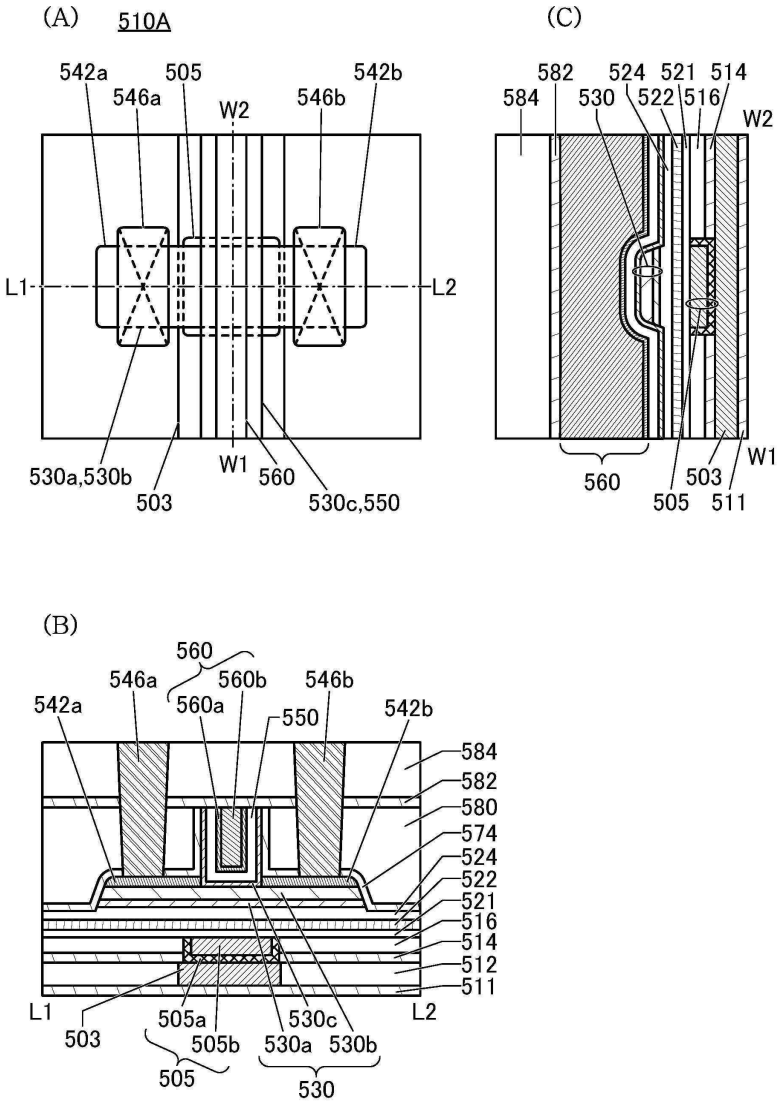
(B)


500
581
580
574
560
544
524
550
522
521
530
516
514
503
512

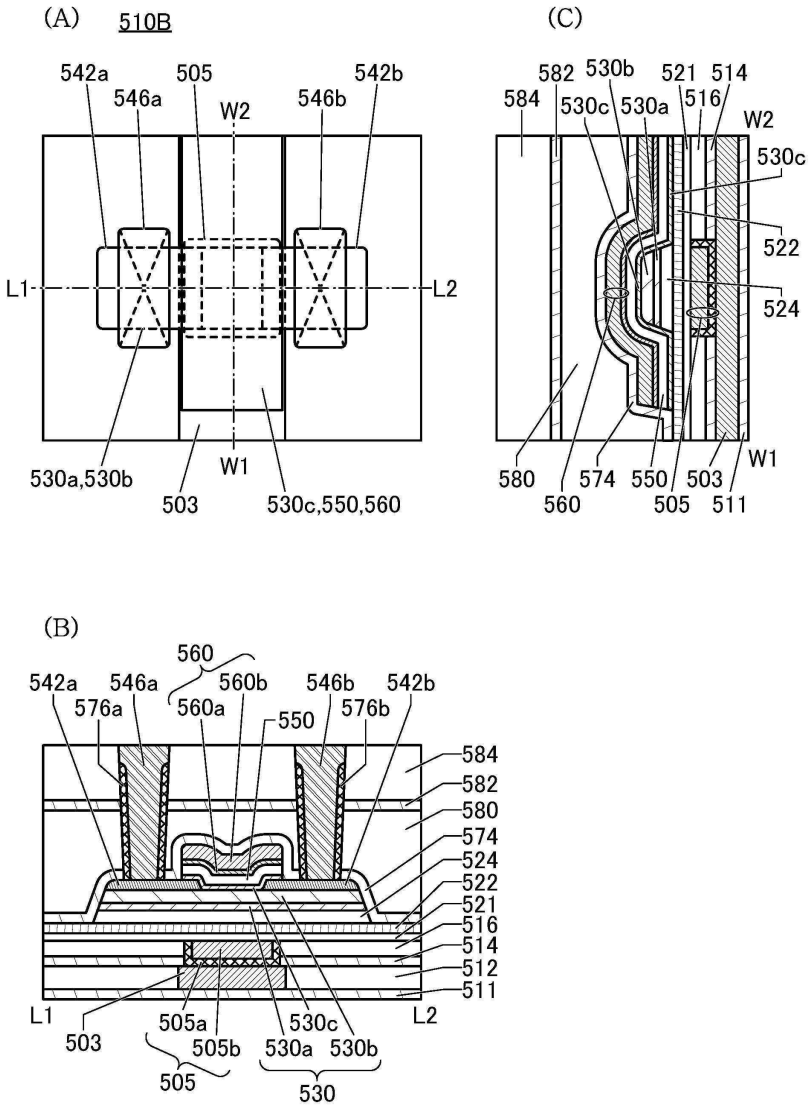
(C)


330
326
324
328
322
320
316
315
313
300

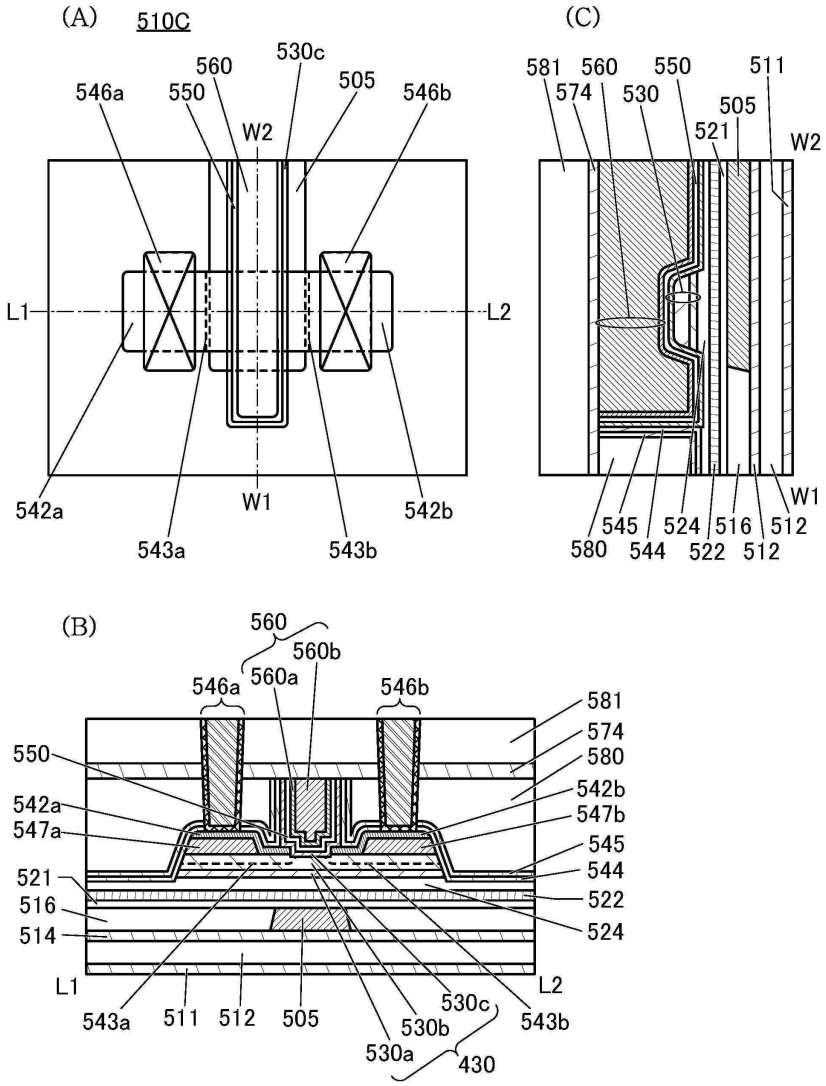
도면14


(A)
510A
542a
546a
505
W2
546b
542b
L1
L2
530a,530b
503
W1
560
530c,550
(C)
582
524
521
514
584
530
522
516
W2
560
505
503
511
W1
(B)
560
546a
560b
546b
542a
560a
550
542b
584
582
580
574
524
522
521
516
514
512
511
L1
L2
503
505a
505b
530c
530a
530b
505
530

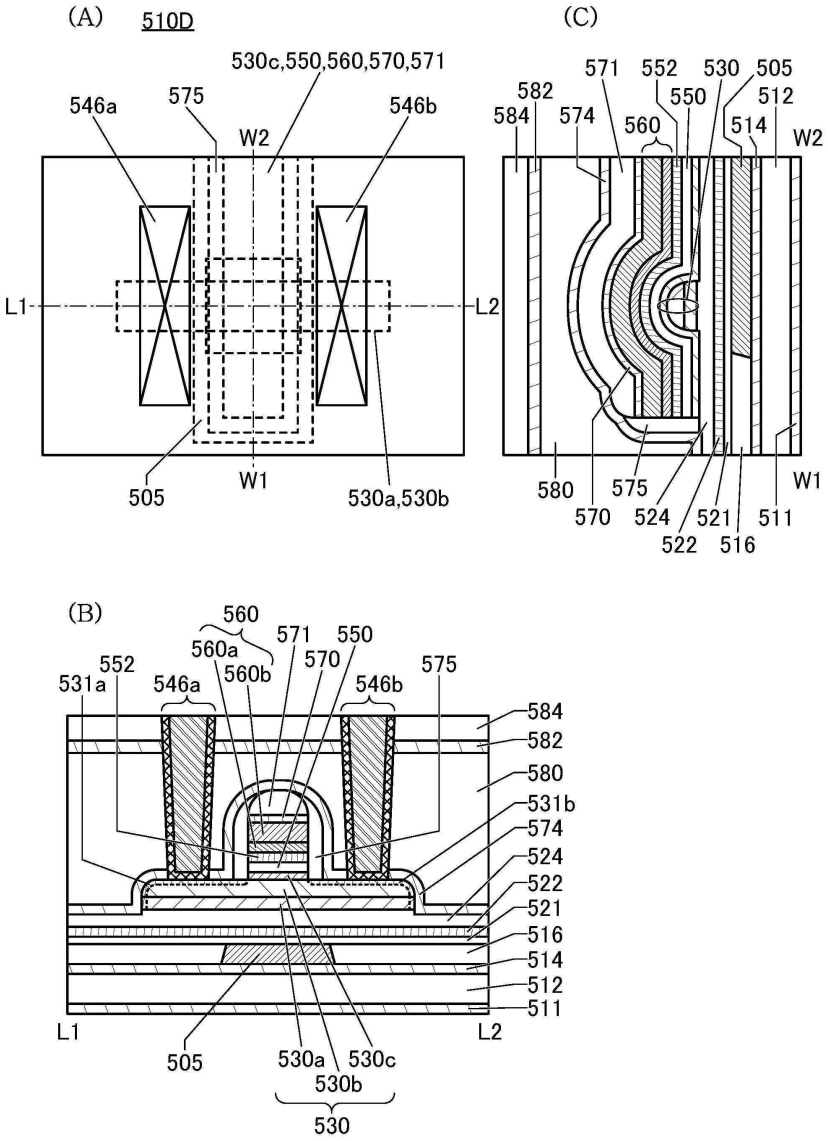
도면15


(A)
510B
542a
546a
505
W2
546b
542b
L1
L2
530a,530b
503
W1
530c,550,560
(C)
582
530b
521
514
584
530c
530a
516
W2
530c
522
524
580
574
560
550
505
503
511
W1
(B)
560
542a
546a
560b
546b
542b
576a
560a
550
576b
584
582
580
574
524
522
521
516
514
512
511
L1
L2
503
505a
505b
505
530c
530a
530b
530

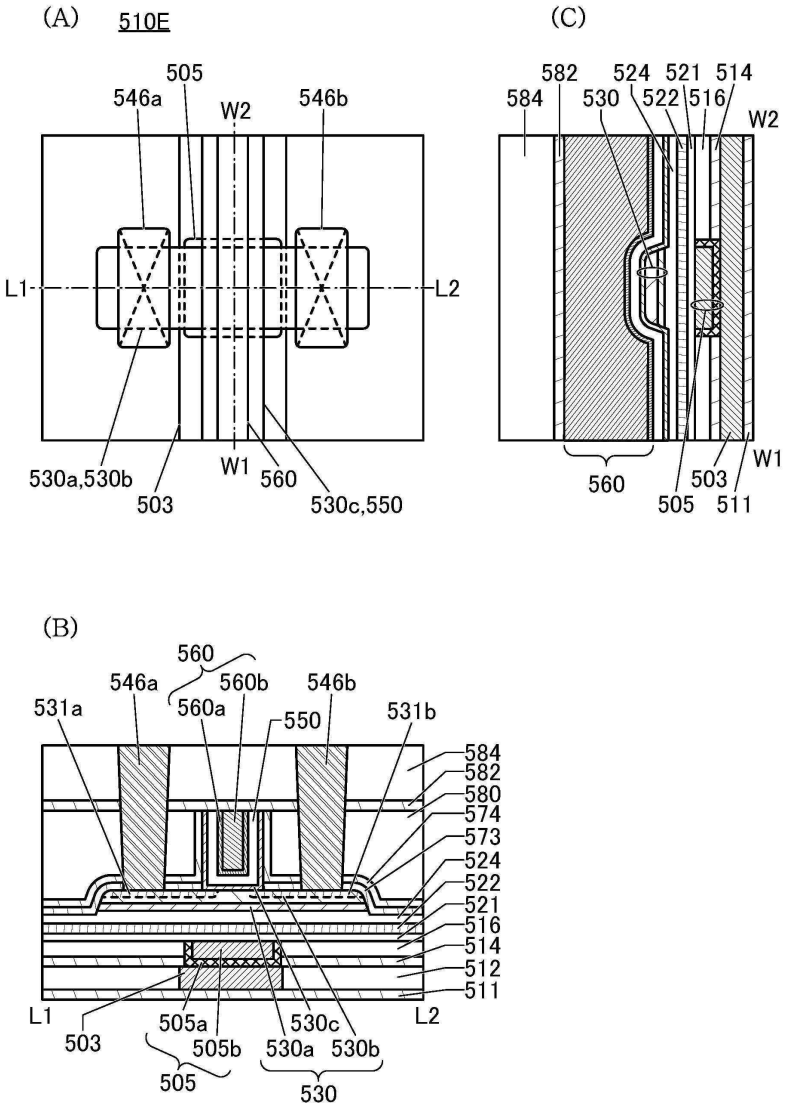
도면16


(A)
510C
560
530c
546a
550
505
546b
W2
L1
L2
542a
W1
542b
543a
543b
(C)
581
560
550
511
574
530
505
521
W2
W1
580
545
544
524
522
516
512
512
(B)
560
560b
546a
560a
546b
581
574
580
550
542b
542a
547b
547a
545
544
521
522
516
524
514
L1
L2
543a
511
512
505
530c
530b
543b
530a
430

도면17

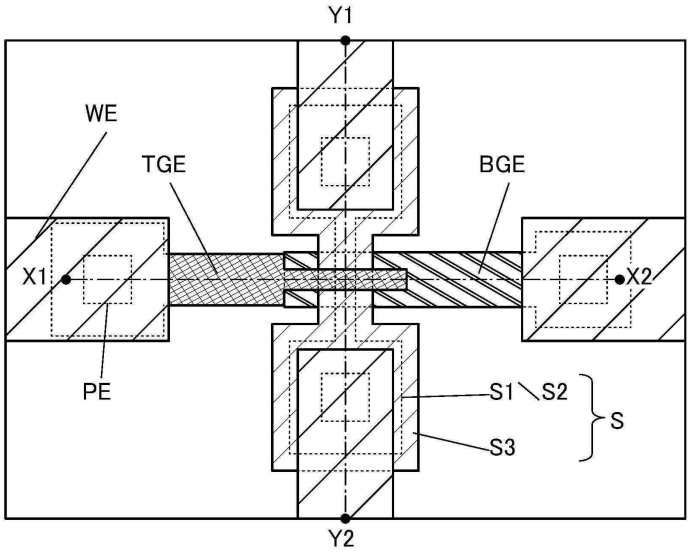

(A)
510D
530c,550,560,570,571
546a
575
546b
W2
L1
L2
505
W1
530a,530b
(C)
571
552
530
505
582
550
512
584
574
560
514
W2
580
575
W1
570
524
521
511
522
516
(B)
560
560a
571
550
552
570
575
531a
546a
560b
546b
584
582
580
531b
574
524
522
521
516
514
512
511
L1
L2
505
530a
530c
530b
530

도면18

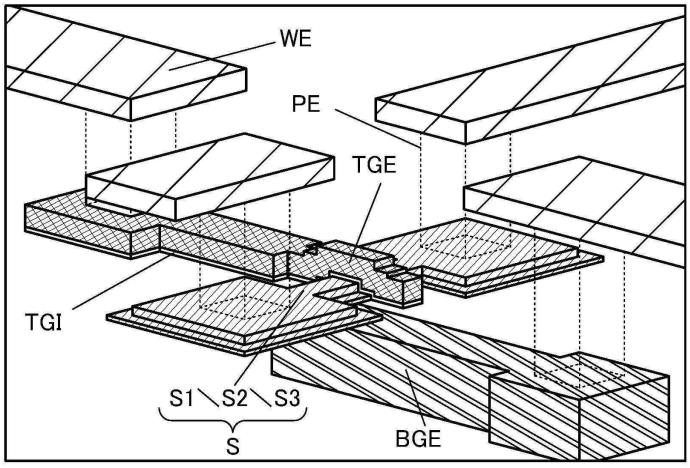

(A)
510E
505
546a
W2
546b
L1
L2
530a,530b
503
W1
560
530c,550
(C)
582
524
521
514
584
530
522
516
W2
560
503
505
511
W1
(B)
560
546a
560b
546b
531a
560a
550
531b
584
582
580
574
573
524
522
521
516
514
512
511
L1
503
505a
505b
505
530c
530a
530b
530
L2

도면19

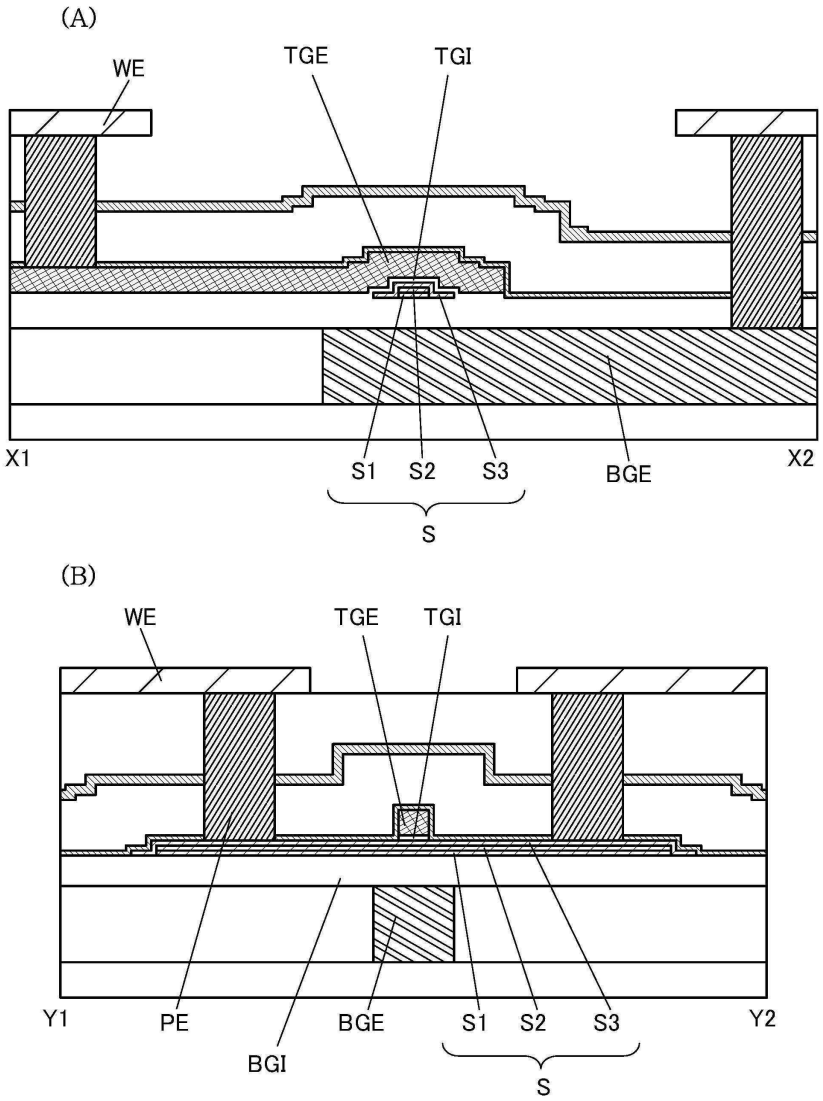
(A)



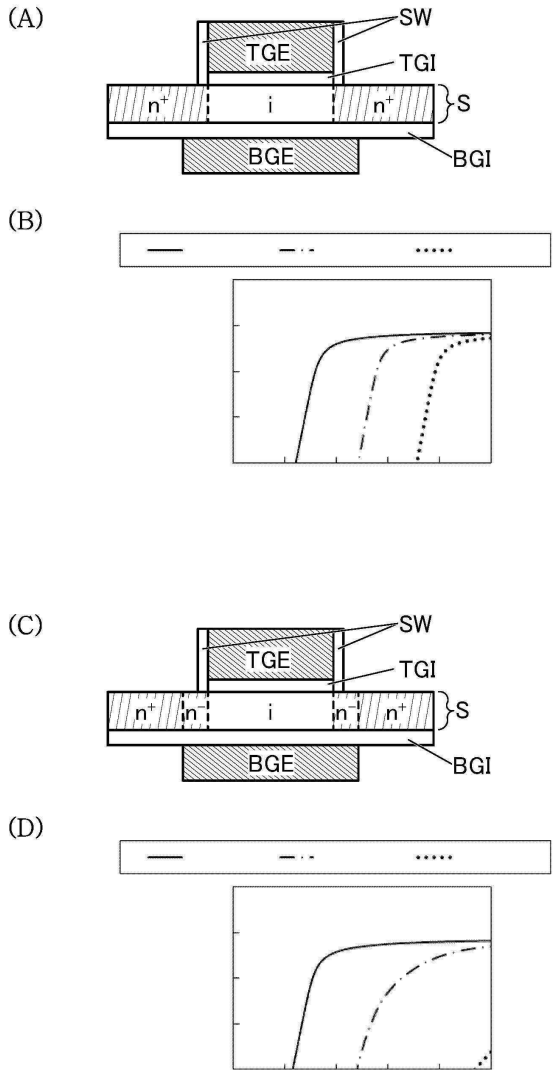
(B)



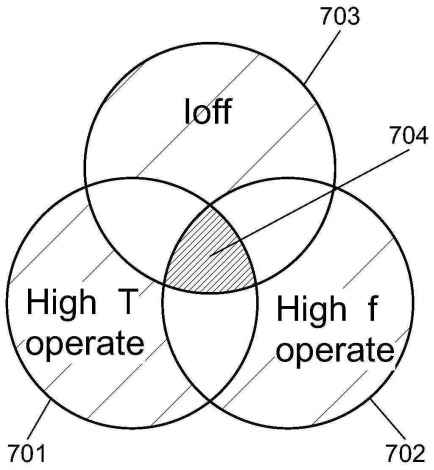
도면20


(A)
WE
TGE
TGI
X1
S1
S2
S3
BGE
X2
S
(B)
WE
TGE
TGI
Y1
PE
BGI
BGE
S1
S2
S3
Y2
S

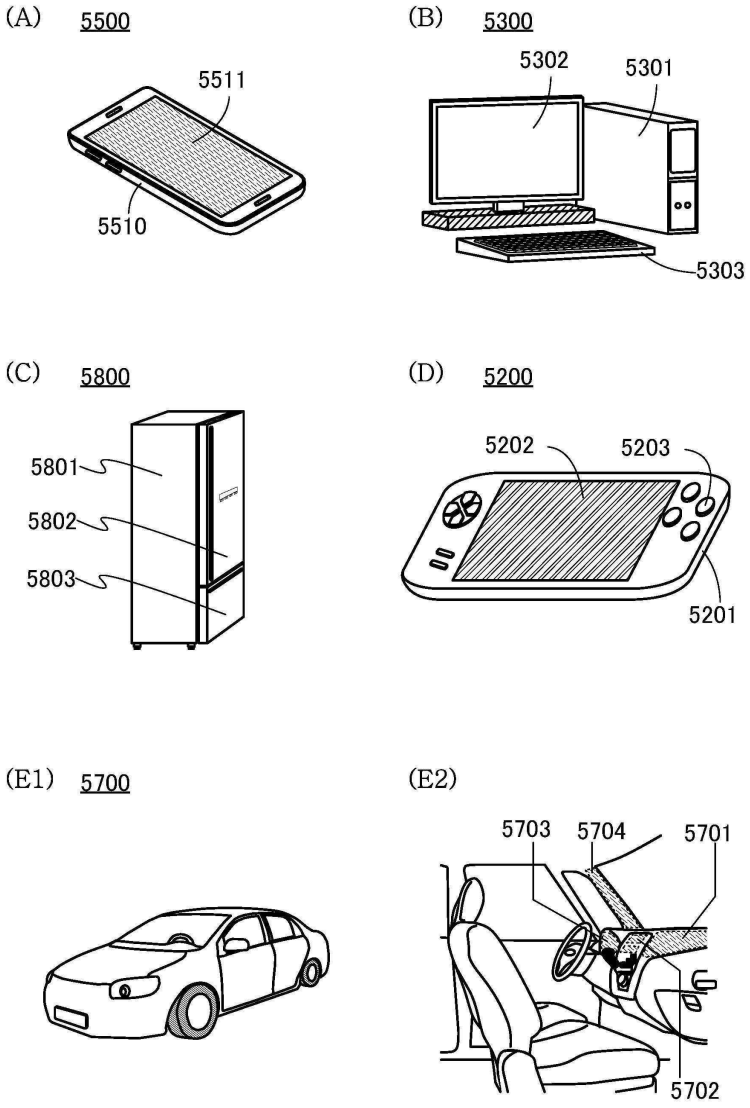
도면21


(A)
SW
TGE
TGI
n+
i
n+
S
BGE
BGI
(B)
(C)
SW
TGE
TGI
n+
n-
i
n-
n+
S
BGE
BGI
(D)

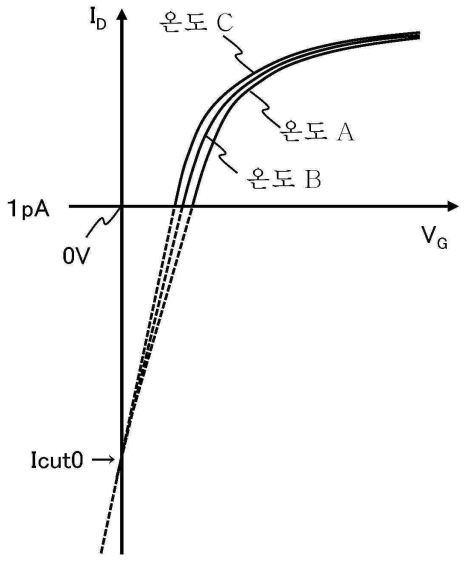
도면22


703
Ioff
704
High T
operate
High f
operate
701
702

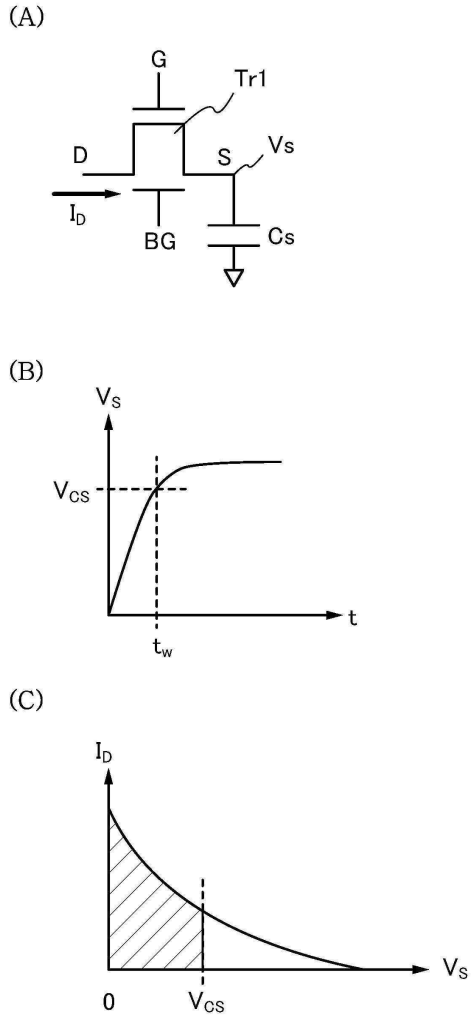
도면23


(A) 5500
5511
5510
(B) 5300
5302
5301
5303
(C) 5800
5801
5802
5803
(D) 5200
5202
5203
5201
(E1) 5700
(E2)
5703
5704
5701
5702

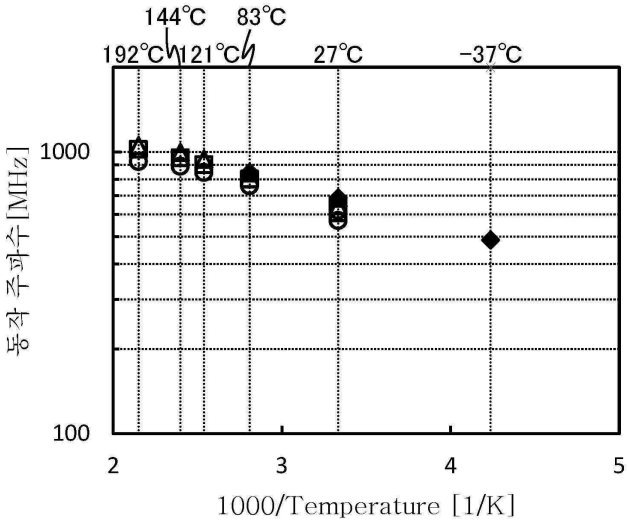
도면24


I_D
온도 C
온도 A
온도 B
1pA
0V
V_G
Icut0

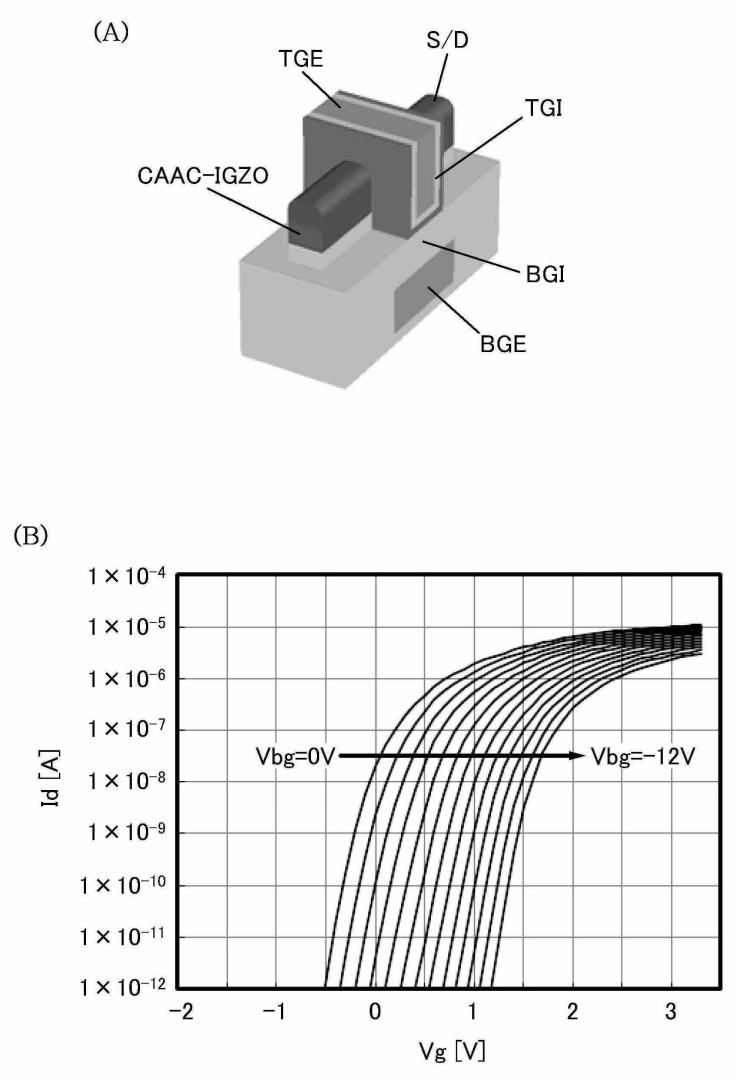
도면25


(A)
G
Tr1
D
S
Vs
I_D
BG
Cs
(B)
V_S
V_{CS}
t
t_w
(C)
I_D
V_S
0
V_{CS}

도면26

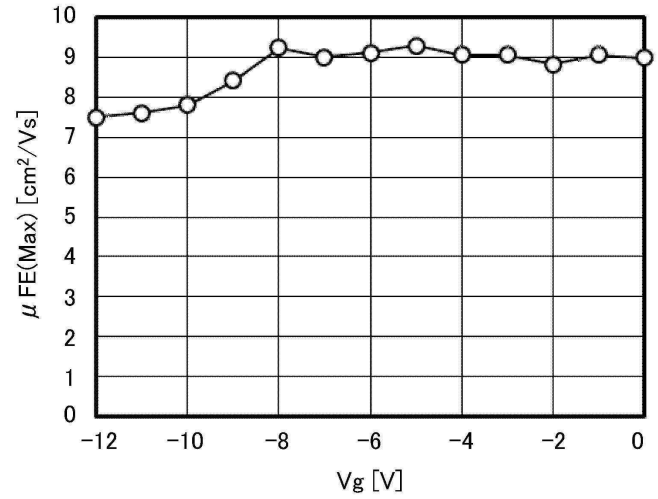

144℃
83℃
192℃
121℃
27℃
-37℃
1000
100
동작 주파수 [MHz]
2
3
4
5
1000/Temperature [1/K]

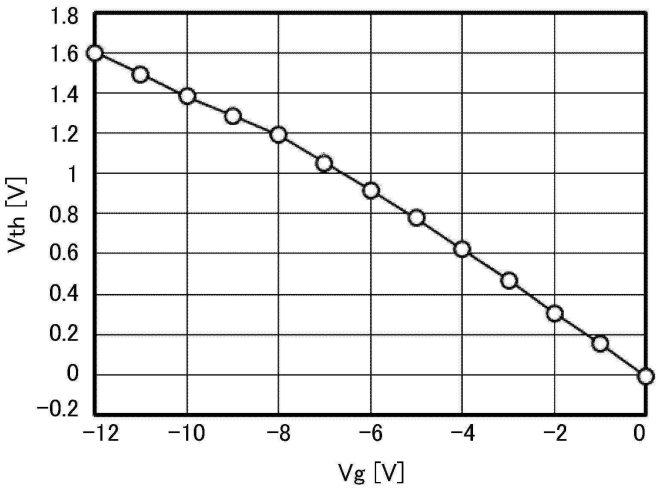
도면27


(A)
TGE
S/D
TGI
CAAC-IGZO
BGI
BGE
(B)
1×10⁻⁴
1×10⁻⁵
1×10⁻⁶
1×10⁻⁷
1×10⁻⁸
1×10⁻⁹
1×10⁻¹⁰
1×10⁻¹¹
1×10⁻¹²
Id [A]
Vbg=0V
Vbg=−12V
−2
−1
0
1
2
3
Vg [V]

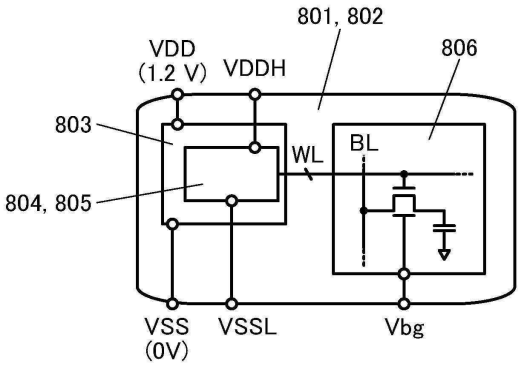
도면28

(A)


10
9
8
7
6
5
4
3
2
1
0
μFE(Max) [cm²/Vs]
−12
−10
−8
−6
−4
−2
0
Vg [V]

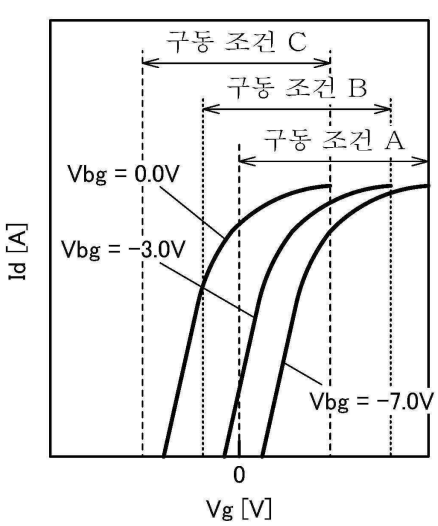

1.8
1.6
1.4
1.2
1
0.8
0.6
0.4
0.2
0
−0.2
Vth [V]
−12
−10
−8
−6
−4
−2
0
Vg [V]

도면29


801, 802
806
VDD
(1.2 V)
VDDH
803
WL
BL
804, 805
VSS
(0V)
VSSL
Vbg

도면30

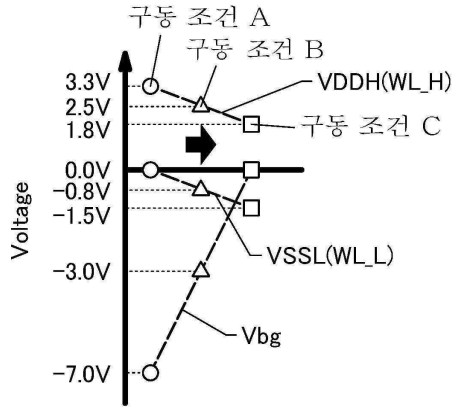
(A)



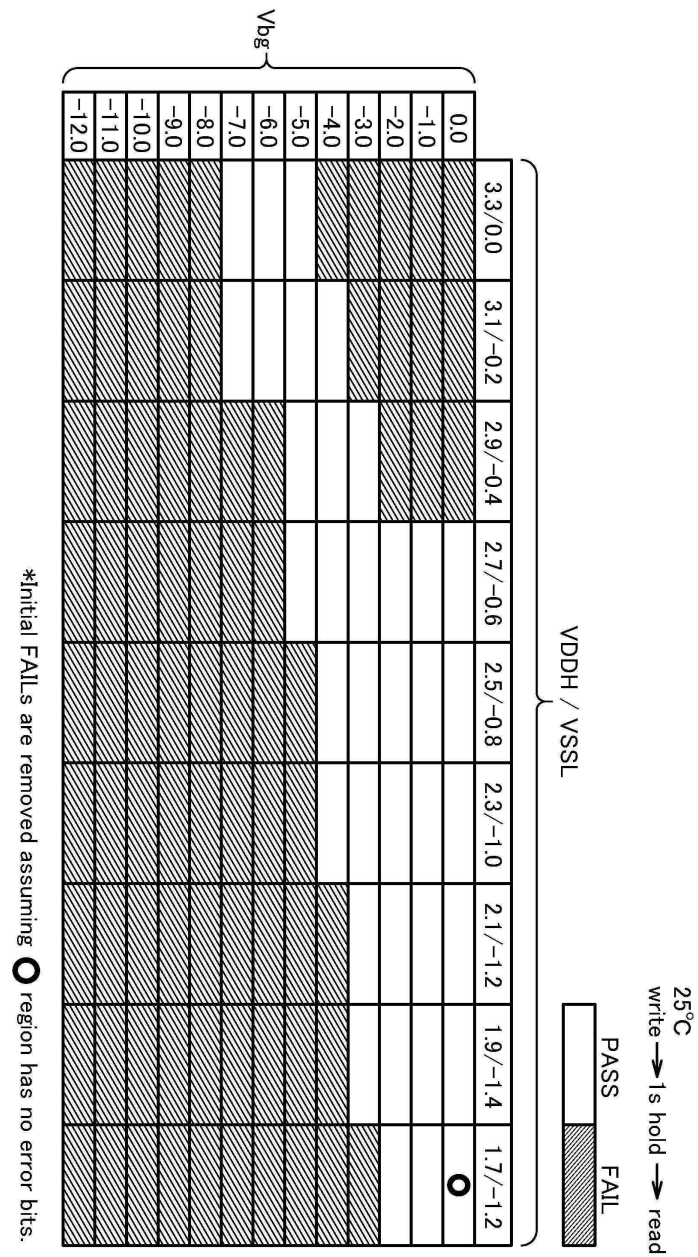
(B)

	VDDH (WL_H)	VSSL (WL_L)	BG
구동 조건 A	3.3V	0.0V	−7.0V
구동 조건 B	2.5V	−0.8V	−3.0V
구동 조건 C	1.8V	−1.5V	0.0V

(C)

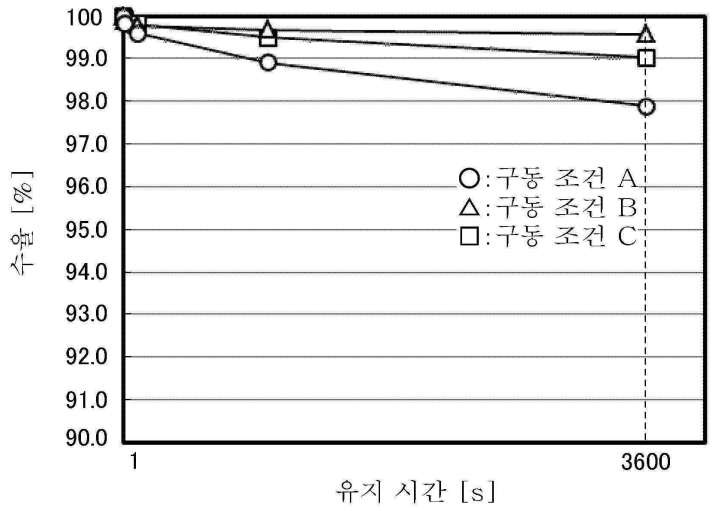


도면31


25℃
write → 1s hold → read
PASS
FAIL
VDDH / VSSL
Vbg
3.3/0.0
3.1/-0.2
2.9/-0.4
2.7/-0.6
2.5/-0.8
2.3/-1.0
2.1/-1.2
1.9/-1.4
1.7/-1.2
0.0
-1.0
-2.0
-3.0
-4.0
-5.0
-6.0
-7.0
-8.0
-9.0
-10.0
-11.0
-12.0
*Initial FAILs are removed assuming ○ region has no error bits.

도면32

(A)

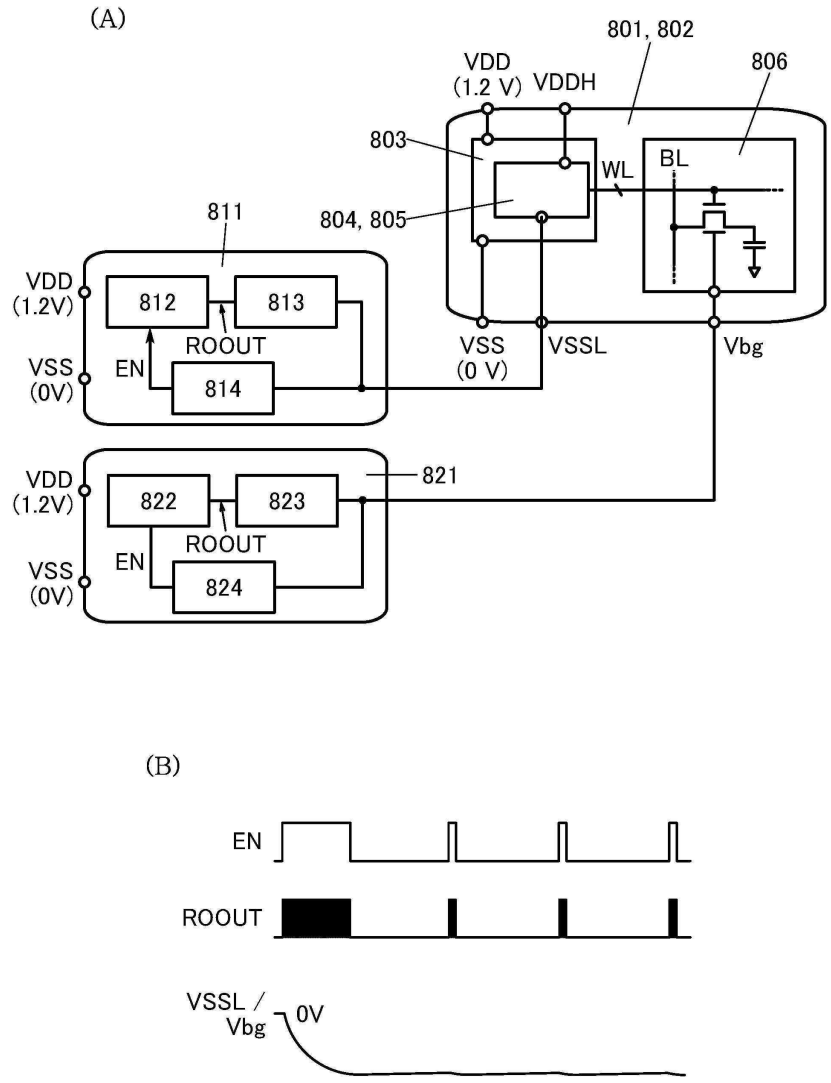


(B)

	수율 [%]		
유지 시간 [s]	구동 조건A	구동 조건B	구동 조건C
1	100	100	100
10	99.82	99.88	99.90
100	99.59	99.78	99.81
1000	98.91	99.67	99.49
3600	97.88	99.57	99.02

data retention at 85 ° C
VDDH/VSSL=1.8V/-1.5V, Vbg=0V
write → hold → read

도면33


(A)
801, 802
806
VDD
(1.2 V)
VDDH
803
WL
BL
804, 805
811
VDD
(1.2V)
812
813
ROOUT
VSS
(0V)
EN
814
VSS
(0 V)
VSSL
Vbg
VDD
(1.2V)
822
823
821
ROOUT
VSS
(0V)
EN
824
(B)
EN
ROOUT
VSSL /
Vbg
0V

도면34

(A)

링 오실레이터 동작 검증 조건

	음 전위 생성 회로 811	음 전위 생성 회로 821
VDD	1.2V	1.2V
# of INV.s	5	5
동작 주파수	59.6MHz	59.6MHz

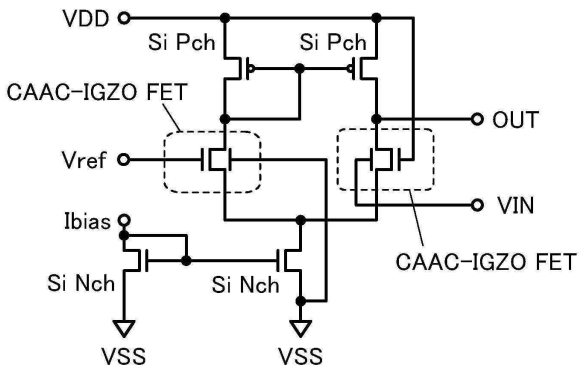
(B)

차지 펌프 동작 검증 조건

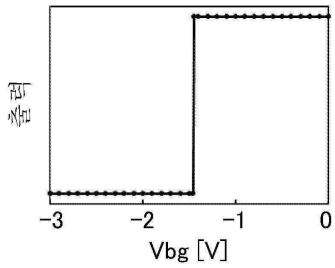
	음 전위 생성 회로 811	음 전위 생성 회로 812
VDD	1.2V	1.2V
# of stages	6	6
minimum output vol.	approx. -5V	approx. -5V
load current	8μA (Ave.)	less than 1pA

도면35

(A)



(B)



Vref=1.18V,VDD=1.2V,VSS=0.0V

도면36

(A)

	VDDH	VSSL	Vbg	Active Power	Standby Power
구동 조건 B	2.5V	-0.8V	-3.0V	4.83 mW (Memory) 31.2 μW (Neg. bias) 4.86 mW (Total)	120 pW (Memory) 240.1 nW (Neg. bias) 240.2 nW (Total)
구동 조건 C	1.8V	-1.5V	0.0V	4.83 mW (Memory) 132 μW (Neg. bias) 4.96 mW (Total)	120 pW (Memory) 120.08 nW (Neg. bias) 120.2 nW (Total)

(B)

음 전위 생성 회로 811			Active power	Sleep power	Active time	Sleep time	Average Power
구동 조건B	링 오실레이터		14.4 μW	36.8 pW	2.48 μs	28.4 s	84.0 pW
	차지 펌프		526 μW				
	콤퍼레이터		120 nW	120 nW	상시 동작		120 nW

(C)

Density	Memory cells per WL	Area A (Memory)	Area B (Neg. Bias)	ratio A/(A+B)
1Mbit	128	697350 μm²	1464 μm²	0.209 %

도면37

