



(19)中華民國智慧財產局

(12)發明說明書公告本 (11)證書號數：TW I452731 B

(45)公告日：中華民國 103 (2014) 年 09 月 11 日

(21)申請案號：100134916

(22)申請日：中華民國 100 (2011) 年 09 月 28 日

(51)Int. Cl. : H01L33/38 (2010.01)

H01L33/22 (2010.01)

H01L33/12 (2010.01)

(30)優先權：2010/09/28 德國

102010046792.8

(71)申請人：歐斯朗奧托半導體股份有限公司(德國)OSRAM OPTO SEMICONDUCTORS GMBH
(DE)

德國

(72)發明人：伯格布爾 華納 BERGBAUER, WERNER (DE)；羅德 派翠克 RODE, PATRICK
(DE)；史翠斯保 馬丁 STRASSBURG, MARTIN (DE)

(74)代理人：何金塗；王彥評

(56)參考文獻：

US 2008/0149956A1

US 2009/0101923A1

WO 2009/135457A1

LIN HON-WAY ET AL: "InGaN/GaN Nanorod Array White Light-Emitting Diode", Applied Physics Letters, 16 August, 2010. Vol.97, pages 073101-1 to 073101-1.

審查人員：邱青松

申請專利範圍項數：13 項 圖式數：6 共 0 頁

(54)名稱

光電半導體晶片及其製造方法

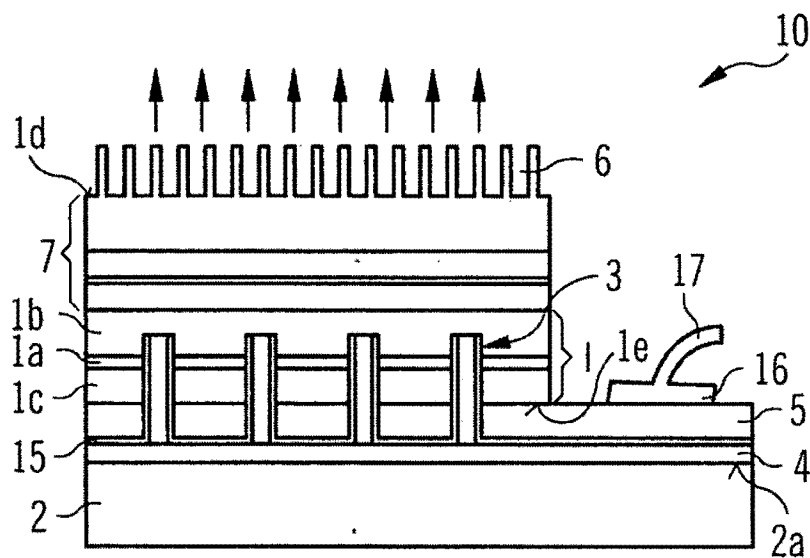
OPTO-ELECTRONIC SEMICONDUCTOR CHIP AND METHOD FOR ITS PRODUCTION

(57)摘要

一種光電半導體晶片(10)，具有在載體基板(2)上由氮化之化合物半導體材料構成之半導體層堆疊(1)，其中該載體基板(2)具有表面(2a)，其含有矽。該半導體層堆疊(1)包含一凹口(3)，其由該半導體層堆疊(1)之後側(1e)經由活性層(1a)而延伸至第一導電型之層(1b)。該第一導電型之層(1b)藉由第一電性連接層(4)以經由該凹口(3)而達成電性連接，該第一電性連接層(4)的至少一部份覆蓋該後側(1e)。第二導電型之層(1c)藉由配置在該後側(1e)上的第二電性連接層(5)而達成電性連接。又，本發明另提供上述半導體晶片(10)之製造方法。

An optoelectronic semiconductor chip (10) with a semiconductor layer stack (1) composed of a nitride compound semiconductor material at a carrier-substrate (2) is provided, wherein the carrier-substrate (2) has a surface (2a) which contains silicon. The semiconductor layer stack (1) has a recess (3), which extends from a rear side (1e) of the semiconductor layer stack (1) through an active layer (1a) to a layer (1b) of a first conductive type. The layer (1b) of the first conductive type is electrically connected through the recess (3) by means of a first electrical connection-layer (4), which covers the rear side (1e) at least partially. A layer (1c) of a second conductive type is electrically connected by means of a second electrical connection-layer (5), which is arranged at the rear side (1e). In addition, a method for production of such a semiconductor chip (10) is provided.

圖 2



- 1 . . . 半導體層堆疊
- 1a . . . 活性層
- 1b . . . 第一導電型之層
- 1c . . . 第二導電型之層
- 1d . . . 半導體層堆疊之前側
- 1e . . . 半導體層堆疊之後側
- 2 . . . 載體基板
- 2a . . . 矽-表面
- 3 . . . 凹口
- 4 . . . 第一電性之連接層
- 5 . . . 第二電性之連接層
- 6 . . . 奈米結構
- 7 . . . 中間層
- 10 . . . 半導體晶片
- 15 . . . 絕緣用之電性隔離層
- 16 . . . 接觸面
- 17 . . . 接合線

發明專利說明書

PD1118175B

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：100134916

※申請日：100.9.28

※IPC分類：

H01L 33/38

H01L 33/22

H01L 33/12

(2010.01)

(2010.01)

(2010.01)

一、發明名稱：(中文/英文)

光電半導體晶片及其製造方法

OPTO-ELECTRONIC SEMICONDUCTOR CHIP AND
METHOD FOR ITS PRODUCTION

二、中文發明摘要：

一種光電半導體晶片(10)，具有在載體基板(2)上由氮化之化合物半導體材料構成之半導體層堆疊(1)，其中該載體基板(2)具有表面(2a)，其含有矽。該半導體層堆疊(1)包含一凹口(3)，其由該半導體層堆疊(1)之後側(1e)經由活性層(1a)而延伸至第一導電型之層(1b)。該第一導電型之層(1b)藉由第一電性連接層(4)以經由該凹口(3)而達成電性連接，該第一電性連接層(4)的至少一部份覆蓋該後側(1e)。第二導電型之層(1c)藉由配置在該後側(1e)上的第二電性連接層(5)而達成電性連接。又，本發明另提供上述半導體晶片(10)之製造方法。

三、英文發明摘要：

An optoelectronic semiconductor chip (10) with a semiconductor layer stack (1) composed of a nitride compound semiconductor material at a carrier-substrate (2) is provided, wherein the carrier-substrate (2) has a surface (2a) which contains silicon. The semiconductor layer stack (1) has a recess (3), which extends from a rear side (1e) of the semiconductor layer stack (1) through an active layer (1a) to a layer (1b) of a first conductive type. The layer (1b) of the first conductive type is electrically connected through the recess (3) by means of a first electrical connection-layer (4), which covers the rear side (1e) at least partially. A layer (1c) of a second conductive type is electrically connected by means of a second electrical connection-layer (5), which is arranged at the rear side (1e). In addition, a method for production of such a semiconductor chip (10) is provided.

四、指定代表圖：

(一)本案指定代表圖為：第 2 圖。

(二)本代表圖之元件符號簡單說明：

1	半導體層堆疊
1a	活性層
1b	第一導電型之層
1c	第二導電型之層
1d	半導體層堆疊之前側
1e	半導體層堆疊之後側
2	載體基板
2a	矽-表面
3	凹口
4	第一電性之連接層
5	第二電性之連接層
6	奈米結構
7	中間層
10	半導體晶片
15	絕緣用之電性隔離層
16	接觸面
17	接合線

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無。

六、發明說明：

【發明所屬之技術領域】

本發明涉及一種具有半導體層堆疊和載體基板之光電半導體晶片及其製造方法。

【先前技術】

化合物半導體材料對於發光二極體(LEDs)之製造而言很重要。為了製造此種LEDs，須在基板上生長適當的層序列。此種LEDs之功率另外會受到所使用之基板材料之影響。特別是在與層序列之材料比較時，基板材料在膨脹係數及/或柵格參數顯示出很大的差異。因此，在磊晶生長時通常使用藍寶石或碳化矽作為基板材料，此乃因為此種材料具有一種柵格結構，其可適應於化合物半導體材料之柵格結構。然而，此種基板材料之缺點還包括其高的價格。

可多次使用在半導體技術中的一種有利的基板材料例如是矽。然而，特別是在例如矽基板上生長氮化的化合物半導體材料時，由於所加入之材料的不同的柵格參數而發生應力，其會造成已生長之層的晶體品質之下降。

【發明內容】

本發明的目的是提供一種半導體晶片，其可以較低的成本製成且同時具有在半導體晶片之不同材料中已下降的應力。又，本發明的目的是提供此種半導體晶片之一種降低成本的製造方法。

上述目的藉由一種具有申請專利範圍第1項特徵之半導體晶片以及一種具有申請專利範圍第10項特徵之

此種半導體晶片的製造方法來達成。半導體晶片之有利的其它形式及其製造方法描述在申請專利範圍各附屬項中。

在另一形式中，光電半導體晶片具有一種在載體基板上由氮化的化合物半導體材料所構成的半導體層堆疊。該載體基板具有一種面向該半導體層堆疊之表面，其含有矽。該載體基板特別是一種矽-基板。半導體層堆疊具有一種位於第一導電型之層和第二導電型之層之間的用來產生輻射之活性層。第一導電型之層鄰接於半導體層堆疊之前側。半導體層堆疊包含至少一凹口，其由半導體層堆疊之與該前側相對的後側經由該活性層而延伸至第一導電型之層。第一導電型之層藉由第一電性連接層以經由該凹口而達成電性連接，該第一電性連接層的至少一部份覆蓋該半導體層堆疊之後側。第二導電型之層藉由配置在該後側上的第二電性連接層而達成電性連接。

所謂“以氮化的化合物半導體材料為主”或“由氮化的化合物半導體材料構成”在此處及以下之意義是指，半導體層序列是一種在基板上磊晶生長而沈積之層序列，其具有至少一由氮化物-III-V-化合物半導體材料構成之層，該化合物半導體材料較佳是 $\text{Al}_n\text{Ga}_m\text{In}_{1-m-n}\text{N}$ ，其中 $0 \leq n$ 、 $m \leq 1$ 且 $n+m \leq 1$ 。因此，此材料未必含有上述形式之以數學所表示之準確的組成。反之，此材料可具有一種或多種摻雜物質以及其它成份，這些成份基本上不會改變此材料

$\text{Al}_n\text{Ga}_m\text{In}_{1-m-n}\text{N}$ 之物理特性。然而，為了簡單之故，上述形式只含有晶格 (Al、Ga、In、N) 之主要成份，這些主要成份之一部份亦可由少量的其它物質來取代。

載體基板例如具有一種面向半導體層堆疊之矽表面。載體基板亦可形成為矽-容積-基板或 SOI (silicon on insulator substrate)-基板。載體基板除了矽以外另含有其它材料和材料成份。

光電半導體晶片特別是一種半導體晶片，其可將所產生的電子資料或能量轉換成光發出量或反之亦可。例如，光電半導體晶片是一種發出輻射之半導體晶片。

第一導電型之層例如是 n-導電之層。在此種情況下，第二導電型之層是 p-導電之層。或是，第一導電型之層亦可以是 p-導電之層且第二導電型之層是 n-導電之層。

第一導電型之層鄰接於半導體層堆疊之前側，且第二導電型之層鄰接於半導體層堆疊之後側。該後側是與前側相對而配置著。半導體晶片特別是用來由其前側發出一種由活性層所產生之電磁輻射。於是，該前側即為輻射發出面。

半導體層堆疊之凹口較佳是一種缺口，其由後側向前側內部之方向中延伸。適當的方式是，該凹口經由第二導電型之層和活性層而延伸。

第一電性連接層在該凹口中較佳的是藉由一種電性隔離層而與活性層和第二導電型之層形成電性絕緣。電

性連接層較佳是至少依據位置而覆蓋半導體層堆疊之後側。第一電性連接層例如是金屬層，即，其具有一種金屬或多種金屬或由其構成。第一電性連接層特別是用來將一種操作電流傳送至該半導體層堆疊。

為了另外與半導體層堆疊形成電性接觸，則須在該後側上配置第二電性連接層，其用來對第二導電型之層形成電性接觸。第一電性連接層和第二電性連接層特別是藉由電性隔離層而互相形成電性絕緣。該電性隔離層特別是在垂直方向中配置在第一電性連接層和第二電性連接層之間。第一電性連接層因此在橫向中至少可依據位置而在半導體層堆疊之後側上重疊於第二電性連接層上。

因此，半導體層堆疊之 n-導電層和 p-導電層只可在半導體堆疊之單側(例如，後側)上被電性接觸。半導體晶片之發光的前側不具有電性接觸區(例如，接合墊)。於是，半導體晶片在操作時由活性區所發出之電磁輻射之遮蔽及/或吸收的危險性可藉由電性接觸區而下降。

晶片之單側的接觸技術可達成一種低歐姆的接觸。由於接觸區只配置在後側上，則可有利地確保半導體層堆疊(特別是功能層)之磊晶層的整個功能。

例如，使用矽作為載體基板材料，以製成一種成本較低的半導體晶片。特別是因此可使用面積較大成本較低的矽基板。

整體上可使用一種以較低成本製成的半導體晶片，其中由於後側上之單側的接觸區而使半導體晶片之磊晶

生長之功能層可完全地或幾乎完全地保持著。

在另一形式中，半導體晶片具有多個凹口，第一電性連接層分別經由這些凹口而延伸。第一導電型之層之電性接觸因此可經由這些凹口而達成。

在另一形式中，第一及/或第二電性連接層例如具有以下材料之至少一種：Au、Ag、Al、Cr、Cu、Ti、Pt、Ni、Ru、NiAu。

半導體層堆疊之活性層較佳是包含一種pn-接面、雙異質結構、單一量子井結構(SQW-結構)或多量子井結構(MQW-結構)以產生輻射。此名稱量子井結構此處未指出量子化的維度。因此，量子井結構可另外包含量子槽，量子線和量子點以及這些結構的每一種組合。

在另一形式中，在半導體晶片中及/或在該前側上配置多個奈米結構。奈米結構對此行的專家亦另外以“奈米稜柱體”、“奈米線”或“奈米桿”的概念而已為人所知。

奈米結構例如是三維的結構，即，其是在空間中形成的結構。例如，奈米結構形成為小棍的形式。

奈米結構因此可配置在半導體層堆疊之前側上。或是，半導體層堆疊中可配置奈米結構。這表示：半導體層堆疊之至少一層可具有奈米結構。例如，半導體層堆疊能以活性層來配置在該載體基板上，此時奈米結構可配置在該載體基板和活性層之間，使活性層又配置在奈米結構和該前側之間。於是，可有利地另外使活性層中的缺陷減少。

使用奈米結構來與矽基板結合，這樣可有利地使缺

陷的生長減少，且因此可製成品質高的氮化之化合物半導體材料層而不會在基板材料和化合物半導體材料之間由於柵格失序(disorder)而形成其它應力。特別是此種組合由於奈米結構之小的基面而可使應力下降。積體式奈米結構與矽載體基板相組合時因此可有利地使半導體晶片中之缺陷減少且使應力下降。

奈米結構因此能以自我組構的方式生長而成。或是，奈米結構可生長在先前已結構化之載體基板上，其中直徑以及形式和奈米結構在載體基板上的分佈是藉由適當的微影術來預設。在適當地選取關於直徑和分佈之參數時，可藉由奈米結構來另外達成光子效應，其可有利地使所達成的光發出量或電磁輻射量獲得改良。

本身配置在半導體層序列中的奈米結構可用於由活性層所發出之輻射中以作為另外的散射中心。因此，奈米結構可靠近活性層而配置，其中可形成奈米結構之直徑和分佈，使由半導體晶片所發出之輻射之效率提高。

在另一形式中，在半導體層序列及/或在該前側上配置一種中間層。此中間層較佳是配置在生長基板和半導體層堆疊之活性層之間。使用此種中間層可允許在矽生長基板上以壓縮的預應力來生長該半導體層堆疊之氮化層，該預應力可防止層厚度大於 500 奈米(較佳是大於 1800 奈米)之磊晶層受到傳統方式產生之機械損傷。於是，可有利地在層厚度大於 500 奈米(較佳是大於 1800 奈米)之矽-生長基板上製成半導體層堆疊。又，由於此種中間層，則亦可使缺陷進一步減少。因此，可在矽-

生長基板上無裂縫地生長多個半導體層。

在另一形式中，該中間層是具有 AlN 及/或 AlGaIn-層之層序列。又，在由該生長基板至活性層之方向(即，生長方向)中可使鎵-成份提高。藉由此種中間層，則可有利地使表面形態獲得改良，以便可沈積該半導體層堆疊之生長在該中間層上之各層，其具有較佳的晶體品質和均勻性，這樣可避免晶片中的應力。

在另一形式中，在半導體層堆疊中及/或在該前側上配置一轉換元件，此轉換元件適合用來將該活性層中所發出之輻射的至少一部份轉換成另一波長的輻射。

該轉換元件較佳是含有銦。該轉換元件較佳是一種 InGaIn-層。此種層特別是可用作光學泵送式轉換元件。已轉換的輻射之波長是由該轉換元件中之銦含量來決定。此種轉換元件可用來製成多種例如可發出白色輻射之半導體晶片而不需另外將磷加入至半導體晶片中。由銦構成的轉換元件相對於磷轉換器所具有的優點是較高的熱穩定性。又，此種轉換元件是由與半導體層堆疊之材料相同的材料所構成，這樣不需外部的界面即可在該轉換元件和半導體層堆疊之間達成一種連接。相較於含有磷之轉換元件而言，由於該轉換元件含有銦，則在熱穩定性、較佳的老化穩定性和較高的射出-或射入效率等方面都具有優點。

在另一形式中，該轉換元件配置在奈米結構中。在此種情況下，該轉換元件(特別是 InGaIn-層)整合在多個奈米結構中。已轉換之輻射的波長因此可藉由適當地選

取的奈米結構之直徑和 InGa_N-層中的銦濃度來決定。特別是可使用各別的奈米結構之不同的直徑和距離，這樣就能以寬頻帶方式發出藍光或使接近紫外線(UV)直至紅色光譜範圍之光發出。於是，可有利地製成半導體晶片，其發出白色的輻射。又，可使用其它效應以使經由半導體層堆疊中或前側上之奈米結構之配置的光增多。

在另一形式中，半導體晶片是薄膜晶片。本申請案之範圍中半導體晶片被視為薄膜晶片，在其製造期間以磊晶方式生長在半導體層堆疊上之生長基板較佳是完全可剝離。

在另一形式中，半導體晶片是發出輻射之晶片，特別是 LED，較佳是薄膜-LED。

一種在載體基板上具有由氮化之化合物半導體材料構成的半導體層堆疊之光電半導體晶片之製造方法包括以下各步驟：

- 製備一種具有表面的生長基板，其含有矽或其次是矽基板，

- 在矽表面上以磊晶方式生長半導體層堆疊，其在第一導電型之層和第二導電型之層之間具有一用來產生輻射之活性層，其中第一導電型之層鄰接於半導體層堆疊之前側，

- 在半導體層堆疊中形成至少一凹口，其由半導體層堆疊之與前側相對的後側經由該活性層而延伸至第一導電型之層，

- 經由該凹口以藉由第一電性連接層來將第一導電

型之層予以電性連接，第一電性連接層至少依據位置而覆蓋該半導體層堆疊之後側，

-藉由配置在後側上之第二電性連接層來將第二導電型之層予以電性連接，

-在該半導體層堆疊之與該生長基板相對之此側上施加該載體基板，其具有一種面向該半導體層堆疊之矽表面，以及

-將該生長基板剝離。

● 與光電半導體晶片相關而描述的特徵亦適用於光電半導體晶片之製造方法且反之亦然。

此製造方法由於使用成本較低之矽-生長基板和矽-載體基板而可降低成本製造半導體晶片。因此，須形成半導體晶片之電性接觸區且依據磊晶而調整，使整體上可達成一種成本低廉之較佳方法以及一種具有較佳特性之半導體晶片。

● 在上述製造方法之另一形式中，在生長過程中在生長基板和活性層之間施加一種中間層。此中間層例如是一種由 AlN -層和 $\text{Al}_x\text{Ga}_{1-x}\text{N}$ -層構成之層序列。使用此中間層可允許在矽-生長基板上以壓縮之預應力來生長氮化之半導體層，其中可防止隨後之具有大於 500 奈米之層厚度的磊晶層的損傷。

使用中間層來與半導體晶片之單側的電性接觸區相組合，這樣可達成有意義的程序鏈(chain)和成本較低之製造方法。

在另一形式中，在生長該半導體層堆疊之前在該生

長基板上施加一核化層。就矽-生長基板上之生長而言，需要特殊之核化過程。這樣可在大面積之矽-生長基板上生長該半導體層堆疊。因此，特別是可使半導體層達成一種缺陷較少的生長，其中可在各層之間防止應力或甚至使應力下降。

在另一形式中，在半導體層堆疊中及/或在該前側上形成多個奈米結構。半導體層堆疊中使用奈米結構且與矽-生長基板相組合，這樣可生長多個缺陷較少且因此品質高之半導體層而不會造成其它應力或其它干擾區。此種組合可有利地使應力減少。奈米結構可形成在半導體層堆疊之層的內部中。這樣可在半導體層堆疊中(例如，靠近該活性層)達成積體化之散射中心，其可有利地使效率提高。

奈米結構能以自我組構的方式生長而成。或是，奈米結構之直徑和在該生長基板上的分佈可藉由適當的微影方法來預設。在適當地選取奈米結構之直徑和分佈時，可有利地達成光子效應，其可使目標明確的光發出率獲得改良。

在另一形式中，在生長過程中在該生長基板和活性層之間形成一種核化層和中間層，其中在半導體層堆疊中或在該前側上另外形成奈米結構。藉由此種組合，則可有利地達成一種大面積、成本有利且缺陷較少之磊晶及晶片製程，其中藉由晶片之依據磊晶來調整的構造，則可在晶片接觸時整體上達成一種成本有利之較佳方法。

在另一形式中，在奈米結構中施加一轉換元件，其中該轉換元件適合用來將活性層所發出的輻射之至少一部份轉換成另一波長的輻射。較佳是將 InGa_{0.5}N_{0.5}-層設置在奈米結構中，此處可使用 InGa_{0.5}N_{0.5}-層作為轉換元件。奈米結構之發出的彩色例如可藉由奈米結構之直徑之適當的選擇來決定。奈米結構由於其小的直徑而可有利地提供以下的可能性：有效地將大量的鈹加入至奈米結構中。已轉換的輻射之彩色因此例如可藉由奈米結構之直徑的適當的選擇而受到影響。這樣就可製造白色的半導體晶片而不需使用額外的磷。相對於以磷為主之轉換元件，以鈹為主之轉換元件所具有的優點是高的熱穩定性、較佳的老化穩定性以及高的射出-及射入效率。將奈米結構配置在半導體層堆疊中或前側上，則另外可使用其它效應以使光量提高及/或對所發出之輻射進行導引，以便例如依據立體角度來發出輻射。藉由適當地選取奈米結構之直徑，則另外能以寬頻帶方式發出藍色輻射或使接近紫外線光譜範圍直至紅色光譜範圍之輻射發出。

本發明之其它優點和有利的其它形式以下將依據圖 1 至圖 5 所述之實施例來說明。

【實施方式】

各圖式中相同形式或作用相同的各組件分別設有相同的參考符號。所示的各元件和各元件之間的大小比例未必依比例繪出。反之，為了清楚及/或易於理解，各圖式的某些部分，例如，層、結構、組件和區域，已在厚度或尺寸上予以放大地顯示出。

圖 1 顯示一製造過程之實施例中半導體晶片 10 的剖面圖。此半導體晶片 10 具有生長基板 9，其具有矽表面 9a。在矽表面 2a 上生長該半導體晶片 10 之各別的層。

為了在矽-生長基板 9 上生長半導體層，需要一特殊之生長過程或核化過程。此種過程可使半導體層生長在大面積之矽-基板上。

在矽表面上生長時所需之生長過程或核化過程特別是包含：在該生長基板 9 之矽表面 9a 上生長核化層 11。核化層 11 例如包含 AlN、分等級的 AlGa_N 和 GaN。則可在該核化層 11 上生長多個缺陷已減少之半導體層。由於矽是成本較低的基板材料，則可製成一種成本較低的半導體晶片。

在核化層 11 上生長奈米結構 6。奈米結構 6 可以自我組構的方式生長而成。或是，較佳為可在已預結構化之生長基板 9 上生長奈米結構。於是，生長基板 9 上各奈米結構之直徑和分佈是藉由微影方法來預設。奈米結構 6 較佳是三維之結構，其例如形成為棒形。此種奈米結構 6 對此行的專家亦另外以“奈米線”或“奈米桿”的概念而已為人所知。

在矽-生長基板上使用奈米結構時可有利地生長缺陷較小且高品質之半導體層而不會在半導體晶片中造成額外的應力。此種奈米結構 6 可有利地用來使額外的應力減小。應力的減小是由於奈米結構 6 之較小的基本平面而達成。

藉由使用該核化層 11 和奈米結構 6 的組合，則可在

矽-基板上製成一種面積大、成本低且缺陷較少的磊晶。因此，可達成一種較佳的方法和一種具有較佳性質的構件。

在奈米結構 6 上配置一種結合用的 GaN-層 12。此結合用的 GaN-層又用來使缺陷減少，則又可使半導體晶片獲得改良。

在該結合用的 GaN-層上，選擇性地配置 AlN-層或 AlGa_N-層 13。此 AlGa_N-層因此可就其鋁濃度來分級。此種選擇性的層 13 用來使結合用的 GaN-層 12 之形態獲得改良。於是，即將施加在 AlN-層上或 AlGa_N-層 13 上之半導體層能以較佳的晶體品質和均勻性來沈積而成。

在選擇性之層 13 上配置一種遮罩層 14。此遮罩層 14 例如含有 SiN 和 Al(Ga)N。此種遮罩層又可使缺陷減少。

在該遮罩層 14 上配置一種具有多個單一層之中間層 7。此中間層 7 因此形成為由多個單一層構成的層堆疊。此中間層 7 特別是用來使半導體晶片中的應力下降。例如，此中間層 7 由 AlN-層 / Al_xGa_{1-x}N-層構成。使用此中間層 7 允許在由矽構成的生長基板上以壓縮的預應力而生長其它的半導體層。因此，在生長過程中可防止層厚度大於 500 奈米之磊晶層受損(例如，裂開)。

在該中間層 7 上配置半導體層堆疊 1，其含有氮化之化合物半導體材料。半導體層堆疊 1 具有第一導電型之層 1b、活性層 1a 和第二導電型之層 1c。活性層 1a 特別是配置在第一導電型之層 1b 和第二導電型之層 1c 之

間。活性層 1a 用來產生輻射。

例如，第一導電型之層 1b 是 n-導電層，第二導電型之層 1c 是 p-導電層，或反之亦可。目前，第一導電型之層 1b 是 n-導電之 GaN:Si-層。第二導電型之層 1c 是 p-導電之 GaN-層。活性層 1a 具有 pn-接面或量子井結構，例如，多量子井結構(MQW)。

圖 1 之實施例處於製程中。在圖 1 之實施例之晶片 10 之製程之後，施加一與生長基板 9 相面對而配置的載體基板，然後，將該生長基板 9 的一部份剝離或完全剝離。又，對該半導體層堆疊 1 進行電性接觸。

已製成的半導體晶片 10 顯示在圖 2 至圖 5 之實施例中。

圖 2 所示之半導體晶片 10 具有位於載體基板 2 上之可電性接觸的半導體層堆疊 1。載體基板 2 具有至少一矽表面 2a 或載體基板 2 是全矽-基板。載體基板 2 特別是具有與生長基板 9 相同的膨脹係數，這樣可防止半導體晶片中發生應力。

在載體基板 2 上，特別是矽表面 2a 上，配置第一電性連接層 4。此第一電性連接層 4 用來與第一導電型之層 1b 形成電性接觸。為了避免短路，須在第一電性連接層 4 上配置絕緣用之電性隔離層 15。此絕緣用之電性隔離層 15 直至第一導電型之層 1b 之區域中的開口為止都完全配置在第一電性連接層 4 上。第一電性連接層 4 因此藉由該隔離層 15 而與第二導電型之層 1c 完全達成電性絕緣。第一電性連接層 4 另具有多個凸起。各凸起用

來與第一導電型之層 1b 形成電性接觸。

為了與半導體層堆疊 1 達成電性接觸，則特別是須在半導體層堆疊 1 中施加多個凹口。各凹口 3 由半導體層堆疊 1 之後側 1e 經由活性層 1a 而延伸至第一導電型之層 1b。各凹口 3 在側向或橫向中由該隔離層 15 包圍著。凹口 3 之側面特別是完全以該隔離層 15 來包封著。凹口 3 中施加第一電性連接層 4 之凸起。各凸起藉由該隔離層 15 而與第二導電型之層 1c 和活性層 1a 形成電性絕緣。

半導體層堆疊 1 和絕緣用之電性隔離層 15 之間配置第二電性連接層 5。此第二電性連接層 5 同樣配置在半導體層堆疊 1 之後側 1e 上。第二電性連接層 5 電性連接至半導體層堆疊 1 之第二導電型之層 1c。此第二電性連接層 5 藉由該隔離層 15 而與第一電性連接層 4 形成電性絕緣。在第二電性連接層 5 上配置一種接觸面 16，其在橫向中與半導體層堆疊 1 相隔離且可藉由一接合線 17 而與半導體晶片達成一種外部的電性接觸。

在半導體層堆疊 1 上配置中間層 7。在中間層 7 上另配置奈米結構 6。奈米結構 6 在該生長基板之剝離過程中未被剝離而是位於半導體晶片 10 之前側 1d 上。

半導體晶片 10 之前側 1d 特別是一種由活性層所產生的輻射之輻射發出面。由活性層 1a 所產生的輻射之大部份特別是經由輻射發出面(半導體晶片之前側)1d 而由半導體晶片發出。

奈米結構 6 具有一種直徑和分佈，以便達成光子效

應，使輻射更有利地由晶片發出。奈米結構 6 是用來使效率提高的光子晶體。又，藉由奈米結構 6 可達成其它的效應以對所發出的輻射進行導引，例如，依據立體角度而目標明確地發出輻射。

半導體晶片 10 在半導體層堆疊 1 之 p-側具有單側接觸區。藉由單側電性接觸區、生長過程中之核化層、以及用來使應力減小的中間層之組合，則可達成一種大面積、成本較低且缺陷較小之磊晶和晶片程序化，其中半導體晶片之構造可依據磊晶過程來調整，這樣整體上就可達成較佳的方法和具有較佳特性之構件。晶片之單側的電性接觸區特別是可形成一種低歐姆之 n-接觸區，其中在功能上同時可保持著晶片之已生長的功能層。

半導體晶片 10 較佳是一發出輻射之半導體晶片，特別是 LED，特別有利的是薄膜-LED。

圖 3 之實施例不同於圖 2 之實施例之處是：半導體晶片 10 之半導體層的內部中配置著奈米結構 6。此種埋置在半導體層中的奈米結構用作散射中心，其可有利地使晶片之效率提高。特別是可藉由奈米結構 6 的控制使各散射中心在晶片中靠近活性層 1a 而設置著且被積體化，這樣可使輻射的效率提高。

積體化之奈米結構在圖 3 之實施例中配置在中間層 7 上方。奈米結構 6 藉由半導體層堆疊來覆蓋著，使奈米結構 6 埋置於半導體材料中。須形成奈米結構 6 上之半導體材料，以產生光子效應來使輻射發出。例如，半導體材料之表面設置在半導體晶片之前側 1d 上。

又，圖 3 之實施例基本上與圖 2 之實施例一致。

半導體晶片 10 之在圖 4 中所示之實施例不同於圖 2 之實施例之處是：製程中已生長的奈米結構 6 將與該生長基板一起剝離。中間層 7 同樣至少一部份在製程中被剝離。只有中間層 7 之一部份(特別是 AlGaIn-層)位於半導體層堆疊 1 上。該一部份作為輻射發出用的結構，使輻射的發出可藉由該層而獲得改良。該 AlGaIn-層另外能以多層組合而成，這樣又可使輻射的發出獲得改良且因此使效率獲得改良。

又，圖 4 之實施例基本上與圖 1 之實施例一致。

圖 5A 和圖 5B 中另外使用多個轉換元件 8。各轉換元件 8 特別是積體化於奈米結構 6 中。各轉換元件 8 特別是 InGaIn-層，其中轉換率或所轉換之光之彩色或波長是以銦含量而測得。各轉換元件 8 在晶片操作時進行光學泵送且未進行電性操作。

各轉換元件 8 將活性層 1a 所發出之輻射之一部份轉換成另一波長的輻射。半導體晶片 10 因此發出一種由該活性層 1a 所產生之輻射和轉換後的輻射所構成之混合輻射，這樣可製成一種發出白光之 LED。

晶片之發出的彩色另外可藉由奈米結構之直徑之選擇來決定。奈米結構特別是由於直徑而可有效地將大量之銦加入至晶片中。這樣就可製造發出白光的 LEDs 而不需額外的磷。由 InGaIn-層構成的轉換元件相對於由磷所構成的轉換元件所具有的優點是高的熱穩定性、較佳的老化穩定性以及高的射出-和射入效率。藉由適當地選

取奈米結構-直徑，則例如當奈米結構配置成陣列且具有不同的直徑時另外能以寬頻帶方式發出藍光或使接近紫外線直至紅色光譜範圍之光發出。

藉由奈米結構的配置，則另外可使用其它效應(例如，Purcell-效應)以使光量提高。

在圖 5A 之實施例中，顯示了圖 3 之實施例的半導體晶片 10，與圖 3 之實施例之不同之處是奈米結構 6，其積體化於上述的轉換元件 8 中。

圖 5B 之實施例對應於圖 2 之實施例且具有其它的積體化之轉換元件 8。

本發明當然不限於依據各實施例中所作的描述。反之，本發明包含每一新的特徵和各特徵的每一種組合，特別是包含各申請專利範圍-或不同實施例之各別特徵之每一種組合，當相關的特徵或相關的組合本身未明顯地顯示在各申請專利範圍中或各實施例中時亦屬本發明。

本專利申請案主張德國專利申請案 10 2010 046 792.8 之優先權，其已揭示的整個內容在此一併作為參考。

【圖式簡單說明】

圖 1 顯示本發明的製造方法中半導體晶片之剖面圖。

圖 2 至圖 4、圖 5A、圖 5B 分別顯示本發明之實施例的半導體晶片之剖面圖。

【主要元件符號說明】

1	半導體層堆疊
1a	活性層
1b	第一導電型之層
1c	第二導電型之層
1d	(半導體晶片之)前側/面
1e	(半導體晶片之)後側
2	載體基板
2a、9a	矽-表面
3	凹口
4	第一電性之連接層
5	第二電性之連接層
6	奈米結構
7	中間層
8	轉換元件
9	生長基板
10	半導體晶片
11	核化層
12	結合用的 GaN-層
13	AlN-層 或 AlGaIn-層
14	遮罩層
15	絕緣用之電性隔離層
16	接觸面
17	接合線

七、申請專利範圍：

1. 一種光電半導體晶片(10)，具有在載體基板(2)上由氮化之化合物半導體材料構成之半導體層堆疊(1)，其特徵為：

- 該載體基板(2)具有一種面向該半導體層堆疊(1)之表面(2a)，其含有矽，
- 該半導體層堆疊(1)具有一種位於第一導電型之層(1b)和第二導電型之層(1c)之間的用來產生輻射之活性層(1a)，
- 該第一導電型之層(1b)鄰接於該半導體層堆疊(1)之前側(1d)，
- 該半導體層堆疊(1)包含至少一凹口(3)，其由該半導體層堆疊(1)之與該前側(1d)相對的後側(1e)經由該活性層(1a)而延伸至該第一導電型之層(1b)，
- 該第一導電型之層(1b)藉由該第一電性連接層(4)以經由該凹口(3)而達成電性連接，該第一電性連接層(4)的至少一部份覆蓋該半導體層堆疊(1)之後側(1e)，
- 該第二導電型之層(1c)藉由配置在該後側(1e)上的第二電性連接層(5)而達成電性連接，以及
- 在該半導體層堆疊(1)中及/或在該前側(1d)上配置中間層(7)。

2. 如申請專利範圍第 1 項之半導體晶片，其中在該半導體層堆疊(1)中及/或在該前側(1d)上配置多個奈米結構(6)。
3. 如申請專利範圍第 1 或 2 項之半導體晶片，其中在該半導體層堆疊(1)中及/或在該前側(1d)上配置一種轉換元件(8)，其適合用來將該活性層(1a)所發出之輻射的至少一部份轉換成另一波長的輻射。
4. 如申請專利範圍第 3 項之半導體晶片，其中該轉換元件(8)包含 InGaN-層。
5. 如申請專利範圍第 3 項之半導體晶片，其中該轉換元件(8)配置在該些奈米結構(6)中。
6. 如申請專利範圍第 3 項之半導體晶片，其中已轉換的輻射的至少一部份之波長是藉由該些奈米結構(6)之直徑及/或分佈來決定。
7. 如申請專利範圍第 1 或 2 項之半導體晶片，其中該半導體晶片(10)是薄膜-晶片。
8. 如申請專利範圍第 1 或 2 項之半導體晶片，其中該半導體晶片(10)是 LED。
9. 一種在載體基板(2)上具有由氮化之化合物半導體材料構成的半導體層堆疊(1)的光電半導體晶片(10)之製造方法，包括以下各步驟：
 - 製備一種具有表面(9a)的生長基板(9)，其含有矽，

- 在該表面(9a)上以磊晶方式生長該半導體層堆疊(1)，其在第一導電型之層(1b)和第二導電型之層(1c)之間具有一用來產生輻射之活性層(1a)，其中該第一導電型之層(1b)鄰接於該半導體層堆疊(1)之前側(1d)，
- 在該半導體層堆疊(1)中形成至少一凹口(3)，其由該半導體層堆疊(1)之與該前側(1d)相對的後側(1e)經由該活性層(1a)而延伸至該第一導電型之層(1b)，
- 經由該凹口(3)以藉由第一電性連接層(4)來將該第一導電型之層(1b)予以電性連接，該第一電性連接層(4)至少依據位置而覆蓋該半導體層堆疊(1)之後側(1e)，
- 藉由配置在該後側(1e)上之第二電性連接層(5)來將第二導電型之層(1c)予以電性連接，
- 在該半導體層堆疊(1)之與該生長基板(9)相對之此側上施加該載體基板(2)，以及
- 將該生長基板(9)剝離，

其中在生長過程中在該生長基板(9)和該活性層(1a)之間施加中間層(7)。

10.如申請專利範圍第9項之製造方法，其中在生長該半導體層堆疊(1)之前在該生長基板(9)上施加核化層(11)。

11.如申請專利範圍第9或10項之製造方法，其中

在該半導體層堆疊(1)中及/或該前側(1d)上形成多個奈米結構(6)。

12.如申請專利範圍第 11 項之製造方法，其中在該些奈米結構(6)中施加一種轉換元件(8)，其適合用來將該活性層(1a)所發出之輻射的至少一部份轉換成另一波長之輻射。

13.如申請專利範圍第 12 項之製造方法，其中已轉換的輻射的至少一部份之波長是藉由該些奈米結構(6)之直徑及/或分佈來決定。

八、圖式：

圖 1

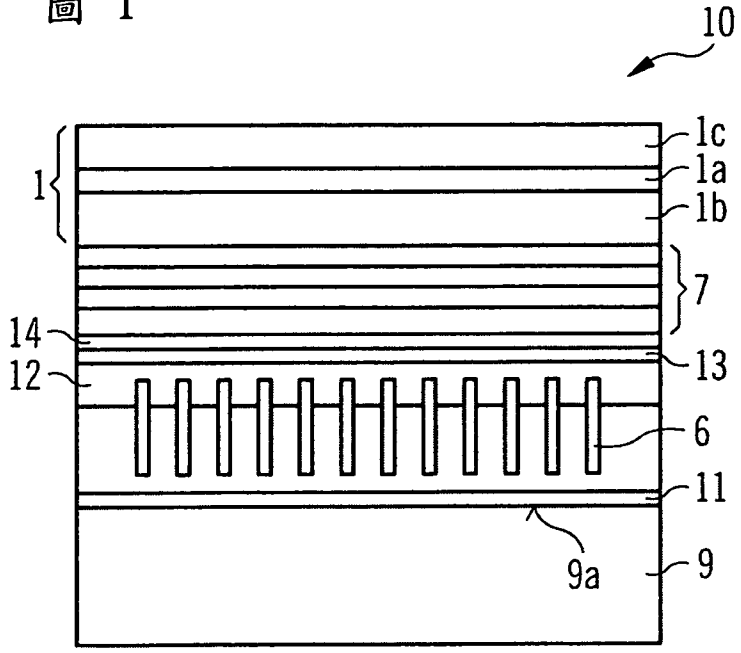


圖 2

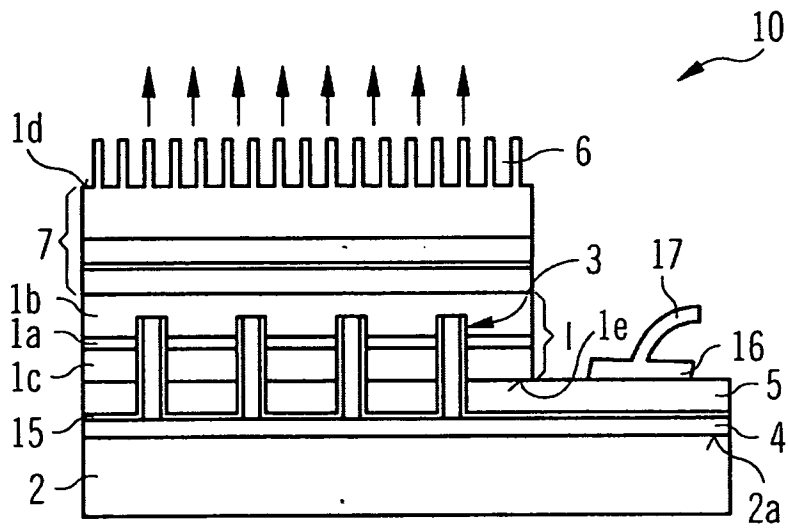


圖 5A

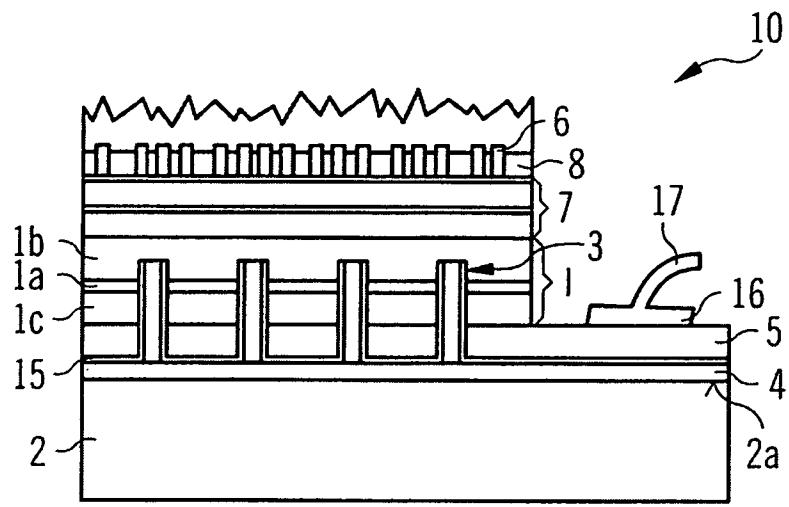


圖 5B

