

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁷
H01L 21/8242

(45) 공고일자 2005년03월08일
(11) 등록번호 10-0474591
(24) 등록일자 2005년02월23일

(21) 출원번호 10-2002-0022120
(22) 출원일자 2002년04월23일

(65) 공개번호 10-2003-0083444
(43) 공개일자 2003년10월30일

(73) 특허권자 주식회사 하이닉스반도체
경기 이천시 부발읍 아미리 산136-1

(72) 발명자 김희상
경기도이천시백사면모전리현대아파트104동505호
박성계
충청북도청주시흥덕구가경동수정아파트103-304

(74) 대리인 강성배

심사관 : 반성원

(54) 트렌치 분리 구조를 가지는 디램 셀 트랜지스터의 제조 방법

요약

본 발명은 트렌치 분리 구조를 가지는 디램 셀 트랜지스터의 제조 방법에 관한 것으로서, 필드 산화막에 의한 봉소 분리 효과에 의하여 채널 도핑 농도가 채널 중심 쪽보다 필드 산화막 모서리 쪽에서 더 낮아짐으로써 필드 산화막 모서리 쪽에서 접합 영역과 채널간의 전위장벽이 낮아져 유효 채널 길이가 작아지고 펀치-스루 특성이 저하되는 것을 방지하기 위한 것이다. 본 발명의 디램 셀 트랜지스터 제조 방법에 따르면, 필드 산화막 내부에 웰과 동일한 도전형을 가지는 전극 구조가 형성된다. 따라서, 웰에 인가된 역바이어스가 필드 산화막 내부의 전극에도 동시에 인가되어 필드 산화막 모서리 쪽의 전위가 높아지고 접합 영역과 채널간의 전위 장벽이 증가하여 펀치-스루 특성이 개선된다.

대표도

도 6

명세서

도면의 간단한 설명

도 1은 종래기술에 따른 디램 셀 트랜지스터의 개략적인 구조를 나타내는 평면도이다.

도 2는 도 1의 II-II선을 따라 절단한 단면도로서, 실리콘 기판의 채널 도핑 농도 분포를 나타낸다.

도 3은 깊이에 따른 채널 도핑 농도를 나타내는 그래프로서, Pc와 Pe는 각각 도 2의 IIIc선과 IIIe선을 기준으로 하여 깊이에 따른 채널 도핑 농도를 나타낸다.

도 4는 도 1의 IVc-IVc선 및 IVe-IVe선을 따라 절단한 단면도로서, Jc와 Je는 각각 도 1의 IVc-IVc선과 IVe-IVe선을 따라 절단한 단면에서 접합 영역의 측면 프로파일을 비교하여 나타낸다.

도 5a 내지 도 5j는 본 발명의 실시예에 따른 디램 셀 트랜지스터의 제조 방법을 나타내는 공정 단면도로서, 도 1의 V-V선을 따라 절단한 단면을 기준으로 도시한 것이다.

도 6은 본 발명의 실시예에 따른 디램 셀 트랜지스터의 작용을 설명하기 위한 단면도이다.

<도면 부호의 설명>

- 10, 20: 실리콘 기판(silicon substrate)
- 12: 소스/드레인 접합 영역(source/drain junction region)
- 14, 28, 28a: 필드 산화막(field oxide layer)
- 16, 30: 게이트 라인(gate line)
- 18, 29: 게이트 산화막(gate oxide layer)
- 21: 패드 산화막(pad oxide layer)
- 22: 패드 질화막(pad nitride layer)
- 23: 트렌치(trench)
- 24: 라이너 질화막(liner nitride layer)
- 25, 25a: 스페이서 산화막(spacer oxide layer)
- 26, 26a, 27, 27a: 도핑된 폴리실리콘층(doped polysilicon layer)

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자의 제조 방법에 관한 것으로서, 보다 구체적으로는 트렌치 분리 구조를 가지는 디램 셀 트랜지스터(DRAM cell transistor)의 제조 방법에 관한 것이다.

열적으로 성장한 실리콘 산화막은 실리콘 내에 주입된 붕소(boron) 이온들을 흡수하는 작용을 한다. 이러한 현상은 붕소 분리 효과(boron segregation effect)로 알려져 있다. 따라서, 얇은 트렌치 분리(Shallow Trench Isolation; STI) 구조를 가지는 일반적인 모스(MOS) 트랜지스터에서는 트렌치에 형성되는 필드 산화막에 의한 붕소 분리 효과에 의하여 필드 산화막에 근접할수록 채널 도핑 농도가 낮아져 유효 채널(effective channel) 길이가 작아지고 펀치-스루(punch-through) 특성이 저하된다.

이하, 도 1 내지 도 4를 참조하여 종래기술에 따른 디램 셀 트랜지스터와 그 문제점을 설명한다. 도 1은 종래기술에 따른 디램 셀 트랜지스터의 개략적인 구조를 나타내는 평면도이다. 도 2는 도 1의 II-II선을 따라 절단한 단면도로서, 실리콘 기판의 채널 도핑 농도 분포를 나타낸다. 도 3은 깊이에 따른 채널 도핑 농도를 나타내는 그래프로서, P_c 와 P_e 는 각각 도 2의 IIIc선과 IIIe선을 기준으로 하여 깊이에 따른 채널 도핑 농도를 나타낸다. 또한, 도 4는 도 1의 IVc-IVc선 및 IVe-IVe선을 따라 절단한 단면도로서, J_c 와 J_e 는 각각 도 1의 IVc-IVc선과 IVe-IVe선을 따라 절단한 단면에서 접합 영역의 측면 프로파일을 비교하여 나타낸다.

잘 알려진 바와 같이, 각각의 디램 셀 트랜지스터들을 전기적으로 분리하기 위하여 실리콘 기판(10)의 소정 영역에는 트렌치 형태의 필드 산화막(14)이 형성된다. 필드 산화막(14)에 의하여 한정되는 실리콘 기판(10)의 셀 액티브 영역에는 문턱전압을 조절하기 위하여 채널 이온주입이 이루어지며, 게이트 산화막(18)과 게이트 라인(16)과 소스/드레인 접합 영역(12)이 각각 순차적으로 형성된다.

앞서 설명한 바와 같이, 채널 이온주입에 의한 도핑 농도는 필드 산화막(14)에 의한 붕소 분리 효과에 의하여 필드 산화막(14)에 근접할수록 낮아지게 된다. 즉, 도 2와 도 3에 도시된 바와 같이, 채널 중심 쪽보다 필드 산화막 모서리 쪽에서 채널 도핑 농도가 낮아지게 된다(A 부분). 따라서, 도 4에 도시된 바와 같이, 필드 산화막 모서리 쪽에서 접합 영역(12)과 채널간의 전위장벽이 낮아져 유효 채널 길이가 작아지고 펀치-스루 특성이 저하된다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명은 이러한 종래기술에서의 문제점을 해결하기 위하여 안출된 것으로서, 본 발명의 목적은 필드 산화막 모서리 쪽의 전위를 높여 접합 영역과 채널간의 전위 장벽을 증가시키고 펀치-스루 특성을 개선할 수 있는 디램 셀 트랜지스터를 제조하기 위한 것이다.

발명의 구성 및 작용

이러한 목적을 달성하기 위하여, 본 발명에 따른 디램 셀 트랜지스터의 제조 방법은 웰이 구비된 실리콘 기판을 제 공하는 단계; 기판의 소정 영역에 트렌치를 형성하는 단계; 트렌치 결과물에 라이너질화막 및 스페이스 산화막을 차 례로 형성하는 단계; 스페이스 산화막을 전면 식각하여 상기 트렌치 내에 측벽을 형성하는 단계; 측벽을 식각장벽으 로 라이너질화막을 식각하여 상기 트렌치 바닥을 노출시키는 단계; 노출된 트렌치의 바닥에 상기 웰과 동일한 도전 형의 제 1전극을 형성하는 단계; 측벽을 제거하는 단계; 트렌치 내부의 제 1전극 상에 제 2전극을 형성하는 단계; 트 렌치의 제 2전극 상에 필드 산화막을 형성하여 상기 트렌치 구조를 평탄화하는 단계; 및 필드 산화막을 포함한 전체 구조 상에 게이트 산화막과 게이트 라인을 형성하고 소스/드레인 접합 영역을 형성하는 단계를 포함하는 것을 특징으 로 한다. 상기 트렌치의 형성 단계는 상기 실리콘 기판의 표면에 패드 산화막과 패드 질화막을 순차적으로 증착하 는 단계와, 상기 패드 질화막과 상기 패드 산화막과 상기 실리콘 기판을 선택적으로 식각하는 단계를 포함한다. 상기 라이너 질화막의 증착 단계 전에, 트렌치 측벽 산화를 실시하는 단계를 더 포함한다. 상기 제 1 및 제 2전극은 폴리실 리콘층으로 이루어진다. 상기 제 1 및 제 2전극의 형성 단계는 트렌치 결과물 전면에도핑된 제 1 폴리실리콘층을 증 착하는 단계와, 상기 트렌치 하단에 일부만 남도록 상기 제 1 폴리실리콘층과 상기 측벽 산화막을 제거하여 제 1 전극 을 형성하는 단계와, 결과물 전면에도핑된 제 2 폴리실리콘층을 증착하는 단계와, 상기 트렌치 하단의 상기 제 1 전 극 위에 일부만 남도록 상기 제 2 폴리실리콘층을 제거하여 제 2 전극을 형성하는 단계를 포함한다. 본 발명에 따르면, 트렌치 형태의 필드 산화막 내부에 웰(well)과 동일한 도전형을 가지는 전극(electrode) 구조가 형성된 디램 셀 트 랜지스터의 제조 방법을 제공한다. 따라서, 웰에 인가된 음의 역바이어스(negative back bias)가 필드 산화막 내부 의 전극에도 동시에 인가되어 필드 산화막 모서리 쪽의 전위가 높아지고 접합 영역과 채널간의 전위 장벽이 증가하 여 펀치-스루 특성이 개선된다.

이하, 첨부 도면을 참조하여 본 발명의 바람직한 실시예를 보다 상세하게 설명하도록 한다. 첨부 도면에서 일부 구 성요소들은 도면의 명확한 이해를 돕기 위해 다소 과장되거나 개략적으로 도시되었으며 실제의 크기를 전적으로 반 영하는 것은 아니다.

도 5a 내지 도 5j는 본 발명의 실시예에 따른 디램 셀 트랜지스터의 제조 방법을 나타내는 공정 단면도로서, 도 1의 V-V선을 따라 절단한 단면을 기준으로 도시한 것이다.

먼저, 도 5a에 도시된 바와 같이, 실리콘 기판(20)의 표면에 패드 산화막(21)과 패드 질화막(22)을 순차적으로 증착 한 후 선택적으로 식각하여 실리콘 기판(20)의 소정 영역에 트렌치(23)를 형성한다.

계속해서 트렌치 측벽 산화를 실시한 후, 도 5b에 도시된 바와 같이, 노출된 전체 표면을 따라 라이너 질화막(24)을 증착한다. 라이너 질화막(24)은 추후 필드 산화막 내부에 전극을 형성하기 위해 폴리실리콘 에치-백(polysilicon etch-back) 공정을 진행할 때 식각 장벽으로 사용하기 위한 것이다.

이어서, 도 5c에 도시된 바와 같이, 트렌치(23) 내에 측벽 산화막을 형성하기 위하여 라이너 질화막(24)의 표면에 스페이스 산화막(25)을 증착한다.

이어서, 도 5d에 도시된 바와 같이, 스페이스 산화막을 전면 식각하여 트렌치(23) 내에 측벽 산화막(25a)을 형성한 후, 측벽 산화막(25a)을 식각 장벽으로 이용하여 트렌치(23) 바닥의 라이너 질화막(24)을 제거한다. 따라서, 트렌치 (23) 바닥에는 실리콘 기판(20)이 드러난다.

이어서, 도 5e에 도시된 바와 같이, 제 1 전극을 형성하기 위하여 결과물 전면에도핑된 제 1 폴리실리콘층(26)을 증 착한다. 이 때 증착되는 제 1 폴리실리콘층(26)은 웰과 동일한 도전형의 불순물로 도핑되어 있다.

이어서, 도 5f에 도시된 바와 같이, 트렌치(23) 하단에 일부만 남도록 제 1 폴리실리콘층을 에치-백하여 제 1 전극 (26a)을 형성한다. 이 때, 라이너 질화막(24)이 식각 장벽으로 이용되며, 측벽 산화막(25a)도 제 1 폴리실리콘층과 함께 제거된다.

이어서, 도 5g에 도시된 바와 같이, 제 2 전극을 형성하기 위하여 결과물 전면에도핑된 제 2 폴리실리콘층(27)을 증 착한다. 이 때 증착되는 제 2 폴리실리콘층(27)은 제 1 전극(26a)과 동일한 도전형의 불순물로 도핑되어 있다.

이어서, 도 5h에 도시된 바와 같이, 트렌치(23) 하단에 일부만 남도록 제 2 폴리실리콘층을 에치-백하여 제 2 전극 (27a)을 형성한다. 이 때, 라이너 질화막(24)이 식각 장벽으로 이용된다.

이어서, 도 5i에 도시된 바와 같이 트렌치(23)를 채우도록 결과물 전면에도핑된 산화막(28)을 증착한 후, 화학적 기계적 연 마(CMP) 공정을 통하여 도 5j에 도시된 바와 같이 트렌치(23) 내부에 필드 산화막(28a)을 형성한다. 이후, 일반적 인 디램 공정을 거쳐 게이트 산화막(29)과 게이트 라인(30)을 형성하고 소스/드레인 접합 영역(도시되지 않음)을 형 성하여 디램 셀 트랜지스터를 완성한다.

이상과 같은 방법에 의하여 제조된 디램 셀 트랜지스터의 동작 원리는 다음과 같다. 도 6은 본 발명의 실시예에 따른 디램 셀 트랜지스터의 작용을 설명하기 위한 단면도이다. 도 6을 참조하면, 트렌치(23) 내부에 형성된 폴리실리콘 전극(26a, 27a)은 디램 셀의 웰에 걸리는 역바이어스와 동일한 전압이 인가된다. 그러면 셀 트랜지스터 동작시 액티 브 영역의 표면 쪽에 채널이 형성되어 전자들이 모이게 되고, 펀치-스루 현상이 발생하기 쉬운 필드 산화막(28a) 모 서리 쪽에는 정공(hole)들이 끌리게 된다. 따라서, 필드 산화막(28a) 모서리 쪽의 전위가 올라가게 되어 소스 접합 영역과 채널간의 전위 장벽이 증가하여 펀치-스루 특성이 개선되게 된다.

한편, 제 1 전극(26a)과 제 2 전극(27a)을 분리하여 형성하는 이유는 제 1 전극(26a)을 작게 만들어서 필드 산화막 (28a) 바닥 쪽의 전위를 가능한 줄이고 펀치-스루에 취약한 부분만 효과적으로 전위 장벽을 올려주기 위해서이다. 또한, 전극(26a, 27a)은 필드 산화막(28a) 바닥으로부터 500~1500Å의 깊이까지 형성하는 것이 바람직하다.

발명의 효과

이상 설명한 바에 의하여 알 수 있듯이, 본 발명에 따른 디램 셀 트랜지스터는 웰과 동일한 도전형으로 필드 산화막 내부에 형성된 전극 구조를 포함하기 때문에, 웰에 인가된 역바이어스가 필드 산화막 내부의 전극에도 동시에 인가되어 필드 산화막 모서리 쪽의 전위가 높아지고 접합 영역과 채널간의 전위 장벽이 증가하여 펀치-스루 특성이 개선되는 효과가 있다.

본 명세서와 도면에는 본 발명의 바람직한 실시예에 대하여 개시하였으며, 비록 특정 용어들이 사용되었으나, 이는 단지 본 발명의 기술 내용을 쉽게 설명하고 발명의 이해를 돕기 위한 일반적인 의미에서 사용된 것이지, 본 발명의 범위를 한정하고자 하는 것은 아니다. 여기에 개시된 실시예 외에도 본 발명의 기술적 사상에 바탕을 둔 다른 변형예들이 실시 가능하다는 것은 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 자명한 것이다.

(57) 청구의 범위

청구항 1.

- 웰이 구비된 실리콘 기판을 제공하는 단계;
- 상기 기판의 소정 영역에 트렌치를 형성하는 단계;
- 상기 트렌치 결과물에 라이너질화막 및 스페이서 산화막을 차례로 형성하는 단계;
- 상기 스페이서 산화막을 전면 식각하여 상기 트렌치 내에 측벽을 형성하는 단계;
- 상기 측벽을 식각장벽으로 라이너질화막을 식각하여 상기 트렌치 바닥을 노출시키는 단계;
- 상기 노출된 트렌치의 바닥에 상기 웰과 동일한 도전형의 제 1전극을 형성하는 단계;
- 상기 측벽을 제거하는 단계;
- 상기 트렌치 내부의 제 1전극 상에 제 2전극을 형성하는 단계;
- 상기 트렌치의 제 2전극 상에 필드 산화막을 형성하여 상기 트렌치 구조를 평탄화하는 단계; 및
- 상기 필드 산화막을 포함한 전체 구조 상에 게이트 산화막과 게이트 라인을 형성하고 소스/드레인 접합 영역을 형성하는 단계를 포함하는 디램 셀 트랜지스터의 제조 방법.

청구항 2.

제1항에 있어서, 상기 트렌치의 형성 단계는 상기 실리콘 기판의 표면에 패드 산화막과 패드 질화막을 순차적으로 증착하는 단계와, 상기 패드 질화막과 상기 패드 산화막과 상기 실리콘 기판을 선택적으로 식각하는 단계를 포함하는 것을 특징으로 하는 디램 셀 트랜지스터의 제조 방법.

청구항 3.

삭제

청구항 4.

제 1항에 있어서, 상기 라이너 질화막의 증착 단계 전에, 트렌치 측벽 산화를 실시하는 단계를 더 포함하는 것을 특징으로 하는 디램 셀 트랜지스터의 제조 방법.

청구항 5.

삭제

청구항 6.

삭제

청구항 7.

삭제

청구항 8.

삭제

청구항 9.

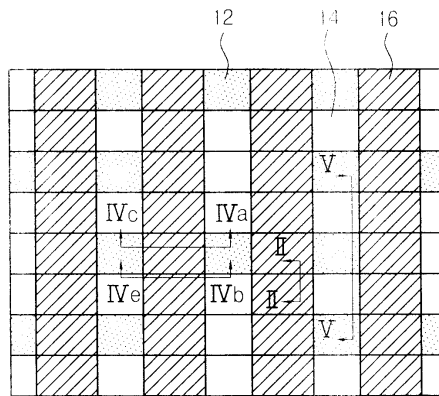
제 1항에 있어서, 상기 제 1 및 제 2전극은 폴리실리콘층으로 이루어지는 것을 특징으로 하는 디램 셀 트랜지스터의 제조 방법.

청구항 10.

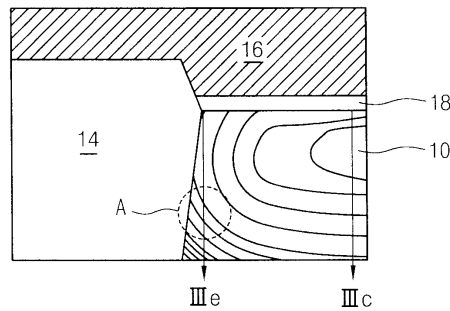
제 1항에 있어서, 상기 제 1 및 제 2전극의 형성 단계는 트렌치 결과물 전면에 도핑된 제1 폴리실리콘층을 증착하는 단계와, 상기 트렌치 하단에 일부만 남도록 상기 제1 폴리실리콘층과 상기 측벽 산화막을 제거하여 제1 전극을 형성하는 단계와, 결과물 전면에 도핑된 제2 폴리실리콘층을 증착하는 단계와, 상기 트렌치 하단의 상기 제1 전극 위에 일부만 남도록 상기 제2 폴리실리콘층을 제거하여 제2 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 디램 셀 트랜지스터의 제조 방법.

도면

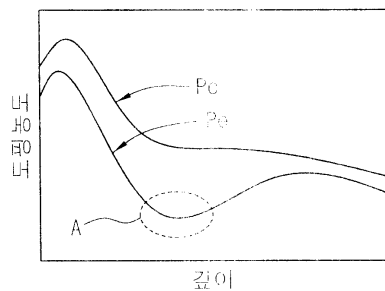
도면1



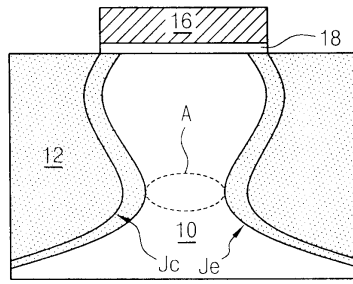
도면2



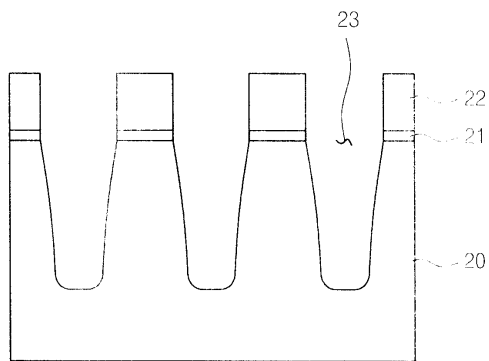
도면3



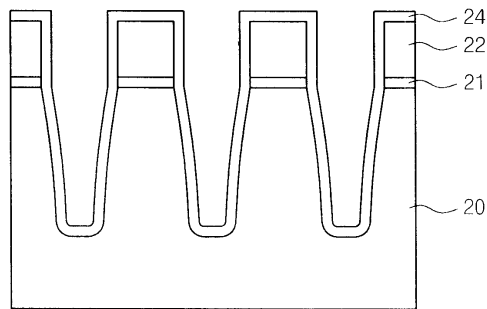
도면4



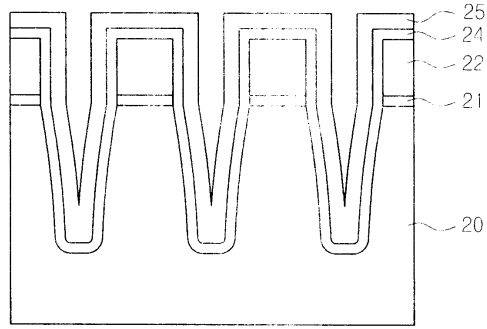
도면5a



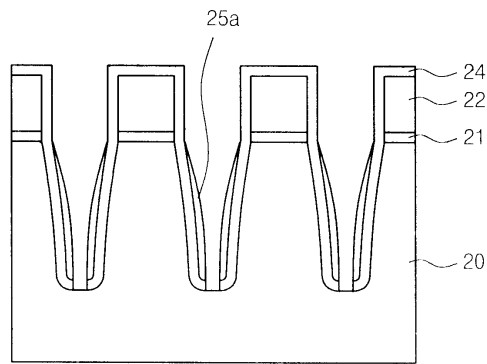
도면5b



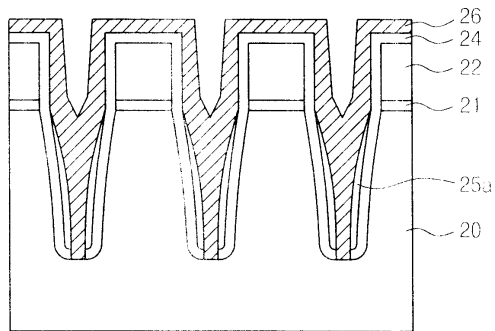
도면5c



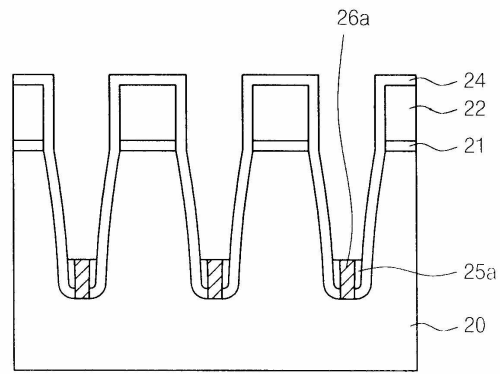
도면5d



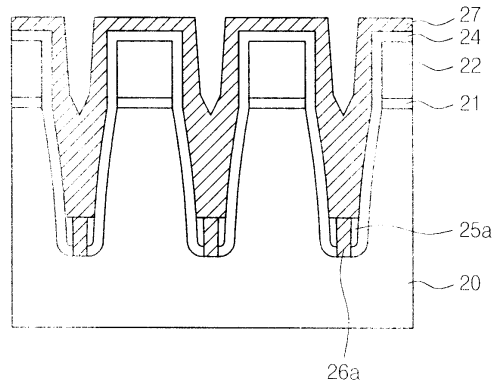
도면5e



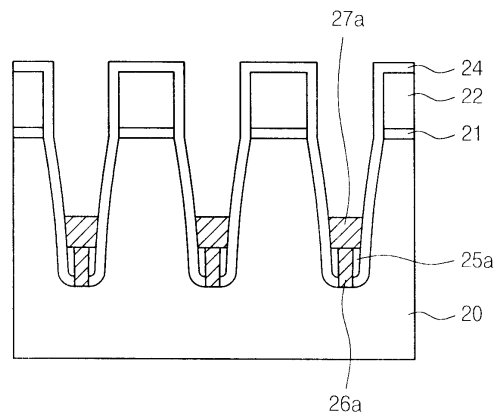
도면5f



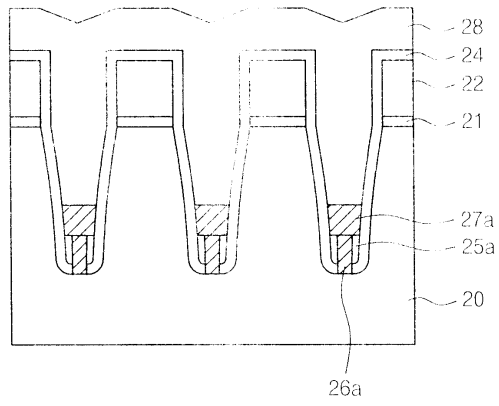
도면5g



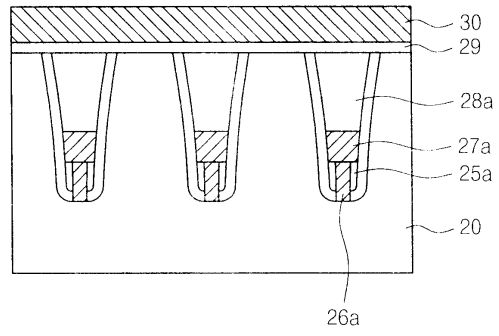
도면5h



도면5i



도면5j



도면6

