



(12) 发明专利

(10) 授权公告号 CN 1708812 B

(45) 授权公告日 2011. 11. 23

(21) 申请号 03825526. X

代理人 程伟

(22) 申请日 2003. 07. 24

(51) Int. Cl.

(30) 优先权数据

G11C 16/10 (2006. 01)

10/307, 667 2002. 12. 02 US

(56) 对比文件

(85) PCT申请进入国家阶段日

US 20010030340 A1, 2001. 10. 18, 全文.

2005. 06. 02

US 6147904 A, 2000. 11. 14, 全文.

(86) PCT申请的申请数据

US 20020067641 A1, 2002. 06. 06, 全文.

PCT/US2003/023085 2003. 07. 24

EP 1096505 A1, 2001. 05. 02, 全文.

(87) PCT申请的公布数据

CN 1376313 A, 2002. 10. 23, 全文.

W02004/051667 EN 2004. 06. 17

CN 1363956 A, 2002. 08. 14, 全文.

审查员 张剑铭

(73) 专利权人 斯班逊有限公司

地址 美国加利福尼亚州

(72) 发明人 Y·何 Z·刘 M·W·兰道夫

S·S·哈达德

(74) 专利代理机构 北京戈程知识产权代理有限公司
11314

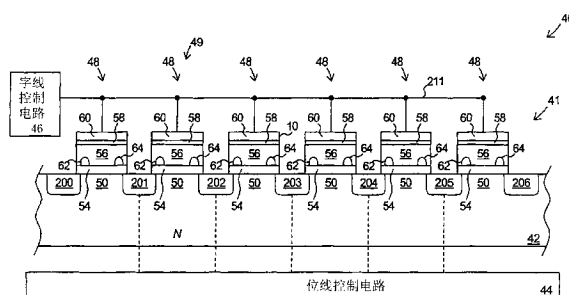
权利要求书 1 页 说明书 8 页 附图 4 页

(54) 发明名称

用于编程非易失性存储单元的改良系统

(57) 摘要

双位电介质存储单元的阵列包含有多条位线。第一条位线形成用于阵列中列存储单元内的多个存储单元的每一个的源极区。第二条位线形成用于列存储单元内的多个存储单元的每一个的漏极区。相反导电性的沟道区位于第一条位线和第二条位线之间, 并与第一条位线和第二条位线分别形成接合。选择的字线位于沟道区的上方, 并在同一行内的多个存储单元的每一个的上方形成栅极。多条非选择的字线各平行于选择的字线, 并各在列内多个存储单元的其中一个并非为多个存储单元的已选择的其中一个存储单元的上方形成栅极。字线控制电路施加正编程电压至选择的字线, 而位线控制电路同时施加正漏极电压至漏极位线和正源极电压至源极位线, 正源极电压要小于正漏极电压。



1. 一种双位电介质存储单元的阵列,该阵列包括:

第一导电性半导体的第一位线,该第一位线形成用于在该阵列内一系列存储单元内多个存储单元的每一个的源极区;

第一导电性半导体的第二位线,该第二位线形成用于该列内该多个存储单元的每一个的漏极区,该第二位线与该第一位线以具有相反导电性的半导体分隔开,该相反导电性的半导体形成用于该列内多个存储单元的每一个的沟道区;

选择的字线,其位于该列内多个存储单元的其中一个选择的存储单元的沟道区上,并进一步形成用于与所选择的存储单元相同阵列的行内多个存储单元的每一个的栅极;

多条非选择的字线,每一条平行于选择的字线,且每一条在列内多个存储单元的其中一个并非为该多个存储单元的已选择的其中一个存储单元的上方形成一栅极;

字线控制电路,其用于:

施加一正编程电压至选择的字线;

位线控制电路,用来结合该字线控制电路施加该正编程电压至该选择的字线,而施加:

正漏极电压至该漏极位线;以及

正源极电压至该源极位线,该正源极电压小于该正漏极电压。

2. 根据权利要求1所述的双位电介质存储单元的阵列,进一步包括:

电阻器,其连接于该位线控制电路和接地之间;以及

其中该位线控制电路将接该源极位线连接到该电阻器,由此该正源极电压等于经由该电阻器所增加的电压。

3. 根据权利要求1所述的双位电介质存储单元的阵列,其中该字线控制电路进一步提供用来:

结合该字线控制电路施加正编程电压于选择的字线,而施加负偏压于非选择的字线。

4. 根据权利要求3所述的双位电介质存储单元的阵列,其中该负偏压介于-0.1伏特至-2.0伏特之间。

5. 根据权利要求4所述的双位电介质存储单元的阵列,其中该负偏压介于-0.5伏特至-1.0伏特之间。

6. 根据权利要求1所述的双位电介质存储单元的阵列,进一步包括基板电压控制电路,用来结合该字线控制电路施加正编程电压于选择的字线,而施加负基板电压于基板。

7. 根据权利要求6所述的双位电介质存储单元的阵列,其中该负基板电压介于-0.1伏特至-2.0伏特之间。

8. 根据权利要求7所述的双位电介质存储单元的阵列,其中该负基板电压介于-0.5伏特至-1.0伏特之间。

9. 根据权利要求1所述的双位电介质存储单元的阵列,其中该正源极电压介于1/10正漏极电压和3/10正漏极电压之间。

10. 根据权利要求9所述的双位电介质存储单元的阵列,其中该正源极电压为介于1/10正漏极电压和2/10正漏极电压之间。

用于编程非易失性存储单元的改良系统

技术领域

[0001] 本发明通常涉及闪存单元装置 (flash memory cell device), 更具体地说, 涉及在双位电介质存储单元结构编程期间减少短沟道电流漏电的预先充电系统的改良。

背景技术

[0002] 公知的电可擦除可编程只读存储器 (EEPROM) 型浮置栅极闪存使用存储单元, 其特征为在结晶硅基板上设有隧道氧化物 (SiO_2)、在隧道氧化物上的多晶硅浮置栅极、在浮置栅极上的层间电介质 (通常为氧化物、氮化物、氧化物堆栈形式)、和在层间电介质上的控制栅极的垂直叠层。在基板内为位于该垂直叠层下方的沟道区, 和在沟道区的相对侧的源极和漏极扩散区。

[0003] 通过引导热电子从沟道区注入至浮置栅极以在浮置栅极建立非易失性负电荷, 而编程该浮置栅极闪存单元。伴随着控制栅极的高正电压, 通过施加漏极至源极偏压即可达成热电子注入。栅极电压将沟道反向, 而漏极至源极偏压加速电子朝向漏极。加速的电子获得 5.0 至 6.0 电子伏特 (eV) 的动能, 足够越过沟道区和隧道氧化物之间 3.2 eV 的 Si-SiO_2 能量势垒。当电子加速朝向漏极时, 这些与晶格碰撞的电子在控制栅极电场的影响下再朝向 Si-SiO_2 接口, 并获得足够的能量以越过势垒。

[0004] 一旦编程了以后, 在浮置栅极的负电荷横越过半导体栅极并有增加 FET 阈值电压的效果, 该 FET 的特征为具有源极区、漏极区、沟道区和控制栅极。在“读取”存储单元期间, 可由在预定的控制栅极电压下侦测流经源极和漏极之间电流的大小, 而侦测存储单元的已编程和未编程状态。

[0005] 最近已开发出一种电介质存储单元结构。图 1 的剖视图显示公知的电介质存储单元阵列 10a 至 10f。各电介质存储单元的特征为具有垂直堆栈的绝缘隧道层 18、电荷捕获电介质层 22、绝缘上氧化物层 24 及位于结晶硅基板 15 上的多晶硅控制栅极 20。各多晶硅控制栅极 20 可以是延伸过所有存储单元 10a 至 10f 的多晶硅字线的一部分, 而使得所有的控制栅极 20a 至 20f 为电耦合。

[0006] 在基板 15 内是关联于各存储单元 10 的沟道区 12, 该沟道区 12 位于垂直堆栈的下方。多个位线扩散区 26a 至 26g 的其中一个将各沟道区 12 与邻接的沟道区 12 隔离。各位线扩散区 26 形成各存储单元 10 的源极区和漏极区。此硅沟道区 12、隧道氧化物 18、氮化物 22、上氧化物 24 及多晶硅控制栅极 20 的特定结构通常称之为 SONOS 装置。

[0007] 与浮置栅极装置相似, SONOS 存储单元 10 由引导热电子从沟道区 12 注入到譬如氮化硅的电荷捕获电介质层 22 来编程, 而在储存于氮化物层 22 内的电荷捕获层内建立非易失性的负电荷。再者, 伴随着在控制栅极 20 的高正电压, 可通过施加漏极至源极偏压而达到热电子注入的目的。在控制栅极 20 的高电压将沟道区 12 反向, 而漏极至源极偏压加速电子朝向漏极区。加速的电子获得 5.0 至 6.0 电子伏特 (eV) 的动能, 足够越过沟道区 12 和隧道氧化物 18 之间 3.2 eV 的 Si-SiO_2 能量势垒。当电子加速朝向漏极区时, 这些与晶格碰撞的电子在控制栅极电场的影响下再朝向 Si-SiO_2 接口, 并具有足够的能量越过势垒。因

为氮化物层储存注入的电子于捕获层（或为电介质层）内，故捕获的电子保持位于靠近漏极区的漏极电荷储存区内。例如，电荷能储存于存储单元 10b 的漏极位储存区 16b。位线 26b 作用为源极区而位线 26c 作用为漏极区。可以施加高电压至栅极 20b 和漏极区 26c，而源极区 26b 接地。

[0008] 同样地，伴随着在控制栅极的高正电压，可施加源极至漏极偏压，以将热电子注入靠近源极区的源极电荷储存区内。例如，在栅极 20b 和源极区 26b 表现高电压时将漏极区 26c 接地可被用来将电子注入至源极位电荷储存区 14b。

[0009] 以此方式，SONOS 装置可用来储存两位的数据，一个在源极电荷储存区 14（称之为源极位），另一个在漏极电荷储存区 16（称之为漏极位）。

[0010] 由于事实上储存在储存区 14 的电荷仅增加在储存区 14 的下方的沟道区 12 的部分阈值电压，而储存在储存区 16 的电荷仅增加在储存区 16 的下方的沟道区 12 的部分阈值电压，因此可通过侦测储存区 14 和储存区 16 之间的沟道区 12 的区域的沟道反向，而独立地读取各源极位和漏极位。欲“读取”漏极位，可将漏极区接地而将电压施加到源极区以及将稍为较高的电压施加到栅极 20。以此方式，靠近源极 / 沟道接合处的沟道区 12 的部分将不会反向（因为相关于源极区电压的栅极 20 电压并不足够来反向沟道），而流经漏极 / 沟道接合处的电流可用来侦测由漏极位的编程状态所引起的阈值电压的改变。

[0011] 同样地，欲“读取”源极位，可将源极区接地而将电压施加到漏极区以及将稍为较高的电压施加到栅极 20。以此方式，靠近漏极 / 沟道接合处的沟道区 12 的部分将不会反向，而流经源极 / 沟道接合处的电流可用来侦测由源极位的编程状态所引起的阈值电压的改变。

[0012] 在一般的闪存阵列中，当将一个所选择的存储单元编程时，行和列结构会产生问题。在列内的各存储单元与列内的另一存储单元分享共享的源极位线和漏极位线。以此方式，若在列内的其它存储单元当施加漏极至源极偏压时，在源极位线和漏极位线之间电流泄漏，则此电流泄漏会减少该偏压的大小，因而减少编程电荷，而如此会引起共享相同位线的非选择的存储单元的非计划中的部分编程，并且会降低编程速度，以及增加编程电流的消耗。当内存阵列应用需要较小存储单元结构时，较小存储单元结构的短沟道效应增加对于非选择的存储单元的击穿现象的可能性，由此令人对于上述的电流泄漏问题倍感困扰。

[0013] 因此需要有一种用于编程双位电介质存储单元的改良的系统，该双位电介质存储单元不会遭受到不利的短沟道电流泄漏。

发明内容

[0014] 本发明的第一个方面在于提供一种双位电介质存储单元阵列，该阵列包括能减少经由与选择的存储单元共享相同列的非选择的存储单元的编程电流漏电的编程系统。

[0015] 此阵列包括：i) 第一导电性半导体的第一位线，其为阵列内列存储单元内多个存储单元的每一个形成源极区；和 ii) 第一导电性半导体的第二位线，其为列内多个存储单元的每一个形成漏极区；该第二位线与该第一位线由一相反导电性的半导体隔离开，该半导体为列内的多个存储单元的每一个形成沟道区。

[0016] 此阵列更进一步包括位于列内多个存储单元的选择的其中一个存储单元的沟道区域上选择的字线。该选择的字线进一步形成阵列中与选择的存储单元在同一行的多个存

储单元的每一个的栅极。多条非选择的字线的每一个在列内多个非选择的存储单元的其中一个上形成栅极,上述非选择的字线的每一个平行于选择的字线。

[0017] 此阵列更进一步包括阵列控制电路,该阵列控制电路包括位线控制电路、字线控制电路和基板电位控制电路。在编程选择的存储单元的漏极充电捕获区期间,字线控制电路可施加一正编程电压于选择的字线。与此相关,位线控制电路可施加:i)一正漏极电压至漏极位线;和ii)一正源极电压至源极位线,而正源极电压要小于正漏极电压。

[0018] 正源极电压大小可以是在正漏极电压的 1/10 和正漏极电压的 3/10 之间。或者可规定一更窄的范围,正源极电压可以是在正漏极电压的 1/10 和正漏极电压的 2/10 之间。

[0019] 此阵列可进一步包括连接于位线控制电路和接地之间的电阻器。在此情况,位线控制电路可连接源极位线至电阻器,因此该正源极电压相等于经由电阻器的电压增加。

[0020] 结合施加正编程电压于选择的字线,字线控制电路可进一步提供用来施加负偏压于非选择的字线。负偏压可以是在 -0.1 伏特和 -2.0 伏特之间。或者可规定一更窄的范围,负偏压可以是在 -0.5 伏特和 -1.0 伏特之间。

[0021] 结合字线控制电路施加正编程电压于选择的字线,基板电压控制电路可提供用来施加负基板电压于基板。负基板电压可以是 -1.0 伏特和 -2.0 伏特之间。或者可规定一更窄的范围,负基板电压可以是在 -0.5 伏特和 -1.0 伏特之间。

[0022] 本发明的第二个方面在于提供一种将电荷编程入双位电介质存储单元的阵列内所选择的双位电介质存储单元的电荷储存区的方法。此阵列包括多条平行位线,其形成用于各存储单元的源极和漏极,和多条平行字线,其形成用于各存储单元的栅极,该方法包括:i)施加正漏极电压于第一位线,该第一位线与沟道区形成漏极接合,该第一位线位于沟道区的右侧;ii)结合施加正漏极电压于第一位线,而施加正源极电压于第二位线,该第二位线与选择的存储单元的沟道区形成源极接合,该正源极电压要小于该正漏极电压,而沟道区是在第二位线的右侧;和iii)结合施加正漏极电压于该第一位线,而施加正编程电压于选择的其中一条字线,该选择的其中一条字线是形成所选择的存储单元的栅极的字线。

[0023] 正源极电压可以是在 1/10 正漏极电压和 3/10 正漏极电压之间。或者可规定一更窄的范围,正源极电压可以是在 1/10 正漏极电压和 2/10 正漏极电压之间。

[0024] 本方法可更进一步包括在源极位线和接地之间连接一电阻器。在此情况下,正源极电压等于经由电阻器的电压增加。

[0025] 本方法可进一步包括结合该字线控制电路施加正编程电压于选择的字线,而施加负偏压于非选择的字线。负偏压可以是在 -0.1 伏特和 -2.0 伏特之间。或者可规定一更窄的范围,负偏压可以是在 -0.5 伏特和 -1.0 伏特之间。

[0026] 本方法可进一步包括结合该字线控制电路施加正编程电压于选择的字线,而施加负基板电压于基板。负基板电压可以是在 -0.1 伏特和 -2.0 伏特之间。或者可规定一更窄的范围,负基板电压可以是在 -0.5 伏特和 -1.0 伏特之间。

[0027] 为了更好地了解本发明以及本发明的其它方面和进一步的目的,可参考下列说明,并接合其附图。本发明的保护范围由所附权利要求范围界定。

附图说明

- [0028] 图 1 为现有技术已知的电介质存储单元阵列的横截面示意图；
- [0029] 图 2 为根据本发明一实施例的电介质存储单元阵列的示意方框图；
- [0030] 图 3 为图 2 的电介质存储单元阵列的横截面示意图；以及
- [0031] 图 4 为表示阵列控制电路的示例操作的状态机图。

具体实施方式

[0032] 现在参照附图而详细说明本发明。这些附图并未按照比例绘制，而一些细微结构的尺寸为了清楚显示，而刻意画得较大。

[0033] 图 2 为以方框图的形式显示双位电介质存储单元阵列 40 的一实施例。阵列 40 包括多个双位电介质存储单元 48、阵列控制电路 61 和制造于结晶半导体基板上的电流感测电路 66。双位电介质存储单元 48 的阵列配置成矩阵格式，具有多晶硅字线 210 至 213 的水平行和交替位线扩散区 200 至 205 的垂直列，及在基板 42 内的沟道区 50（见图 3）。在一列内的各存储单元 48 共享邻接于各单元沟道区域的相同的二条位线，且该位线与各存储单元沟道区形成接合。在一行内的各存储单元 48 与在行中另一存储单元共享相同的字线 210 至 213。

[0034] 现在参照表示双位电介质存储单元的行的横截面图，如图 3 结合图 2 所示，这些双位电介质存储单元共享字线 211。应了解到多晶硅字线 211 构造成在该行中形成各存储单元 48 的控制栅极 60。位线扩散区 200 至 206 与各沟道区 50 有相反的半导体导电性，而使得位线扩散区 200 至 206 形成在列中各存储单元的源极区和漏极区。在 NMOS 装置的示例中，沟道区 50 为诸如轻微植入了例如硼的空穴施主杂质的结晶硅的 p 型半导体，以及位线扩散区 200 至 206 为诸如植入了例如砷的电子施主杂质的结晶硅的 n 型半导体。

[0035] 在沟道区 50 上方的是可包括二氧化硅的第一绝缘势垒或隧道层 54。隧道层 54 的厚度可以在大约 50 至大约 150 埃的范围内。具有更窄范围的实施例包括隧道层 54 的厚度可以在大约 60 至大约 90 埃的范围内。甚至更窄的范围，隧道层 54 的厚度可以在大约 70 至大约 80 埃的范围内。

[0036] 在隧道层 54 的上方的是一电荷捕获层 56，该电荷捕获层 56 包括源极电荷捕获区或源极位 62，和漏极电荷捕获区或漏极位 64，各用来储存表示未规划状态的一中性电荷或表示已规划状态的负电荷。电荷捕获层 56 可包括具有适当的电荷捕获性质的氮化物，并可具有 20 至 100 埃的厚度大小。在实施示例中，氮化物可选自由 Si_2N_4 、 Si_3N_4 和 SiOxN_4 所组成的组中。

[0037] 在电荷捕获层 56 之上是一上电介质层 58。上电介质层 58 可以是二氧化硅，或可以是具有电介质常数大于二氧化硅（例如，高 K 值材料）的电介质常数的材料。在优选实施例中，高 K 值材料可以是选自 Al_2O_3 、 HfSi_xO_y 、 HfO_2 、 ZrO_2 和 ZrSi_xO_y 所组成的群中，及其它相似高电介质常数的材料。若上电介质层 58 为二氧化硅，则层 58 可以具有 60 至 100 埃的厚度大小。或者，若上述电介质层 58 为高电介质常数的材料，则其电厚度可以是在 60 埃至 100 埃的量级，而其实际厚度可以是在大约 70 至 130 埃的范围内。具有更窄范围的实施例包括上电介质层 58 具有厚度在大约 80 至大约 120 埃的范围内，以及甚至更窄的范围，上电介质层 58 的厚度大约为 90 至大约 100 埃。

[0038] 在该上电介质层 58 之上是字线 211，该字线 211 在行内各存储单元上形成栅极

60。在示例性实施例中,栅极 60 可包括具有厚度 4,000 埃量级的多晶硅。字线 211 连接到字线控制电路 46。

[0039] 阵列控制电路 61 包括字线控制电路 46、位线控制电路 44、基板电压控制电路 45、分压器 65、至正操作电源 (V_c) 70 的联结、至负操作电源 ($-V_c$) 71 的联结、及至地 68 的联结。在操作上,阵列控制电路操作以选择性地将各字线 210 至 213、各位线 200 至 206 和基板 42 连接到由分压器 65 所提供的电压,或连接到地 (或将该字线 210 至 213 或位线 200 至 206 与所有的电压源或接地隔离,从而使其电位仅与阵列 40 的其它构造相互电作用时才有效)。联结是以在阵列 40 中的各源极电荷捕获区 62 和各漏极电荷捕获区 64 可被擦除、选择性地编程及选择性地读取的方式。阵列控制电路也操作以连接选择的位线至电流感测电路 66,而使得可测量选择的位线上的电流,以指示列存储单元内的存储单元的选择的源极电荷捕获区 62 或漏极电荷捕获区 64 的编程状态,在该列存储单元中这种选择的位线为源极或漏极其中之一。

[0040] 电流感测电路 66 可使用已知的电路来感测所选择位线上的电流,该选择的位线通过位线控制电路 44 而连接到电流感测电路 66。当可应用的电位通过阵列控制电路 61 而连接到可应用的字线和位线,以用来读取选择的电荷捕获区时,感测的电流表示源极电荷捕获区 62 或漏极电荷捕获区 64 的所选择的其中一个的编程的状态,此将在下文中作更详细的说明。

[0041] 阵列控制电路

[0042] 简单地结合图 2 和图 3 所示参照图 4,阵列控制电路 61 操作于三个状态:编程状态 76,其中电荷被选择性地储存于所选择的其中一个存储单元 48 的源极电荷捕获区 62 或漏极电荷捕获区 64;读取状态 78,其中存储的电荷从选择的其中一个存储单元 48 的源极电荷捕获区 62 或漏极电荷捕获区 64 检测,以再生原来储存于此电荷捕获区中的数据;以及擦除状态 74,其中即在再编程编程状态 76 之前,擦除储存于一个或多个存储单元中的电荷捕获区 62 和 64 中的电荷。

[0043] 编程状态

[0044] 当在编程状态 76 时,通过使用热电子注入技术将电子注入到漏极电荷捕获区 64 而编程漏极电荷捕获区 64。具体来说,当施加高电压至控制栅极 60 时,阵列控制电路 61 将位线 200 至 206、字线 210 至 213、和基板 42 连接到各种电位 (例如,由分压器 65 供电和接地 68),以提供高的漏极至源极偏压。例如,参考选择的其中一个存储单元 48 (例如,选择的存储单元 49),可通过位线控制电路 44 将表示选择的存储单元 49 的源极区的位线 201 连接到地 68,和由位线控制电路 44 将表示选择的存储单元 49 的漏极区的位线 202 连接到从大约 5 伏特的分压器 65 来的编程电压,而完成前述工作。

[0045] 同时,字线控制电路 46 将表示控制栅极 60 的选择的字线 211 连接到从约 10 伏特的分压器 65 来的选择的字线编程电压 220,并可将非选择的字线 (例如,不是选择的字线 211 的其它字线) 连接到小的负偏压 221,以防止通过与选择的存储单元 49 共享相同的列的非选择的存储单元的击穿电流泄漏。在控制栅极 60 上的电压将沟道区 50 反向,而同时高漏极至源极偏压吸引并加速电子从源极区 201 进入沟道区 50 朝向漏极区 202 移动。

[0046] 当电子加速朝向漏极区 52 时,电子的 4.5eV 至 5eV 动能增益足够克服在选择的存储单元 49 的沟道区 52/隧道层 54 界面的 3.1eV 至 3.5eV 能量势垒,由选择的存储单元 49

的控制栅极 60 上的高电压所引起的电场将再引导电子朝向选择的存储单元 49 的漏极电荷捕获区 64 移动。这些跨过界面进入选择的存储单元 49 的漏极电荷捕获区 64 的电子在捕获的选择的存储单元的电荷捕获层 56b 内保持捕获,以备后来读取之用。

[0047] 同样地,通过将热电子注入源极电荷捕获区 62 而编程源极电荷捕获区 62。具体来说,当施加高电压至控制栅极 60 时,阵列控制电路 61 将位线 200 至 206、字线 210 至 213、和基板 42 连接到各种电位(例如,由分压器 65 供电和接地 68),以便提供高的源极至漏极偏压。例如,再参考选择的存储单元 49,可通过位线控制电路 44 将表示选择的存储单元 49 的漏极区的位线 202 连接到地 68,和将表示选择的存储单元 49 的源极区的位线 201 连接到从大约 5 伏特的分压器 65 来的编程电压,而完成此工作。同样地,字线控制电路 46 将表示控制栅极 60 的选择的字线 211 连接到从约 10 伏特的分压器 65 来的选择的字线编程电压,并可将非选择的字线(例如,不是选择的字线 211 的其它字线)连接到小的负偏压,以防止通过与选择的存储单元 49 共享相同的列的非选择的存储单元的击穿电流泄漏。在控制栅极 60 上的电压将选择的存储单元 49 的沟道区 50 反向,此时高源极至漏极偏压吸引并加速电子从漏极区 202 进入沟道区朝向源极区 201。

[0048] 再者,当电子加速朝向源极区 201 时,电子的 4.5eV 至 5eV 动能增益足够克服在选择的存储单元 49 的沟道区 50/隧道层 54 界面的 3.1eV 至 3.5eV 能量势垒,由控制栅极 60 上的高电压所引起的电场将再引导电子朝向选择的存储单元 49 的源极电荷捕获区 62 移动。

[0049] 如上所讨论的,若在列内的其它非选择的存储单元(例如,共享相同位线 201 和 202 的存储单元)在编程期间漏电流,则漏电流会减小编程偏压的量级而降低了编程偏压量级的准确性,造成非选择存储单元的未预计的部分编程,如此降低了编程速度,并增加编程电流。

[0050] 在此表示编程系统的三个实施例。各实施例提供减少通过与选择的存储单元 49 共享相同的列的非选择的存储单元 48 的电流泄漏。虽然这三个实施例是有关用来编程漏极电荷存储区 64(图 3 中),但是应了解到可通过互换对源极位线和漏极位线的参考,此同一系统可用来编程源极电荷存储区 62。

[0051] 第一实施例表示在编程期间施加小的正源极编程偏压至源极位线。具体来说,再参照选择的存储单元 49,位线控制电路 44 将表示选择的存储单元 49 的源极区的位线 201 连接到从分压器来的小的正源极编程偏压,并将表示选择的存储单元 49 的漏极区的位线 202 连接到从大约 5 伏特的分压器 65 来的编程电压。基板 42 连接到地 68。同时,字线控制电路 46 将表示控制栅极 60 的选择的字线 211 连接到从约 10 伏特的分压器 65 来的选择的字线编程电压,并将非选择的字线(例如,不是选择的字线 211 的其它字线)连接到小的负偏压。

[0052] 小的正源极编程偏压要小于连接到漏极区的编程电压。具体来说,正源极编程偏压可以是施加到漏极区的编程电压的 $1/10$ 至 $2/10$ 之间。

[0053] 简单地参照图 2,作为该位线控制电路 44 将源极区连接到从分压器 65 来的小的正编程偏压的替代,该位线控制电路 44 可包括电阻器,该电阻器连接于接地 68 与表示源极区的位线 201 之间。如此,当编程电流流经源极区 201 和接地 68 之间时,电阻器操作为一分压器,具有源极区 201 的正电位相等于跨越电阻器的电压增加。

[0054] 第二实施例表示在编程期间基板控制电路 45 施加小的基板编程偏压至基板 42。具体来说,再参考选择的存储单元 49,位线控制电路 44 将表示选择的存储单元 49 的源极区的位线 201 连接到地 68,和将表示选择的存储单元 49 的漏极区的位线 202 连接到从大约 5 伏特的分压器 65 来的编程电压。同时,基板控制电路 45 将基板 42 连接到小基板编程偏压。字线控制电路 46 将表示控制栅极 60 的选择的字线 211 连接到从约 10 伏特的分压器 65 来的选择的字线编程电压,并可将非选择的字线(例如,不是选择的字线 211 的其它字线)连接到小的负偏压。

[0055] 小基板编程偏压可以是在 -0.1 伏特和 -2.0 伏特之间的负电压。对于更窄的范围,小基板编程偏压可以是在 -0.5 伏特和 -1.0 伏特之间。

[0056] 第三实施例表示第一实施例和第二实施例的综合,而使得:在编程期间基板控制电路 45 施加小的基板编程偏压至基板 42,和位线控制电路 44 在编程期间将表示选择的存储单元 49 的源极区的位线 201 连接到从分压器来的小的正源极编程偏压。该基板编程偏压和小的正源极编程偏压可以是在关于第一实施例和第二实施例讨论的范围内。再者,可以使用上述的电阻器电路来施加正源极编程偏压。

[0057] 擦除状态

[0058] 当在擦除状态 74 时,阵列控制电路可将可应用的位线 200 至 206 和字线 72 连接到可应用的电位,而使得可通过热空穴注入技术或将从电荷捕获层 56 来的电子穿隧到栅极 60 或到基板,而擦除多个存储单元的源极电荷捕获区 62 和漏极电荷捕获区 64。这两种技术为公知技术。

[0059] 读取状态

[0060] 当在读取状态 78 时,侦测在选择源极电荷捕获区 62 或漏极电荷捕获区 64 中捕获电子(例如,负电荷表示编程状态)的存在。已知在源极电荷捕获区 62 或漏极电荷捕获区 64 内的存在的捕获电子影响了这些电荷捕获区下方沟道区域 50 内的累积电荷。在这种情况下,源极电荷捕获区 62 或漏极电荷捕获区 64 内的存在的捕获电子影响了场效晶体管(FET)的阈值电压,该场效晶体管的特征为具有控制栅极 60、作用为源极区的位线扩散区 200 至 206、和作用为漏极区的位线扩散区 200 至 206。因此,可以“读取”双位存储单元 48 的各位,或更具体地说,可由操作 FET 来侦测每个源极电荷捕获区 62 及漏极电荷捕获区 64 中存储的电子的存在。

[0061] 尤其是,可以通过施加正电压至控制栅极 60 和较少的正电压至作用为漏极区的位线 202,以及将作用为源极区的位线 201 连接到地 68,而侦测在源极电荷捕获区 62 内存储电子的存在。然后在作用为源极区的位线 201 或在作用为漏极区的位线 202 测量电流。若在源极电荷捕获区 62 内有捕获的电子,而假定有适当的电压和临限值可用于测量(和假定没有从与选择的存储单元 49 同一行内的邻接的存储单元 48 来的电流泄漏,和假定没有从与选择的存储单元 49 同一列内的存储单元 48 来的电流泄漏),则在包括漏极区的位线 202 并未测量到可测量的电流。否则,若源极电荷捕获区 62 为电中性(例如,没有捕获的电子)则有可测量的电流流进作用为漏极区的位线。同样地,可用相同的方法侦测储存于漏极电荷捕获区 64 内的电子的存在,和仅仅反向作用为源极区的位线和作用为漏极区的位线。

[0062] 已知认识到,从与选择的存储单元共享同一列的非选择的存储单元来的电流泄漏

会影响读取的正确性,因此阵列控制电路 61 可施加偏压于非选择的字线和 / 或形成列的源极区的位线,以防止这种泄漏。

[0063] 现将讨论根据本发明的字线控制电路 46 施加偏压于读取选择的存储单元的示例操作。参照图 3,当读取选择的存储单元 49 的源极电荷捕获区 62 时,字线控制电路 46 将选择的字线 211 连接到从分压器 65 来的 10 伏特大小的正读取电压,并将非选择的字线(例如,除了所选择的字线以外的所有字线)连接到从分压器 65 来的读取偏压,以便防止通过与选择的存储单元共享同一列的存储单元的击穿电流泄漏。读取偏压可以是负电压。具体来说,读取偏压可以是 -0.1 伏特至 -2.0 伏特的负电压;或者是更窄的范围,如 -0.1 伏特至 -0.5 伏特的负电压;或更窄的范围,如 -0.1 伏特至 -0.2 伏特的负电压。

[0064] 接着,将讨论根据本发明的用于施加电压到位线以读取选择的存储单元的位线控制电路 44 的示例性操作。参照图 2,当读取选择的存储单元例如选择的存储单元 49 的源极电荷捕获区时,位线控制电路 44 将表示选择的存储单元 49 的源极区的位线 201 连接到从分压器 65 来的源极电压,并将表示选择的存储单元 49 的漏极区的位线 202 连接到从分压器 65 来的正漏极电压和连接到电流感测电路 66。该漏极电压可以小于或等于施加至选择的字线的读取电压。该源极电压可以接地或可以是 0.0 伏特至 1.0 伏特之间的小正电压,以便减少通过与选择的存储单元 49 共享相同的列的非选择的存储单元 48 的击穿电流泄漏。

[0065] 已知从与选择的存储单元相同的行的邻近的存储单元来的漏电流会影响正确的读取,位线控制电路 44 可用小的正电压再充电在漏极位线右边指示为号码 203 的下一条位线,以防止这种泄漏。

[0066] 或者,当仅由与位线 203 的相对侧各沟道区 50 的接面所影响时,位线控制电路 44 可隔离位线 203 而使得其电位可浮置,并可位线 203 右边的下一条位线(称为位线 204)连接到从分压器 65 来的预先充电电压,使得对控制栅极 60 是中性偏压和关于该源极位线是正偏压。可设想浮置位线和预先充电位线的各种其它组合,以便减少通过与选择的存储单元共享相同的行的存储单元的电流泄漏。

[0067] 综上所述,用来编程本发明的双位电介质存储单元的电荷捕获区的方法由于减少了通过与选择的存储单元共享相同的列的其它存储单元的电流泄漏,故可使用较少的编程电流,从而提供了更快速和更正确的编程。虽然本发明已关于某些优选实施例作了显示和说明,但是显然的是,本领域技术人员在阅读并了解本说明书后,可对其作一些等效的替换和修改。例如,虽然所示的存储单元阵列为形成于硅基板上的大致平面结构,但是应该了解到本发明的教示可应用于平面、鳍状形成和其它可适合形成于半导体基板上的电介质存储单元结构,该半导体基板可包括例如:块体硅半导体基板、绝缘体上硅半导体基板、蓝宝石上硅(SOS)半导体基板、和在本领域中已知的形成于其它材料上的半导体基板。本发明将包括所有这些等效替换和修改,且仅受下列权利要求范围的限制。

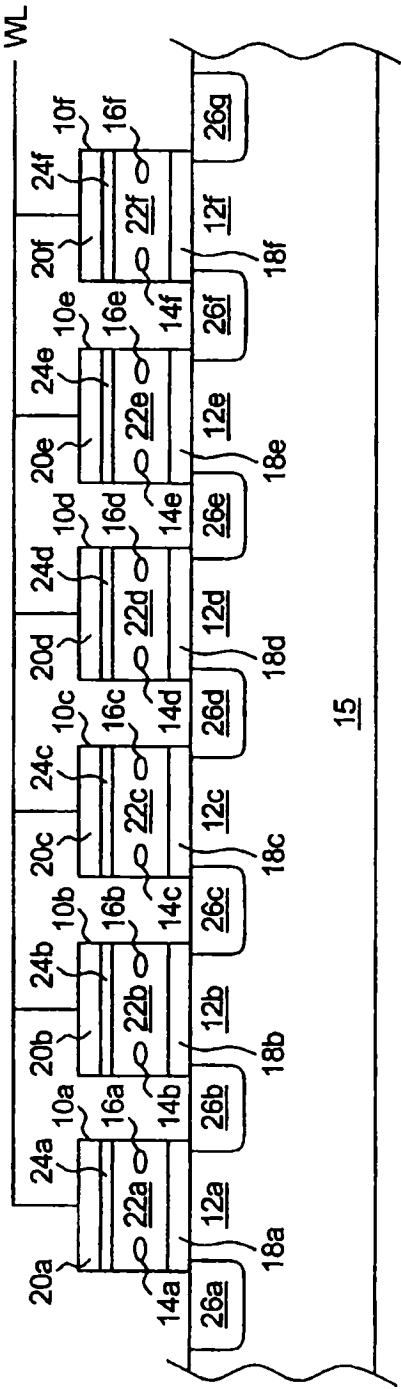


图 1

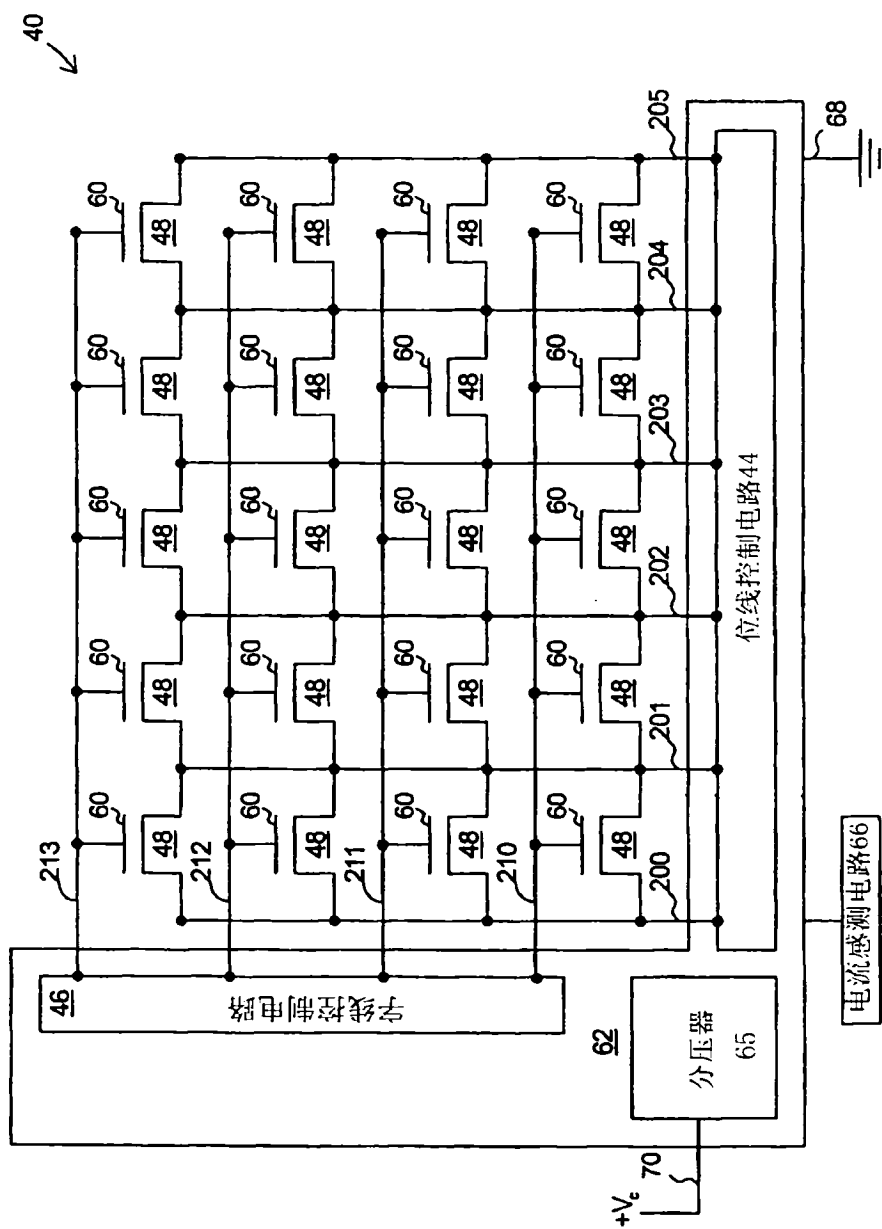


图 2

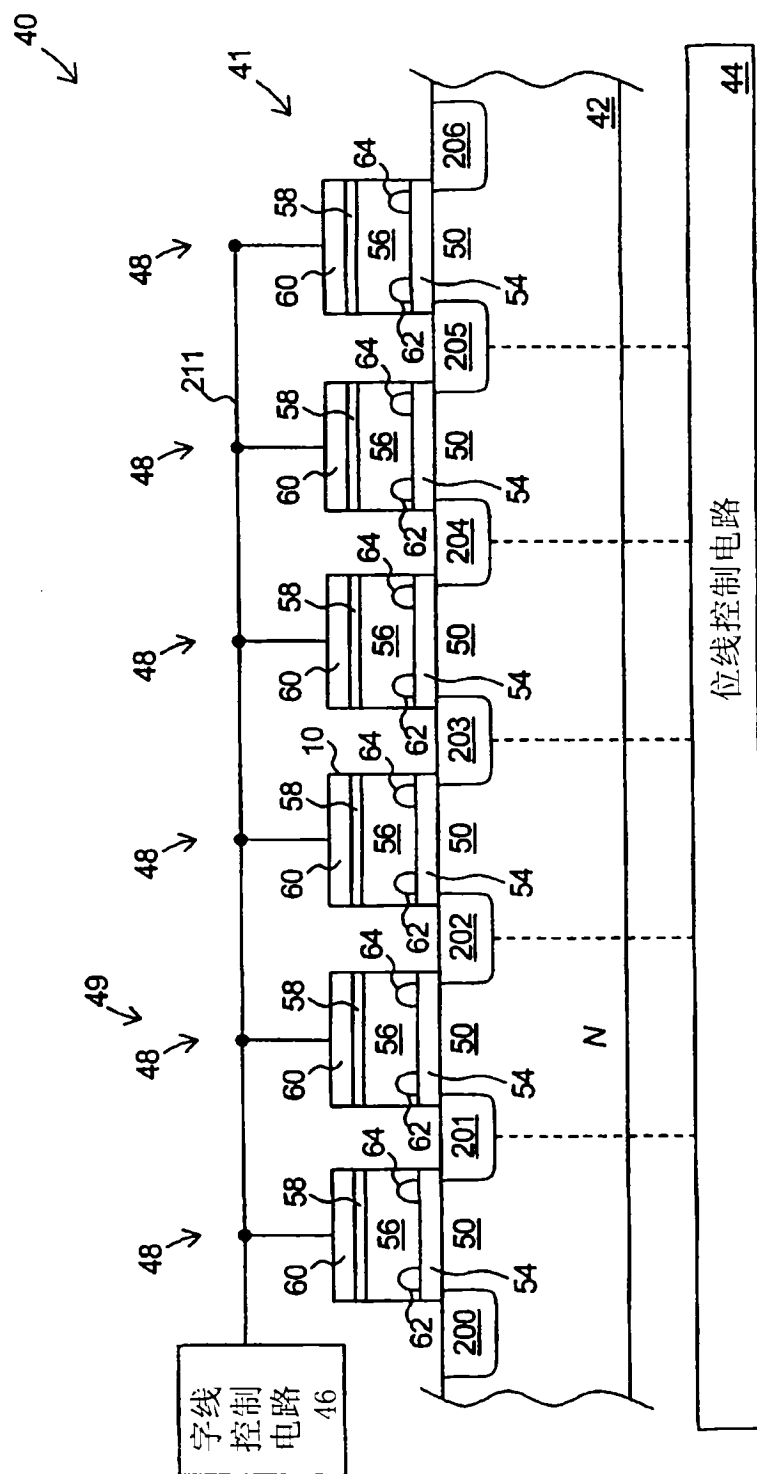


图 3

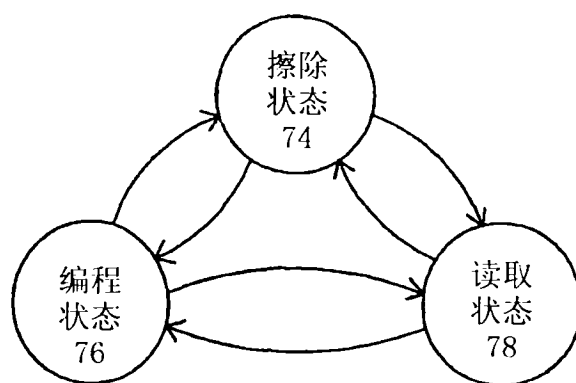


图 4