

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H04N 5/92 (2006.01)

G06T 9/00 (2006.01)



[12] 发明专利说明书

专利号 ZL 02122053.0

[45] 授权公告日 2006 年 7 月 12 日

[11] 授权公告号 CN 1264346C

[22] 申请日 2002.5.31 [21] 申请号 02122053.0

[30] 优先权

[32] 2001. 6. 1 [33] JP [31] 2001 - 167262

[71] 专利权人 三洋电机株式会社

地址 日本大阪府

[72] 发明人 冈田茂之

审查员 陈荣华

[74] 专利代理机构 上海专利商标事务所有限公司

代理人 钱慰民

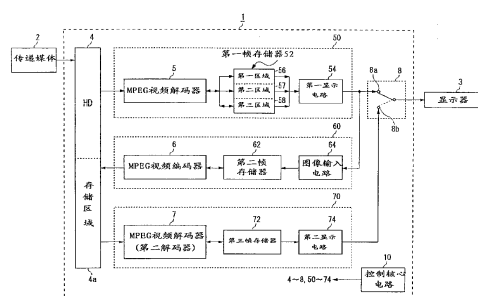
权利要求书 2 页 说明书 13 页 附图 6 页

[54] 发明名称

集成电路(IC)芯片中实现的图象处理设备

[57] 摘要

当命令反向再现时，一旦对 MPEG 视频流进行解码，就通过第一显示电路将它转换成图像视频信号。之后，图像输入电路和 MPEG 视频编码器对图像视频信号再次进行再编码，以致它将被重写在硬盘中的存储区域上。MPEG 视频解码器按反向时序方式读出这个再编码数据序列，并顺序地对它进行解码。然后第二显示电路将解码数据转换成图像视频信号，以显示在显示器上。



1. 一种图像处理设备，其特征在于，它整体地包括：

第一模块，它包括：对第一编码数据序列解码的前端解码器；和从前端解码器解码的数据中产生图像视频信号的第一显示电路；

第二模块，它包括：将所述第一模块输出的图像视频信号转换成视频数据序列的图像输入电路；和把视频数据序列编码成第二编码数据序列的编码器；和

第三模块，它包括：对所述第二模块输出的第二编码数据序列解码的后端解码器；和从后端解码器解码的数据中产生图像视频信号的第二显示电路，

整体地装配所述第一模块、第二模块和第三模块，

其中对于所述第一模块、第二模块和第三模块中的至少一个模块，至少一个模块中包括的所有部件作为单个集成电路芯片的一部分被装配。

2. 如权利要求 1 所述的图像处理设备，其特征在于，所述第一模块和第三模块是视频再现 LSI，所述第二模块是视频记录 LSI。

3. 如权利要求 1 所述的图像处理设备，其特征在于，按照 MPEG 对第一编码数据序列编码。

4. 如权利要求 1 所述的图像处理设备，其特征在于，所述第一模块由第一集成电路芯片构成，所述第二模块由第二集成电路芯片构成，所述第三模块由第三集成电路芯片构成，整体地装配所述第一集成电路芯片、第二集成电路芯片和第三集成电路芯片。

5. 如权利要求 4 所述的图像处理设备，其特征在于，所述第一集成电路芯片和第三集成电路芯片是视频再现 LSI，所述第二集成电路芯片是视频记录 LSI。

6. 如权利要求 4 所述的图像处理设备，其特征在于，按照 MPEG 对第一编码数据序列编码。

7. 如权利要求 1 所述的图像处理设备，其特征在于，至少所述第二和第三模块中包括的所有部件作为单个集成电路芯片的一部分被装配，并且所述单个集成电路芯片处理并控制图像数据的记录和再现。

8. 如权利要求 7 所述的图像处理设备，其特征在于，所述第一模块和第三模块是视频再现 LSI，所述第二模块是视频记录 LSI。

9. 如权利要求 7 所述的图像处理设备，其特征在于，按照 MPEG 对第一编码数据序列编码。

10. 如权利要求 1 所述的图像处理设备, 其特征在于, 至少所述第一和第二模块中包括的所有部件作为单个集成电路芯片的一部分被装配, 并且所述单个集成电路芯片处理并控制图像数据的记录和再现。

11. 如权利要求 10 所述的图像处理设备, 其特征在于, 所述第一模块和第三模块是视频再现 LSI, 所述第二模块是视频记录 LSI。

12. 如权利要求 10 所述的图像处理设备, 其特征在于, 按照 MPEG 对第一编码数据序列编码。

13. 如权利要求 1 所述的图像处理设备, 其特征在于, 至少所述第一和第三模块中包括的所有部件作为单个集成电路芯片的一部分被装配, 并且该单个集成电路芯片处理并控制多个频道中图像数据的再现。

14. 如权利要求 13 所述的图像处理设备, 其特征在于, 所述第一模块和第三模块是视频再现 LSI, 所述第二模块是视频记录 LSI。

15. 如权利要求 13 所述的图像处理设备, 其特征在于, 按照 MPEG 对第一编码数据序列编码。

16. 一种图像处理设备, 其特征在于, 它整体地包括:

第一模块, 它包括: 以时序方式对第一编码数据序列解码的前端解码器; 和从前端解码器解码的数据中产生第一图像视频信号的第一显示电路;

第二模块, 它包括: 将所述第一模块输出的第一图像视频信号转换成视频数据序列的图像输入电路; 和把视频数据序列编码成第二编码数据序列的编码器;

第三模块, 它包括: 以反向时序方式对所述第二模块输出的第二编码数据序列解码的后端解码器; 和从后端解码器解码的数据中产生第二图像视频信号的第二显示电路; 和

切换电路, 它在作为正向再现的第一模块的第一图像视频信号输出和作为反向再现的第三模块的第二图像视频信号输出之间切换,

整体地装配所述第一模块、第二模块、第三模块和切换电路,

其中来自所述第一模块的第一图像视频信号还输入到所述第二和第三模块, 并作为正向再现通过切换电路输出, 以形成准备切换到反向再现的备用状态。

17. 如权利要求 16 所述的图像处理设备, 其特征在于, 所述第一模块和第三模块是视频再现 LSI, 所述第二模块是视频记录 LSI。

18. 如权利要求 16 所述的图像处理设备, 其特征在于, 按照 MPEG 对第一编码数据序列编码。

集成电路(IC)芯片中实现的图象处理设备

技术领域

本发明涉及图象处理设备。本发明涉及处理根据例如 MPEG(活动图象专家组)标准编码的数据的技术。

背景技术

在多媒体中的信息处理是巨量的,而且是多种多样的,因此,在把多媒体投入实际使用的规划过程中需要信息的快速处理。为了以高速度处理信息,数据的压缩和扩展变成必需的。“MPEG”方法是数据压缩和扩展技术中之一。在 ISO(标准化国际组织)/IEC(国际电工技术委员会)下的 MPEG 委员会(ISO/IEC JTC1/SC29/WG11)正在进行 MPEG 方法的标准化。把利用 MPEG 方法的图象处理设备构造成各种与图象有关的装置,诸如电影摄影机、静止摄像机、电视机、视频 CD 再现设备、DVD 再现设备等等。

在 MPEG 中处理的视频数据与活动画面有关,例如,每秒 30 帧的多个静止画面或帧构成活动画面。如在图 1 中所示,视频数据具有分层结构,并按次序包括 6 层,它们是序列层、GOP(画面组)层,画面层、切片层、宏模块层以及块层。构成单个画面的切片数目是不固定的,构成单个切片的宏模块的数目也是不固定的。在图 1 中省略宏模块层和块层。

此外,根据编码速率,主要在两种方法下,即,MPEG-1 和 MPEG-2,对 MPEG 进行分类。在 MPEG-1 中,一帧相应于一幅画面。然而,在 MPEG-2 中,也可以使帧或半帧相应于画面。两个半帧构成一帧。把相应于画面的帧的结构称为帧结构,而把相应于画面的半帧的结构称为半帧结构。

在 MPEG 中,使用被称为帧间预测的压缩技术。帧间预测根据帧中间的瞬时相关压缩帧间数据。在帧间预测中,执行双向预测。双向预测使用两种预测,从过去再现图象或画面预测当前再现图象的正向预测,以及从将来再现图象预测当前再现图象的反向预测。

这种双向预测使用三类画面,它们是 I 画面(内一画面)、P 画面(预测一画面)以及 B 画面(双向预测一画面)。I 画面是不管过去和将来再现图象而通过帧内编码

处理独立产生的图象。为了执行随机访问，在 GOP 中需要至少一幅 I 画面。在 I 画面中的所有宏模块类型都是帧内预测画面(帧一内)。使用从过去 I 或 P 画面进行预测的正向预测，通过帧间编码处理产生 P 画面。在 P 画面中的宏模块类型包括帧内预测画面和正向预测画面(正向帧间)。

使用双向预测，通过帧间编码处理产生 B 画面。在双向预测中，通过下面三种预测中之一产生 B 画面。

- (1) 正向预测；从过去 I 画面或 P 画面进行预测。
- (2) 反向预测；从将来 I 画面或 P 画面进行预测。
- (3) 双向预测；从过去和将来 I 画面或 P 画面进行预测。

在 B 画面中的宏模块类型包括四类画面，它们是帧内预测画面、正向预测画面、反向预测画面(反向帧间)以及内插预测画面(内插帧间)。

分别对这些 I、P 和 B 画面进行编码。即，即使不可得到过去或将来画面时，也可以产生 I 画面。对比之下，没有过去画面不能产生 P 画面，而且没有过去或将来画面不能产生 B 画面。然而，当宏模块类型是 P 和 B 画面的内插预测画面时，即使没有过去或将来画面也能产生宏模块。

在帧间预测中，首先周期性地产生 I 画面。然后，在 I 画面前数帧处产生一个帧作为 P 画面。通过在从过去到当前方向上的预测，即，正方向上的预测，产生这个 P 画面。此后，产生位于 I 画面之前和 P 画面之后的一个帧作为 B 画面。当产生这个 B 画面时，从正向预测、反向预测和双向预测三个预测方法中选择最佳预测方法。一般，在连续运动画面中当前图象和它的前后图象是彼此相似的，它们只有一部分不同。因此，假设以前帧和下一帧是基本相同的。如果两帧之间有差异，则仅获取和压缩该差异。例如，如果以前帧是 I 画面而下一帧是 P 画面，则获取差异作为 B 画面数据。从而，根据各帧中间的瞬时相关可以对帧间数据进行压缩。把按照 MPEG 视频部分编码的视频数据的数据序列或位流称为 MPEG 视频流。

主要为诸如视频 CD(光盘)或 CD-ROM(CD 只读存储器)之类的存储媒体设计 MPEG-1。另一方面，不但为了诸如视频 CD、CD-ROM、DVD(数字视频盘)以及 VTR(录像机)之类的存储媒体，而且也为了传输媒体而设计 MPEG-2，所述传输媒体一般包括诸如 LAN(局域网)之类的通信媒体和诸如地面波广播、卫星广播和 CATV(有线电视)之类的广播媒体。

在 MPEG 视频部分中使用的技术核心取决于活动补偿预测(MC)和离散余弦变换(DCT)。把组合 MC 和 DCT 的编码技术称为混合编码技术。在编码时刻，在 MPEG 视

频部分中使用 DCT(还称之为 FDCT(正向 DCT)),以致把图象的视频信号分解成待处理的频率分量。此后,在解码时刻,通过使用反离散余弦变换(反 DCT 或 IDCT)再次把频率分量恢复成视频信号。

MPEG 可以高速处理巨量信息,而且 MPEG 使用称为帧间预测的压缩技术,如上所述。因此,为了对根据 MPEG 按时序方式编码和记录的画面搜索的目的,反向再现数据序列是极困难的,即,如同在通常的录像机中那样,在反向再现的情况下,通过简单地沿时间轴返回而再现记录数据序列是极困难的。因此,传统的执行是通过沿时间轴返回而再现单独分配在每个 GOP 中的 I 画面。由于 I 画面是通过帧内编码处理产生的图象,如上所述,可以独立地显示它而无需参考它前面和/或后面的画面。

在传统例子中,分配给每个 GOP 的 I 画面的数目是很少的。例如,在构成 GOP 的画面中,分配给每个 GOP 的 I 画面的数目最多是一个,而且当反向再现每 15 到 30 帧的画面时,不能得到如通常视频录像机中的平滑反向再现画面,以致难于在适当的定时处停止所需要的场面。

发明内容

由于上述情况,已经产生了本发明,本发明的目的是提供能够得到平滑反向再现画面的图象处理技术。为了达到在本专利说明书中将变得清楚的这个目的和其它目的,本发明打算在原理上有关图象编码和解码处理的技术中解决问题。

根据本发明的较佳实施例与图象处理设备有关。这个设备整体地装备有:第一模块,它包括对第一编码数据序列解码的前端解码器,和从前端解码器解码的数据中产生图像视频信号的第一显示电路;第二模块,它包括将第一模块输出的图像视频信号转换成视频数据序列的图像输入电路,和把视频数据序列编码成第二编码数据序列的编码器;第三模块,它包括对第二模块输出的第二编码数据序列解码的后端解码器,和从后端解码器解码的数据中产生图像视频信号的第二显示电路。

“整体地装备”(或装配在一个整体中,或整体地包括)在这里意味着例如所有组成部件都装配或组装在一个诸如主板的电路板上的状态。在这个电路板上配置或组装诸如集成电路(IC)芯片和存储器的部件。

对于上述第一模块、第二模块和第三模块中的至少一个模块,至少一个模块中包括的所有部件作为单个集成电路(IC)芯片的一部分被装配。因此,可以使用单芯片 LSI 形成电路板。第一模块例如可以是视频再现 LSI,如 VGA 芯片,第二模块

例如可以是视频记录 LSI，与视频捕获等一同使用。第三模块可以是视频再现 LSI。使用这些芯片的电路板设计有助于提高生产效率并降低成本。

根据本发明的另一个较佳实施例也涉及图象处理设备。这个设备整体上包括：第一集成电路(IC)芯片，它包括对第一编码数据序列解码的前端解码器，和从前端解码器解码的数据中产生图像视频信号的第一显示电路；第二 IC 芯片，它包括将第一 IC 芯片输出的图像视频信号转换成视频数据序列的图像输入电路，和把视频数据序列编码成第二编码数据序列的编码器；第三 IC 芯片，它包括对第二 IC 芯片输出的第二编码数据序列解码的后端解码器，和从后端解码器解码的数据中产生图像视频信号的第二显示电路，其中整体地装配第一 IC 芯片、第二 IC 芯片和第三 IC 芯片。

根据本发明的另一个较佳实施例也涉及图象处理设备。这个设备整体上包括：第一模块，它包括对第一编码数据序列解码的前端解码器，和从前端解码器解码的数据中产生图像视频信号的第一显示电路；第二模块，它包括将第一模块输出的图像视频信号转换成视频数据序列的图像输入电路，和把视频数据序列编码成第二编码数据序列的编码器；第三模块，它包括对第二模块输出的第二编码数据序列解码的后端解码器，和从后端解码器解码的数据中产生图像视频信号的第二显示电路，其中整体地装配第一模块、第二模块和第三模块，并且至少第二和第三模块中包括的所有部件作为单个集成电路(IC)芯片的一部分被装配，并且该单个 IC 芯片处理并控制图像数据的记录和再现。

根据本发明的另一个较佳实施例也涉及图象处理设备。这个设备整体地包括：第一模块，它包括对第一编码数据序列解码的前端解码器，和从前端解码器解码的数据中产生图像视频信号的第一显示电路；第二模块，它包括将第一模块输出的图像视频信号转换成视频数据序列的图像输入电路，和把视频数据序列编码成第二编码数据序列的编码器；第三模块，它包括对第二模块输出的第二编码数据序列解码的后端解码器，和从后端解码器解码的数据中产生图像视频信号的第二显示电路，其中整体地装配第一模块、第二模块和第三模块，并且至少第一和第二模块中包括的所有部件作为单个集成电路(IC)芯片的一部分被装配，并且该单个 IC 芯片处理并控制图像数据的记录和再现。

根据本发明的另一个较佳实施例也涉及图象处理设备。这个设备整体地包括：第一模块，它包括对第一编码数据序列解码的前端解码器，和从前端解码器解码的数据中产生图像视频信号的第一显示电路；第二模块，它包括将第一模块输出的图

像视频信号转换成视频数据序列的图像输入电路,和把视频数据序列编码成第二编码数据序列的编码器;第三模块,它包括对第二模块输出的第二编码数据序列解码的后端解码器,和从后端解码器解码的数据中产生图像视频信号的第二显示电路,其中整体地装配第一模块、第二模块和第三模块,并且至少第一和第三模块中包括的所有部件作为单个集成电路(IC)芯片的一部分被装配,并且该单个 IC 芯片处理并控制多个频道中图像数据的再现。

根据本发明的另一个较佳实施例也涉及图象处理设备。这个设备整体地包括:对第一编码数据序列解码的解码器;从解码器解码的数据中产生图像视频信号的显示电路;输入显示电路产生的图像视频信号,并将产生的图像视频信号转换成视频数据序列的图像输入电路;和把转换的视频数据序列编码成第二编码数据序列的编码器,其中整体地装配解码器、显示电路、图像输入电路和编码器。

根据本发明的另一个较佳实施例也涉及图象处理设备。这个设备整体地包括:第一模块,它包括以时序方式对第一编码数据序列解码的前端解码器,和从前端解码器解码的数据中产生第一图像视频信号的第一显示电路;第二模块,它包括将第一模块输出的第一图像视频信号转换成视频数据序列的图像输入电路,和把视频数据序列编码成第二编码数据序列的编码器;第三模块,它包括以反向时序方式对第二模块输出的第二编码数据序列解码的后端解码器,和从后端解码器解码的数据中产生第二图像视频信号的第二显示电路;和切换电路,它在作为正向再现的第一模块的第一图像视频信号输出和作为反向再现的第三模块的第二图像视频信号输出之间切换,其中整体地装配第一模块、第二模块、第三模块和切换电路,并且来自第一模块的第一图像视频信号还输入到第二和第三模块,并作为正向再现通过切换电路输出,以形成准备切换到反向再现的备用状态。

这里,应该注意到这里说明书中所用的术语“I 画面”、“B 画面”和“P 画面”分别对应于并包含 MPEG-4 中“I-VOP(视频对象平面)”、“B-VOP”和“P-VOP”的概念。

在所述任何情况中,可以在组的预定单元中执行伴随这些情况的编码或解码以及处理。此外,每个实施例中的第一编码数据序列可以是根据如 MPEG 方法编码的数据序列。此外,在本发明中使用的,在方法、设备、系统、计算机程序、记录媒体等等之间转换的上述任意结构部件和处理过程等的不同组合以及表达式仍是有效的,并包含在本发明的实施例中。

此外,本发明概要没有必要描述所有必需的特征,以致所描述的这些特征的

再一组合也可以是本发明。

附图说明

图 1 示出 MPEG 视频流的分层结构；

图 2 示出根据第一实施例的图象再现设备的电路框图；

图 3 是示意框图，示出根据第一实施例的解码器；

图 4 是示意框图，示出根据第一实施例的编码器；

图 5 是示意框图，示出根据第一实施例的解码器；

图 6 是流程图，示出根据第一实施例的图象再现设备的反向再现操作；

图 7 是流程图，示出根据第一实施例的图象再现设备的正向再现操作；

具体实施方式

现在将根据较佳实施例来描述本发明，不打算以这来限制本发明的范围，只是作为本发明的示例。在实施例中描述的本发明的所有特征和组合对于本发明不都是必不可少的重要部分。

正向图象再现和反向图象再现是对于某些实施例通用的处理。为了便于描述，当包括图象的画面最终处于供显示的形式时，应该理解为在下列描述中的“正向”和“反向”以及它们的同义词按次序施加。因此，除非另行指出，画面的次序表示显示的状态。

如下所述，即使在反向再现中，首先以正向，即，按时序方式，对 MPEG 数据流的每个 GOP 中的画面进行解码。对它们进行再编码，并在接着的再解码阶段首次实现反向次序。因此，反向再现中的“反向”主要涉及第二解码。就 I、P 和 B 画面的次序而论，可以在多种组合中实现 MPEG 位流。

在下列实施例中出现多种部件结构要素。就硬件而论，可以通过 CPU、存储器和其它 LSI(大规模集成电路)和组合电路来实现这些实施例。就软件而论，通过具有图象处理功能的存储器装载的程序等等实现这些实施例。下面的描述主要涉及结合如此的部件而实现的功能。因此，熟悉本技术领域的人员应该理解，可以通过只用硬件、只用软件或通过它们的组合等等多种形式来实现这些功能。图象再现设备是根据本发明的“图象处理设备”的一个例子。

第一实施例

图 2 示出根据第一实施例的图象再现设备 1 的电路框图。把图象再现设备 1 结合到电影摄影机、静止摄像机、电视机、视频 CD 再现设备、DVD 再现设备等等，它把 MPEG 视频流从传递媒体 2 输出到显示器 3。传递媒体 2 包括存储媒体(视频 CD、CD-ROM、DVD、VTR 等等)、通信媒体(LAN 等等)以及广播媒体(地面波广播、卫星广播、CATV 等等)。此外，当来自存储媒体或广播媒体的数据不是根据 MPEG 视频部分编码的数据时，传递媒体还包括执行数字数据编码的 MPEG 视频编码器。当把图象再现设备 1 结合到电影摄影机或静止摄像机时，用诸如 CCD 之类的图象拾取装置及其信号处理电路来代替传递媒体 2。

在图 2 中，图象再现设备 1 包括硬盘(HD)4、MPEG 视频解码器 5(此后还简称为“解码器 5”)、MPEG 视频编码器 6(此后还简称为“编码器 6”)、第二 MPEG 视频解码器 7(此后还简称为“第二解码器 7”)、第一帧存储器 52、第二帧存储器 62、第三帧存储器 72、第一显示电路 54、图象输入电路 64、第二显示电路 74、切换电路 8 和控制核心电路 10。控制核心电路 10 控制解码器 5、第二解码器 7、编码器 6 以及图象再现设备 1 中每个部件的操作。包括磁盘的硬盘 4 存储从传递媒体 2 接二连三传递的视频流。在硬盘 4 中提供一个特殊存储区域 4a。

解码器 5、第一帧存储器 52 和第一显示电路 54 构成第一块 50，而编码器 6、第二帧存储器 62 和图象输入电路 64 构成第二块 60。第二解码器 7、第三帧存储器 72 和第二显示电路 74 构成第三块 70。可以把图象再现设备 1 的全部或主要部分安装在单个 LSI 芯片上，而这个芯片也可以用于其它实施例。根据第一实施例，把第一块 50、第二块 60 和第三块 70 的每一个安装在单个 LSI 芯片上。然而，可以理解，第一帧存储器 52、第二帧存储器 62 和第三帧存储器 72 的每一个可以安装在外部。

把解码器 5 产生的再现图象数据序列临时存储在帧存储器 52 中，然后以有规律的顺序输入到第一显示电路 54。第一帧存储器 52 用作显示缓冲器。第一显示电路 54 从解码器 5 传递的画面数据产生图象视频信号，并通过切换电路 8 把图象视频信号输出到连接到图象再现设备 1 的显示器 3。

还把第一块 50 输出的图象视频信号输入到图象输入电路 64。图象输入电路 64 把图象视频信号转换成视频数据序列，并把视频数据序列临时存储在第二帧存储器 62 中，然后以有规律的顺序通过编码器 6 进行再编码。第二帧存储器 62 用作缓冲器。

在把第二块 60 输出的编码数据序列存储在存储区域 4a 中之后，第二解码器 7

以反向时序读出它，并进行再解码。把再解码的视频数据序列临时存储在第三帧存储器 72 中，然后，通过第二显示电路 74 转换成图象视频信号。第三帧存储器 72 用作缓冲器。通过切换电路 8 把这些图象视频信号输出到连接到图象再现设备 1 的显示器 3。

切换电路 8 根据控制核心电路 10 的控制把它自己的连接切换到第一节点 8a 侧或第二节点 8b 侧。当切换电路 8 连接到第一节点 8a 侧时，根据第一块 50 的输出执行正向再现。当切换电路 8 连接到第二节点 8b 侧时，根据第三块 70 的输出执行反向再现。

图 3 是框图，示出解码器 5 的结构。在图 3 中，解码器 5 包括霍夫曼解码电路 14、反向量化电路 15、IDCT(反向离散余弦变换)电路 16、MC(活动补偿预测)电路 17 和 ROM(只读存储器)18 和 19。要注意，在本发明中，解码器 5 是“前端解码器”的例子。

霍夫曼解码电路 14 根据存储在 ROM 18 中的霍夫曼表中所存储的霍夫曼代码对从硬盘 4 读出的画面执行可变长度解码。根据霍夫曼解码电路 14 解码的结果，根据存储在 ROM 19 中量化表中所存储的量化门限值，反向量化电路 15 通过执行反向量化而得到 DCT(离散余弦变换)系数。IDCT 电路 16 对于反向量化电路 15 获得的 DCT 系数执行 IDCT。MC 电路 17 根据 IDCT 电路 16 的处理结果执行 MC(活动补偿预测)。

如此，解码器 5 通过对输入 MPEG 视频流进行解码，按时序方式连续产生再现图象数据序列。要注意，在本发明中，MPEG 视频流是“第一编码数据序列”的一个例子。

图 4 是框图，示出编码器 6 的结构。在图 4 中，编码器 6 包括 MC 电路 20、DCT 电路 21、量化电路 22、霍夫曼编码电路 23 和 ROM 24 和 25。要注意，在本发明中，编码器 6 是“编码器”的一个例子。

DCT 电路 21 取得块单元中的解码器 5 输入的再现图象数据，并通过执行两维离散余弦变换产生 DCT 系数。量化电路 22 通过参考存储在 ROM 24 中的量化表中所存储的量化门限值而执行量化。要注意，ROM 19 的作用也可以象 ROM 24 一样。

霍夫曼编码电路 23 通过参考存储在 ROM 25 中的霍夫曼表中所存储的霍夫曼代码，对量化 DCT 系数执行可变长度编码，而产生画面单元中的压缩图像数据。要注意 ROM 18 的作用也可象 ROM 25 一样。

如此，编码器 6 通过对按时序连续的再现图象数据序列进行再编码而产生

MPEG 视频流。要注意，在本发明中，MPEG 视频流是“第二编码数据序列”的一个例子。

图 5 是框图，示出第二解码器 7 的结构。在图 5 中，第二解码器 7 包括霍夫曼解码电路 26、反向量化电路 27、IDCT 电路 28、MC 电路 29、以及 ROM 30 和 31。要注意，在本发明中，第二解码器 7 是“后端解码器”的一个例子。

第二解码器 7 所具有的结构与解码器 5 的结构相似。因此，霍夫曼解码电路 26、反向量化电路 27、IDCT 电路 28 和 MC 电路 29 所具有的结构分别与霍夫曼解码电路 14、反向量化电路 15、IDCT 电路 16 和 MC 电路 17 的结构相似。还要注意，也可以使用 ROM 30 作为 ROM 18 或 ROM 25，而 ROM 31 也可以作为 ROM 19 或 ROM 24。

根据上述结构，将参考在图 6 中示出的流程图，说明根据本实施例的图象再现设备 1 中的反向再现的操作。在控制核心电路 10 的控制下执行图象再现设备 1 的操作。这里，假定 MPEG 视频流包括 i 单元的 GOP (GOP_0 到 GOP_{i-1})。

在反向再现中，沿时间轴的反方向从 GOP_{i-1} 顺序地处理每个 GOP。然而，对在每个 GOP 中的画面在解码器 5 处进行正向解码，即，按时序方式。在反向再现指令下，切换电路 8 连接到第二节点 8b(S1)，从硬盘 4 的画面单元中读出相应于 GOP_{i-1} 的 MPEG 视频流，并输入到解码器 5，并且按时序顺序产生每幅画面的再现图象数据，并且第一显示电路 54 将它转换成图像视频信号(S2)。以视频数据序列的形式通过图像输入电路 64 将该信号输入到编码器 6，然后把一个 GOP 的视频数据序列再编码成 I 画面等等(S3)。在硬盘 4 的存储区域 4a 中重写来自编码器 6 的一个 GOP 的再编码数据序列(S4)。

在完成存储区域 4a 的写入时，按反向时序方式(即，沿时间轴反方向)读出存储在存储区域 4a 中的再编码数据序列，然后第二解码器 7 对该数据序列顺序地解码，第二显示电路 74 将该解码序列转换成图像视频信号。在存储区域 4a 的写入结束时，发送写结束信号，把相应于下一个 GOP_{i-2} 的 MPEG 视频流输入到解码器 5，并执行从 S2 的处理。即，在 S5 中，在第二解码器 7 对一个 GOP 的数据序列进行解码的同时，解码器 5 正在对下一个 GOP 的数据序列进行解码。在显示器 3 上显示反向再现画面。

其次，将参考在图 7 中示出的流程图描述正向再现的操作。在正向再现中，从 GOP_0 开始沿时间轴顺序地处理数据。当然，在解码器 5 处在正向方向上对在每个 GOP 中的画面进行解码。在正向再现指令下，把切换电路 8 连接到第一节点 8a(S11)，从硬盘 4 一幅画面一幅画面地读出相应于 GOP_0 的 MPEG 视频流，并输入

到解码器 5, 而且以画面单元按时序顺序地产生再现图象数据, 并且第一显示电路 54 将它转换成图像视频信号 (S12)。并行地将该信号输出到第二模块 60 和显示器 3, 从而使正向再现画面显示在显示器 3 上 (S14)。

另一方面, 编码器 6 将从解码器 5 输入的一个 GOP 的再现图象数据序列再编码成 I 画面等等 (S15)。在硬盘 4 的存储区域 4a 中重写再编码的数据序列 (S16)。在完成 GOP₀ 的处理时, 操作再次返回 S12, 并执行下一个 GOP₁ 的处理。换言之, 在正向再现期间, 平行的编码器 6 对相同的图象数据序列按 GOP 单元顺序地再编码成 I 画面等等。

如上所述, 根据本实施例的图象再现设备 1 提供下列有特色的操作和有利效果:

(1) 单芯片 LSI 可用于第一模块 50、第二模块 60 和第三模块 70 中的任何一个。这有助于显著提高生产效率并降低成本。

(2) 单芯片 LSI 可用于分别对应于第二模块 60 与第三模块 70, 第一模块 50 与第二模块 60, 第一模块 50 与第三模块 70 的组合的任一部分。这有助于进一步提高产生效率并降低成本。

(3) 一旦第一模块 50 将视频数据序列转换成模拟信号, 那么第二模块 60 将它再次转换成数据, 并再编码。例如, 可能的情况是按照图像质量在存储区域 4a 中以稍退化的状态对相对高清晰度的数据流再编码。因此, 当普通磁带录像机记录 TV 广播时, 可以加入措施用于数据流的版权保护。

(4) 在执行正向再现期间, 平行的编码器 6 按 GOP 单元为单位将相同的图像数据序列再编码成 I 画面等。即使在正向再现中间指令反向再现时, 这也允许平滑的画面切换。

当在单芯片 LSI 上构造第二模块 60 和第三模块 70 时, 该单芯片例如是处理并控制图像数据记录和再现的 LSI。同样, 第一模块 50 和第二模块 60 可以用单个芯片形成, 或者第一模块 50 和第三模块 70 可以用单个模块形成。在这些结构中, 使用单芯片 LSI 提高了生产效率并降低了成本。

实施例的一般检查和观察

熟悉本技术领域的人员自然会理解, 这里没有描述的实施例的任意组合也是可能的。例如, 下列考虑或修改是可能的:

(a) 编码器 6 对 JPEG 格式静态画面构成的运动 JPEG 或 JPEG2000 格式静态画

面构成的运动 JPEG2000 的输入视频数据序列进行编码，代替 I 画面形成的编码数据序列。在这种情况下，第二解码器 7 对该运动 JPEG 或运动 JPEG200 解码。

(b) 虽然在本实施例中分别用单个芯片构造第一模块 50、第二模块 60 和第三模块 70，但是可以用单个芯片构造这其中任意的任何一个或两个。

(c) 作为硬盘 4，使用磁—光盘、光盘等代替磁盘。

(d) 作为硬盘 4，使用诸如 SDRAM(同步动态 RAM)、DRAM 或 Rambus DRAM 之类的可再写半导体存储器。

(e) 独立地提供硬盘 4 和存储区域 4a。这样，最好存储区域 4a 是可再写半导体存储器。

(f) 不是从一个 GOP 而是在以后单元中从 MPEG 视频流取出数据序列。包括 GOP 的以后单元包括在组单元的概念中。

—从 I 画面开始的单元不作为 GOP，但是，例如，取从 P 画面开始的单元作为 GOP。

—无需遵守 GOP 的概念，数个画面的组成为组单元。

—一组一组地任意改变画面的数目。

(g) 使用 RAM(随机存取存储器)代替 ROM 18、19、24、25、30 和 31。

(h) 在图象再现设备中提供选择反向再现功能的操作键。

(i) 根据键操作一帧一帧地执行反向再现。

(j) 在上述每个实施例中，把编码器 6 产生的再编码数据序列中的画面按时序次序写入存储区域 4a。然而，在把数据序列重新排列成反向时序次序的同时，可以把数据序列写入存储区域 4a。这样就不需要第二解码器 7 按反向时序方式从存储区域 4a 读出再编码数据序列。

此外，在写入存储区域 4a 时，用被反向参考的 B 画面数据序列替换被正向参考的 B 画面数据序列，反之亦然。

(k) 除了上述实施例之外，可得到下列模式作为应用，其中，在单个设备中提供两个编码和解码功能。因此，如果提供两个编码器，这些编码器可以作为公用。

(i) 在电影摄影机的一种情况中，从不同的角度同时射中一个对象，在 MPEG 方法中对其上的数据进行压缩和扩展。

(ii) 在电视的情况中，同时对多个节目进行解码，并且在屏幕上显示两幅画面。

(iii) 在电视的情况中，同时对多个节目进行解码，并且无缝地进行频道

切换。在使用 MPEG 的广播中，一旦频道切换等中断了解码，则在恢复下一次解码之前，需要一段短时间，或在检测到新的序列标头之前的 0.5 到 2 秒的时间周期。一般，在这个时间周期期间，画面冻结或受到消隐。对于解决这个问题，(iii) 是有效的。

(iv) 在与 DVD、数字静止摄像机等连接的电视中，广播与 DVD 和数字静止摄像机一起同时再现。

(v) 在再现节目期间的情况中，按活动画面或静止画面的状态记录不同频道上的节目或其它节目，同时，同时重叠和再现所记录的活动画面或静止画面和正在广播的节目。

(vi) 在按某个时间间隔在 JPEG 系统中对再现图象编码并送入环形缓冲器的情况下，以致可以使用再现图像作为索引，用于跳转到在反向搜索中的邻近画面。

(1) 对于反向再现，必需在存储区域 4a 中完全照原样存储一个 GOP 的图象数据。这是因为在 GOP 中的数据是只在正向方向上读出的，因此无需保留一个 GOP 的所有数据，在反向再现中不能够产生画面。为了这个原因，要求存储区域 4a 具有记录一个 GOP 的图象数据的容量。然而，如此的结构是投入有效使用的，以致在第一实施例和其它实施例中，即使在正向再现期间，也使编码器 6 自由运行，以致恒定地产生和保持一个 GOP 的反向再现数据。这种安排是为了实现从正向再现到反向再现的平滑切换。

虽然与没有自由运行时相比，这个方法能实现更平滑的再现方向切换，但是在切换处没有必要不具有时间滞后。这是因为当正在执行 GOP_n 的反向再现时，解码器 5 必需读出并解码以前的 GOP_{n-1} 中一个 GOP 的编码数据，因此存在一种可能性，在完成 GOP_n 的反向再现之前要完成一系列的处理。如果没有完成，则将暂时停止反向再现。

作为对此的防范措施，如在第一实施例和其它实施例中所述，通过扩展一个 GOP 的图象数据的存储可以完全排除从正向再现到反向再现切换的时间滞后，因此存储最多约两个 GOP 的图象数据。相应地，在需要这种规格的情况下，这满足于采取这个防范措施。

当要减少象素的数目时，可以事先通过解码器 7 处的 IDCT 处理执行向下转换格式的解码。即，在正常情况下在例如 8×8 象素的正方形块上执行 IDCT 处理时，可以在 8×4 象素上执行 IDCT，即， $1/2$ 大小的块。在该情况下，由于在图象再现中存储在帧存储器中的图象数据的容量变成 $1/2$ ，因此可以使用空出的区域来存储

上述两个 GOP 的画面。然而，执行这个向下转换，在高分辨率模式中的 1960×1080 像素的图象将变成 980×1080 像素。因此，在它们的再现中，要执行某些分辨率恢复处理，如每个像素在水平方向上显示两次。

(m) 还必须对于从反向再现到正向再现的切换考虑切换处的上述时间滞后。这样，也可以采用相同的步骤，即，存储约一到两个 GOP 的读入画面数据，以解决这种情况。假定现在正在对第 n 个 GOP_n 执行反向再现的读入处理，然后保存这个 GOP_n 的画面数据，直到反向再现的读出到达 GOP_{n-2} ， GOP_{n-2} 是在 GOP_n 之前两个 GOP 的 GOP。即，通过保存某些 GOP 数据直到读出在它之前两个 GOP 的数据，即使切换到正向再现时也不会发生中断再现。

可以通过仅在解码器 5 处的处理进行从反向再现到正向再现的切换处理，时间滞后基本上比在上述(1)的情况下较小。因此，好象在实际应用中，用超过一个 GOP 一点点的数据来代替这里所述的两个 GOP 的数据将可以满足。然而，希望通过某个模型上的实验等来确定这个值，因为它可能随设备实施而改变。

通过实施根据本发明的本实施例，提供极有效的图象处理技术，通过该图象处理技术执行极平滑的反向再现。

虽然已经通过示例实施例的方法描述了本发明，但是应该理解，熟悉本技术领域的人员可以进行许多改变和替代而不偏离通过所附的权利要求书定义的本发明的范围。

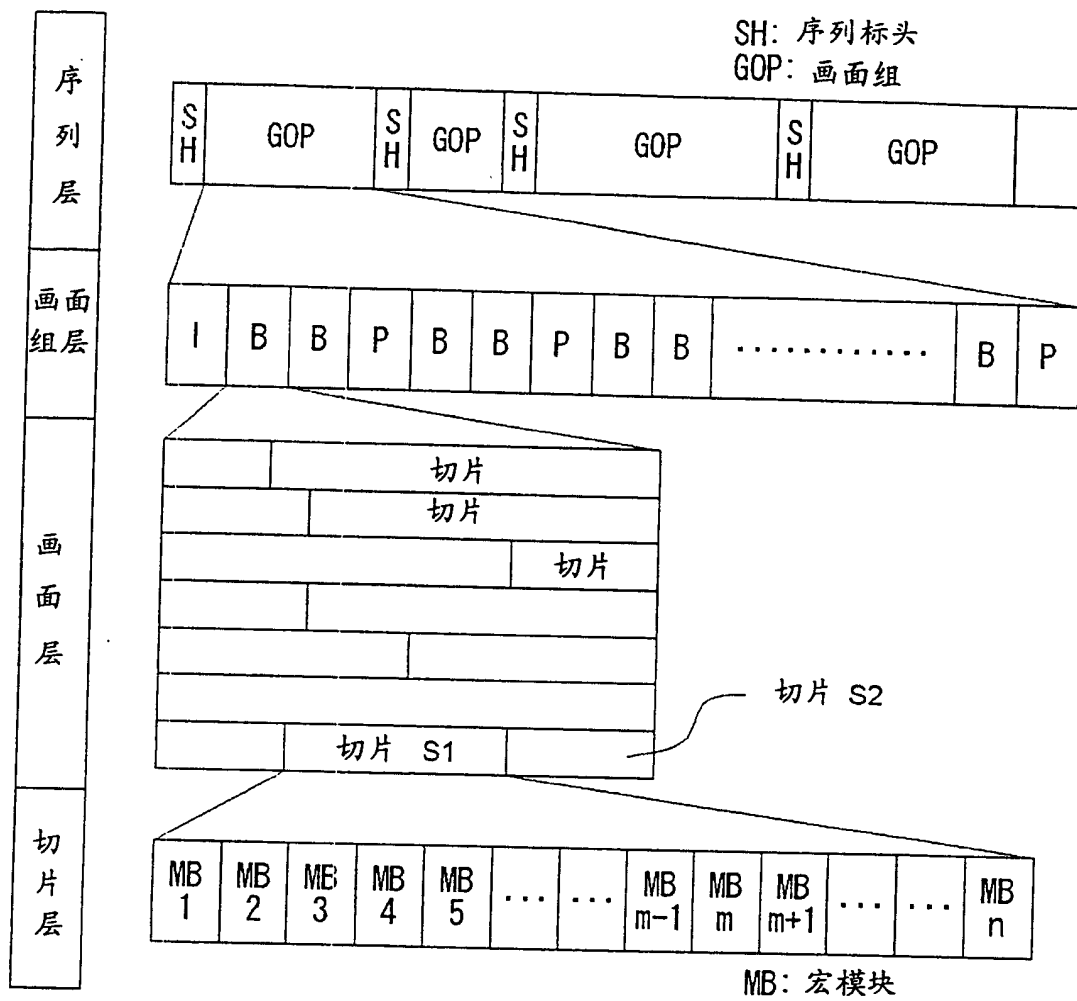


图 1

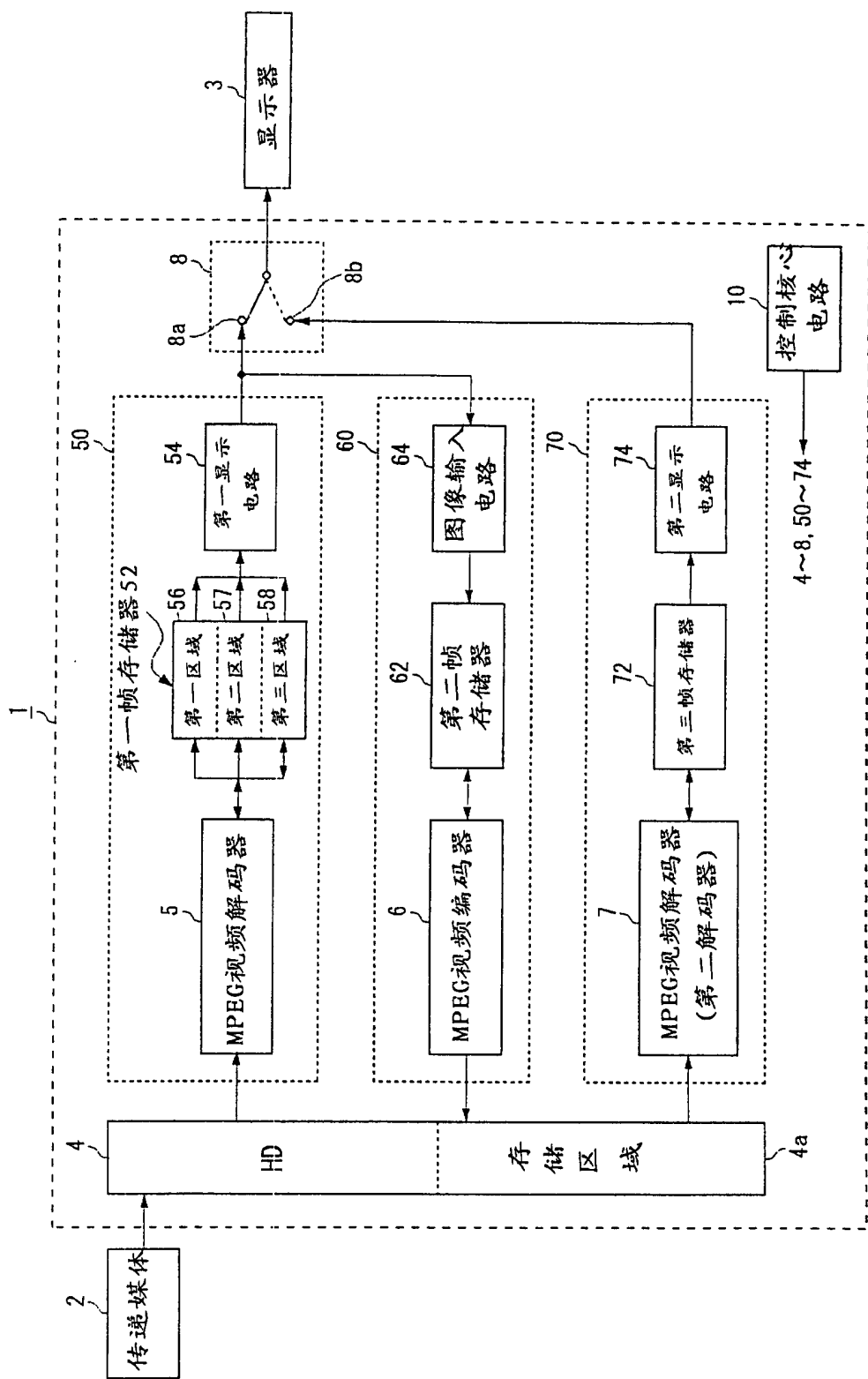


图 2

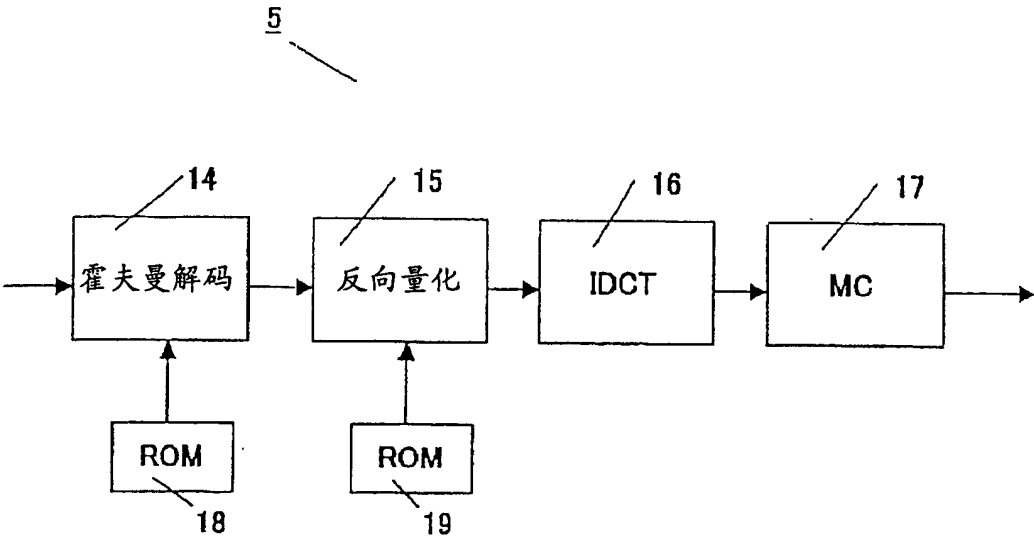


图 3

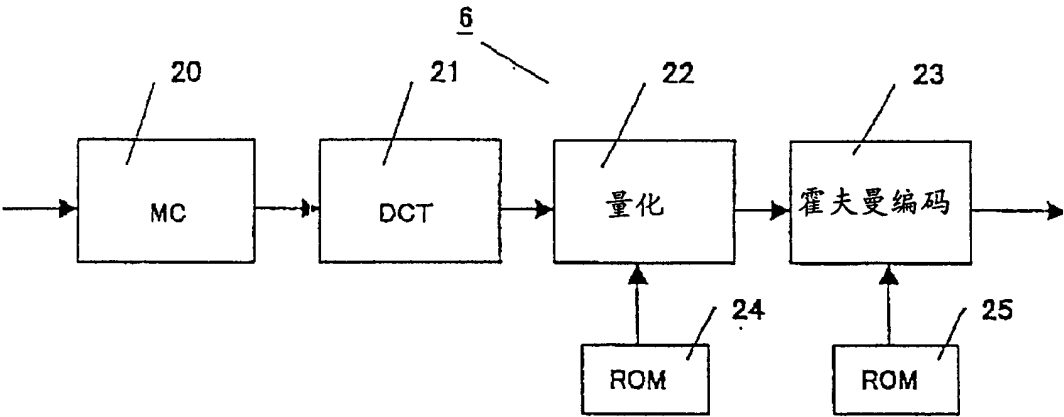


图 4

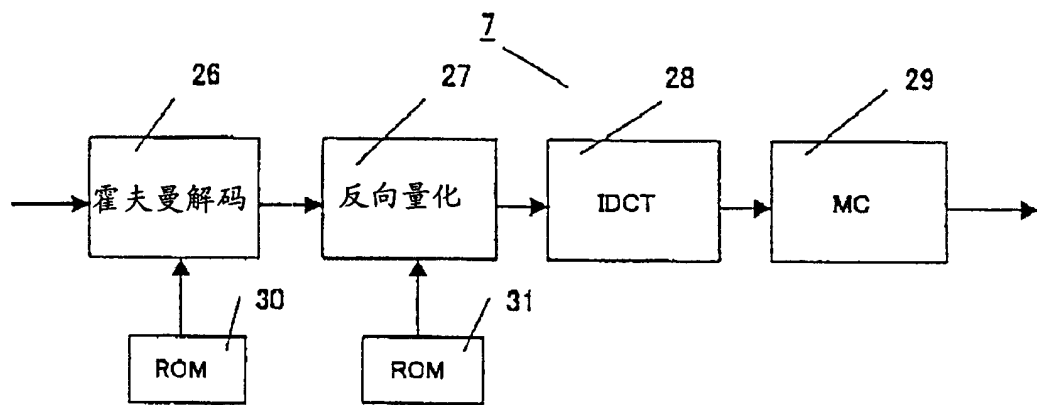


图 5

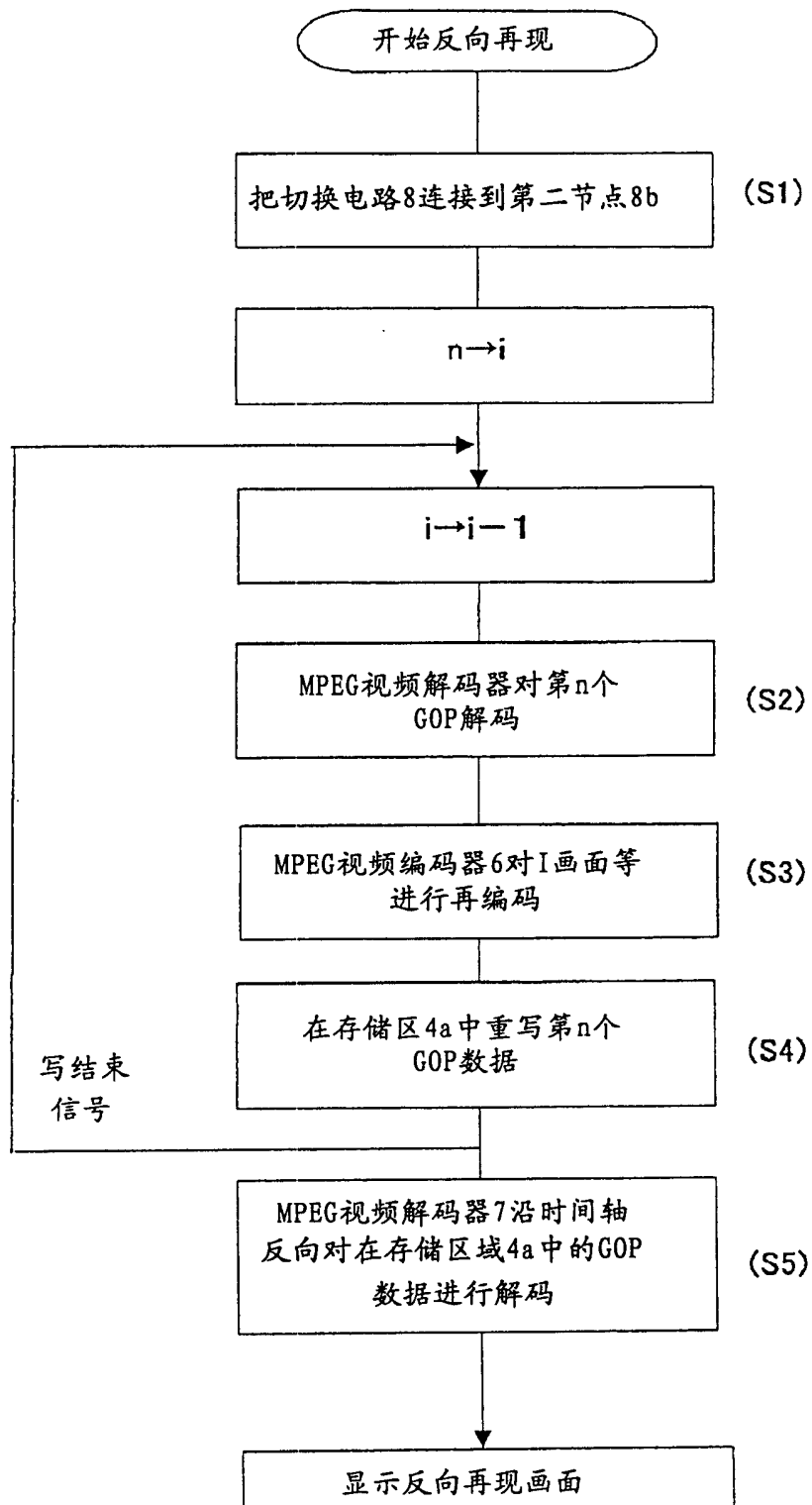


图 6

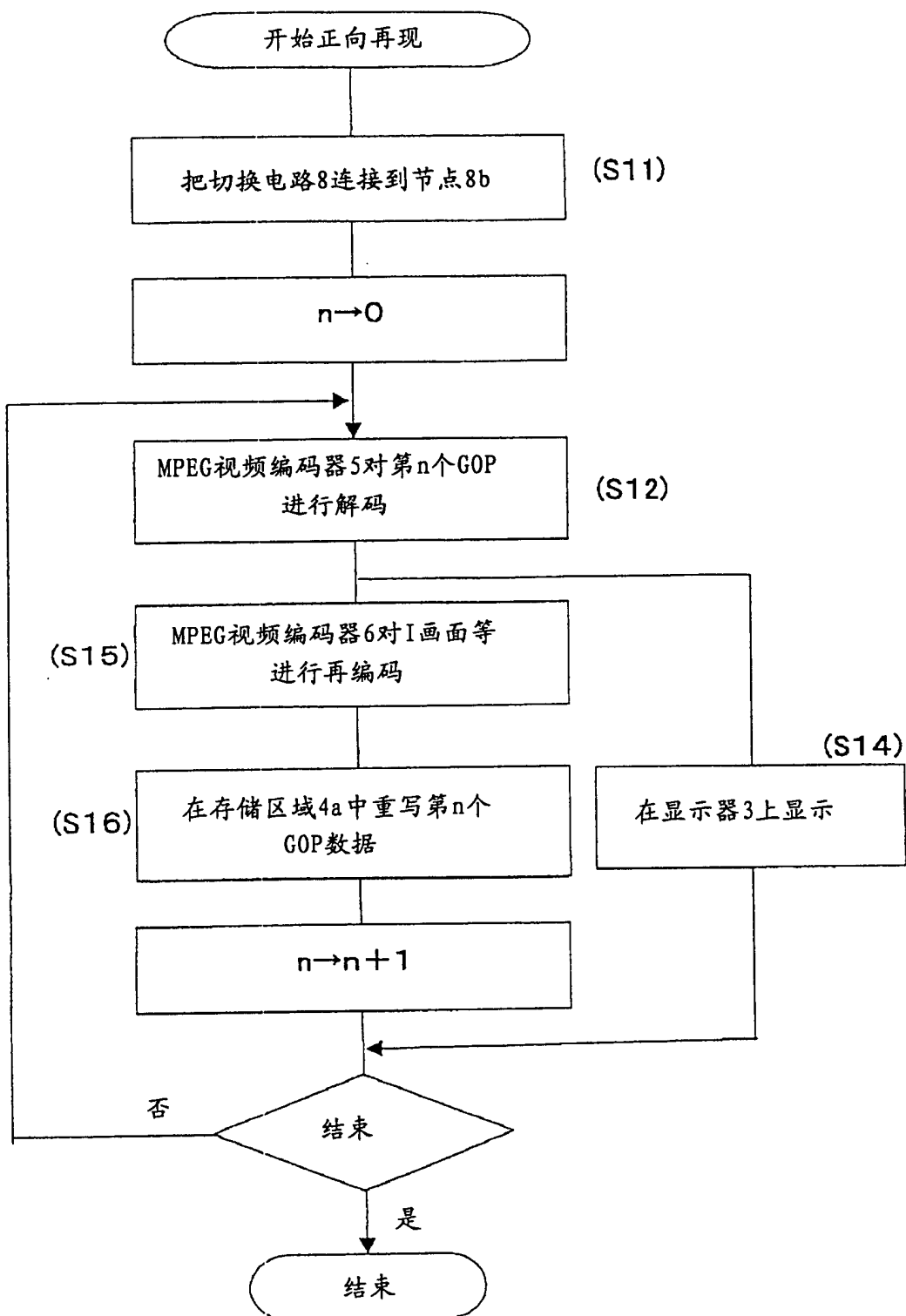


图 7