(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. [6]
G11C 11/409
G11C 29/00

(45) 공고일자 2003년02월07일
(11) 등록번호 10-0371425
(24) 등록일자 2003년01월24일

(21) 출원번호 10-1999-0010204
(22) 출원일자 1999년03월25일

(65) 공개번호 특2000-0022606
(43) 공개일자 2000년04월25일

(30) 우선권주장 98-269719 1998년09월24일 일본(JP)
98-287992 1998년10월09일 일본(JP)
98-336708 1998년11월27일 일본(JP)

(73) 특허권자 후지쯔 가부시끼가이샤
일본국 가나가와켄 가와사키시 나카하라꾸 가미고다나카 4초메 1-1

(72) 발명자 간다다츠야
일본가나가와켄가와사키시나카하라쿠가미코다나카4-1-1후지쓰가부시키가이샤나이
도미타히로요시
일본가나가와켄가와사키시나카하라쿠가미코다나카4-1-1후지쓰가부시키가이샤나이

(74) 대리인 조태연
김성택
허정훈
이광현

심사관 : 장현숙

(54) 반도체 기억 장치 및 그의 제어 방법

요약

본 발명은 외부 클록에 동기하여 데이타를 기록 또는 판독하는 SDRAM 및 그의 제어 방법에 관한 것으로서, 본 발명의 목적은 외부 클록의 상승 및 하강 에지에 동기하여 데이타를 전송하는 전송 방식을 갖는 종래의 메모리 시험 장치에 의해 용이하게 시험 및 평가될 수 있는 반도체 기억 장치 및 그의 제어 방법을 제공하고자 함에 있다. 본 발명의 반도체 기억 장치는 DDR 타입 및 SDR 타입의 데이타 전송 방식에 대응하는 데이타 전송 회로로서 기록 증폭기 제어부(14), I/O 데이타 버퍼/레지스터(22)를 포함한다. 또한, 전환 신호에 의해 데이타 전송 회로를 DDR 방식 또는 SDR 방식 중의 하나로 전환하도록 사용되는 모드 레지스터(28)가 구성된다.

대표도

도 1

명세서

도면의 간단한 설명

도 1은 본 발명의 제1 실시 형태의 반도체 기억 장치의 전체 구성을 나타내는 블록도.

도 2는 본 발명의 제1 실시 형태의 반도체 기억 장치의 컬럼 디코더에서 생성되는 명령의 예를 설명하고 있는 표.

도 3은 본 발명의 제1 실시 형태의 반도체 기억 장치의 데이타 입력 클록 생성부 및 기록 증폭기 제어부의 구성을 나타내고 있는 블록도.

도 4는 본 발명의 제1 실시 형태의 데이타 입력 출력 생성부, 반도체 기억 장치의 직렬/병렬 변환부 및 기록 증폭기 제어부를 구비하고 있는 회로 구성예를 나타내고 있는 회로도.

도 5는 본 발명의 제1 실시 형태의 반도체 기억 장치의 DDR 모드에서의 기록 동작의 제어 방법을 나타내고 있는 타이밍도.

도 6은 본 발명의 제1 실시 형태의 반도체 기억 장치의 SDR 모드에서의 기록 동작의 제어 방법을 나타내고 있는 타이밍도.

도 7은 본 발명의 제1 실시 형태의 반도체 기억 장치의 열 어드레스 카운터의 회로 블록도.

도 8은 본 발명의 제1 실시 형태의 반도체 기억 장치의 컬럼 어드레스 카운터의 동작의 제어 방법을 나타내고 있는 타이밍도.

도 9는 본 발명의 제1 실시 형태의 반도체 기억 장치의 컬럼 어드레스 카운터내의 클록 생성부의 회로예를 나타내고 있는 도면.

도 10은 본 발명의 제1 실시 형태의 반도체 기억 장치의 컬럼 어드레스 카운터의 1/2 분주기 및 클록 전환부의 회로예를 나타내고 있는 도면.

도 11은 본 발명의 제1 실시 형태의 반도체 기억 장치의 열 어드레스 카운터의 클록 생성부의 동작을 나타내고 있는 타이밍도.

도 12는 본 발명의 제1 실시 형태의 반도체 기억 장치의 버스트 카운터의 회로 블록을 나타내고 있는 도면.

도 13은 본 발명의 제1 실시 형태의 반도체 기억 장치의 버스트 카운터의 회로예를 나타내고 있는 도면.

도 14a 및 도 14b는 각각 본 발명의 제1 실시 형태의 반도체 기억 장치의 버스트 카운터의 회로예와 DDR 모드 및 SDR 모드에서의 신호 관계를 나타내고 있는 도면.

도 15는 본 발명의 제1 실시 형태의 반도체 기억 장치의 버스트 카운터의 동작을 나타내고 있는 타이밍도.

도 16은 본 발명의 제1 실시 형태의 반도체 기억 장치의 어드레스 생성부의 회로 블록을 나타내고 있는 도면.

도 17은 본 발명의 제1 실시 형태의 반도체 기억 장치의 어드레스 생성부의 A0 생성부의 회로예를 나타내고 있는 도면.

도 18은 본 발명의 제1 실시 형태의 반도체 기억 장치의 어드레스 생성부의 A1 생성부의 회로예를 나타내고 있는 도면.

도 19는 본 발명의 제1 실시 형태의 반도체 기억 장치의 어드레스 생성부의 A2 생성부의 회로예를 나타내고 있는 도면.

도 20은 본 발명의 제1 실시 형태의 반도체 기억 장치의 어드레스 생성부의 캐리 결정부의 회로예를 나타내고 있는 도면.

도 21은 종래 기술과 본 발명의 제2 실시 형태의 반도체 기억 장치에 있어서의 데이타 판독 시험간의 비교를 나타내고 있는 타이밍도.

도 22는 종래 기술과 본 발명의 제2 실시 형태의 반도체 기억 장치에 있어서의 데이타 기록 시험간의 비교를 나타내고 있는 타이밍도.

도 23은 본 발명의 제2 실시 형태의 반도체 기억 장치의 판독 회로의 일례를 나타내고 있는 블록도(제1 블록도).

도 24는 본 발명의 제2 실시 형태의 반도체 기억 장치의 판독 회로의 일례를 도시하는 블록도(제2 블록도).

도 25는 본 발명의 제2 실시 형태의의 반도체 기억 장치에서의 DDR 모드의 판독 동작을 설명하고 있는 타이밍도.

도 26은 본 발명의 제2 실시 형태의 반도체 기억 장치에서의 SDR 모드의 판독 동작을 설명하고 있는 타이밍도.

도 27은 본 발명의 제2 실시 형태의 반도체 기억 장치의 출력부에 있는 출력 데이타 래치 및 출력 데이타 버퍼의 일례를 나타내고 있는 회로도.

도 28은 본 발명의 제2 실시 형태의 반도체 기억 장치의 기록 회로의 일례를 나타내고 있는 블록도(제1 블록도).

도 29는 본 발명의 제2 실시 형태의 반도체 기억 장치의 기록 회로의 일례를 나타내고 있는 블록도(제2 블록도).

도 30은 본 발명의 제2 실시 형태의 반도체 기억 장치의 기록 회로의 일례를 ㅏ타내고 있는 블록도(제3 블록도).

도 31은 본 발명의 제2 실시 형태의 반도체 기억 장치의 DDR 모드에서의 기록 동작을 설명하고 있는 타이밍도.

도 32는 본 발명의 제2 실시 형태의 반도체 기억 장치의 SDR 모드에서의 기록 동작을 설명하고 있는 타이밍도.

도 33은 본 발명의 제2 실시 형태의 반도체 기억 장치의 입력부의 입력 데이타 래치 및 어드레스 래치의 일례를 나타내고 있는 회로도.

도 34는 본 발명의 제2 실시 형태의 반도체 기억 장치의 전체 구성의 변형예를 나타내고 있는 회로도.

< 도면의 주요부분에 대한 부호의 설명

1 : SDRAM

2 : 메모리셀부

4 : 로우 디코더

6 : 컬럼 디코더

8 : 감지 증폭기

10 : 데이타 버스

12 : 기록 증폭기/감지 버퍼

14 : 기록 증폭기 제어부

16 : 클록 버퍼

18 : 명령 디코더

20 : 어드레스 버퍼/레지스터 뱅크 선택부

22 : I/O 데이타 버퍼/레지스터

24, 26 : 제어 신호 래치 회로

28 : 모드 레지스터

30, 32 : 컬럼 어드레스 카운터

34 : 데이타 입력 클록 생성부

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 외부 클록 신호에 동기하는 반도체 기억 장치 및 그의 제어 방법에 관한 것으로서, 특히 외부 클록 신호에 동기하여 데이타를 판독 또는 기록하는 동기식 DRAM(Synchronous Dynamic Randon Access Memory: SDRAM) 및 데이타를 기록하기 위한 그의 제어 방법에 관한 것이다.

종래의 DRAM은 시스템에 공급된 클록 신호와 독립적(비동기적)으로 데이타를 입력 또는 출력하여 어드레스 입력으로부터 그 어드레스에 대응하는 데이타가 출력될 때까지는 다음 어드레스의 입력이 방지된다. 그러므로, 데이타 전송의 사이클 시간은 데이타 출력까지의 액세스 시간에 좌우되고, 그에 따라 데이타 전송 속도의 향상에 어려움이 초래된다. 이러한 이유로, 근래의 개인용 컴퓨터(PC)에 설치된 중앙 처리 장치(MPU)의 처리 속도의 현저한 향상과 함께, PC 내의 주메모리로서 사용되는 DRAM의 데이타 전송 속도의 향상이 중요한 과제로 부각되었다.

이 문제점을 해소하기 위하여, 여러 개의 파이프라인으로 분할된 컬럼 액세스 경로 및 시스템측으로부터 공급된 외부 클록 신호의 상승 에지(rising edge)에 동기된 각각의 파이프라인간의 판독/기록 프로세스를 갖는 SDRAM이 개발되었다. 더욱이, 회로의 기본 구성에 변경을 가함이 없이, 외부 클록 신호(CLK)의 상승 에제 및 하강 에지(falling edge)의 양에지에동기하여 데이타를 입·출력하는 DDR (Double Data Rate) 모드의 SDRAM이 개발되었다 (예컨대, 일본 특허 출원 평9-167451호 및 평10-22257호에 개시되어 있음). DDR 모드에서의 SDRAM의 데이타 전송 속도는 데이타가 외부 클록 신호의 상승 에지에서만 전송시에 동기되는 모드(이하, 편의상 'SDR 모드'라고 부름)에서의 SDRAM의 데이타 전송 속도보다 약 2배 더 고속이라는 장점이 있고, 따라서 이것이 현재의 SDRAM의 주류로 되어 있다.

발명이 이루고자 하는 기술적 과제

그런데, 이들 반도체 기억 장치는 제조 단계에서 메모리 시험 장치(IC 테스터기)에 의해 시험 및 평가된다. 메모리 시험 장치는 불량 메모리 셀의 수효를 카운트하고, 불량 메모리 셀의 구제(救濟)가 정상 동작 상태와 동일한 상황하에서 가능한지의 여부를 판정하는 기능이 있다. 예컨대, SDRAM 내의 불량 메모리 셀을 시험함에 있어서, 메모리 시험 장치는 SDRAM의 실제 동작 중에 사용된 외부 클록 신호 (CLK)와 동일한 신호를 생성하여, 이 신호를 SDRAM에 입력한다. 웨이퍼 시험은 반도체 웨이퍼에 형성된 모든 칩을 시험하고, 각 칩에 대하여 소정 데이타의 기록 및 판독을 시험한다는 사실에 주목하여야 한다.

그러나, DDR 모드를 갖는 전술한 SDRAM은 종래의 SDR 모드를 갖는 SDRAM과는 동작에 있어 상당한 차이가 있다. 특히, 기록/판독 동작에 있어서, DDR 모드는 종래 형식의 SDRAM의 2배의 주파수로 기록/판독 데이타를 발생하기 때문에, DDR 모드에 대응하는 시험을 행하기 위한 클록 신호를 발생할 수 있는 메모리 시험 장치를 새로이 도입할 필요가 있다. 이는 결국 DDR 모드의 SDRAM을 제조하기 위한 메모리 시험 장치를 새로 구입할 필요성을 야기하게 되므로, DDR 모드를 갖는 SDRAM의 설비 투자가 증대되고 제조비가 증대되는 결과로 된다. 또한, 종래의 메모리 시험 장치를 이용할 수 없게 되어, DDR 모드 SDRAM의 제품 개발이 지연되는 원인으로 된다.

더욱 구체적으로는, 반도체 시험 장치에서는 1 클록에 불과 1 스트로브만이 발생될 수 있는 제한이 있다. SDRAM이 이러한 제한하에서 SDRAM을 DDR 방식으로 시험할 경우, 1 클록에 2개의 출력을 얻게 되므로, 반도체 시험 장치로부터의 2개의 클록을 1 클록으로서 사용하고, 또 반도체 기억 장치에 제공된 클록들 중의 1 클록 내에 2개의 스트로브를 발생하는 것이 필요하게 된다. 즉, 실제 시험 장치 능력의 1/2 주파수로 반도체 기억 장치를 동작시켜 시험을 행하지 않으면 안 된다.

도 21은 종래 및 본 발명의 실시 형태에 관한 반도체 기억 장치의 웨이퍼 시험시에 데이타 판독 시험들간의 비교를 나타내고 있는 타이밍도이다. 도 22는 종래 및 본 발명의 실시 형태에 관한 반도체 기억 장치의 웨이퍼 시험시에 데이타 기록 시험간의 비교를 나타내는 타이밍도이다. 여기서, 도 21(a) 및 도 22(a)는 종래의 반도체 기억 장치인 DDR 방식의 SDRAM의 데이타 판독 및 데이타 기록의 타이밍도이고, 도 21(b) 및 도 22(b)는 후술하는 본 발명의 한 가지 실시 형태의 반도체 기억 장치인 DDR 방식의 SDRAM의 데이타 판독 및 데이타 기록의 타이밍도이다.

도 21(a)에 도시된 바와 같이, DDR 방식의 SDRAM의 웨이퍼 시험에서의 종래의 데이타 판독 시험은 DDR 방식에서의 판독 동작만을 실행할 수 있기 때문에, 예컨대 반도체 시험 장치의 메인 클록(테스터 클록) clk에 대하여 주기가 2배 (T=2t)인 클록(디바이스 클록) CLK을 DDR 방식의 SDRAM에 공급하고, 그 디바이스 클록 CLK의 1 클록에 대하여 2개의 스트로브(STB)를 생성하여 2회의 기입 동작을 행하도록 되어 있다. 여기서, CAS 대기(latency) 시간이 1.5 클록(CL=1.5)이고 버스 길이가 8일 때(BL=8: 8개의 상이한 데이타가 판독될 때), 일련의 데이타 판독을 완료하는 데에는 활성 상태(active state) 후 13 clk에 상당하는 시간을 요하게 된다.

또한, 도 22(a)에 나타낸 바와 같이, DDR 방식의 SDRAM의 웨이퍼 시험시 종래의 데이타 기록 시험은 DDR 방식의 기록 동작만을 행할 수 있기 때문에, 예컨대 시험 장치 클록 clk에 대하여 주기가 2배(T=2t)인 디바이스 클록 CLK를 공급함으로써, 이 디바이스 클록 CLK의 1 클록에 2개의 기록 동작이 행하여지게 된다. 여기서, 지연된 기록에 의하여 8개의 상이한 데이타가 기록될 경우, 일련의 기록 동작을 완료하는 데에는 활성 상태 후의 13 clk(테스터 클록)에 상당하는 시간을 요하게 된다.

그런데, 웨이퍼 시험은 반도체 웨이퍼에 형성된 모든 칩에 대하여 행할 필요가 있기 때문에, 이와 같이 실제의 반도체 시험 장치의 1/2의 주파수로 디바이스를 동작시키는 시험을 행하는 것은 제조비의 증가를 가져오게 된다는 문제가 야기된다. 예컨대, 통상적인 동작하에서 DDR 방식의 SDRAM을 시험하기 위해서는 주파수 대역이 DRAM의 동작 속도의 2배인 고가의 시험 장치를 필요로 하게 되고, 그 결과 DDR 방식의 SDRAM의 제조비가 크게 증가되게 된다. 한편, 통상의 시험 장치를 사용하는 경우에는, 모든 디바이스 클록 CLK를 시험 장치 클록 clk의 1/2 주파수로 동작시킬 필요가 있고, 모든 시험에 용장 시간을 설정하여야 한다. 결과적으로, 시험 시간이 길어지게 되고, 또한 디바이스 제조비가 증가된다.

본 발명의 목적은 외부 클록의 상승 에지및 하강 에지의 양에지에 동기하여 데이타를 전송하는 전송 모드를 가지면서 종래의 메모리 시험 장치 및 그 제어 방법에 의하여 용이하게 시험 및 평가될 수 있는 반도체 기억 장치를 제공하고자 함에 있다.

본 발명의 또 하나의 목적은 고가의 시험 장치를 사용함이 없이 시험 시간을 단축시킬 수 있는 반도체 기억 장치를 제공하고자 함에 있다.

전술한 목적들은 외부 클록 신호의 상승 에지 및 하강 에지의 양에지에 동기하여 데이타를 전송하는 제1 전송 모드와, 상기 상승 에지 및 하강 에지 중의 어느 하나의 에지에만 동기하여 데이타를 전송하는 제2 전송 모드를 구비하는 데이타 전송 회로를 포함하는 외부 클록 신호에 동기하여 동작할 수 있는 반도체 기억 장치에 의해 달성된다. 또한, 본 발명의 반도체 기억 장치에 있어서, 상기 데이타 전송 회로는 모드 전환 신호에 응답하여 제1 전송 모드와 제2 전송 모드를 전환시킨다. 이러한 구성에 의하면, 반도체 기억 장치를 제2 전송 모드로 전환시킴으로써, 종래의 메모리 시험 장치를 이용하여 반도체 기억 장치를 시험 및 평가할 수 있게 된다. 실제 사용에 있어서는, 제1 전송 모드로 전환시킴으로써 고속의 데이타 전송속도를 실현하는 것도 역시 가능하다.

나아가, 본 발명의 반도체 기억 장치에 있어서, 모드 전환 신호는 상기 반도체 기억 장치의 외부로부터 입력된 설정 신호에 기초하여 발생된다. 더욱이, 본 발명의 반도체 기억 장치는 설정 신호를 래치하기 위한 레지스터를 구비하고 있다. 이러한 구성을 형성함으로써, 데이타 전송 회로의 전송 모드는 반도체 기억 장치를 이용하는 시스템측으로부터 용이하게 전환될 수 있다.

본 발명의 반도체 기억 장치에 있어서, 상기 레지스터로서는 모드 레지스터 내의 빈 레지스터를 이용할 수 있다. 종래의 SDRAM에도 설치되어 있는 모드 레지스터의 빈 레지스터를 이용함으로써, 모드 전환 신호를 용이하게 유지하는 것이 가능한다. 또는, 전환 신호 입력 단자를 본 발명의 반도체 기억 장치에 설치하고 시스템측으로부터의 모드 전환 신호를 전환 신호 입력 단자에 입력함으로써, 직접 데이타 전송 회로의 전송 모드는 시스템측으로부터 전환시킬 수 있다. 이와 같이 함으로써, 반도체 기억 장치의 회로 구조를 더욱 간소하게 구성할 수 있다.

상기 본 발명의 반도체 기억 장치에 있어서, 제2 전송 모드는 외부 클록 신호의 상승 에지에 동기하여 데이타를 전송시킬 수 있다. 이와 같이 함으로써, 외부 클록의 듀티비가 50%에 상당하는 제1 전송 모드의 전송 속도의 1/2의 전송 속도가 실현될 수 있다.

또한, 본 발명의 반도체 기억 장치에 있어서, 데이타 전송 회로는 제1 전송 모드에서는 직렬 입력되는 직렬 데이타로부터 변환되는 병렬 데이타를 동시에 전송하고, 제2 전송 모드에서는 직렬 데이타를 순차적으로 전송하는 데이타 입력 변환기를 구비하고 있다. 이러한 구성을 형성함으로써, 외부(시스템측)에 대하여 제2 전송 모드의 전송 속도의 2배의 전송 속도로 데이타를 입력 또는 출력하는 제1 전송 모드에 있어서도, 제2 전송 모드와 동일한 기록 또는 판독 속도를 반도체 기억 장치 내의 메모리 셀에 이용할 수 있다.

더욱이, 본 발명의 반도체 기억 장치에 있어서, 데이타 전송 회로는 제1 전송 모드에 대응하는 제1 클록 신호 또는 제2 전송 모드에 대응하는 모드 전환 신호에 대응하는 제2 클록 신호를 모드 전환 신호에 기초하여 발생하고, 상기 제1 클록 신호 또는 제2 클록 신호를 데이타 입력 변환기에 전송하는 데이타 입력 클록 생성 회로를 구비하고 있다. 상기 클록 신호를 사용함으로써, 제1 동작 모드 또는 제2 동작 모드에서의 데이타 입력 변환기의 데이타 입력 동작은 간단한 회로 구성에 의해 용이하게 변환될 수 있다.

또한, 본 발명의 반도체 기억 장치에 있어서, 데이타 전송 회로는 제1 전송 모드에서는 메모리 셀 어레이에 병렬 데이타를 동시에 전송하기 위한 제1 기록 인에이블 신호를 생성하고, 제2 전송 모드에서는 메모리 셀 어레이에 직렬 데이타를 순차적으로 전송하기 위한 제2 기록 인에이블 신호를 생성하는 기록 제어 회로를 구비하고 있다. 이와 같이, 모드 전환 신호에 기초하여 제1 전송 모드 및 제2 전송 모드에 응답하여 기록 인에이블 신호가 출력되기 때문에, 모드 전환 신호에 기초하여 클록 신호에 의하여 데이타 입력 동작을 실행하는 데이타 입력 변환기에 동기하여 제1 전송 모드 및 제2 전송 모드의 어느 모드에서도 확실하게 데이타를 전송할 수 있다.

나아가, 본 발명의 반도체 기억 장치에 있어서, 반도체 기억 장치는 모드 전환 신호에 응답하여 컬럼 어드레스(column address)를 카운트 업(count up)하기 위한 타이밍을 변경시킬 수 있는 컬럼 어드레스 카운터를 구비하고 있다.

더욱이, 본 발명의 컬럼 어드레스 카운터는 제1 내부 어드레스 생성 클록 및 제2 내부 어드레스 생성 클록을 공급하는 클록 생성 회로와, 제1 내부 어드레스 생성 클록에 동기하여 제1 내부 어드레스를 생성하는 제1 어드레스 생성부와, 제2 내부 어드레스 생성 클록에 동기하여 제2 내부 어드레스를 생성하는 제2 어드레스 생성부를 구비하고 있다. 더욱이, 상기 클록 생성 회로는 클록 생성기 및 분주기(分周器)를 구비하는데, 상기 클록 생성기는 외부 클록에 응답하여 내부 클록을 생성하고, 상기 분주기는 내부 클록을 수신하여 분주(分周) 클록을 생성하며, 상기 클록 생성 회로는 제1 전송 모드에서는 내부 클록을 제1 내부 어드레스 생성 클록으로서 출력하고, 제2 전송 모드에서는 분주 클록을 제1 내부 어드레스 생성 클록으로서 그리고 내부 클록을 제2 내부 어드레스 생성 클록으로서 출력한다.

또한, 본 발명의 반도체 기억 장치는 기록 또는 판독 명령에 따라 내부 클록의 카운트를 시작하여 소정 수효의 내부 클록에 이르게 되면 클록 생성기 신호를 비활성화시키는 버스트 카운터도 구비하고 있다. 더욱이, 상기 버스트 카운터는 모드 전환 신호에 응답하여 소정 수효의 내부 클록을 변환하는 버스트 길이 변환 회로를 구비하고 있다.

이 구성에 의하면, 소정의 바스트 길이의 버스트 모드에 있어서, 제1 또는 제2 전송 모드의 데이타 전송 속도에 일치하는 컬럼 어드레스의 카운트 업이 실행되므로, 각 전송 모드에서 확실한 데이타 전송이 가능하게 된다.

본 발명의 반도체 메모리 장치에 있어서, 데이타 전송 회로는 데이타가 기록 데이타일 경우, 상기 데이타는 메모리 셀 어레이에 전송된다. 반도체 기억 장치를 시험 및 평가할 경우, 특히 데이타의 기록시 제1 전송 모드를 제2 전송 모드로 전환시킴으로써 종래의 시험 장치를 이용하여 데이타 기록의 불량 원인이 용이하게 분석된다.

또한, 전술한 목적들은, 외부 클록 신호에 동기하여 동작 가능한 반도체 기억 장치의 제어 방법에 있어서, 제1 전송 모드에서는 외부 클록 신호의 상승 에지및 하강 에지의 양에지에 동기하여 데이타를 전송하는 단계와, 제2 전송 모드에서는 상기 상승 에지 및 하강 에지 중 어느 하나의 에지에 동기하여 데이타를 전송하는 단계를 포함하는 반도체 기억 장치의 제어 방법에 의하여 달성된다. 이 제어 방법에 의하면, 반도체 기억 장치의 시험시에 제2 전송 모드로의 전환이 가능하기 때문에, 종래의 메모리 시험 장치를 이용하여 메모리 셀의 불량 분석이 용이하게 수행된다. 한편, 반도체 기억 장치의 실제 사용시에는 고속의 데이타 전송 속도를 실현할 수 있는 제1 전송 모드가 채용될 수 있다.

이러한 제어 방법에 있어서, 상기 제1 및 제2 전송 모드는 장치의 외부로부터 입력되는 설정 신호에 기초하여 생성된 전환 신호 또는 외부로부터 직접 입력되는 전환 신호에 응답하여 전환된다. 또한, 제1 전송 모드에서는 데이타가 외부 클록 신호의 상승 에지에 동기하여 전송된다. 더욱이, 이 제어 방법에 있어서, 제1 전송 모드에서는 직렬 입력된 복수의 데이타가 직렬 데이타에서 병렬 데이타로 변환되고, 변환된 병렬 데이타가 동시에 전송된다. 제2 전송 모드에서는 복수의 데이타가 순차적으로 전송된다.

또한, 본 발명의 반도체 기억 장치의 제어 방법에 있어서, 복수의 데이타가 직렬/병렬로 변환 후에 동시에 전송되는지 또는 순차적으로 전송되는지의 여부는 전환 신호에 따라 결정된다. 더욱이, 이 제어 방법에 있어서, 상기 전송 단계에는 메모리셀 어레이에 데이타를 전송할 때, 전환 신호에 응답하여, 제1 전송 모드에서는 기록 증폭기에 제1 기록 인에이블 신호를 출력하고, 제2 전송 모드에서는 제2 기록 인에이블 신호를 출력하는 단계가 포함된다. 또한, 본 발명의 반도체 기억 장치의 제어 방법에서는, 컬럼 어드레스를 카운트 업하는 타이밍은 전환 신호에 응답하여 변경된다.

또한, 본 발명의 제어 방법에서는, 데이타를 시험 모드로 기록할 때에는 상기 제2 전송 모드가 선택된다.

반도체 기억 장치의 시험 및 평가시에 이러한 제어 방법을 채용함으로써, 데이타 기록시 제1 전송 모드로부터 제2 전송 모드로 전환함으로써 종래의 메모리 시험 장치를 이용하여 데이타 기록의 불량 원인이 용이하게 분석된다.

상기 목적은, 클록의 상승 에지 및 하강 에지에 응답하여 데이타를 판독하는 DDR 방식의 반도체 기억 장치에 있어서, 판독 명령에 따라 즉시 데이타를 판독하기 위한 동작 모드를 갖는 반도체 기억 장치에 의하여 달성된다.

또한, 상기 목적은, 클록의 상승 에지 및 하강 에지의 양에지에 응답하여 데이타를 판독하는 DDR 방식의 반도체 기억 장치에 있어서, 클록의 상승 에지 및 하강 에지 중 어느 하나의 에지에 응답하여 데이타를 판독하는 SDR를 갖는 반도체 기억 장치에 의하여 달성된다.

또한, 상기 목적은, 클록의 상승 에지 및 하강 에지의 양에지에 응답하여 데이타를 기록하는 DDR 방식의 반도체 기억 장치에 있어서, 기록 명령을 수신하는 즉시 데이타를 기록하는 동작 모드를 갖는 반도체 기억 장치에 의하여 달성된다.

나아가, 상기 목적들은, 클록의 상승 에지 및 하강 에지의 양에지에 응답하여 데이타를 기록하는 DDR 방식의 반도체 기억 장치에 있어서, 클록의 상승 에지 및 하강 에지 중의 어느 하나의 에지에 응답하여 데이타를 기록하는 SDR 모드를 갖는 반도체 기억 장치에 의하여 달성된다.

본 발명의 반도체 기억 장치에 의하면, DDR 모드 뿐만 아니라 기록 명령에 따라 즉시 데이타를 기록하는 모드도 갖추고 있다.

또한, 본 발명의 반도체 기억 장치에 의하면, DDR 모드 뿐만 아니라 클록의 상승 에지및 하강 에지중 어느 하나의 에지에 응답하여 데이타를 판독하는 SDR 모드도 갖추고 있다.

나아가, 본 발명의 반도체 기억 장치에 의하면, DDR 모드 뿐만 아니라 기록 명령에 따라 즉시 데이타를 기록하는 모드도 갖추고 있다.

더욱이, 본 발명의 반도체 기억 장치에 의하면, DDR 모드 뿐만 아니라 클록의 상승 에지및 하강 에지 중 어느 하나의 에지에 응답하여 데이타를 기록하는 SDR 모드도 갖추고 있다.

따라서, 본 발명에 따르면, 고가의 시험 장치를 이용함이 없이 시험 시간을 단축시킬 수 있는 반도체 기억 장치가 제공될 수 있다.

발명의 구성 및 작용

본 발명의 제1 실시 형태의 반도체 기억 장치 및 그의 제어 방법을 도 1 내지 도 8을 참조하여 설명하겠다. 상기 제1 실시 형태는 통상적인 데이타 기록 동작에 있어서 통상의 동작 중에는 DDR 방식으로 동작하고, 시험 동작 중에는 SDR 방식으로 동작할 수 있는 구성을 설명하고 있다. 먼저, 상기 제1 실시 형태의 반도체 기억 장치의 개략적인 구성을 도 1에 나타낸 시스템 블록도를 참조하여 설명하겠다. 이 제1 실시 형태의 반도체 기억 장치는 DDR 모드로 동작하는 SDRAM의 기본 구성을 구비하고 있다.

도 1에 있어서, SDRAM(1)의 내부는 각각이 독립하여 제어 가능한 2개의 뱅크(뱅크 0, 뱅크 1)로 분할된다. 제1 실시 형태의 SDRAM(1)에는 2개의 뱅크 0 및 뱅크 1을 구비하고 있지만, 실제로는 다수의 뱅크(예컨대, 4개의 뱅크)가 마련될 수 있다. 상기 뱅크 0 및 뱅크 1의 회로 구성은 동일하다. 예컨대, 16 Mb SDRAM인 경우, 2개의 독립적인 8 Mb DRAM을 동작시킬 경우와 동일한 상황으로 될 수 있다.

이하에서는 주로 뱅크 0의 예를 들어 설명한다. 전송 게이트용 트랜지스터와 커패시터(도면에는 모두 생략되어 있음)로 구성되는 메모리 셀들이 매트릭스 형상으로 배열되어 있는 메모리 셀부 (2)가 형성되어 있다. 또한, 메머리 셀부(2)의 각 메모리 셀들 사이에는 로우(row) 방향 및 컬럼(column) 방향으로 연장하는 로우 선택 라인(워드 라인) 및 비트 라인이 형성되어 있다. 동일한 로우 방향으로 배열된 각 메모리 셀 내의 트랜지스터의 게이트 전극은 동일한 로우 선택 라인에 접속되고, 동일한 컬럼 방향으로 배열된 각 메모리 셀 내의 트랜지스터의 드레인 전극은 동일한 비트 라인에 접속되어 있다.

이들 복수의 로우 선택 라인은 로우 디코더(4)에 의해 구동되고, 비트 라인과 데이타 버스(10) 사이의 컬럼 게이트를 제어하는 복수의 컬럼 선택 라인은 컬럼 디코더(6)에 의해 구동된다.

또한, 한 쌍의 비트 라인 사이에는, 소정의 메모리 셀에 대한 기록/판독시 또는 갱신시, 상기 비트 라인쌍에 있는 신호를 증폭하여 출력하는 감지 증폭기(8)가 마련된다. 데이타 버스(10)는 기록 증폭기/감지 버퍼(12)에 접속되어 있다. 상기 기록 증폭기/감지 버퍼(12)에서는, 데이타 버스(10)에 출력되는 데이타가 기록 증폭기 제어부(기록 제어부)(14)로부터의 기록 제어 신호 WE에 기초하여 제어된다. 데이타 판독시, 희망하는 로우 선택 라인에서 선택된 메모리 셀의 데이타가 감지 증폭기에서 증폭되어 희망하는 컬럼 선택 라인에 의해 제어되는 컬럼 게이트를 통하여 데이타 버스(10)에 출력된다. 데이타 기록시에는, 상기 컬럼 게이트를 통하여 데이타 버스(10)의 데이타가 감지 증폭기(8)에 기록되어 증폭된 다음, 소정의 메모리 셀에 기록된다.

또한, SDRAM(1)은 클록 버퍼(16), 명령 디코더(18), 어드레스 버퍼/레지스터 뱅크 선택부(20), I/O 데이타 버퍼/레지스터(22), 제어 신호 래치 회로(24, 26), 모드 레지스터(28) 및 컬럼 어드레스 카운터(30, 32)를 구비하고 있다. 클록 버퍼 (16)에는 외부로부터 외부 클록 신호 CLK 및 클록 인에이블 신호 CKE가 공급된다. 클록 버퍼(16)는 외부 클록 신호 CLK의 상승 에지에 동기하여 클록 신호 CLK0 ° 를 생성하는 한편, 외부 클록 신호 CLK의 하강 에지에 동기하여 클록 신호 CLK180 ° 를 생성한다.

또한, 클록 버퍼(16)는 클록 인에이블 신호 CKE의 레벨에 기초하여 SDRAM(1)의 각 회로에 대한 클록 신호 CLK0 ° 및 클록 신호 CLK180 ° 의 공급을 제어한다. 클록 인에이블 신호 CKE가 활성 레벨일 경우, 클록 신호 CLK0 ° 및 클록 신호 CLK180 ° 는 SDRAM(1)의 각 블록에 공급된다. 클록 인에이블 신호 CKE는 클록 버퍼(16)로부터 명령 디코더(18), 어드레스 버퍼/레지스터 뱅크 선택부(20) 및 I/O 데이타 버퍼/레지스터(22) 내의 데이타 입력 클록 생성부(34)

의 각각에 공급된다.

명령 디코더(18)는 칩 선택 신호 /CS, 로우 어드레스 스트로브 신호 /RAS, 컬럼 어드레스 스트로브 신호 /CAS 및 기록 인에이블 신호 /WE를 디코드하고, 이들 신호의 조합에 의해 SDRAM(1)의 동작을 제어하는 각종의 제어 신호(명령)를 생성한다. 여기서, "/" 표시는 각 신호가 로우(low) 레벨에서 활성화한다는 것을 나타낸다. 생성된 제어 신호는 제어 신호 래치 회로(24,26), 컬럼 어드레스 카운터 (30), 모드 레지스터(28) 등에 입력된다.

명령 디코더(18)에서 생성된 제어 신호의 예를 도 2를 참조하여 설명하겠다. 도 2는 좌측으로부터 차례대로, 명령 함수의 명칭, 명령의 명칭, 클록 인에이블 신호 CKE의 상태, 칩 선택 신호 /CS의 상태, 로우 어드레스 스트로브 신호 /RAS의 상태, 컬럼 어드레스 스트로브 신호 /CAS의 상태, 기록 인에이블 신호 /WE의 상태 및 후술하는 어드레스 A0 A11의 각 비트의 상태를 나타내고 있다. 이 도면에 표시된 "H"는 하이 레벨, "L"은 로우 레벨, "X"는 하이 또는 로우 레벨, "V"는 확정 입력, "n"은 현재의 클록 사이클시의 상태 및 "n-1"은 1 사이클 이전의 상태를 각각 나타내고 있다.

예컨대, 클록 인에이블 신호 CKE(n-1)가 "H", CKE(n)가 "X", 칩 선택 신호 /CS가 "L", 로우 어드레스 스트로브 신호 /RAS가 "H", 컬럼 어드레스 스트로브 신호 /CAS가 "L", 기록 인에이블 신호 /WE가 "L", 어드레스 A0 A9가 "V", 어드레스 A10가 "L", 어드레스 A11이 "V"일 경우, SDRAM(1)의 메모리 셀부(2)에 데이타를 기록하라는 (기록) 명령 WRIT가 생성된다. 생성된 WRIT 명령은 제어 신호 래치 회로(24)(26)를 통하여 뱅크 0(1) 내의 기록 증폭기 제어부(14)에 입력된다.

어드레스 버퍼/레지스터 뱅크 선택부(20)는 입력 어드레스 신호 A0 An(이 예의 경우, n=11)를 래치하여 디코드하며, 디코드된 신호를 디코더 (4), 모드 레지스터(28) 및 컬럼 어드레스 카운터(30, 32)에 출력한다. 이 예에서는, 어드레스의 최상위 비트 A11가 뱅크 0 또는 1을 선택하는 데 사용된다.데이타 입력/출력 데이타 DQ0 DQn(이 예에 있어서, n=15) 및 데이타 입력/출력 매스크 DQM은I/O 데이타 버퍼/레지스터(22)에 입력된다. I/O 데이타 버퍼/레지스터(22)는 뱅크 0 또는 뱅크 1 중의 어느 하나에 기록/판독 데이타를 입력 또는 출력하고, 데이타를 메모리 셀부에 기록하기 위한 기록용 32 비트 병렬 데이타 라인 및 데이타를 메모리 셀부(2)로부터 판독하기 위한 판독용 32 비트 병렬 데이타 라인을 구비하고 있다. 이 데이타 라인은 도중에 분기된 후에 뱅크 0 및 뱅크 1의 기록 증폭기/감지 버퍼(12)의 각각에 접속된다. 또한, I/O 데이타 버퍼/레지스터 (22)는 후술하는 바와 같이 데이타 입력 클록 생성부(34)를 구비하고 있다.

제어 신호 래치 회로(24, 26)는 명령 디코더(18)로부터 전술한 제어 신호(명령)를 수신한 후, 이 신호에 기초하여, 각종의 내부 제어 신호(RAS, CAS, WE 등)를 생성하고, 이 내부 제어 신호를 뱅크 0 및 뱅크 1에 출력한다. 전술한 바와 같이, 신호 래치 회로(24)로부터 출력된 기록 제어 신호 WE는 뱅크 0 내의 기록 증폭기 제어부(14)에 입력된다.

모드 레지스터(28)는 예컨대 A0 A11의 12 비트로 구성되는 레지스터를 구비하므로, 후술하게 될 버스트 모드시에 연속하여 액세스하는 데이타 길이(버스트 길이: 예컨대, 1, 2, 4 또는 8), 또는 순차 모드나 인터리브 모드의 버스트 타입, 또는 버스트 전송 모드시의 판독(READ) 명령의 수신 시간으로부터 소정 수효의 클록((예컨대, 1, 2 또는 3 클록)을 지연시켜서 데이타를 출력하는 CAS 대기 시간을 설정할 수 있다. 예컨대, 레지스터의 구성으로서, A0 A2는 버스트 길이를 설정하는 데 사용되고, A3는 버스트 타입을 설정하는 데 사용되며, A4 A6는 CAS 대기 시간을 설정하는 데 사용된다.

도 2를 참조하여 모드 레지스터(28)의 설정에 대하여 설명하겠다. 클록 인에이블 신호 CKE(n-1)는 "H"이고, CKE(n)은 "X"이다. 또한, 칩 선택 신호 /CS, 로우 어드레스 스트로브 신호 /RAS, 컬럼 어드레스 스트로브 신호 /CAS 및 기록 인에이블 신호 /WE는 모두 "L"이다. 더욱이, 어드레스 A0 A10이 "V"이고, 어드레스 A11이 "L"일 경우, 모드 레지스터(28)의 레지스터 A0 A11에 데이타를 설정하기 위한 모드 레지스터 설정(MRS) 명령이 생성된다. 생성된 MRS 명령이 실행될 경우, 모드 레지스터(28)는 외부로부터 입력된 설정 신호로서 어드레스 버퍼/레지스터 뱅크 선택부(20)에 입력되는 모드 레지스터(28)를 설정하기 위한 신호 A0 A11를 수신하여 자신의 레지스터 A0 A11를 설정한다. 이에 의하여, 소정의 버스트 길이, 버스트 타입 및 CAS 대기 시간의 설정이 완료된다.

나아가, 제1 실시 형태에서의 모드 레지스터(28)는 예컨대 데이타의 기록시 SDRAM(1)을 DDR 모드 또는 SDR 모드 중의 어느 하나의 모드로 전환하여 설정하기 위한 레지스터로서 비트 A11가 사용된다. 비트 A11이 "0"인 경우, SDRAM(1)의 데이타 기록 동작은 DDR 모드로 설정되고, "1"인 경우에는 SDR 모드로 설정된다.

모드 레지스터(28)는 설정된 버스트 길이, 버스트 타입 및 CAS 대기 시간에 관한 정보를 컬럼 어드레스 카운터(30, 32)에 출력함과 아울러, DDR/SDR 모드의 모드 전환을 나타내는 DDR 신호(전환 신호)를 상기 컬럼 어드레스 카운터(30, 32)에 출력한다. 동시에, 모드 레지스터(28)는 I/O 데이타 버퍼/레지스터 (22)의 데이타 입력 클록 생성부(34)에, 그리고 뱅크 0 및 뱅크 1의 기록 증폭기 제어부(14)에도 역시 DDR 신호를 전송한다.

적어도 I/O 데이타 버퍼/레지스터(22) 및 기록 증폭기 제어부(14)에 의해 DDR 모드와 SDR 모드를 전환시키는 데 사용될 수 있는 데이타 전송 회로가 구성된다. 또한, 모드 레지스터(28)는 DDR 모드 또는 SDR 모드 중의 어느 하나에 데이타 전송 회로를 전환시키기 위한 전환 수단의 일례이다. 이와 같이 구성함으로써, 데이타 전송 회로의 전송 모드는 반도체 기억 장치를 사용할 수 있는 시스템측으로부터 용이하게 전환될 수 있다

컬럼 어드레스 카운터(30, 32)는 버스트 모드시에 데이타 기록/판독의 컬럼 어드레스를 순차적으로 증분시키는 카운터이다. 컬럼 어드레스 카운터(30, 32)는 클록 버퍼(16)로부터 공급된 클록 CLK0° 및 CLK180° 에 동기하여 어드레스 버퍼/레지스터 뱅크 선택부(20)로부터 수신된 컬럼 어드레스를 카운트 업함으로써 연속된 어드레스 데이타를 판독 또는 기록하게 된다. 컬럼 어드레스 카운터(30, 32)를 사용하는 데이타 전송 방식을 버스트 모드라고 부른다. 컬럼 어드레스 카운터(30, 32)에서는, 순차적으로 입력 또는 출력된 데이타의 수효와 동일한 수효의 컬럼 어드레스가 생성되며, 모드 레지스터(28)에 설정된 버스트 길이에 기초하여 소정의 각 클록에서 뱅크 0 및 뱅크 1에 공급된다.

다음에, 제1 실시 형태에 따른 SDRAM(1)의 제어 방법을 도 3의 회로 블록도를 참조하여 설명하겠다. 이 도면에는 데이타 기록시, I/O 데이타 버퍼/레지스터 (22), 기록 증폭기 제어부(14)와 뱅크 0 내의 기록 증폭기/감지 버퍼(12)의 기록 증폭기에 공급되는 신호 및 공급된 신호의 흐름이 나타나 있다. 도 3에는 I/O 데이타 버퍼/레지스터(22)에 입력된 한 묶음의 데이타 DQ0 DQn 중의 어느 하나의 비트를 처리하기 위한 동작이 도시되어 있으나, 실제의 n+1 비트로 구성되는 데이타 DQ0 DQn의 전체 처리도 역시 동일한 방식으로 실행될 수 있음은 물론이다.

먼저, I/O 데이타 버퍼/레지스터(22)는 전술한 데이타 입력 클록 생성부 (34), 데이타 입력 래치 회로(36) 및 데이타 입력/출력 변환부인 직렬/병렬 변환부 (38)를 구비하고 있다. 클록 신호 CLK0° 및 CLK180° 의 펄스는 클록 버퍼(16)에서 생성되고, 모드 레지스터(28)로부터의 DDR 신호는 데이타 입력 클록 생성부(34)에 입력된다. 클록 신호 CLK-A, 클록 신호 CLK-B 및 클록 신호 CLK-C로 구성되는 3 가지 신호가 데이타 입력 클록 생성부(34)에서 생성되는데, 여기서 CLK-A는 클록 신호 CLK0° 및 클록 신호 CLK180° 를 합성함으로써 형성된다. CLK-B는 클록 신호 CLK0° 에 기초하여 형성되고, CLK-C는 클록 신호 CLK180° 에 기초하여 형성된다.

생성된 클록 신호 CLK-A는 데이타 입력 래치 회로(36)에 입력되고, 이에 의하여 데이타 입력 래치 회로(36)에 입력된 외부 데이타 DQ를 제어한다. 생성된 클록 신호 CLK-B 및 CLK-C는 데이타 입력 래치 회로(36)의 출력 단자에 접속된 직렬/병렬 변환부(38)에 입력되고, 이에 의하여 데이타 입력 래치 회로(36)로부터의 신호 S1(=DQ)를 제어한다.

모드 레지스터(28)로부터의 DDR 신호가 "H"(DDR 모드)일 경우, 직렬/병렬 변환 선택부(38)에서는 클록 신호 CLK-B 및 CLK-C에 의하여 제어된 출력 신호 S2 및 S3이 뱅크 0의 기록 증폭기(40, 42)에 출력된다. 신호 S2는 데이타 입력 래치 회로 (36)에 미리 입력시킨 $DQ_{(FIRST)}$ 이며, 기록 증폭기(40)에 입력된다. 신호 S3은 그 다음에 데이타 입력 래치 회로(36)에 입력된 $DQ_{(SECOND)}$ 이며, 기록 증폭기(42)에 입력된다.

한편, 뱅크 0의 기록 증폭기 제어부(14)에서는, 명령 디코더(18)에서 생성된 기록 명령 WE가 제어 신호 래치 회로(24)를 통하여 입력되고, 클록 버퍼(16)로부터의 클록 신호 CLK0° 및 CLK180° 의 펄스와 모드 레지스터(28)로부터의 DDR 신호가 입력된다. 기록 명령 WE이 입력되고 모드 레지스터(28)로부터의 DDR 신호가 "H"일 경우, 기록 증폭기 제어부(14)는 클록 신호 CLK0° 및 CLK180° 에 기초하여 소정의 간격으로 기록 증폭기(40, 42)에 대하여 기록 제어 신호 WE1 및 WE2를 동시에 "H"로 설정한다.

기록 증폭기(40, 42)는 기록 제어 신호 WE1 및 WE2가 "H"로 되어 있는 동안에 신호 S2를 메모리 셀부(2)에 대하여 각각 데이타 DB0 및 /DB0 로서 출력하고, 데이타 S3를 데이타 DB1 및 /DB1으로서 출력한다. 기록 제어 신호 WE1 및 WE2가 "H"인 기간은 실제로 데이타 입력 확정 기간이므로, 데이타가 기록될 수 있다.

그러므로, 모드 레지스터(28)로부터의 DDR 신호가 "H"일 경우(기록 동작을 DDR 모드로 실행함), 데이타 입력 래치 회로(36)에 순차적으로 입력되는 데이타 $DQ_{(FIRST)}$ 및 $DQ_{(SECOND)}$ 는 직렬/병렬 변환부(38)에서 변환되고, 이에 의하여 데이타 $DQ_{(FIRST)}$ 및 $DQ_{(SECOND)}$ 의 2개의 데이타가 기록 증폭기(40 및 42)에 각각 동시에 출력된다.

한편, 모드 레지스터(28)로부터의 DDR 신호가 "L"일 경우(기록 동작을 SDR 모드로 실행함), 클록 신호 CLK-B 및 CLK-C는 "H" 레벨로 고정되게 되어 데이타 입력 클록 생성부(34)에서 펄스를 생성하지 않으며, 이에 따라 신호 S2 및 S3의 기간은 데이타 입력 래치 회로(36)에 입력되는 클록 신호 CLK-A에 의해서만 결정된다.

모드 레지스터(28)로부터의 DDR 신호가 "H" 일 경우에는, 신호 S2 및 S3에 별도의 신호 데이타 $DQ_{(FIRST)}$ 및 $DQ_{(SECOND)}$ 가 출력되는 데 대하여, 모드 레지스터(28)로부터의 DDR 신호가 "L" 일 경우에는, 동일 시각에 신호 S2 및 S3의 양신호에 동일한 데이타 $DQ_{(FIRST)}$ ($DQ_{(SECOND)}$)가 출력된다. 따라서, 기록 증폭기 (40, 42)에는 동일 시각에 동일 데이타가 입력된다.

한편, 모드 레지스터(28)로부터의 DDR 신호가 "L"일 경우, 기록 증폭기 제어부(14)는 클록 신호 CLK0° 에만 기초하여 기록 증폭기(40, 42)에 대한 기록 제어 신호 WE1 및 WE2를 소정의 간격으로 교대로 "H" 로 설정한다. 그러므로, DDR 모드에 대하여 2배의 주기로 기록 증폭기(40, 42)로부터 데이타 DB0 및 /DB0, DB1 및 /DB1을 메모리 셀부(2)에 교대로 출력시킬 수 있다. 이것은 종래의 SDRAM과 동일한 SDR 동작을 실행하는 것과 동등하다. 예컨대, 회로를 평가하는 데 사용되는 메모리 시험 장치로서, 클록 주파수가 종래의 2배인 DDR 모드로 동작하는 SDRAM용의메모리 시험 장치를 새로이 구매 및 설치하는 일이 없이 종래의 SDR 모드에만 대응하는 메모리 시험 장치를 사용하여 시험 및 평가를 행할 수 있다. 이와 같이, 제1 실시 형태에서에 의한 반도체 기억 장치라면, 메모리 시험 장치를 종래의 SDRAM용의 메모리 시험 장치와 함께 사용될 수 있으므로, 시험 평가의 부담이 경감되고 설비 투자의 증대를 억제할 수 있다.

다음에, 도 3을 참조하여 설명한 제1 실시 형태의 SDRAM의 데이타 입력 클록 생성부(34), 직렬/병렬 변환부(38) 및 기록 증폭기 제어부(14)의 더 상세한 세부 구성을 도 4를 참조하여 설명하겠다.

먼저, 데이타 입력 클록 생성부(34)의 회로 구성례를 설명하겠다. 데이타 입력 클록 생성부(34)의 신호 입력측에는 2개의 3-입력 NAND 회로(50, 52)가 마련되어 있다. NAND 회로(50)의 2개의 입력 단자에는 클록 신호 CLK0° 및 기록 인에이블 명령 WE가 입력되고, 나머지 입력 단자는 항상 "H" 상태로 유지되어 있다. NAND 회로(52)에는 클록 신호 CLK180°, 기록 인에이블 명령 WE 및 DDR 신호가 입력된다. 또한, DDR 신호는 인버터(62)에도 입력된다.

NAND 회로(50)의 출력 단자는 인버터(56)와 2-입력 NAND 회로(54)의 입력 단자 중의 하나의 입력 단자에 접속되어 있는 한편, NAND 회로(52)의 출력 단자는 인버터 (60)와 2-입력 NAND 회로(54)의 다른 단자에 접속되어 있다. NAND 회로(54)의 출력은 클록 신호 CLK-A로서 I/O 데이타 버퍼/레지스터(22)의 데이타 입력 래치 회로 (36)에 입력된다.

인버터(56)의 출력 단자는 2-입력 NOR 회로(66)의 입력 단자 중의 하나의 입력 단자에 접속되어 있는 반면, 신호 지연용 커패시터(58)의 단자 중의 하나의 단자는 인버터(56)와 NOR 회로(66) 사이에 접속되어 있다. 커패시터(58)의 다른 단자는 예컨대 접지 전위로 유지된다. 마찬가지로, 인버터(60)의 출력 단자는 2-입력 NOR 회로(68)의 입력 단자 중의 하나의 단자에 접속되어 있는 반면에, 신호 지연용 커패시터(64)의 단자 중의 하나의 단자는 인버터(60)와 NOR 회로(68) 사이에 접속되어 있다. 커패시터(64)의 다른 단자측은 예컨대 접지 전위로 유지된다. 2-입력 NOR 회로(66, 68)의 다른 단자에는 각각 인버터(62)의 출력 단자가 접속되어 있다.

NOR 회로(66)의 출력 단자는 인버터(70)의 입력 단자에 접속되고, 인버터 (70)의 출력은 클록 신호 CCLK-B로서 I/O 데이타 버퍼/레지스터(22)의 직렬/병렬 변환부(38)에 입력된다. 마찬가지로, NOR 회로(68)의 출력 단자는 인버터(72)의 입력 단자에 접속되는 한편, 인버터(72)의 출력은 크록 신호 CLK-C로서 I/O 데이타 버퍼/레지스터 (22)의 직렬/병렬 변환부(38)에 입력된다.

전술한 회로 구성의 데이타 입력 클록 생성부(34)에 있어서, DDR 신호 및 기록 명령 WE이 "H" 상태로 될 경우, 즉 SDRAM(1)이 DDR 방식으로 기록 동작을 실행하기 위한 모드에 있을 경우, NAND 회로(50)의 출력은 클록 신호 CLK0°가 "H" 로 되는 경우에는 "L"로 되고, 클록 신호 CLK0°가 "L"로 되는 경우에는 "H"로 된다. 한편, NAND 회로(52)의 출력은 클록 신호 CLK180°가 "H"로 될 경우에는 "L"로 되고, 클록 신호 CLK180°가 "L"로 될 경우에는 "H"가 된다. 그런데, 클록 신호 CLK0°와 CLK180°사이의 위상은 180° 어긋나 있으므로, NAND 회로(50, 52)로부터의 출력을 2-입력으로 하는 NAND 회로(54)의 출력에는 클록 신호 CLK0°및 클록 신호 CLK180°이 합성된 신호로서 외부 클록 신호 CLK의 상승 에지 및 하강 에지의양에지에 동기하는 클록 신호 CLK-A가 출력된다.

그 다음, NOR 회로(66)의 하나의 입력 단자에는 인버터(56)를 통하여 NAND 회로 (50)의 출력을 변환시킨 신호가 입력되고, NOR 회로(66)의 다른 입력 단자에는 인버터(62)를 통하여 DDR 신호를 변환시킨 "L" 레벨의 신호가 입력된다. 따라서, 클록 신호 CLK0°를 변환시킨 신호가 NOR 회로(66)로부터 출력된다. 이 때, NOR 회로(66)의 출력은 신호 지연 회로로서 동작하는 커패시터(58)에 의하여 클록 신호 CLK0°로부터 소정 시간 지연되는 출력 신호가 된다. 이 신호는 인버터(70)에 입력되어 변환되고, 인버터(70)로부터는 클록 신호 CLK0°로부터 위상이 어긋나 있는 동일 극성(極性)의 클록 신호 CLK-B가 출력된다.

마찬 가지로, 인버터(62)를 통하여 NAND 회로(52)의 출력을 변환시킨 신호가 NOR 회로(68)의 입력 단자 중의 하나의 단자에 입력되고, 인버터(62)를 통하여 DDR 신호를 변환시킨 "L" 레벨의 신호가 나머지 단자에 입력된다. 그러므로, NOR 회로(68)로부터는 클록 신호 CLK180°를 변환시킨 신호가 출력된다. 이 때, NOR 회로(68)의 출력은 신호 지연 회로로서 기능하는 커패시터(64)에 의하여 클록 신호 CLK180°로부터 소정 시간 지연되어 출력된 신호로 된다. 이 신호는 인버터(72)에 입력되어 변환되고, 인버터(72)로부터는 클록 신호 CLK180°로부터 위상이 소정량 어긋나 있는 동일 극성의 클록 신호 CLK-C가 출력된다.

이상에서는 DDR 신호가 "H"일 경우의 데이타 입력 클록 생성부(34)의 신호 출력이 설명되어 있지만, DDR 신호가 "L"이고 기록 명령 WE가 "H" 상태일 때의 신호 출력, 즉 SDRAM(1)이 SDR 방식으로 기록 동작을 실행하는 모드에서의 신호 출력에 대하여 이하에 간단히 설명한다. 먼저, 2개의 입력 단자는 "H"로 유지되므로, 3-입력 NAND 회로(50)로부터는 클록 신호 CLK0°의 상태 전이(state transition)에 응답하는 신호가 출력된다. 한편, 3-입력 NAND 회로(52)의 출력 신호는, DDR 신호가 "L"로 유지되고 기록 명령 WE은 "H"로 유지되기 때문에, 클록 신호 CLK180°의 상태 전이에 상관 없이 항상 "H"이다. 따라서, 클록 신호 CLK0°에 동기하는 신호, 즉 외부 클록 신호 CLK의 상승 에지에 동기하는 클록 신호 CLK-A는 NAND 회로(50, 52)로부터의 출력이 입력되는 NAND 회로의 출력으로부터 출력된다.

다음에, 인버터(56)를 통하여 NAND 회로(50)의 출력으로부터 변환된 신호는 NOR 회로(66)의 입력 단자 중의 하나의 단자에 입력되고, 인버터(62)를 통하여 DDR 신호로부터 변환된 "H" 레벨의 신호는 다른 단자에 입력된다. 따라서, NOR 회로(66)의 출력은 항상 "L"로 되고, 다음 단(段)의 인버터(70)에 입력되어 변환된 후에 항상 "H"로 유지되는 클록 신호 CLK-B가 출력된다. 이와 동일하게, DDR 신호가 "L"일 경우, 항상 "H"로 유지되는 클록 신호 CLK-C가 NOR 회로(68)로부터 출력된다.

데이타 입력 클록 생성부(34)의 동작을 도 5 및 도 6을 참조하여 상세히 설명한다. 도 5에는 DDR 신호가 "H"일 때의 SDRAM(1)의 기록 동작의 타이밍(버스트 길이가 8)이 도시되어 있다. 도 6에는 DDR 신호가 "L"일 때의 SDRAM(1)의 기록 동작의 타이밍(버스트 길이가 4)이 도시되어 있다. 도 5에 도시된 바와 같은 DDR 모드에서의 기록 동작에서는, 외부 클록 신호 CLK의 상승 에지 및 하강 에지의 양에지에 동기하여 클록 버퍼(16)에서 각각 생성된 클록 신호 CLK0° 및 클록 신호 CLK180°를 사용함으로써, 이들 클록 신호 CLK0°와 CLK180°의 양신호를 합성한 클록 신호 CLK-A가 생성되고, 클록 신호 CLK0°로부터 클록 신호 CLK-B가 소정 시간 지연하여 생성되며, 클록 신호 CLK180°로부터 클록 신호 CLK-C가 소정 시간 지연하여 생성된다. 한편, 도 6에 도시된 바와 같은 SDR 모드에서의 기록 동작에서는, 클록 신호 CLK0°에 기초하여 클록 신호 CLK-A가 생성되고, 이에 의하여 클록 신호 CLK-B 및 CLK-C는 "H"로 유지된다.

다음에, 다시 도 4를 참조하여 클록 신호 CLK-A가 입력되는 데이타 입력 래치 회로(36) 및 클록 신호 CLK-B 와 CLK-C가 입력되는 직렬/병렬 변환부(38)의 회로 구성의 예에 대하여 설명하겠다. 데이타 입력 래치 회로(36)에는 패드(pad)에 접속된 데이타 라인(도 4에는 생략)으로부터 전송된 기록 데이타(DQ)가 입력된다. 데이타 입력 래치 회로(36)는 데이타 입력 클록 생성부(34)로부터 입력된 클록 신호 CLK-A에 동기하여 데이타(DQ)를 래치하고, 신호 S1으로 하여 직렬/병렬 변환부 (38)에 전송한다.

직렬/병렬 변환부(38)는 데이타 입력 래치 회로(36)으로부터의 신호 S1를 래치하기 위하여 한쪽의 출력을 다른쪽의 입력으로 하는 2개의 인버터(84, 86)로 구성된 래치 회로(82)를 구비하고 있다. 또한, 신호 S1은 전송 게이트 회로(74)를 통하여 인버터(90, 92)로 구성된 래치 회로(88)에도 입력된다. 전송 게이트 회로 (74)는 클록 신호 CLK-B의 레벨에 의하여 온/오프가 제어되는 n-채널 MOSFET(76)와, 클록 신호 CLK-B의 레벨을 반전시키는 인버터(80)으로부터의 출력에 따라 온/오프가 제어되는 p-채널 MOSFET(78)를 병렬 접속함으로써 구성된다. 따라서, 클록 신호 CLK-B가 "H"로 되면, n-채널 MOSFET(76) 및 p-채널 MOSFET(78)는 온 상태로 되어 전송 게이트 회로(74)로 신호가 흐른다. 클록 신호 CLK-B가 "L"로 되면, n-채널 MOSFET(76) 및 p-채널 MOSFET(78)는 오프 상태로 되어 전송 게이트 회로(74)에서 신호가 차단된다. 래치 회로(82)의 다음 단에는 n-채널 MOSFET(98) 및 p-채널 MOSFET(96)로 구성되는 전송 게이트 회로(94)가 마련된다. 또한, 래치 회로 (88)의 다음 단에는 n-채널 MOSFET(102) 및 p-채널 MOSFET(104)로 구성되는 전송 게이트 회로(100)가 마련된다. 클록 신호 CLK-C는 전송 게이트 회

로(94, 100)의 n-채널 MOSFET(98,102)에 입력되고, 클록 신호 CLK-C의 레벨에 의하여 온/오프가 제어된다. 또한, 클록 신호 CLK-C는 인버터에서 반전되고, 전송 게이트 회로(94, 100)의 p-채널 MOSFET(96,104)의 게이트에 입력된다. 이에 따라, 클록 신호 CLK-C가 "H"로 되면, 전송 게이트 회로(94, 100)에 신호가 흐르게 되어 전송 게이트 회로(94, 100)에서 신호가 차단된다.

래치 회로(108, 114)는 전송 게이트 회로(94, 100)의 다음 단에 각각 마련된다. 래치 회로(108)는 한쪽의 출력을 다른쪽의 입력으로 하는 2개의 인버터(110, 112)를 구비하고, 래치 회로(82)에서 유지되는 데이타를 데이타 전송 게이트 회로(94)를 통하여 입력시 신호 S3로서 유지한다. 한편, 래치 회로(114)는 한쪽의 출력을 다른쪽의 입력으로 하는 2개의 인버터(116, 118)를 구비하고, 또한 전송 게이트 회로(100)를 통하여 입력시 래치 회로(88)에 유지되는 데이타를 신호 S2로서 유지한다..

래치 회로(114)에 유지된 신호 S2는 뱅크 0의 기록 증폭기(40)에 출력된다. 래치 회로(108)에 유지된 신호 S3는 기록 증폭기(42)에 출력된다. DDR 신호 및 기록 명령 WE이 "H" 상태인 경우, 즉 SDRAM(1)이 DDR 모드일 경우, 전술한 회로 구성에 의한 직렬/병렬 변환부(38)의 기록 동작을 도 4 및 도 5를 참조하여 설명하겠다. 먼저, 데이타 D0는 데이타 패드를 통하여 데이타 입력 래치 회로(36)에 입력되고, 클록 신호 CLK-A의 상승 에지에서 래치된다. 다음에, 클록 신호 CLK-A로부터 소정 시간 지연되어 상승하는 클록 신호 CLK-B가 "H"로 되면, 전송 게이트 회로(74)는 도전(導電) 상태로 되고, 데이타 D0는 래치 회로(82, 88)에 신호 S1으로서 유지된다.

이어서, 데이타 입력 래치 회로(36)에서는 그 다음의 데이타 D1가 클록 신호 CLK-A의 상승 에지에서 래치되고, 신호 S1으로서 직렬/병렬 변환부(38)에 입력된다. 이 때, 클록 신호 CLK-B는 "L" 그대로이므로, 신호는 전송 게이트 회로(74)에서 차단되어 래치 회로(88)로부터의 신호 S1의 입력이 없어도 데이타 D0를 유지한다. 한편, 래치 회로(82)는 신호 S1에 의하여 D0에서 D1으로 데이타 유지 내용을 변경한다.

다음에, 클록 신호 CLK-A로부터 소정 시간 지연되어 상승하는 클록 신호 CLK-C는 "H"로 되고, 이에 따라 2개의 전송 게이트 회로(94,100)가 도전(導電) 상태로 된다. 래치 회로(88)에 유지된 데이타 D0는 래치 회로(114)에 유지되고, 이어서 신호 S2로서 기록 증폭기(40)에 입력되며, 또 래치 회로(82)에 유지된 데이타 D1은 래치 회로(108)에 유지되고, 이어서 신호 S3으로서 기록 증폭기(42)에 입력된다.

따라서, DDR 신호가 "H"이면, 각각의 상이한 데이타를 유지하는 신호 S2 및 S3는 전송 게이트 회로(94,100)가 전도 상태에 있는 동안 유지되고, 신호 S2 및 S3의 데이타는 전송 게이트 회로(94, 100)가 도전 상태로 될 때마다 순차로 갱신된다. 전송 게이트 회로(94, 100)는 클록 신호 CLK-C에 의하여 제어되므로, 신호 S2 및 S3의 데이타는 클록 신호 CLK-C의 클록 펄스 간격으로 갱신된다.

도 5에 도시된 예에 있어서, 버스트 길이는 8이고, D0 D7의 8개의 데이타가 순차적으로 입력되며, 이들 데이타는 외부 클록 신호 CLK의 상승 에지 및 하강 에지의 양에지에 동기하여 생성된 클록 신호 CLK-A에 의하여 래치된다. 따라서, 상기 8개의 데이타 D0 D8는 클록 신호 CLK의 4 주기분의 지연 시간으로 SDRAM(1)에 판독된다. 즉, DDR 모드에서의 기록 동작이 실행되게 된다.

따라서, 직렬/병렬 변환부(38)에서는, 순차 입력된 비트 데이타가 2-비트로 병렬 순차 변환시켜 출력된다. 따라서, 상기 데이타와 동일한 수효(예컨대, D0 D15의 16개)의 직렬/병렬 변환부(38)를 병렬 배치함으로써, I/O 데이타 버퍼/레지스터(22)에 순차 입력된 16 비트 데이타가 2개의 병렬 라인으로 배치되고, 이에 따라 뱅크 0에 출력하는 것이 가능하게 된다.

다음에, DDR 신호가 직렬/병렬 변환부(38)에서 DDR 신호가 "L" 상태에 있는 경우, 즉 SDRAM(1)이 SDR 모드에서

기록 동작을 실행하는 경우에 대하여 도 4 및 도 6을 참조하여 설명하겠다. 먼저, 데이타 D0는 데이타 패드를 경유하여 데이타 입력 래치 회로(36)에 입력되므로, 클록 신호 CLK-A의 상승시에 래치된다. 전술한 바와 같이, DDR 신호가 "L"일 경우, 클록 신호 CLK-B 및 CLK-C가 항상 "H"로 되도록 데이타 입력 클록 생성부의 회로가 구성되므로, 전송 게이트 회로(74, 94, 100)는 항상 도전 상태에 있다. 그리고, 데이타 D0는 신호 S1으로서 래치 회로(88 및 82)의 양쪽에 유지된 후, 래치 회로(114, 108)에 그대로 유지되어 각각 신호 S3으로서 기록 증폭기(40, 42)에 입력된다.

이와 같이, DDR 신호가 "L"일 경우, 동일 데이타를 유지하는 신호 S2 및 S3는 클록 신호 CLK-A가 "H"로 될 때마다 순차 갱신된다.

도 6에 도시된 예에 있어서, 버스트 길이는 4이고, 4개의 데이타 D0 D3가 순차적으로 입력되며, 이들 데이타는 외부 클록 신호 CLK의 상승 에지에 동기하여 생성된 클록 신호 CLK-A에 의하여 래치된다. 따라서, 4개의 데이타 D0 D3가 외부 클록 CLK의 최대 4 주기분의 지연 시간으로 SDRAM(1)에 입력된다. 즉, SDR 모드의 기록 동작이 실행되게 된다.

다음에, 도 4에 되돌아가 기록 증폭기 제어부(14)의 회로 구성예를 설명하겠다. 먼저, DDR 신호는 인버터(124) 및 2 입력 NAND 회로(130)의 하나의 단자에 각각 입력된다. 인버터(124)의 출력 단자는 2개의 2 입력 NAND 회로(126, 128)의 각단자에 접속된다. 클록 신호 CLK0 ° 는 1/2 분주기(120)에 입력된다. 1/2 분주기 (120)에 입력되는 클록 신호 CLK0 ° 는 소정 수효의 클록이 1/2로 줄어든 후에 1/2 분주기(120)로부터 출력된다. 1/2 분주기의 출력은 NAND 회로(126)의 다른쪽 단자와 인버터(122)에 입력된다. 또한, 클록 신호 CLK180 ° 는 NAND 회로(130)의 다른쪽 단자에도 입력된다. 또한, 기록 명령 WE가 기록 펄스 생성 회로(136, 138)에 입력된다.

NAND 회로(126)의 출력 단자는 2 입력 NAND 회로(132)의 한쪽 단자에 접속된다. 또, NAND 회로(128)의 출력 단자는 2 입력 NAND 회로(134)의 한쪽 단자에 접속된다. 또한, NAND 회로(130)의 출력 단자는 2개의 NAND 회로(132, 134)의 다른쪽 단자에 접속된다. NAND 회로(132)의 출력 단자는 기록 펄스 생성 회로(136)에 접속되고, NAND 회로(134)의 출력 단자는 기록 펄스 생성 회로(138)에 접속된다. 기록 펄스 생성 회로(138)는 기록 인에이블 신호 WE1을 기록 증폭기(40)에 전송하고, 기록 펄스 생성 회로(136)는 기록 인에이블 신호 WE2를 기록 증폭기(42)에 전송한다. 전술한 회로 구성의 기록 증폭기 제어부(14)에서 DDR 신호 및 기록 명령 신호 WE가 "H" 상태에 있을 경우, 즉 SDRAM(1)이 DDR 모드에서 기록 동작을 실행하는 경우에 관하여 도 4 및 도 5를 참조하여 설명하겠다. 먼저, DDR 신호는 "H"이므로, NAND 회로(130)로부터 클록 CLK180 ° 의 상태 전이에 응하여 변화하는 신호가 출력된다. 또한, DDR 신호로부터 반전된 "L" 신호가 항상 입력되는 NAND 회로 (126, 128)의 출력은 "H" 레벨로 유지된다. 따라서, NAND 회로(126, 130)의 출력들간에 NAND 처리를 행하는 NAND 회로(132)로부터는 클록 CLK180 ° 의 상태 전이에 응하여 변화하는 신호가 기록 펄스 생성 회로(136)에 출력된다.

한편, NAND 회로(128, 130)의 출력들간에 NAND 처리를 행하는 NAND 회로 (134)로부터는 클록 CLK180 ° 의 상태 전이에 응하여 변화하는 신호가 기록 펄스 생성 회로(138)에 출력된다. 따라서, DDR 모드에서의 기록 동작에서는 기록 인에이블 신호 WE1 및 WE2가 기록 펄스 생성 회로(138, 136)로부터 기록 증폭기(40, 42)에 동시에 출력된다. 기록 인에이블 신호 WE1 및 WE2의 인에이블 기간의 폭은 각 기록 펄스 생성 회로(138, 136) 내에서 조정된다.

따라서, 직렬/병렬 변환부(38)로부터 클록 신호 CLK-C의 클록 펄스의 간격으로 갱신된 신호 S2 및 S3의 데이타 출력에 동기하여 기록 인에이블 신호 WE1 및 WE2가 기록 증폭기(40, 42)에 전송된다. 기록 인에이블 신호 WE1를 수신하는 기록 증폭기(40)는 메모리 셀부(2)측에 데이타 DB0 및 /DB0를 전송하고, 기록 인에이블 신호 WE2를 수신하는 기록 증폭기(42)는 마찬가지로 메모리 셀부(2)측에 데이타 DB1 및 /DB1를 동시에 전송한다. 따라서, 메모리 셀부(2)에 2 비트 데이타가 병렬 전송되어 기억된다.

다음에, DDR 신호가 "L" 상태인 경우, 즉 SDRAM(1)이 SDR 모드로 기록 동작을 실행하는 경우를 도 4 및 도 6을 참조하여 설명하겠다. DDR 신호는 "L"로 유지되므로, NAND 회로(130)의 출력은 "H"로 유지된다. DDR 신호가 반전된 "H" 신호가 입력되는 NAND 회로(126, 128)의 출력은 클록 신호 CLK0 ° 의 클록 수효가 감소된 1/2 분주기로부터의 신호 1/2 CLK의 상태 전이에 대응하여 변화한다. 또한, NAND 회로(128)에 입력되는 신호는 인버터(122)에서 신호 1/2 CLK 신호를 반전시킨 신호이므로, NAND 회로(128)의 출력은 NAND 회로(126)의 출력을 반전시킨 신호로 된다.

따라서, NAND 회로(126, 130)의 출력들간에 NAND 처리를 행하는 NAND 회로(132)로부터는, 1/2 분주기(120)로부터의 1/2 CLK 신호의 상태 전이에 응하여 변화하는 신호가 기록 펄스 생성 회로(136)에 출력된다. 한편, NAND 회로(128, 130)의 출력들간에 NAND 처리를 행하는 NAND 회로(134)로부터는, 1/2 분주기 (120)로부터의 출력 신호를 반전시킨 신호 1/2 CLK의 상태 전이에 응하여 변화하는 신호가 기록 펄스 생성 회로(138)에 출력된다. 따라서, SDR 모드의 기록 동작에서는 기록 인에이블 신호 WE1 및 WE2가 기록 펄스 생성 회로(138, 136)로부터 기록 증폭기(40, 42)에 교대로 출력된다.

따라서, 직렬/병렬 변환부(38)로부터, 클록 신호 CLK-A의 클록 펄스 간격으로 갱신된 신호 S1 및 S3과 동일한 것으로서 기록 증폭기(40, 42)에 출력되는 데이타에 동기하여 기록 인에이블 신호 WE1 및 WE2가 기록 증폭기(40, 42)에 교대로 전송된다. 기록 인에이블 신호 WE1을 수신하는 기록 증폭기(40)는 데이타 DB0 및 /DB0를 메모리 셀부(2)측에 전송하고, 기록 인에이블 신호 WE2를 수신하는 기록 증폭기 (42)는 데이타 DB1 및 /DB1을 메모리 셀부(2)측에 전송한다. 이에 의하여, 1 비트 데이타가 메모리 셀부(2)에 직렬 전송되어 기억된다.

도 5 및 도 6에 도시된 외부 명령 입력(WRT)은 기록 동작의 트리거(trigger)로 되는 명령이라는 점을 주목하여야 한다. 도 5의 DDR 모드에서는, 클록 신호 CLK-A가 외부 명령(WRT)이 입력된 후에 1 클록 지연된 데이타를 래치하기 시작한다. 한편, 도 6의 SDR 모드에서는, 클록 신호 CLK-A에 의한 데이타 래칭이 외부 명령과 동시에 개시되고 있지만, 양쪽 모드에서는 규격상의 차이만이 있을 뿐 본질적인 것은 아니다.이상에서 설명한 바와 같이, 제1 실시 형태의 반도체 기억 장치에 의하면, 상기 반도체 기억 장치의 시험 및 평가시, SDR 모드로 전환시켜 종래 방식의 메모리 시험 장치를 사용하는 것이 가능하다. 또한, 실제 사용시에는 DDR 모드로 전환시킴으로써 고속 데이타 전송 속도를 실현할 수 있다.

다음에, 제1 실시 형태에 따른 SDRAM(1)의 데이타 기록시의 컬럼 어드레스 카운터(30)를 도 7 및 도 20을 참조하여 설명하겠다. 도 7에는 컬럼 어드레스 카운터(30)의 회로 블록이 나타나 있다.

컬럼 어드레스 카운터(30)는 명령 디코더로부터의 기록/판독 제어 신호가 입력되는 즉시 클록 신호 cacpz를 생성하고, 이 클록 신호 cacpz에 응답하여 어드레스 생성부(34)는 어드레스 버퍼/레지스터 뱅크 선택부(20)에 의하여 출력된 컬럼 어드레스 A0 An을 입력한다. 이와 함께, 버스트 카운터(504)는 버스트 기간 신호 endz를 생성하여 버스트 동작을 개시하고, 클록 생성기(502)는 클록 신호 CLK0 ° 의 상승 에지에 동기하여 버스트 길이에 대응하는 클록 신호 intpz를 생성한다. 클록 신호 intpz에 기초하여, 클록 신호 intp12z 및 intp0z가 생성되고, 이들 클록 신호 intp12z 및 intp0z에 의하여 어드레스 생성부(514)에서 컬럼 어드레스가 카운트 업되어 연속된 어드레스가 생성된다. 따라서, 컬럼 어드레스 카운터(30)에서는, 모드 레지스터(28)에서 설정된 버스트 길이에 기초하여, 연속하여 입력 또는 출력되는 데이타 수의 컬럼 어드레스를 소정의 클록에서 생성하여 뱅크 0 및 뱅크 1에 공급한다.

도 7에 있어서, 클록 버퍼(16)에서 생성된 클록 신호 CLK0°는 컬럼 어드레스 카운터(30)의 클록 생성부(500)에 마련된 클록 생성기(502)에 입력된다. 또한, 명령 디코더(18)로부터의 판독/기록 제어 신호 및 버스트 카운터(504)로부터의 버스트 기간 신호 endz는 클록 생성기(502)에 입력된다. 클록 생성기(502)는 외부 어드레스를 판독하기 위한 클록 cacpz 및 내부 생성 어드레스의 카운트 업용 클록 (intp0z, intp12z)을 생성하기 위한 클록 신호 intpz를 출력한다. 클록 생성기 (502)로부터 출력된 클록 신호 intpz는 1/2 분주기(506), 클록 전환부(508)의 2-입력 전환 스위치(510)의 한쪽 단자(B) 및 클록 전환부(508)의 2-입력 AND 회로(512)의 한쪽 입력 단자에 입력된다. 1/2 분주기(506)는 주기가 클록 신호 intpz의 2배인 신호를 생성한 다음, 전환 스위치(510)의 다른 단자 A에 출력한다. 전환 스위치(510)는, 모드 레지스터(28)로부터의 DDR 신호의 레벨에 기초하여, 클록 신호 intpz 및 주기가 상기 클록 신호 intpz의 2배인 신호를 전환시킨다. 전환 스위치 (510)는 SDRAM(1)을 SDR 모드로 동작시킬 때에는 단자 A를 선택하고, SDRAM(1)을 DDR 모드로 동작시킬 때에는 단자 B를 선택한다. 전환에 의해 선택된 신호는 어드레스 생성부(514)의 어드레스 생성부(A1, A2)(142)에 클록 신호 intp12z 로서 입력된다. DDR 신호를 반전시킨 신호는 클록 전환부(508)의 AND 회로(512)에 입력되고, DDR 신호의 레벨에 기초하여 어드레스 생성부(A0)에 클록 신호 intp0z를 출력한다.

어드레스 버퍼/레지스터 뱅크 선택부(20)에 입력되는 어드레스 A0 An 중에서 하위 어드레스 A1 및 A2는 어드레스 생성부(A1, A2)(142)에 입력된다. 어드레스 생성부(A1, A2)(142)는 각 뱅크 0 및 뱅크 1에 대하여 컬럼 어드레스 중에서 증분된 어드레스 A1 및 A2를 출력한다. 한편, 어드레스 버퍼/레지스터 뱅크 선택부(20)에 입력되는 어드레스 A0 An 중에서 최하위 어드레스 A0는 어드레스 생성부(A0)(140)에 입력된다. 어드레스 생성부(A0)는 각 뱅크 0 및 뱅크 1에 대하여 컬럼 어드레스 중에서 어드레스 A0를 출력한다.

다음에, 컬럼 어드레스 카운터(30)의 동작을 도 7 및 도 8을 참조하여 설명하겠다. 도 8은 버스트 길이가 8일 때의 컬럼 어드레스 동작의 예를 나타내고 있는 타이밍도이다. 먼저, DDR 신호가 "H" 상태인 경우, 즉 SDRAM(1)이 DDR 모드로 기록 동작을 실행하는 경우를 도 8의 (a) 및 도 7을 참조하여 설명하겠다. 전환 스위치(510)에 "H" 레벨의 DDR 신호가 입력되면, 전환 스위치(510)는 단자 B에 접속하여 어드레스 생성부(142)에 클록 신호 intpz를 클록 신호 intp12z로 하여 어드레스 생성부(142)에 출력한다. 또한, "H" 레벨의 DDR 신호의 반전 신호가 AND 회로(512)에 입력되므로, AND 회로(512)의 출력인 클록 신호 intp0z는 "L" 레벨로 유지된다. 클록 신호 intp0z가 "L" 레벨에 있을 때, 어드레스 A0 신호는 어드레스 생성부(A0) (140)로부터 출력되지 않는다. 따라서, DDR 모드의 버스트 모드에서는, 어드레스 생성부(A0)(140)로부터 어드레스 A0 신호가 출력되지 않는다. 그러나, DDR 모드의 경우에, 어드레스 A0는 기록 데이타의 직렬/병렬 변환에 의하여 SDRAM(1) 내부에서 자동적으로 전환되므로 문제는 생기지 않는다.

또한, 어드레스 변환부(A1, A2)에 클록 신호 ontplz가 입력되면, 클록 신호 intp12z에 각각 대응하여 1씩 증분된 어드레스(A1, A2)가 출력된다.

다음에, DDR 신호가 "L" 상태에 있는 경우, 즉 SDRAM(1)이 SDR 모드로 기록 동작을 행하는 경우를 도 7 및 8(b)를 참조하여 설명하겠다. 전환 스위치(510)에 "L" 레벨의 DDR 신호가 입력되면, 전환 스위치(510)는 단자 A에 접속되고 클록 신호 intpz의 2배 주기의 클록 신호를 클록 신호 intp12z로서 어드레스 생성부(142)에 출력한다. 또한, "L" 레벨의 DDR 신호의 반전 신호가 AND 회로(512)에 입력되므로, 클록 신호 intpz는 클록 신호 intp0z 로서 AND 회로(512)에 출력된다.

어드레스 생성부(A0)(140)는 입력 클록 신호 intp0z(=intpz)에 응답하여 어드레스 A0 신호를 출력한다. 또한, 클록 신호 intp12z(=intpz/2)가 어드레스 변환부(A1, A2)(142)에 입력되면, 클록 신호 intp12z에 각각 대응하여 1씩 증분된 어드레스(A1, A2)가 출력된다.

따라서, 제1 실시 형태에 의한 컬럼 어드레스 카운터(30, 32)는 버스트 모드에서 데이타의 기록/판독의 컬럼 어드레스를 DDR 모드 및 SDR 모드의 양모드에 대응하는 소정 타이밍으로 연속적으로 가운트 업하여 출력할 수 있다.

다음에, 도 9를 참조하여 클록 생성부(500)의 회로 구성을 설명하겠다. 클록 생성부(500)는 클록 생성기(502), 1/2 분주기(506) 및 클록 전환부(508)로 구분된다. 클록 생성기(502)는 클록 CLK0 ° 의 하강 에지에서 트리거된 D 플립플롭(D-FF)(520)을 구비하고 있다. 버스트 카운터(504)로부터 출력된 버스트 기간 신호 endz는 D-FF(520)에 입력된다. 버스트 카운터(504)는 모드 레지스터(28)로부터의 버스트 길이를 설정하는 신호에 기초하여 리셋 신호 RESET가 입력될 때 버스트 기간 동안 "H" 상태로 되므로, 버스트 완료 후 즉시 "L" 상태로 되는 버스트 기간 신호 endz가 생성된다. 버스트 카운터(504)는 클록 생성기(502)로부터 공급된 클록 신호 intpz를 카운트하여 버스트 기간 신호 endz의 출력을 제어한다.

D-FF(520)의 출력은 2 입력 NAND 회로(522)의 입력 단자 중의 한 개의 단자에 출력된다. NAND 회로(522)의 다른 입력 단자에는 상승 에지 펄스화 회로(526)의 출력 단자가 접속된다. 상승 에지 펄스화 회로(526)는 내부 클록 CLK0 ° 의 상승 에지에서 펄스를 생성하여 NAND 회로(522)에 출력한다. NAND 회로(522)의 출력 단자는 2 입력 NOR 회로(524)의 입력 단자 중의 한 개의 단자에 접속된다. NOR 회로(524)의 다른 입력 단자에는 명령 디코더(18)로부터의 판독/기록 명령을 인버터 (523)에서 반전시킨 신호가 입력된다. NOR 회로(524)로부터는 내부 생성 어드레스 카운트 업용 클록(intp0z, intp12z)을 생성하기 위한 클록 신호 intpz가 출력된다.

명령 디코더(18)로부터의 판독/기록 명령은 상승 에지 펄스화 회로(528)에 입력된다. 상승 에지 펄스화 회로(528)는 어드레스 버퍼/레지스터 뱅크 선택부 (20)로부터 출력되는 컬럼 어드레스 A0 An를 어드레스 생성부(514)에 입력하기 위한 클록 신호(cacpz)를 생성한다.

전술한 클록 생성기(502)로부터의 클록 신호 cacpz 및 intpz는 1/2 분주기 (506)에 입력되지만, 클록 신호 cacpz는 리셋 신호 RESET로서 입력되고, 클록 신호 intpz는 버스트 주기 신호 endz를 생성하기 위해 버스트 카운터(504)에 각각 입력된다. 또한, 클록 신호 cacpz는 어드레스 생성부(514) 등에도 출력되는데, 이에 관하여는 뒤에 설명하겠다.

1/2 분주기(506)에 입력된 클록 신호 cacpz는 래치 회로(530)의 세트 단자에 입력되고, 클록 신호 intpz는 래치 회로(530)의 리셋 단자에 입력되는 한편, 클록 전환부(508)에도 입력된다. 래치 회로(530)의 다른 세트 단자에는 생성된 클록 신호 intp12z가 입력된다. 래치 회로(530)의 출력은 전송 제어 회로(532)를 통하여 클록 전환부(508)에 출력된다. 클록 신호 cacpz 및 intpz 로부터 지연된 전송 제어 신호 ctlpz는 전송 제어 회로(532)에 입력된다.

전송 제어 회로(532)의 출력은 클록 전환부(508)의 2-입력 OR 회로(534)의 입력 단자 중의 하나의 단자에 접속된다. 다른 입력 단자에는 모드 레지스터(28)로부터의 DDR 신호가 입력된다. OR 회로(534)의 출력 단자는 2 입력 AND 회로 (536)의 한쪽 입력 단자에 접속된다. AND 회로(536)의 다른쪽 입력 단자에는 NOR 회로(524)로부터 출력된 클록 신호가 입력된다. AND 회로(536)의 출력은 어드레스 생성부(A1, A2)에 전송되고, 이 출력이 1/2 분주기(506)의 래치 회로(530)에 공급되게 된다. 전환 스위치는 OR 회로(534) 및 AND 회로(536)로 구성된다.

또한, 전술한 바와 같이, 클록 생성기(502)로부터 출력된 클록 신호 intpz는 2 입력 AND 회로(512)의 입력 단자에 입력되고, DDR 신호로부터 반전된 신호가 다른 입력 단자에 입력된다.

도 10에는 1/2 분주기(506) 및 클록 전환 스위치(508)의 더욱 상세한 회로예가 도시되어 있다. 도 10에 있어서, 1/2 분주기(506)의 래치 회로(530)로서 RS 플립플롭(RS-FF)(540)이 사용된다. 전송 제어 회로(532)으로서, p-채널 MOSFET 및 n-채널 MOSFET를 병렬 접속시켜 구성한 전송 게이트 회로(546)와 한쪽의 출력을 다른쪽의 입력으로

하는 2개의 인버터로 구성된 래치 회로(548)를 구비하고 있다. 또한, 전송 게이트 회로(546)에 입력시킨 클록 신호 ctlpz를 반전시키는 인버터(542) 및 인버터(542)에서 반전시킨 신호를 다시 반전시키는 인버터(544)도 마련되어 있다.

클록 전환부(508)의 전환스위치(510)의 구성 요소로서, 1/2 분주기의 래치 회로(548)에서 래치된 신호 n113를 입력 단자 중의 하나의 단자에 입력하기 위한 2-입력 NOR 회로(550)가 마련된다. DDR 신호는 NOR 회로(550)의 다른 입력 단자에 입력된다. NOR 회로(550)의 출력 단자는 인버터(552)를 통하여 2-입력 NAND 회로(556)에 접속된다. 클록 신호 intpz는 NAND 회로(556)의 다른 출력 단자에 입력된다. NAND 회로(556)의 출력은 인버터(558)를 통하여 어드레스 생성부(514)에 클록 신호 intp12z로서 입력되는 동시에 RS-FF(540)의 세트 단자에 입력된다. NAND 회로(560)에는 클록 신호 intpz 및 인버터(554)에서 DDR 신호로부터 반전되는 신호가 입력된다. NAND 회로(560)의 출력 단자는 인버터(562)에 접속되고, 클록 신호 intp0z를 출력한다.

도 9 및 도 10의 구성을 갖는 컬럼 어드레스 카운터(30)의 SDR 모드에서의 데이타 기록시의 동작은 도 11에 타이밍도로 도시되어 있다. 먼저, 클록 CLK0°의 상승 에지에서 명령 디코더 (18)로부터의 기록 명령이 클록 생성부(502)에 입력되면, 클록 신호 cacpz는 상승 펄스화 회로(528)에 의하여 소정 시간 지연되어 생성된다. 클록 신호 cacpz는 버스트 카운터(504)를 리세트시킴과 동시에 1/2 분주기 (506) 중의 래치 회로(530)의 세트 단자에 입력된다.

버스트 카운터(504)가 클록 신호 cacpz에 의해 리세트되면, 버스트 카운터(504)는 NOR 회로(524)로부터 출력된 클록 신호 intpz가 모드 레지스터(28)로부터 설정된 버스트 길이에 기초한 소정 수효까지 카운트될 때까지 버스트 기간 신호 endz를 "H" 상태로 설정한다. 따라서, 클록 CLK0°가 D-FF(520) 및 상승 에지 펄스화 회로(526)에 입력되고, D-FF(520)의 D 입력 단자에 입력되는 버스트 기간 신호 endz가 "H" 상태로 되면, 상승 에지 펄스화 회로(526)에서 생성된 클록 CLK0°의 상승 에지에 기초하여 생성되는 펄스에 동기하여 클록 신호 intpz가 NOR 회로(524)로부터 출력된다. 버스트 카운터(504)는, (버스트 길이-1)까지 클록 신호 intpz를 카운트한 후에, 버스트 기간 신호 endz를 "L" 상태로 설정한다. NOR 회로(524)로부터 버스트 길이와 동일한 길이의 최종 클록 신호 intpz가 출력된 후, 상기 클록 신호의 출력은 정지된다. 따라서, 소정의 버스트 길이의 클록 신호 intpz의 출력을 얻게 된다.

다음에, 도 10 및 도 11을 참조하여 1/2 분주기(506) 및 클록 전환부(508)의 동작을 설명하겠다. 클록 신호 cacpz가 RS-FF(540)에 입력되면, RS-FF(540)의 출력 n110은 "H"로 변화된다. 이어서, RS-FF(540)의 리셋 단자에 클록 신호 intpz가 입력되어 RS-FF(540)의 출력 n110을 "L"로 변화시킨다. 다음에, 클록 신호 intpz는 역시 입력되지만 상태는 변화되지 않고, 그 직후에 RS-FF(540)의 세트 단자에 입력된 클록 신호 intp12z에 의하여 RS-FF(540)의 출력 n110은 "H" 상태로 변화된다. 전송 게이트 회로(548)는 클록 신호 ctlpz에 기초하여 상기 출력 n110의 상태를 래치 회로(548)에 전송한다. 래치 회로(548)에서는, 출력 n110으로부터 반전된 신호 n113가 래치된다. SDR 모드로 동작할 때에 DDR 신호는 "L"이므로, 클록 전환부(508) 중의 NOR 회로(560)의 출력은 클록 신호 intpz와 동등하다. 또한, NOR 회로 (550)의 출력이 신호 n113와 동등하므로, NAND 회로(556)에서의 클록 신호 intpz와 신호 n113간의 AND를 취함으로써 주기가 클록 신호 intp0z의 2배인 클록 신호 intp12z가 출력된다.

나아가, 도 10로부터 명백한 바와 같이, DDD 모드에 있어서, 클록 신호 intp12z는 클록 신호 intpz 와 동등하고, 클록 신호 intp0z는 "L"로 고정된다.

다음에, 도 12 내지 도 15를 참조하여 버스트 카운터(504)의 회로의 일례를 설명하겠다. 전술한 바와 같이, 제1 실시형태에 따른 버스트 카운터(504)는 클록 CLK0°의 상승 에지에 동기하여 생성된 클록 신호 intpz를 카운트하도록 구성되어 있다. 따라서, 도 12에 도시된 바와 같이, 클록 신호 intpz는 버스트 2 카운터 (570), 버스트 4 카운터(572) 및 버스트 8 카운터(574)에 각각 공급된다. 또한, 카운터(570, 572, 574)를 리셋하기 위한 클록 신호 cacpz도 각각의 카운터에 입력된다. 이들 카운터로부터의 출력 int2z, int4z 및 int8z는 버스트 기간 신호 생성부(578)에 입력되도록 구성되어 있다.

그런데, 버스트 길이가 8인 경우를 나타내는 도 8로부터 이해되는 바와 같이, DDR 모드와 SDR 모드에서는 버스트 길이에 요하는 시간이 다르므로, DDR 모드에서의 버스트 시간은 SDR 모드에서의 버스트 시간의 1/2이다. 즉, SDR 모드에서의 버스트 길이는 (클록 신호 cacpz + 클록 신호 intpz의 펄스수)에 의하여 결정되지만, DDR 모드에서의 버스트 길이는 (클록 신호 cacpz + 클록 신호 intpz의 펄스수)/2이다. 따라서, DDR 모드에서의 버스트 길이는 SDR 모드에서의 버스트 길이의 1/2로 변환시킬 필요가 있다. 이를 행하기 위한 목적으로, 버스트 길이 신호 변환부(576)가 마련되어 있다. 버스트 길이 신호 변환부(576)에는 모드 레지스터(28)로부터 버스트 길이를 나타내기 위한 신호 bl1z, bl2z, bl4z 및 bl8z가 입력되고, DDR 신호도 역시 입력된다. 버스트 길이 신호 변환부(576)로부터는, 버스트 기간 신호 생성부(578)에 대하여 신호 bst1z, bst4z 및 bst8z가 출력된다.

다음에, 도 13을 참조하여, 버스트 카운터(504) 중의 각 카운터(570, 572, 574) 및 버스트 기간 신호 생성부(578)의 구성에 대하여 설명하겠다. 먼저, 버스트 2 카운터(570)는 D-FF(580) 및 D-FF(582)를 구비하고 있다. 클록 신호 cacpz는 각 D-FF (580, 582)의 리셋 R 입력 단자에 입력된다. 클록 신호 intpz는 D-FF(580)의 로우 레벨 트리거의 클록 입력 단자와, D-FF(582)의 로우 레벨 트리거의 클록 입력 단자의 전단에 마련되는 2-입력 AND 회로(594)의 입력 단자 중의 하나의 입력 단자에 입력된다. D-FF(580)의 A/Q 출력 단자는 AND 회로(594)의 다른 입력 단자에 접속됨과 동시에 D-FF(580)의 D 입력 단자에 접속된다. D-FF(582)의 A/Q 출력 단자는 D-FF(582)의 D 입력 단자에 접속되고, D-FF(582)의 Q 출력 단자는 버스트 기간 신호 생성부(578)의 2-입력 NAND 회로(604)의 입력 단자 중의 하나의 단자에 접속된다. 이와 동시에, 버스트 4 카운터(572) 내의 2-입력 AND 회로(596)의 입력 단자 중의 하나의 단자 및 버스트 8 카우터(574) 내의 2-입력 AND 회로(598)의 입력 단자 중의 하나의 단자에 접속된다.

다음에, 버스트 4 카운터(572)에는 D-FF(584) 및 D-FF(586)가 구비되어 있다. 클록 신호 cacpz는 각 D-FF(584, 586)의 리셋 R 입력 단자에 입력된다. 클록 신호 intpz는 NAND 회로(596)의 다른 입력 단자에 입력된다. AND 회로(596)의 출력 단자는 D-FF(584, 586)의 로우 레벨 트리거의 클록 입력 단자에 접속된다. D-FF(584)의 Q 출력 단자는 D-FF(586)의 D 입력에 접속된다. D-FF(586)의 Q 출력 단자는 D-FF(584)의 D 입력 단자에 접속된다. D-FF(586)의 Q 출력 단자는 버스트 기간 신호 생성부(578) 내의 2-입력 NAND 회로(606)의 입력 단자 중의 하나의 단자에 접속됨과 동시에 버스트 8 카운터(574)의 2-입력 AND 회로(598)의 다른 입력 단자에 접속된다.

다음에, 버스트 8 카운터(574)는 D-FF(590) 및 D-FF(592)를 구비하고 있다. 클록 신호 cacpz는 각 D-FF(590, 592)의 리셋 R 입력 단자에 입력된다. 클록 신호 intpz는 AND 회로(600)의 입력 단자 중의 하나의 단자에 입력된다. AND 회로(598)의 출력 단자는 AND 회로(600)의 다른 입력 단자에 접속된다. AND 회로(600)의 출력 단자는 D-FF(590,592)의 로우 레벨 트리거의 클록 입력 단자에 접속된다. D-FF(590)의 Q 출력 단자는 D-FF(592)의 D 입력 단자에 접속된다. D-FF(592)의 /Q 출력 단자는 D-FF(590)의 D 입력 단자에 접속된다. D-FF(592)의 출력 단자는 버스트 기간 신호 생성부(578)의 2-입력 NAND 회로(608)의 입력 단자 중의 하나의 단자에 접속된다.

버스트 기간 신호 생성부(578) 내의 NAND 회로(604, 606, 608)의 다른 각 단자에는 버스트 길이 신호 변환부(576)로부터의 버스트 길이 변환용 신호 bst2z, bst4z 및 bst8z들이 각각 입력된다. 이들 NAND 회로(604, 606, 608)의 출력 단자는 4-입력 NAND 회로(610)의 입력 단자에 접속된다. 또한, 버스트 변환용 신호 bst1z는 인버터(602)를 통하여 NAND 회로(610)의 입력에 접속된다. NAND 회로 (610)의 출력은 인버터(612)를 통하여 클록 생성부(502) 내의 D-FF(520)의 입력 단자에 버스트 기간 신호 endz 로서 입력된다.

다음에, 도 14a 및 도 14b를 참조하여 버스트 길이 신호 변환부(576)의 구성예를 설명하겠다. 이 도면 중, DDR 신호 및 버스트 길이를 나타내는 신호 bl1z, bl2z, bl4z 및 bl8z는 모드 레지스터(28)로부터 버스트 길이 신호 변환부(576)에 입력된다. 예컨대, 버스트 길이가 4이면, 신호 bl4z만이 "H"로 된다. DDR은 인버터(620) 및 2-입력 NOR 회로(630, 636)의 각 입력 단자에 입력된다. 반전 후의 DDR 신호를 출력하는 인버터(620)의 출력 단자는 2-입력 NOR 회로(626, 632, 638) 및 2-입력 NAND 회로(642)의 입력 단자들 중의 각각 하나의 단자에 접속된다.

또한, 버스트 길이가 1과 동등하다는 것을 나타내는 신호 bl1z는 인버터 (622)에 입력된다. 버스트 길이가 2와 동등하다는 것을 나타내는 신호 bl2z는 NOR 회로(626, 630)의 다른 각 입력 단자에 각각 입력된다. 버스트 길이가 4와 동등하다는 것을 나타내는 신호 bl4z는 NOR 회로(632, 636)의 다른 각 입력 단자에 각각 입력된다. 버스트 길이가 8과 동등하다는 것을 나타내는 신호 bl8z는 NOR 회로 (638) 및 NAND 회로(642)의 다른 단자에 각각 입력된다.

인버터(622) 및 NOR 회로(626)의 출력 단자는 2-입력 NOR 회로(628)의 입력 단자에 접속되고, NOR 회로(628)는 신호 bst1z를 출력한다. NOR 회로(630, 626)의 출력 단자는 2-입력 NOR 회로(634)의 입력 단자에 접속되지 않으며, 이 NOR 회로 (634)는 신호 bst2z를 출력한다. NOR 회로(636, 628)의 출력 단자는 2-입력 NOR 회로(640)의 입력 단자에 접속되지 않으며, 이 NOR 회로(640)는 신호 bst4z를 출력한다. 또한, NAND 회로(642)의 출력 단자는 인버터(624)에 접속되고, 신호 bst8z는 인버터(624)로부터 출력된다.

도 14b는 DDR 모드 및 SDR 모드에 대응하는 버스트 길이 신호의 변환 상태를 나타내는 표이다. 도 14b에 나타낸 바와 같이, 제1 실시 형태에 있어서의 버스트 길이 신호 변환부(576)에서는, 예컨대 버스트 길이 신호 b14z가 "H"와 동등하면, SDR 모드에서는 신호 bst4z가 "H"와 동등하게 되므로, 버스트 기간 신호 endz의 "H" 상태는 버스트 4 카운터(572)의 출력 신호 int4z에 의하여 결정되는 한편, DDR 모드에서는 신호 bst2z가 "H"와 동등하게 되므로, 버스트 기간 신호 endz "H" 상태는 버스트 2 카운터(570)에 의하여 결정된다. 따라서, 동일한 표시 신호가 수신되는 경우에도, DDR 모드에서의 버스트 시간은 SDR 모드에서의 버스트 시간의 1/2로 될 수 있다.

다음에, 전술한 구성에 기초하여 버스트 카운터(576)의 동작 대하여 도 15에 도시된 타이밍도를 참조하여 설명하겠다. 도 15에 있어서, 알파벳 a g는 도 13 중의 알파벳 a g 위치에 있는 신호의 상태를 나타내는 것인데, 도 13을 참조하면서 설명하겠다.

버스트 2 카운터(570)에 있어서는,D-FF(580, 582)가 클록 신호 cacpz에 의하여 리셋되는 경우, D-FF(580, 582)의 Q 단자는 "L"로 되고, /Q 단자는 "H"로 되며, D 단자는 "H"로 된다. 따라서, "L"과 동등한 신호 int2z가 D-FF(582)의 Q 단자로부터 출력된다. 다음에, 클록 신호 intpz 중의 하나의 펄스가 입력되면, AND 회로 (594)로부터 D-FF(582)에 클록이 들어가고, Q 단자로부터는 "H"와 동등한 신호 int2z가 출력된다.

버스트 기간 신호 생성부(578)에서는, 버스트 길이 및 DDR/SDR 모드 전환을 위한 DDR 신호에 기초하여, 버스트 길이 신호 변환부(576)에서 생성된 신호 bst1z, bst2z, bst4z 및 bst8z가 입력되고, 이들 중의 하나가 "H"로 설정된다. 클록 신호 cacpz가 D-FF(580 592)의 각각에 입력되어, 상기 D-FF(580 592)의 각각이 리셋되고, 신호 int2z int8z가 "L"로 되면, 버스트 기간 신호 endz는 "H"와 동등하게 된다. 예컨대, 버스트 지시 신호 bst2z가 "H"라면, 다음에 클록 신호 intpz가 입력되고 신호 int2z가 "H"로 되는 경우, 버스트 기간 신호 endz는 "L"로 되고 버스트 전송이 완료된다.

다음에, 도 16 내지 도 20을 참조하여 본 발명의 제1 실시 형태에 의한 어드레스 생성부(514)의 구성의 일례를 구체적

으로 설명하겠다. 도 16은 도 7에 나타낸 어드레스 생성부(514)를 더 상세히 나타낸 블록도이다. 도 16에 있어서, A0 생성부 (650)는 도 7의 어드레스 생성부(A0)의 일부를 나타내고 있으나, A1 생성부(652) 및 A2 생성부(654)는 어드레스 생성부(A1, A2)의 일부를 나타내고 있다. 그런데, 앞에서 설명한 바와 같이, AO 생성부에서는 클록 신호 cacpz 및 intp0z가 입력되고, 어드레스 버퍼/레지스터(20)로부터는 어드레스의 최하위 비트의 외부 어드레스 신호 a00cz가 입력된다. 마찬가지로, A1 생성부에는 클록 신호 cacpz 및 intp12z가 입력되고, 어드레스 버퍼/레지스터(20)로부터는 어드레스의 제2의 최하위 비트의 외부 어드레스 신호 a01cz가 입력된다. A2 생성부에는 클록 신호 cacpz 및 intp12z가 입력되고, 어드레스 버퍼/레지스터(20)로부터는 하위 비트 a01cz의 다음 하위 비트의 외부 어드레스 신호 a02cz가 입력된다.

A0 생성부(650)로부터는 어드레스 신호 bca00z가 출력되고, A1 생성부(652)로부터는 어드레스 신호 bca01z가 출력된다. 또한, A2 생성부(654)로부터는 어드레스 신호 bca02z가 출력된다. 상기 출력되는 어드레스 신호 bca01z 및 bca02z는캐리(carry) 결정부(656)에 입력된다. 캐리 결정부(656)에는 모드 레지스터(28)로부터의 버스트 길이 신호 bl8z가 입력되어 버스트 길이가 8일 때의 기록/판독 동작시 캐리를 방지하는 데 사용된다. 캐리 결정부 (656)의 출력 신호 ica02z는 A2 생성부(654)에 입력된다.

도 17은 A0 생성부(650)의 회로의 일례를 나타내고 있다. 게이트 제어 신호로서의 클록 신호 cacpz 및 인버터(660)에 의하여 반전된 그의 반전 신호는 전송 게이트 회로(668)를 제어한다. 게이트를 턴온시킴으로써, 인버터(662)에서 반전된 외부 어드레스 신호 a00cz는 래치 회로(674, 676)에 래치되고, 따라서 어드레스 신호 bca00z 로서 각 뱅크에 출력된다. 한편, 클록 신호 intp0z가 입력될 때마다, 외부 어드레스 신호 a00cz로부터 반전된 신호는 인버터(664)를 이용하여 전송 게이트 회로(672)를 턴온시키고 전송 게이트 회로(670)를 턴오프시킴으로써 어드레스 신호 bca00z로서 각 뱅크에 출력된다.

도 18에는 A1 생성부(652)의 회로의 일례가 나타나 있다. A1 생성부(652)의 회로 구성은 도 17에 나타낸 회로 구성과 동일하므로, 그 설명을 생략한다. 도 18에 있어서, 클록 신호 cacpz가 입력되면, 외부 어드레스 신호 a01cz는 어드레스 신호 bca01z 로서 각 뱅크에 출력된다. 또한, 클록 신호 intp12z가 입력되면, 외부 어드레스 a01cz로부터 반전된 신호가 어드레스 신호 bca01z 로서 각 뱅크에 출력된다.

도 19에는 A2 생성부(654)의 회로의 일례가 도시되어 있다. A2 생성부(654)의 회로 구성은 도 18에 도시된 A1 생성부(652)의 회로 구성과 유사하며, 클록 신호 cacpz에 의하여 외부 어드레스 a02cz를 입력하고, 이 신호를 어드레스 신호 bca02z 로서 각 뱅크에 출력한다. 그러나, A2 생성부(654)의 캐리(carry)는 A1 생성부(652) 및 A2 생성부(654)의 출력에 의하여 캐리 결정부(656)에서 판정되고, 그 결과의 신호 ica02z에 의하여 클록 신호 intp12z에 동기하여 어드레스 신호 bca02z를 출력한다는 점이 다르다.

도 20에는 캐리 결정부(656)의 회로의 일례가 나타나 있다. 모드 레지스터 (28)로부터의 버스트 길이가 8과 동등하다는 것을 나타내는 신호 및 A1 생성부 (652)로부터의 어드레스 신호 bca01z가 NAND 회로(706)에 입력된다. NAND 회로 (706)의 출력은 2개의 전송 게이트 회로(712, 714)를 제어하므로, A2 생성부로부터 출력된 어드레스 신호 bca02z를 그 자체로서 또는 반전 신호 ica02z로서 출력한다. 예컨대, 신호 bl8z가 "H"이고 A1 생성부(652)로부터의 어드레스 신호 bca01z도 "H"이면,어드레스 신호 bca02z는 전송 게이트 회로(712)를 통하여 인버터(716)에서 반전된다. 그리고, 어드레스 신호 bca02z가 "H"이면, 신호 ica02z는 "L"과 동등하게 되어 A2 생성부(654)에 입력된다. A2 생성부(654)에 입력되는 신호 ica02z는 클록 신호 intp12z의 전송 게이트 회로(698, 700)의 제어에 의하여 래치 회로(704)에 래치된 후, 그 출력은 래치 회로(702)에 래치되며, 그에 따라 어드레스 신호 bca02z는 "L" 로 유지되어 캐리가 방지된다. 다음에, 본 발명의 제2 실시 형태의 반도체 기억 장치를 도 21 내지 도 33을 참조하여 설명하겠다.

도 21은 종래 및 본 발명의 실시 형태의 반도체 기억 장치의 데이타 판독 시험(웨이퍼의 데이타 판독 시험)의 비교를 나타내고 있는 타이밍도이다. 또한, 도 22는 종래 및 본 발명의 실시 형태의 반도체 기억 장치의 데이타 기록 시험(웨이퍼의 데이타 기록 시험)의 비교를 도시하는 타이밍도이다. 여기서, 도 21(a) 및 도 22(a)는 반도체 기억 장치(DDR 방식의 SDRAM)의 종래의 데이타 판독 시험 및 데이타 기록 시험의 타이밍도이며, 도 21(b) 및 도 22(b)는 후술하는 제2 실시 형태의 반도체 기억 장치(DDR 방식의 SDRAM)의 데이타 판독 시험 및 데이타 기록 시험의 타이밍도이다.

제2 실시 형태의 반도체 기억 장치로서의 DDR 방식의 SDRAM에 있어서의 웨이퍼 시험에서의 데이타 판독 및 데이타 기록은 단일 데이타 전송 속도(SDR) 모드에 의하여 수행된다. 즉, 제2 실시 형태의 DDR 방식의 SDRAM은 클록의 상승 및 하강 타이밍의 양타이밍에서 데이타를 DDR 방식으로 판독 및 기록하는 SDRAM이지만, 클록의 상승(또는 하강) 타이밍에서 데이타를 판독하는 단일 데이타 전송 속도 모드(SDR 모드)도 갖고 있다. 따라서, 데이타 판독 및 데이타 기록 시험은 DDR 방식의 SDRAM에 대하여 반도체 시험 장치의 테스터 클록 clk을 그대로 공급하여, SDR 모드로 데이타를 판독 또는 기록한다. 제2 실시 형태에 있어서, SDR 모드는 시험 전용 모드이므로, 시험 판독시에는 CAS 대기 시간을 0 클록(CL=0)으로 한다는 점에 유의하여야 한다.

구체적으로는, 도 21(b)에 도시된 바와 같이, 제2 실시 형태의 DDR 방식의 SDRAM에 있어서의 웨이퍼 시험 중의 데이타 판독 시험은 SDR 모드로 실행되며, 버스트 길이를 8로 한 경우(BL=8: 8개의 상이한 데이타가 판독되는 경우)를 고려하면, 일련의 데이타 판독을 완료하는 데에는 활성 상태로 된 후에 10 clk(테스터 클록)에 상당하는 시간만을 요하므로 전술한 도 21(a)를 참조하여 설명한 DDR 방식의 SDRAM에 있어서의 13 clk 로부터 3 clk 시간을 단축시키는 것이 가능하다. 이러한 시간 단축의 효과는 웨이퍼에 형성된 모든 칩에 대하여 얻게 되므로, 전체적으로는 그 효과가 상당히 크게 된다. 또한, 버스트 길이를 8보다 작게 할 경우 (BL=2 또는 BL=4 등)에는, 시간 단축 효과가 더 한층 커지게 된다. 또한, 주파수 대역폭이 시험 대상인 DDR 방식의 SDRAM의 동작 주파수의 2배 이상인 고가의 반도체 테스터(시험 설비)를 필요로 하지 않는다.

또한, 도 22(b)에 도시된 바와 같이, 제2 실시 형태의 DDR 방식의 SDRAM에 있어서의 웨이퍼 시험의 데이타 기록도 역시 SDR 모드로 실행되며, 전술한 도 22 (a)를 참조하여 설명한 불필요한 지연 기록 때문에, 버스트 길이가 8(BL=8)인 경우를 고려하면, 일련의 기록 동작을 완료하는 데에는 활성 상태로 된 후에 9 clk에 상당하는 시간만을 요하므로, 도 22(a)를 참조하여 설명한 DDR 방식의 SDRAM에 있어서의 11 clk보다도 2 clk의 시간을 단축시키는 것이 가능하다. 이러한 시간 단축의 효과는 전술한 바와 같이 웨이퍼에 형성된 모든 칩에 대하여 얻게 되므로, 전체적으로는 그 효과가 상당히 크게 된다. 더욱이, 웨이퍼 시험 중의 데이타 기록 시험에 있어서, 버스트 길이가 8 미만으로 될 경에는 시간 단축 효과가 전체적으로 더 커지게 된다. 또한, 주파수 대역폭이 시험 대상인 DDR 방식의 SDRAM의 동작 주파수의 2배인 고가의 시험 장치를 요하지 않는다는 것은 전술한 웨이퍼 시험 중의 데이타 판독 시험과 동일하다.

또한, 제2 실시예의 SDRAM은 웨이퍼 시험을 SDR 모드로 행함으로써 1 클록에 하나의 판독/기록 데이타만으로 되게 되고, 웨이퍼 시험의 프로빙 시험(proving test)을 행할 경우에도, 용장 클록(테스터 클록 CLK의 2배의 길이를 갖는 클록 CLK)을 장치에 공급할 필요가 없으므로, 여기에 요하는 시험 시간이 단축되는 결과로 된다.

전술한 바와 같이, 제2 실시 형태에 의한 DDR 방식의 SDRAM에 있어서의 DDR모드의 판독시에 최소의 CAS 대기 시간은 1.5이다. 이것은 DDR 방식의 SDRAM에 있어서 판독 데이타는 스트로브 신호와 함께 출력되도록 명세(明細) 내용에 의해 정해지고, 이 스트로브 신호는 판독 명령을 수신하고나서 SDRAM의 내부에서 생성되며, 판독 명령 입력으로

부터 스트로브 신호 출력까지의 지연은 CAS 대기 시간을 정하는 하나의 주요인으로서 일어난다는 사실에 기인한다. 한편, SDR 모드는 시험 전용 모드로서 사용되기 때문에, 컬럼 어드레스 스트로브 신호(CAS)의 액세스 시간으로 데이타를 출력하도록 구성하는 것이 가능하다. 또한, 제2 실시 형태에 의한 DDR 방식의 SDRAM에서는, DDR 모드의 데이타 기록 중에 스트로브 신호에 동기하여 데이타를 입력하지만, 이 스트로브 신호는 기록 명령 신호보다도 거의 1 클록 주기 지연된 타이밍으로 출력되도록 명세 내용에 정해져 있다. 따라서, 판독 명령의 수신으로부터 기록 명령의 수신까지의 사이에는 지연이 있다. 한편, SDR 모드는 시험 전용 모드로서 사용되므로, 기록 명령과 거의 동시에 데이타 입력을 기록하도록 구성될 수 있다.

도 23 및 도 24는 제2 실시 형태에 의한 반도체 기억 장치의 판독 회로의 일례를 나타내는 블록도이다. 즉, 제2 실시 형태는 판독 동작에 있어서 DDR 방식 및 SDR 방식의 동작 모드 중 어느 하나의 동작 모드로 전환할 수 있는 구성을 나타내고 있다. 도 23 및 도 24에 있어서, 도면 부호 "211"은 클록 버퍼, "212"는 명령 래치 및 디코더, "213"은 어드레스 버퍼, "214"는 버스트 길이 카운터, "215"는 어드레스 래치, "216" 및 "217"은 어드레스 래치 및 카운터, "298"은 모드 레지스터, "299"는 OR 회로를 각각 나타낸다. 또한, 도면 부호"218"은 제1 클록 생성기, "219" 및 "220"은 어드레스 프리디코더, "221"은 선택기, "222"은 어드레스 변환 회로, "223" 및 "224"는 어드레스 메인 디코더, "225"는 홀수 어드레스용 메모리셀 어레이, "226"은 짝수 어드레스용 메모리셀 어레이, "227"은 제2 클록 생성기를 각각 나타낸다. 아울러, 도면 부호 "228" 및 "229"는 데이타 버스 증폭기, "230" 및 "231"은 선택기, "232"는 제1 출력 데이타 래치, "233"은 제2 출력 데이타 래치, "234"는 데이타 출력 버퍼, "351" 및 "352"는 인버터, "353"은 AND 게이트, "354" 및 "355"는 OR 게이트를 각각 나타낸다.

클록 버퍼(211)는 외부로부터 공급된 클록 CLK를 수신하고, 이어서 그 클록 CLK를 명령 래치 및 디코더(212), 어드레스 버퍼(213) 및 제1 클록 생성기(218)에 출력한다. 명령 래치 및 디코더(212)는 CLK에 따라 명령 COMM을 래치함과 동시에 디코드하여, 모드 레지스터(298), 버스트 길이 카운터(214), 어드레스 래치 (215), 그리고 어드래스 래치 및 카운터(216, 217)에 어드레스 래치 클록 ALCK를 전송하여 제어한다. 어드레스 버퍼(213)는 어드레스 ADD(예컨대, 10 비트 어드레스 신호 a9 a0)를 수신하여 그 어드레스를 어드레스 래치(215), 어드레스 래치 및 카운터 (216, 217)와 모드 레지스터(298)에도 공급한다.

제1 실시 형태에서 설명한 바와 같이, 전환 신호로서의 DDR 신호 및 CAS 대기 시간 제어 신호 CLS는, 제2 실시 형태의 SDRAM을 DDR 모드 또는 SDR 모드로 동작할 수 있도록 하기 위하여, 모드 레지스터(298)로부터 OR 회로에 입력된다. 따라서, 제2 실시 형태의 SDRAM을 예컨대 종래의 메모리 시험 장치에 의하여 시험 및 평가할 경우에는, 모드 레지스터(28)의 DDR 신호 또는 CAS 대기 시간 제어 신호 CLS 중 어느 하나의 신호를 제어함으로써 상기 SDRAM에 대한 기록/판독 동작을 SDR 모드로 실행하는 것이 가능하다. 제2 실시 형태에 있어서, OR 회로(299)로부의 출력 신호는 CLS로 나타나 있다.

어드레스 래치(215)는 예컨대 상위 어드레스(a9 a3)를 래치하여 이들을 어드레스 프리디코더(219, 220)에 공급한다. 어드레스 래치 및 카운터(216)는 하위 어드레스(a1, a1)를 예컨대 어드레스 프리디코더(219), 선택기(221) 및 버스트 길이 카운터(214)에 의해 증분 제어를 수신하는 어드레스 변환 회로(222)에 공급한다. 어드레스 래치 및 카운터(217)는 최하위 어드레스(a0)를 선택기(221) 및 어드레스 시프트 레지스터(300)에 공급한다.

어드레스 변환 회로(222)는 "1"에 어드레스 래치 및 카운터(216)로부터의 하위 어드레스(a2, a1)를 가하여 생성시킨 하위 어드레스(a2, a1)를 공급한다. 선택기(221)는 최하위 어드레스(a0)에 따라 어드레스 래치 및 카운터(216)로부터의 신호 또는 어드레스 변환 회로(222)로부터의 신호 중 어느 하나의 신호를 선택하여 어드레스 프리디코더(220)에 출력한다. 어드레스 프리디코더(219)의 출력은 어드레스 메인 디코더(223)를 통하여 홀수 어드레스용 메모리 셀 어레이(225)에 공급된다. 홀수 어드레스용 메모리 셀 어레이 내의 지정된 어드레스에 대응하는 데이타는 선택기(230, 231)에 접속되어 있는 데이타 버스 증폭기(228)를 판독하는 데 공급된다. 마찬가지로, 어드레스 프리디코더(220)의 출

력은 어드레스 메인 디코더 (224)를 통하여 짝수 어드레스용 메모리 셀 어레이(226)에 공급된다. 작수 어드레스용 메모리셀 어레이(226) 내의 지정된 어드레스에 대응하는 데이타(짝수 데이타)는 선택기(230, 231)에 접속되어 있는 데이타 버스 증폭기(229)를 판독하는 데 공급된다. 여기서, 상기 데이타 버스 증폭기들에는 제2 클록 생성기(227)로부터의 데이타 버스 증폭기 데이타 래치 신호 DADLS가 공급된다. 제2 클록 생성기(227)는 제1 클록 생성기(218)의 출력을 수신하여 데이타 버스 증폭기 데이타 래치 신호 DADLS를 생성할 뿐만 아니라, 소정 타이밍의 제어 신호를 생성하여 이를 예컨대 AND 게이트 (353) 및 OR 게이트(354, 355)에 공급한다.

어드레스 시프트 레지스터(300)는 어드레스 래치 및 카운터(217)로부터 최하위 어드레스(a0)를 수신하고, 이어서 래치 어드레스(lca0)를 선택 제어 신호로서 선택기 (230, 231)에 출력한다. 어드레스 시프트 레지스터(300)로부터의 선택 제어 신호 (lca0)에 기초하여, ADD의 최하위 비트 a0가 0일 때, 즉 짝수 어드레스 (a0=0)일 경우, 선택기(230)는 데이타 버스 증폭기(229)의 출력인 짝수 데이타를 선택하여 이를 버스트 출력 데이타 래치(232)에 급공한다. 어드레스 ADD의 최하위 비트 a0가 1일 경우, 즉 홀수 어드레스(a0=1)일 경우, 선택기(230)는 데이타 버스 증폭기(228)의 출력인 짝수 데이타를 선택하여 이를 출력 데이타 래치(232)에 출력한다. 한편, 최하위 비트 a0가 짝수 어드레스(a0=0)일 경우, 선택기(231)는 어드레스 시프트 레지스터(300)로부터의 선택 제어 신호(lca0)에 기초하여 데이타 버스 증폭기(228)의 출력인 홀수 데이타를 선택하여 이를 제2 출력 데이타 래치(233)에 공급한다. 또한, 최하위 비트가 홀수 어드레스(a0=1)일 경우, 선택기(231)는 데이타 버스 증폭기의 출력인 짝수 데이타를 선택하여 이를 제2 출력 데이타 래치(233)에 공급한다.

데이타 출력 클록 DOCK0는 제1 출력 데이타 래치(232)에 공급된다. 또한, 데이타 출력 클록 DOCK 0 및 데이타 출력 클록 DOCK1은 제2 출력 데이타 래치(233)에 공급된다. 제1 및 제2 출력 데이타 래치(232, 233)에 의하여 각각 래치된 출력 데이타는 데이타 버퍼(234)를 통하여 출력 단자(DOUT)에 출력된다. 여기서, 데이타 출력 클록 DOCK0는 제1 클록 생성기(227)의 제1 출력 신호 및 CAS 대기 시간 (CL=0)을 규정하는 CAS 대기 시간 제어 신호 CLS를 입력으로 하는 OR 게이트(354)의 출력으로서 생성된다. 또한, 인버터(352)에 의하여 CAS 대기 시간 제어 신호 CLS를 반전한 신호 및 제2 클록 생성기(227)의 제2 출력 신호를 입력으로 하는 AND 게이트(353)의 출력으로서 출력 클록 OCK0가 생성된다. CAS 대기 시간 제어 신호 CLS 및 제2 클록 생성기(227)의 제2 출력 신호를 입력으로 하는 OR 게이트(355)의 출력으로서 출력 클록 OCK1이 생성된다. 데이타 출력 클록 DOCK1은 인버터(351)에 의하여 OR 게이트(354)의 출력인 데이타 출력 클록 DOCK1을 반전시킴으로써 생성된다는 것에 유의하여야 한다.

데이타 출력 버퍼(234)에는, 출력 단자 DOUT의 고임피던스 상태를 제어하는 제어 신호 CSZ와 출력 클록 OCK0 및 OCK1이 공급된다. 선택기(230, 231), 출력 데이타 래치(232, 233) 및 데이타 출력 버퍼(234)의 예는 도 27을 참조하여 뒤에 상세히 설명하겠다. 도 25는 도 23 및 도 24에 나타낸 제2 실시 형태의 반도체 기억 장치의 DDR 모드에서의 판독 동작을 설명하는 타이밍도이다. 도 26은 도 23 및 도 24에 나타낸 제2 실시 형태의 반도체 기억 장치의 SDR 모드에서의 판독 동작을 설명하기 위한 타이밍도이다. 또한, 도 27은 도 23 및 도 24에 도시된 제2 실시 형태의 반도체 기억 장치의 출력부의 예를 나타내고 있는 회로도이다.

먼저, 도 25에 도시된 바와 같이, 통상의 동작 모드인 DDR 모드에서는, 판독 명령이 입력되면, 어드레스(ADD: 예컨대, a9 a0이 "1111111111")가 래치되고, 래치된 어드레스 ADD 및 이와 동시에 어드레스 ADD를 카운트 업한 어드레스에 대한 판독 동작도 역시 실행된다. 즉, 홀수 어드레스용 메모리 셀 어레이(225) 및 짝수 어드레스용 메모리 셀 어레이(226)에 대한 액세스 동작이 동시에 실행된다. 여기서, 예컨대 어드레스 래치(215)의 출력(래치 어드레스) a9 a3은 "1111111", 어드레스 래치(216)의 출력(래치 어드레스) a2,a1은 "11", 어드레스 변환 회로(222)의 출력(시프트 어드레스) a2,a1은 "00"이다. 여기서, a0는 1에 상당하므로, 선택기 (221)에 의하여 어드레스 변환 회로의 출력(a2, a1="0")이 선택되고 어드레스 프리디코더 (220)에 공급된다. 따라서, 이 예에 있어서, 어드레스 메인 디코더(223)의

출력(홀수 어드레스) a9 a1은"111111111"이고, 어드레스 메인 디코더(224)의 출력 (짝수 어드레스) a9 a1은 "111111100"이다.

도 27은 도 23 및 도 24를 참고하여 설명하는 제2 실시 형태의 반도체 기억 장치의 선택기(230, 231), 제1 및 제2 출력 데이타 래치(232, 233)와 출력 데이타 버퍼(234)(출력부)의 예를 나타내고 있는 회로도이다. 도 27에는 인버터(356, 357)가 선택기(230, 231)의 출력에 설치되어 있는 반면, 래치(358)는 제1 및 제2 출력 데이타 래치(232, 233)의 출력에 설치되어 있다.

도 27에 나타낸 바와 같이, 어드레스 시프트 레지스터(300)의 출력(래치 어드레스) lca0이 로우 레벨 "L"에 있을 경우(a0=0 일 경우), 선택기(230)는 짝수 데이타 0(1111111000)을 선택하고, 이를 인버터(356)를 통하여 제1 출력 데이타 래치 (232)에 공급한다. 또한, 선택기(231)는 홀수 데이타 0(1111111111)을 선택하고, 이를 인버터(357)를 통하여 제2 출력 데이타 래치(233)에 출력한다. 한편, 래치 어드레스 lca0이 하이 레벨 "H"에 있을 경우, 선택기(230)는 홀수 데이타 0 (1111111111)을 선택하고, 이를 인버터(356)를 통하여 제1 출력 데이타 래치(232)에 출력한다. 또한, 선택기(231)는 짝수 데이타 0(1111111000)을 선택하고, 이를 인버터(357)를 통하여 제2 출력 데이타 래치(233)에 출력한다. 여기서, 도 27의 출력부에서는 먼저 제1 출력 데이타 래치(232)에 래치된 데이타가 데이타 출력 버퍼로부터 출력되고, 이어서 제2 출력 데이타 래치에 래치된 데이타가 출력된다. a0이 0에 상당할 때, 즉 외부 어드레스의 최하위 비트가 짝수일 경우, 데이타는 짝수 데이타와 홀수 데이타의 순서로 외부로 출력할 필요가 있고, 한편 a0이 1에 상당할 경우에는 홀수 데이타가 짝수 데이타에 앞서 외부로 출력할 필요가 있다. 이와 같이 먼저 출력되는 데이타를 제1 출력 데이타 래치에 래치하고, 다음에 출력되는 데이타를 제2 출력 데이타에 래치하기 위하여 선택기(230, 231)가 마련되어 있다. 따라서, 선택기(230, 231)는 래치 어드레스 lca0의 레벨에 따라 홀수 데이타 0(1111111111) 또는 짝수 데이타 0(1111111000)을 선택하여제1 및 제2 출력 데이타 래치(232, 233)에 공급한다.

이 때, 먼저 판독을 행하여야 하는 데이타(예컨대, 홀수 데이타 0: "111111111")는 제1 출력 데이타 래치(232)에 입력되고, 다음에 판독을 행하여야 하는 데이타(예컨대, 짝수 데이타 0: "1111111000")는 제2 출력 데이타 래치(233)에 입력된다.

다음에, DDR 모드에 있어서, 도 24에서의 DDR 신호 또는 CLS 신호는 "L"이므로, OR 회로(354, 355) 및 AND 회로(353)는 각각 단지 버퍼로서만 동작하고, DOCK0, OCK0 및 OCK1은 도 25에 나타낸 타이밍으로 제2 클록 생성기(227)로부터 출력 데이타 래치(232, 233) 및 출력 데이타 버퍼(234)에 공급된다. 그리고, 도 27에 도시된 바와 같이, 데이타 클록 DOCK0이 하이 레벨 "H"(DOCK1이 로우 레벨 "L") 일 경우, 제1 출력 데이타 래치(232)는 홀수 데이타 0(1111111111)을 입력하고, 이를 래치(358)를 통하여 출력 데이타 버퍼(234)에 출력한다. 또한, 제2 출력 데이타 래치(233)는 짝수 데이타 0(1111111000)을 입력하고, 이를 래치(330)에 유지한다. 다음에, 데이타 클록 DOCK0이 로우 레벨 "L"(DOCK1이 하이 레벨 "H")로 변화할 때, 제2 출력 데이타 래치(233)는 래치에 유지된 짝수 데이타 0(1111111000)을 래치(358)를 통하여 데이타 출력 버퍼(234)에 출력한다.

그리하여, 제1 출력 데이타 래치(232)의 데이타 및 제2 출력 데이타 래치 (233)의 데이타는 데이타 출력 버퍼(234)에 공급되고, 출력 클록 OCK0 및 OCK1에 따라 출력 단자 DOUT(칩의 외부)에 출력된다. 제어 신호 CSZ는 데이타 출력 버퍼(234)의 출력 단자의 상태를 제어하기 위한 것이다. 예컨대, 판독 동작 또는 기록 동작이 실행되지 않을 경우, 제어 신호 CSZ를 하이 레벨 "H"로 되도록 제어하여 데이타 출력 버퍼(234)의 출력을 고임피던스 상태로 만든다.

다음에, 도 26에 나타낸 바와 같이, 예컨대 웨이퍼 시험용 판독 시험 등에서의 SDR 모드에 있어서는, 전술한 DDR 모드와 마찬가지로, 판독 명령이 입력되면, 어드레스(ADD: 예컨대, a9 a0는 "1111111111")가 래치되고, 판독 동작은 래치된 어드레스 ADD와 함께 어드레스 ADD를 +1 카운트 업하는 어드레스에 대해서도 역시동시에 실행된다. 즉, 액세스 동작은 홀수 어드레스용 메모리 셀 어레이(225) 및 짝수 어드레스용 메모리 셀 어레이(226)에 대하여 동시에 실행된다. 여기서, 예컨대 어드레스 래치(115)의 출력(래치 어드레스) a9 a3는 "1111111"이고, 어드레스 래치(216)의 출력(래치 어드레스) a2,a1는 "0"이며, 어드레스 변환 회로(222)의 출력(시프트 어드레스) a2,a1은 "0"이다. 또한,

예컨대 어드레스 메인 디코더(223)의 출력(홀수 어드레스) a9 a1은"111111111"이고, 어드레스 메인 디코더(224)의 출력(짝수 어드레스) a9 a1은 "111111100"이다.

도 27에 나타낸 바와 같이, 어드레스 시프트 레지스터(300)의 출력(래치 어드레스) lca0이 로우 레벨 "L"이면, 선택기(230)는 짝수 데이타 0(1111111000)을 선택하여 이를 인버터(356)를 통하여 제1 출력 데이타 래치(232)에 출력하는 한편, 선택기(231)는 홀수 데이타 0(1111111111)을 선택하여 이를 인버터(357)를 통하여 제2 출력 데이타 래치(233)에 출력한다. 한편, 래치 어드레스 lca0이 하이 레벨 "H"이면, 선택기(230)는 홀수 데이타 0(1111111111)을 선택하여 이를 인버터(356)를 통하여 제1 출력 데이타 래치(232)에 출력하는 한편, 선택기(231)는 짝수 데이타 0(1111111000)을 선택하여 이를 인버터(357)를 통하여 제2 출력 데이타 래치(233)에 출력한다. 따라서, 선택기(230, 231)는 래치 어드레스 lca0의 레벨에 따라 홀수 데이타 0(1111111111) 또는 짝수 데이타 0(1111111000)을 선택하여 이를 제1 및 제2 출력 데이타 래치(232, 233)에 출력한다.

여기서, SDR 모드의 경우, CAS 대기 시간 제어 신호 CLS의 레벨은 "H"이고, 데이타 클록 DOCK0은 하이 레벨 "H"로 유지되며, 출력 클록 OCK0는 로우 레벨 "L" 로 유지되고, 출력 클록 OCK1은 하이 레벨 "H" 로 유지되므로, 제1 출력 데이타 래치(232)의 데이타[예컨대, 홀수 데이타 0(1111111111)]는 데이타 출력 버퍼(234)를 통하여 그대로 출력 단자 DOUT(칩의 외부)에 출력된다. 제2 출력 데이타 래치 (233)는 데이타 클록 DOCK1이 로우 레벨 "L" 로 유지되므로, 데이타를 출력하지 않는다.

이와 같이, 제2 실시 형태의 반도체 기억 장치는 통상의 동작인 DDR 모드를 제공할 뿐만 아니라, 예컨대 웨이퍼 시험용 판독 시험에 사용할 수 있는 SDR 모드를 제공하고, CAS 대기 시간 제어 신호 CLS의 레벨을 단순히 전환시키는 것에 의하여 신호(DOCK0, DOCK1, OCK1, OCK0 등)의 레벨을 제어하는 것만으로도 SDR 모드를 기동시키는 것이 가능하다.

도 28 내지 도 30은 제2 실시 형태의 반도체 기억 장치의 판독 회로의 예를 나타내고 있는 블록도이다.

도 28 내지 도 30에 있어서, 도 23 및 도 24에 도시된 것과 동일한 기능의 작용을 갖는 구성 요소에는 동일한 도면 부호를 부여하였으며, 그 설명은 생략한다. 도 28 내지 도 30에 있어서, 도면 부호 "227'"은 제2 클록 생성기, "236" 및 "237"은 기록 증폭기, "238" 및 "239"는 어드레스 래치, "240"은 데이타 스트로브 버퍼, "241"은 데이타 버퍼, "242" 및 "243"은 데이타 래치, "244" 및 "245"는 선택기, "246"은 제1 입력 데이타 래치, "247"은 제2 입력 데이타 래치, "248"은 펄스 생성기를 각각 나타낸다. 도 28 내지 도 30에서는 도 23에 나타낸 모드 레지스터(298) 및 OR 회로(299)가 생략되어 있다.

데이타 스트로브 버퍼(240)는 데이타 신호 DQ에 동기하여 데이타 스트로브 DQS를 수신하고, 이어서 DQS의 상승 에지에 응답하여 제1 내부 데이타 스트로브 신호를 어드레스 래치(239) 및 데이타 래치(242)에 공급한다. 동시에, 데이타 스트로브 버퍼(240)는 데이타 스트로브 신호 DQ의 하강 에지에 동기하여 제2 내부 데이타 스트로브 신호를 펄스 생성기(248) 및 데이타 래치(243)에 공급한다. 데이타 버퍼(241)는 데이타 DQ를 수신하고, 데이타 래치(242)는 제1 내부 데이타 스트로브 신호에 대응하는 DQS의 상승 에지에 대응하는 데이타 DQ를 래치하며, 데이타 래치 (243)는 제2 내부 데이타 스트로브 신호에 응답하여 DQS의 하강 에지에 대응하는 데이타 DQ를 래치한다. 데이타 래치(242)의 출력[DQS("H")] 및 데이타 래치(243)의 출력[DQS("L")]은 선택기(244)에 공급되고, 각 출력은 어드레스 래치(239)의 출력(a0)에 의하여 선택되어, 제1 및 제2 입력 데이타 래치(246, 247)에 공급된다. 즉, 선택기(244)는 어드레스 a0이1(홀수 어드레스)에 상당할 경우에는 데이타 래치 (242)의 출력을 선택하고, 어드레스 a0이 0(짝수 어드레스)에 상당할 때에는 데이타 래치(243)의 출력을 선택하여, 이를 제1 입력 데이타 래치(246)에 공급한다. 또한, 선택기(

245)는 어드레스 a0이 1(홀수 어드레스)에 상당할 때에는 데이타 래치(243)의 출력을 선택하고, 어드레스 a0가 0(짝수 어드레스)에 상당할 때에는 데이타 래치(242)의 출력을 선택하여, 이를 제2 입력 데이타 래치(247)에 공급한다.

제1 입력 데이타 래치(246)의 출력은 기록 증폭기(236)를 통하여 홀수 어드레스용 메모리 셀 어레이(225)에 공급되고, 이어서 데이타는 어드레스 메인 디코더 (223)에 의하여 지정된 어드레스에 기록된다. 또한, 제2 입력 데이타 래치(247)의 출력은 기록 증폭기(237)를 통하여 짝수 어드레스용 메모리 셀 어레이에 공급되고, 이어서 상기 데이타는 어드레스 메인 디코더(224)에 의하여 지정된 어드레스에 기록된다. 어드레스 래치(238)로부터의 출력(제어 신호) lac0z 및 lac0x는 기록 증폭기(236, 237)에 공급된다. 그리고, CAS 대기 시간 제어 신호 CLS는 제2 클록 생성기(227'), 어드레스 래치(238) 및 펄스 생성기(248)에 공급된다. 또한, 제2 클록 생성기(227')는 제1 클록 생성기(218)의 출력 및 CAS 대기 시간 제어 신호 CLS를 수신하고, 기록 명령보다 2 클록 늦게 생성되는 펄스(기록 타이밍 신호) 및 기록 증폭기 인에이블 신호 WAES를 생성하여 기록 타이밍 신호 WTS를 어드레스 래치(238)와 제1 및 제2 입력 데이타 래치(246, 247)에 공급한다. 또한, 기록 증폭기 인에이블 신호 WAES를 기록 증폭기(236,237)에 공급한다.

도 31은 도 28 도 30에 나타낸 제2 실시 형태의 반도체 기억 장치의 DDR 모드에서의 기록 동작을 설명하는 타이밍도이고, 도 32는 도 28 도 30에 나타낸 제2 실시 형태의 반도체 기억 장치의 SDR 모드에서의 기록 동작을 설명하는 타이밍도이다. 또한, 도 33은 도 28 도 30에 나타낸 제2 실시 형태의 반도체 기억 장치의 입력부의 입력 데이타 래치 및 어드레스 래치의 예를 나타낸 회로도이다.

먼저, 통상의 동작 모드인 DDR 모드의 기록 동작에 있어서, 도 31에 나타낸 바와 같이, 기록 명령이 입력되면, 데이타 래치(242, 243)는 대략 1 클록 주기 지연된 데이타 스트로브 DQS의 상승 타이밍 및 다음의 하강 타이밍에서 래치된다. 도 33에 나타낸 바와 같이, 어드레스 래치(239)는 데이타 스트로브 DQS의 상승시에 어드레스 래치 및 카운터로부터 어드레스 a0을 래치하고, a0이 1에 상당할 때(홀수 어드레스 ADD: 예컨대, a9 a0가 "1111111111")에는 래치(컬럼) 어드레스 dca0이 하이 레벨 "H"로 된다. 또한, CLS는 DDR 모드에서 "L"이므로, 선택기(244)는 데이타 래치(242)의 출력인 DQS("H") 데이타를 선택하여 이를 인버터(491)를 통하여 제1 입력 데이타 래치(246)에 전송한다. 또한, 선택기(245)는 데이타 래치(243)의 출력인 DQS("L")를 선택하여 이를 인버터(492)를 통하여 제2 입력 데이타 래치 (247)에 전송한다.

제1 및 제2 데이타 래치(246, 247)는 데이타 스트로브 DQS의 하강 타이밍에 의해 구성된 펄스 생성기(248)의 출력 펄스(데이타 래치 신호) DLS에 의하여 선택기(244, 245)를 통하여 전송된 데이타를 래치한다.

제1 및 제2 데이타 래치(246, 247)는 제2 클록 생성기(227')의 출력인 기록 명령의 2 클록 후에 생성된 기록 타이밍 신호 WTS에 의하여 기록 데이타를 기록 증폭기(236, 237)[래치(462, 472)]에 전송한다.

여기서, 도 33에서의 어드레스 래치(238)의 출력 lac0x 및 lax0z는 CLS가 "L"이기 때문에 모두 하이 레벨 "H" 로 유지되므로, 기록 증폭기(236, 237)는 각각 기록 증폭기 인에이블 신호 WAES에 의하여 홀수 어드레스용 메모리 셀 어레이 (225)에 기록 데이타를 기록하고, 짝수 어드레스용 메모리 셀 어레이(226)에 기록 데이타를 기록한다.

클록 버퍼(211), 명령 래치 및 디코더(212), 어드레스 버퍼(213), 버스트 길이 카운터(214), 어드레스 래치(215), 어드레스 래치 및 카운터(216, 217), 제1 클록 생성기(218), 어드레스 프리디코더(219, 220), 선택기(221) 및 어드레스 메인 디코더(223, 224)은 전술한 판독 처리의 경우와 유사하므로, 이들의 구성에 관한 설명은 생략한다.

다음에, 웨이퍼 시험(기록 시험) 등에 있어서의 SDR 모드의 기록 동작에서는, 도 32에 나타낸 바와 같이, 기록 명령과 대략 동일한 타이밍으로 입력되는 데이타 스트로브 DQS의 상승 타이밍에서 동일한 데이타를 데이타 래치(242, 243)에 래치한다. 그리고, SDR 모드에서는 CLS가 "H"이므로, 래치 어드레스 dca0는 무효로 된다. 선택기(244)는 데이타 래치(242)측에 접속되고, 선택기(245)는 데이타 래치 (243)측에 접속되므로, 데이타 스트로브 DQS의 상승 타이밍에서 입력된 데이타 [DQS ("H"): 홀수 데이타 0: 1111111111]가 데이타 버퍼(241), 데이타 래치(242) 및 선택기(244)를 통하여제1 입력 데이타 래치(246)에 전송된다. 이와 동시에, 동일한 데이타가 데이타 버퍼(241), 데이타 래치(243) 및 선택기(245)를 통하여 제2 입력 데이타 래치(247)에 전송된다. 여기서, 펄스 생성기로부터 출력된 데이타 래치 신호 DLS는 펄스 생성기에 "H" 레벨의 CLS 신호가 입력되므로 하이 레벨 "H"로 고정되기 때문에, 제1 및 제2 입력 데이타 래치(246, 247)는 함께 데이타(1111111111)를 입력한다.

즉, 도 30에 나타낸 바와 같이, 래치 어드래스 dca0의 레벨에 관계 없이 하이 레벨 "H" 또는 로우 레벨 "L"로 고정된 신호(선택 신호)가 입력되고,동일한 데이타인 데이타 래치(242,243)의 출력[DQS ("H")="1111111111"]이 인버터(491, 492)를 통하여 제1 입력 데이타 래치(246) 및 제2 입력 데이타 래치(247)에 공급된다. 또한, 제1 및 제2 입력 데이타 래치(246, 247)에서는, 데이타 래치 신호 DLS가 [펄스 생성기 (248)에 입력되는 CAS 대기 시간 제어 신호 CLS의 레벨을 전환함으로써] 하이 레벨 "H"로 고정되므로, 인버터(491, 492)를 통하여 공급된 데이타는 래치 (461, 471)에 그대로 유지된다.

또한, 기록 명령을 입력하는 클록의 에지로부터 생성된 펄스(기록 타이밍 신호) WTS에 의하여, 제1 입력 데이타 래치(246)는 기록 데이타(홀수 데이타: 데이타 0: 1111111111)를 기록 증폭기(236)에 전송하고, 제2 입력 데이타 래치(247)는 기록 증폭기(247)에 기록 데이타(짝수 데이타: 데이타 0: 1111111000)를 전송한다. 즉, 도 33에 나타낸 바와 같이, 제1 및 제2 입력 데이타 래치(246, 247)에서는, 래치(461, 471)에 유지된 동일한 데이타가 기록 타이밍 신호 WTS의 하이 레벨 "H"의 펄스에 따라 각각 인버터를 통하여 래치(462, 472)에 전송되고, 기록 데이타 (1111111111)는 기록 증폭기(236, 237)에 전송된다.

또한, 도 33에 나타낸 바와 같이, 어드레스 래치(238)는 기록 타이밍 신호 WTS에 의하여 어드레스 a0 및 그의 반전된 신호를 래치하고, 래치 어드레스 lca0x 및 lca0z를 기록 증폭기(236, 237)에 출력한다. 여기서, CAS 대기 시간 제어 신호 CLS는 CAS 대기 시간(CL=0)을 규정하는 신호로서, SDR 모드에서는 하이 레벨 "H"로 되어 있다.

그리고, 래치 어드레스 lca0z 및 lca0x와 제2 클록 생성기(227')로부터의 기록 인에이블 신호 WAES의 논리합(論理合)을 취한 신호에 의하여, 기록 증폭기(236, 237)는 제1 및 제2 입력 데이타 래치에 유지된 동일한 기록 데이타 중의 하나만을 어드레스 a0=0의 값에 응답하여 대응하는 홀수 어드레스용 메모리 셀 어레이(225) 또는 작수 어드레스용 대응 메모리 셀 어레이(226)에 기록한다.

그러므로, 제2 실시 형태의 반도체 기억 장치는 예컨대 통상의 동작인 DDR 모드 외에 웨이퍼 시험에 있어서의 기록 시험용으로 사용할 수 있느 SDR 모드를 제공하고, CAS 지대기 시간 제어 신호 CLS의 레벨을 단순히 전환시키켜서 신호(DQS, DLS, WTS, WAES 등)의 레벨을 제어하는 것만으로도 SDR 모드를 기동시킬 수 있다. 이상의 제2 실시 형태에서는, 홀수 및 짝수 어드레스용 메모리 셀 어레이(225, 226)을 구비하고 있는 SDRAM을 예로 들어 설명하였으나, 제2 실시 형태의 반도체 기억 장치는 전술한 구성의 SDRAM에 한정되는 것은 아니다. 또한, 각 신호의 레벨, 회로 구성 등을 여러 가지 방식으로 변형시킬 수 있다는 것은 말할 필요도 없다.

이상, 상세히 설명한 바와 같이, 제2 실시 형태에 의하면, 고가의 시험 장치를 사용함이 없이 시험 시간을 단축시킬 수 있는 반도체 기억 장치가 제공된다.

발명의 효과

본 발명에 있어서는, 전술한 실시 형태에 한정됨이 없이 여러 가지 변형이 가능하다. 예컨대, 제1 실시 형태에서는 모드 레제스터(28) 내의 레지스터에 외부 설정 신호가 어드레스 버퍼/레지스터 뱅크 선택부(20)를 통하여 설정되고, 이 설정에 기초하여 DDR 신호의 레벨을 전환하면 된다. 그러나, 본 발명은 이에 한정되지 않으며, SDRAM(1)의 기판에 외부 DDR 신호를 직접 입력하는 전환 신호 입력 단자를 설치하고, 모드 레지스터(28)를 사용함이 없이 시스템측으로부터 직접 DDR 신호를 공급함으로써, 데이타 전송 모드를 제어하여 전환시킬 수 있다.

또한, 제1 실시 형태에 있어서는,DDR 신호를 전환 신호로서 전송하여 SDRAM (1)의 기록 동작 중에 DDR 모드 및 SDR 모드를 전환시키고 있지만, 본 발명은 이에한정되는 것이 아니다. 예컨대, 도 34에 나타낸 바와 같이, DDR 신호 대신에 종래의 SDRAM에 사용되는 제어 신호를 사용할 수 있다. 도 34는 도 1의 제1 실시 형태에 의한 반도체 기억 장치에 변형을 가하는 개략 구성을 나타내고 있다. 도 34에 있어서, 제1 실시 형태와 동일한 기능 작용을 하는 구성 요소에는 동일한 부호를 붙였는데, 이에 관한 설명은 생략한다. 도 34에 나타낸 변형 실시 형태에 있어서,모드 레지스터(28)로부터는 DDR 신호와 함께 CAS 대기 시간 제어 신호 CLS가 출력되며, DDR 신호 및 CAS 대기 시간 제어 신호 CLS는 OR 회로(160)에 입력된다. 따라서, 제2 실시 형태에 따른 SDRAM(1)을 예컨대 종래의 메모리 시험 장치에 의하여 시험 및 평가할 때에는, 모드 레지스터(28)의 DDR 신호 또는 CAS 대기 시간 제어 신호 CLS 중의 어느 하나를 제어함으로써, 상기 SDRAM(1)이 SDR 모드로 기록 동작을 실행하도록 용이하게 전환시킬 수 있다.

전술한 바와 같이, 본 발명에 의하면, 외부 클록의 상승 에지 및 하강 에지의 양에지에 동기하여 데이타를 전송하기 위한 전송 모드에 의하여, 종래의 반도체 시험 장치로 용이하게 시험 및 평가할 수 있는 반도체 기억 장치 및 그의 제어 방법이 실현될 수 있다.

(57) 청구의 범위

청구항 1.

외부 클록 신호에 동기하여 동작 가능한 반도체 기억 장치에 있어서,

외부 클록 신호의 상승 에지 및 하강 에지의 양에지에 동기하여 제1 및 제2 데이타를 직렬로 수신하고 이 제1 및 제2 데이타를 병렬로 동시에 제1 및 제2 데이타 버스로 전송하는 제1 전송 모드와, 상승 에지 및 하강 에지 중 어느 하나의 에지에만 동기하여 제1 데이터를 수신하고 이를 상기 제1 및 제2 데이타 버스 중 어느 하나의 버스에 선택적으로 전송하는 제2 전송 모드를 갖는 데이타 전송 회로를 구비하는 것인 반도체 기억 장치.

청구항 2.

제1항에 있어서, 상기 데이타 전송 회로는 모드 전환 신호에 응답하여 상기 제1 전송 모드와 제2 전송 모드를 전환하는 것인 반도체 기억 장치.

청구항 3.

제2항에 있어서, 상기 모드 전환 신호는 상기 반도체 기억 장치의 외부로부터 입력된 설정 신호에 기초하여 생성되는 것인 반도체 기억 장치.

청구항 4.

제3항에 있어서, 상기 설정 신호를 래치하기 위한 레지스터를 더 포함하는 것인 반도체 기억 장치.

청구항 5.

제4항에 있어서, 상기 레지스터는 모드 레지스터 내에 배치되는 것인 반도체 기억 장치.

청구항 6.

제2항에 있어서, 상기 모드 전환 신호는 전환 신호 입력 단자에 입력되는 것인 반도체 기억 장치.

청구항 7.

제1항에 있어서, 상기 제2 전송 모드는 외부 클록 신호의 상승 에지에 동기하여 데이타를 전송하는 것인 반도체 기억 장치.

청구항 8.

제2항에 있어서, 상기 데이타 전송 회로는 상기 제1 전송 모드에서는 직렬 입력되는 직렬 데이타로부터 변환된 병렬 데이타를 동시에 전송하고, 상기 제2 전송 모드에서는 상기 직렬 데이타를 순차적으로 전송하는 데이타 입력 변환기를 포함하는 것인 반도체 기억 장치.

청구항 9.

제8항에 있어서, 상기 데이타 전송 회로는, 상기 모드 전환 신호에 응답하여 상기 제1 전송 모드에서는 제1 클록 신호를 생성하거나 상기 제2 전송 모드에서는 제2 클록 신호를 생성하고, 상기 제1 클록 신호 또는 제2 클록 신호를 상기 데이타 입력 변환기에 전송하는 데이타 입력 클록 생성 회로를 구비하는 것인 반도체 기억 장치.

청구항 10.

제8항에 있어서, 상기 데이타 전송 회로는 상기 제1 전송 모드에서는 병렬 데이타를 메모리 셀 어레이에 동시에 전송하기 위한 제1 기록 인에이블 신호를 생성하고, 상기 제2 전송 모드에서는 직렬 데이타를 메모리 셀 어레이에 순차적으로 전송하기 위한 제2 기록 인에이블 신호를 생성하는 기록 제어 회로를 포함하는 것인 반도체 기억 장치.

청구항 11.

제8항에 있어서, 상기 모드 전환 신호에 응답하여 컬럼 어드레스를 카운트 업하는 타이밍을 변경시키는 컬럼 어드레스 카운터를 더 포함하는 것인 반도체 기억 장치.

청구항 12.

제11항에 있어서, 상기 컬럼 어드레스 카운터는,

제1 내부 어드레스 생성 클록 및 제2 내부 어드레스 생성 클록을 공급하는 클록 생성 회로와;

상기 제1 내부 어드레스 생성 클록에 동기하여 제1 내부 어드레스를 생성하는 제1 어드레스 생성부와;

상기 제2 내부 어드레스 생성 클록에 동기하여 제2 내부 어드레스를 생성하는 제2 어드레스 생성부를 포함하는 것인 반도체 기억 장치.

청구항 13.

제12항에 있어서, 상기 클록 생성 회로는 외부 클록에 응답하여 내부 클록을 생성하는 클록 생성기와 내부 클록을 수신하여 분주 클록을 생성하는 분주기를 포함하고, 상기 클록 발생 회로는 상기 제1 전송 모드에서는 상기 제1 내부 어드레스 생성 클록으로서 상기 내부 클록을 출력하고, 상기 제2 전송 모드에서는 상기 분주 클록을 상기 제1 내부 어드레스 생성 클록으로서 출력하고, 상기 내부 클록을 상기 제2 내부 어드레스 생성 클록으로서 출력하는 것인 반도체 기억 장치.

청구항 14.

제13항에 있어서, 기록 또는 판독 명령에 따라 상기 내부 클록의 카운트를 개시하고, 소정 수효의 내부 클록이 카운트되면 상기 클록 생성기를 불활성화시키는 버스트 카운터를 더 포함하는 것인 반도체 기억 장치.

청구항 15.

제14항에 있어서, 상기 버스트 카운터는 모드 전환 신호에 응답하여 소정 수효의 상기 내부 클록을 변환하는 버스트 길이 변환 회로를 포함하는 것인 반도체 기억 장치.

청구항 16.

제1항에 있어서, 상기 데이타 전송 회로는 상기 데이타가 기록 데이타일 때 그 데이타를 메모리 셀 어레이에 전송하는 것인 반도체 기억 장치.

청구항 17.

외부 클록 신호에 동기하여 동작 가능한 반도체 기억 장치를 제어하는 방법에 있어서,

제1 전송 모드에서는 외부 클록 신호의 상승 에지 및 하강 에지의 양에지에 동기하여 제1 및 제2 데이타를 직렬로 수신하고 이 제1 및 제2 데이타를 병렬로 동시에 제1 및 제2 데이타 버스로 전송하는 단계와;

제2 전송 모드에서는 상승 에지 및 하강 에지 중 어느 하나의 에지에 동기하여 제1 데이터를 수신하고 이를 상기 제1 및 제2 데이타 버스 중 어느 하나의 버스에 선택적으로 전송하는 단계를 포함하는 반도체 기억 장치의 제어 방법.

청구항 18.

제17항에 있어서, 상기 제1 전송 모드와 제2 전송 모드는 장치의 외부로부터 입력되는 설정 신호에 기처하여 생성된 전환 신호 또는 외부로부터 직접 입력되는 전환 신호에 응답하여 전환되는 것인 반도체 기억 장치의 제어 방법.

청구항 19.

제17항에 있어서, 상기 제2 전송 모드에서는 외부 클록 신호의 상승 에지에 동기하여 데이타를 전송하는 것인 반도체 기억 장치의 제어 방법.

청구항 20.

제17항에 있어서, 상기 전송 단계는 상기 제1 전송 모드에서는 직렬 입력된 복수의 데이타의 직렬/병렬 변환을 실행하여 변환된 병렬 데이타를 동시에 전송하고, 이어서 상기 제2 전송 모드에서는 상기 복수의 데이타를 순차적으로 전송하는 단계를 포함하는 것인 반도체 기억 장치의 제어 방법.

청구항 21.

제20항에 있어서, 상기 전송 단계는 상기 복수의 데이타가 직렬/병렬 변환 후에 동시에 전송되는지 또는 순차적으로 전송되는지의 여부를 전환 신호에 응답하여 결정하는 단계를 포함하는 것인 반도체 기억 장치의 제어 방법.

청구항 22.

제20항에 있어서, 상기 전송 단계는, 데이타를 메모리 셀 어레이에 전송할 때의 전환 신호에 응답하여, 상기 제1 전환 모드에서는 기록 증폭기에 제1 기록 인에이블 신호를 출력하고, 상기 제2 전송 모드에서는 제2 기록 인에이블 신호를 출력하는 단계를 포함하는 것인 반도체 기억 장치의 제어 방법.

청구항 23.

제20항에 있어서, 상기 전송 단계는 전환 신호에 응답하여 컬럼 어드레스를 카운트 업하는 타이밍을 변경하는 단계를 포함하는 것인 반도체 기억 장치의 제어 방법.

청구항 24.

제17항에 있어서, 상기 제2 전송 모드는 데이타가 시험 모드로 기록될 때 선택되는 것인 반도체 기억 장치의 제어 방법.

청구항 25.

삭제

청구항 26.

삭제

청구항 27.

삭제

청구항 28.

삭제

청구항 29.

삭제

청구항 30.

삭제

청구항 31.

삭제

청구항 32.

삭제

청구항 33.

삭제

청구항 34.

삭제

청구항 35.

삭제

청구항 36.

삭제

청구항 37.

삭제

청구항 38.

삭제

청구항 39.

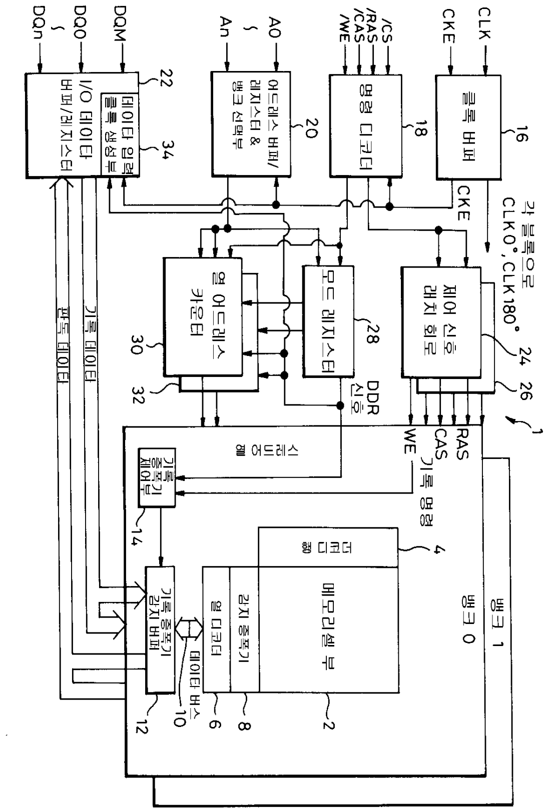
삭제

청구항 40.

제1항에 있어서, 상기 반도체 기억 장치는 SDRAM(Synchronous Dynamic Random Access Memory)인 것을 특징으로 하는 반도체 기억 장치.

도면

도면 1

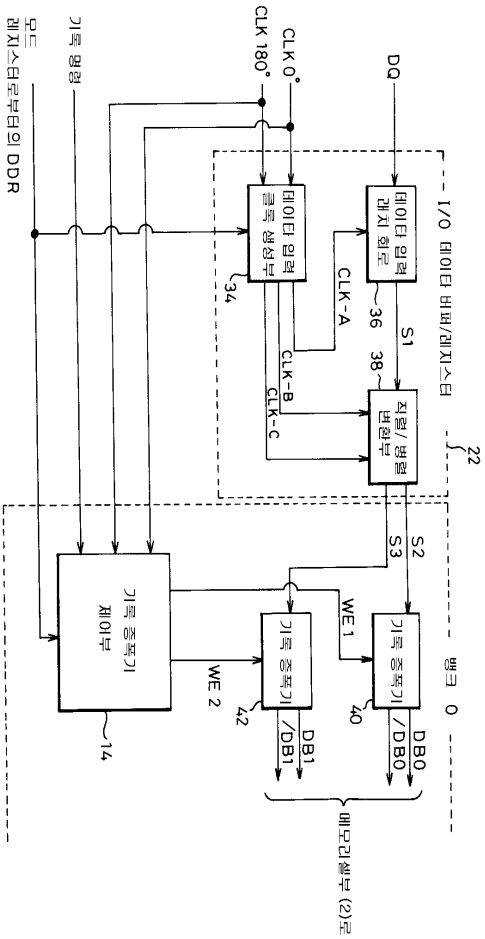


CLK
CKE
/CS
/RAS
/CAS
/WE
A0
An
DQM
DQ0
DQn
클록 버퍼
명령 디코더
어드레스 버퍼/레지스터 & 뱅크 선택부
데이터 입력 클록 생성부
I/O 데이터 버퍼/레지스터
각 블록으로 CLK0°, CLK180°
제어 신호 래치 회로
모드 레지스터
열 어드레스 카운터
DDR 신호
RAS
CAS
WE
열 어드레스
기록 명령
기록 증폭기 제어부
행 디코더
메모리셀부
감지 증폭기
열 디코더
데이터 버스
기록 증폭기 감지 버퍼
기록 데이터
판독 데이터
뱅크 0
뱅크 1

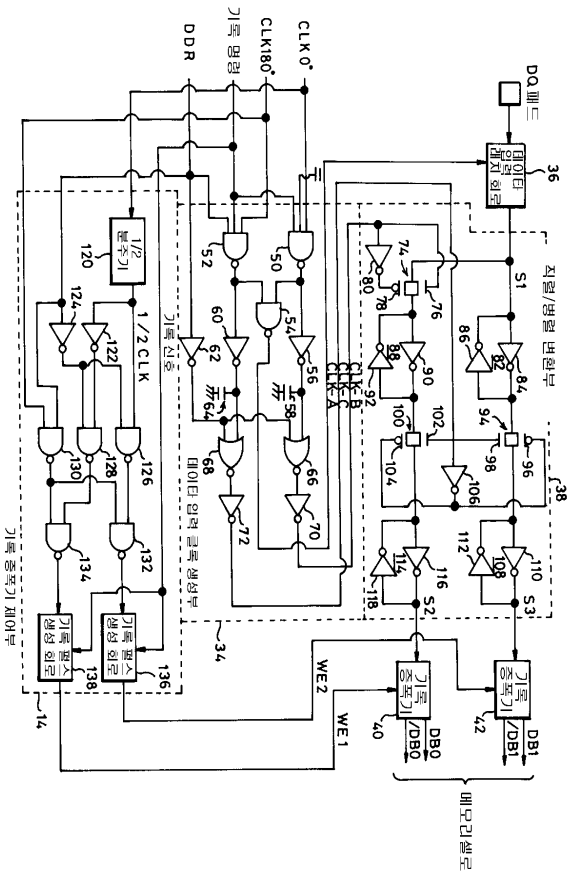
도면 2

명령 함수명	명령	CKE		$\overline{CS}$	$\overline{RAS}$	$\overline{CAS}$	$\overline{WE}$	A11	A10	A9~A0
		n-1	n							
Non-selection of device	DESL	H	X	H	X	X	X	X	X	X
No operation	NOP	H	X	L	H	H	H	X	X	X
Read	READ	H	X	L	H	L	H	V	L	V
Read/auto precharge	READA	H	X	L	H	L	H	V	H	V
Write	WRIT	H	X	L	H	L	L	V	L	V
Write/auto precharge	WRITA	H	X	L	H	L	L	V	H	V
Bank active (RAS)	ACTV	H	X	L	L	H	H	V	V	V
Single bank precharge	PRE	H	X	L	L	H	L	V	L	X
All bank precharge	PALL	H	X	L	L	H	L	X	H	X
Mode register get	MRS	H	X	L	L	L	L	L	V	V

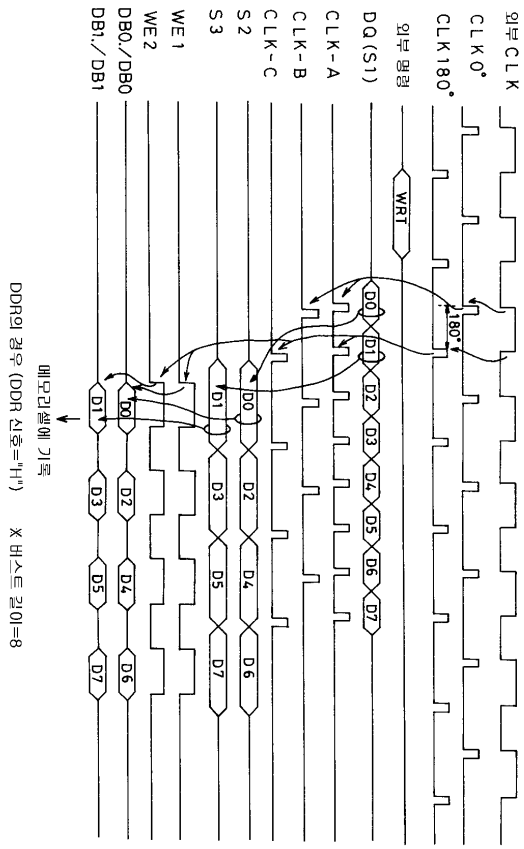
도면 3


DQ
CLK 0°
CLK 180°
기록 명령
모드 레지스터로부터의 DDR
I/O 데이타 버퍼/레지스터
데이타 입력 래치 회로
데이타 입력 클록 생성부
34
36
38
CLK-A
CLK-B
CLK-C
직렬/병렬 변환부
22
S1
S2
S3
뱅크 0
기록 증폭기 제어부
14
WE 1
WE 2
기록 증폭기
42
40
DB0
/DB0
DB1
/DB1
메모리셀부 (2)로

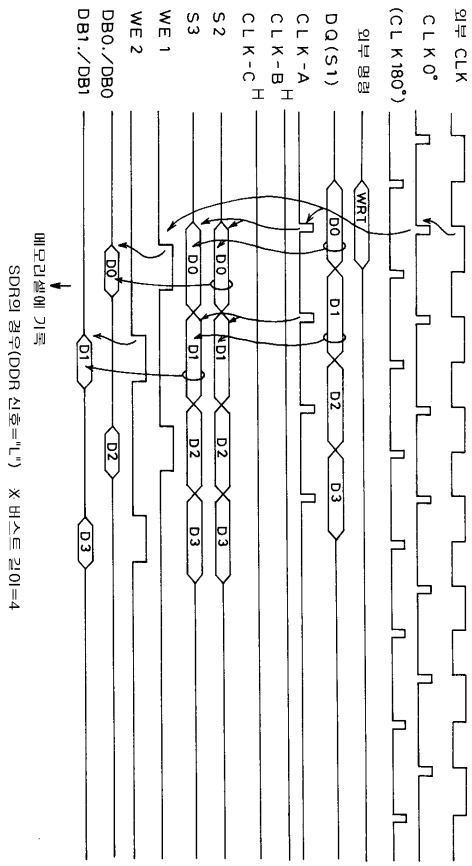
도면 4


DQ 패드
데이타 입력 제어 회로
36
직렬/병렬 변환부
38
S1
S2
S3
데이타 입력 클록 생성부
34
기록 명령
CLK180°
CLK0°
DDR
1/2 분주기
120
1/2 CLK
기록 신호
CLK_B
CLK_A
기록 펄스 생성 회로
136
138
기록 중폭기 제어부
14
WE2
WE1
기록 중폭기
40
42
DB0
/DB0
DB1
/DB1
메모리 셀로

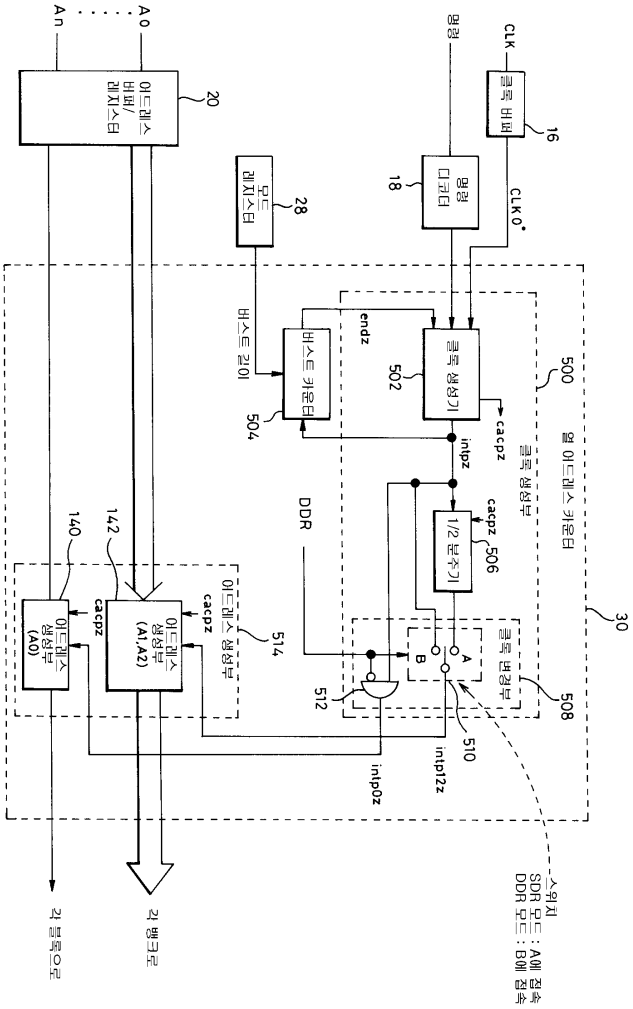
도면 5


외부CLK
CLK0°
CLK180°
180°
외부명령
WRT
DQ(S1)
CLK-A
CLK-B
CLK-C
S2
S3
WE1
WE2
DB0./DB0
DB1./DB1
D0
D1
D2
D3
D4
D5
D6
D7
버스라인에 기록
DDR의 경우 (DDR 신호="H")
X 버스트 길이=8

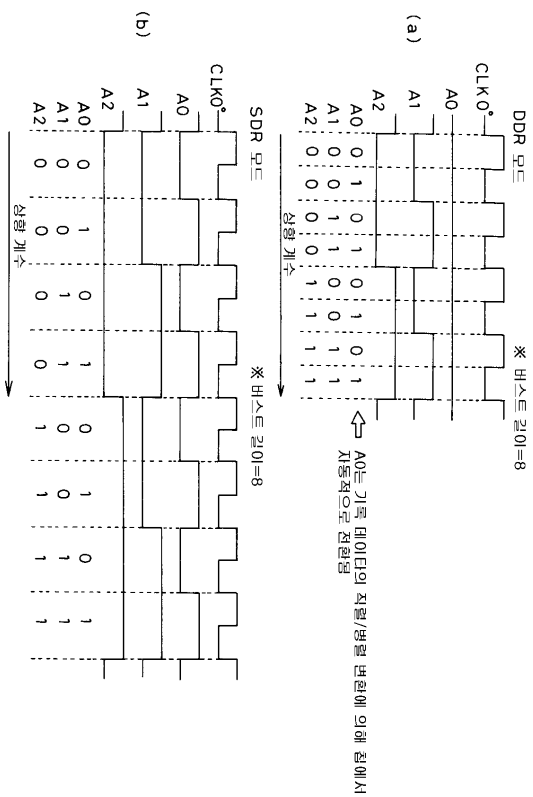
도면 6


외부 CLK
CLK0°
(CLK180°)
외부 명령
DQ(S1)
CLK-A H
CLK-B H
CLK-C H
S2
S3
WE 1
WE 2
DB0./DB0
DB1./DB1
WRT
D0
D1
D2
D3
메모리셀에 기록
SDR일 경우(DDR 신호="L") X 버스트 길이=4

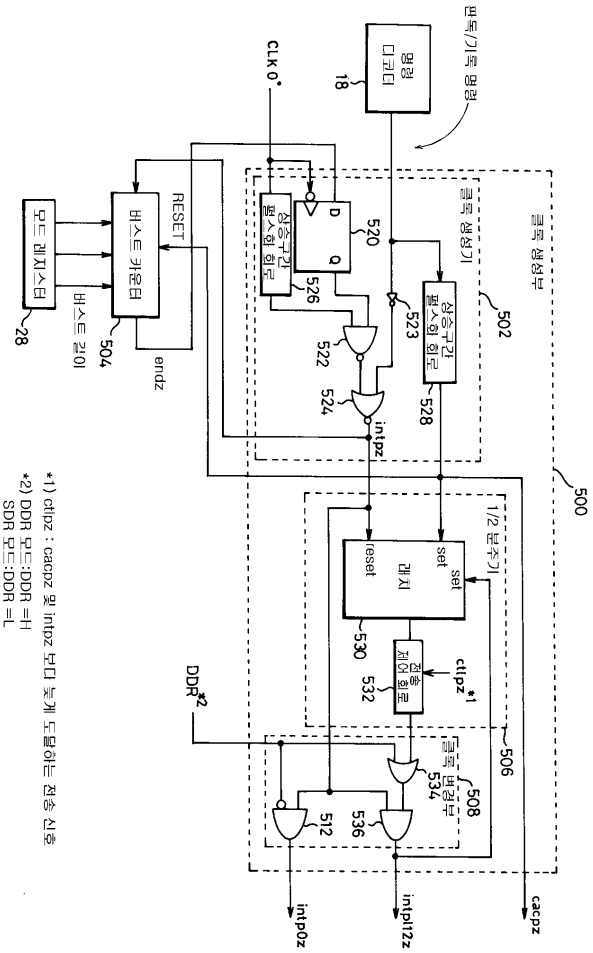
도면 7


An
A0
어드레스 버퍼/레지스터
20
명령
CLK
클록 버퍼
16
명령 디코더
18
CLK,CLK*
모드 레지스터
28
버스트 길이
endz
클록 생성기
502
500
램 어드레스 카운터
클록 생성부
버스트 카운터
504
cacpz
intpz
cacpz
1/2 분주기
506
DDR
140
142
어드레스 생성부
514
어드레스 생성부 (A0)
어드레스 생성부 (A1,A2)
cacpz
cacpz
B
A
클록 변경부
508
512
510
intpz
intp1z
30
각 블록으로
각 뱅크로
스위치
SDR 모드 : A에 접속
DDR 모드 : B에 접속

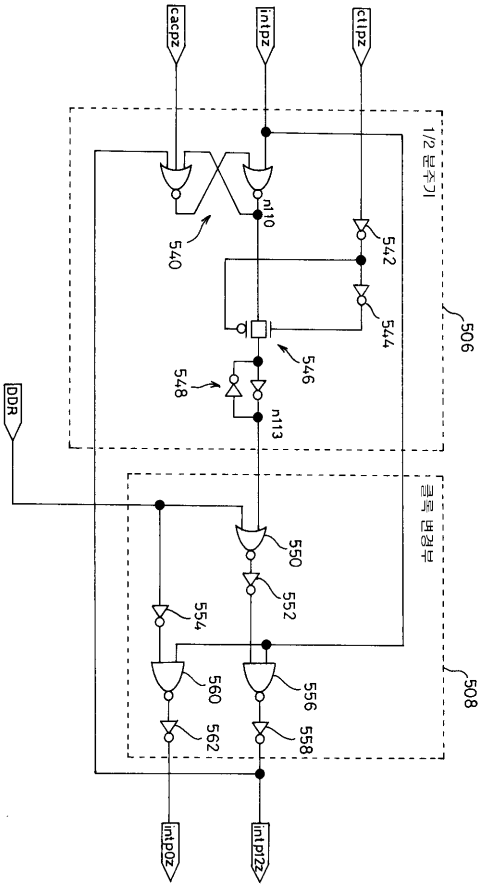
도면 8


(a)
DDR 모드
CLK0°
A0
A1
A2
※ 버스트 길이=8
A0 A1 A2
0 0 0
1 0 0
0 1 0
1 1 0
0 0 1
1 0 1
0 1 1
1 1 1
상향 계수
A0는 기록 데이터의 직렬/병렬 변환에 의해 칩에서 자동적으로 정함
(b)
SDR 모드
CLK0°
A0
A1
A2
※ 버스트 길이=8
A0 A1 A2
0 0 0
1 0 0
0 1 0
1 1 0
0 0 1
1 0 1
0 1 1
1 1 1
상향 계수

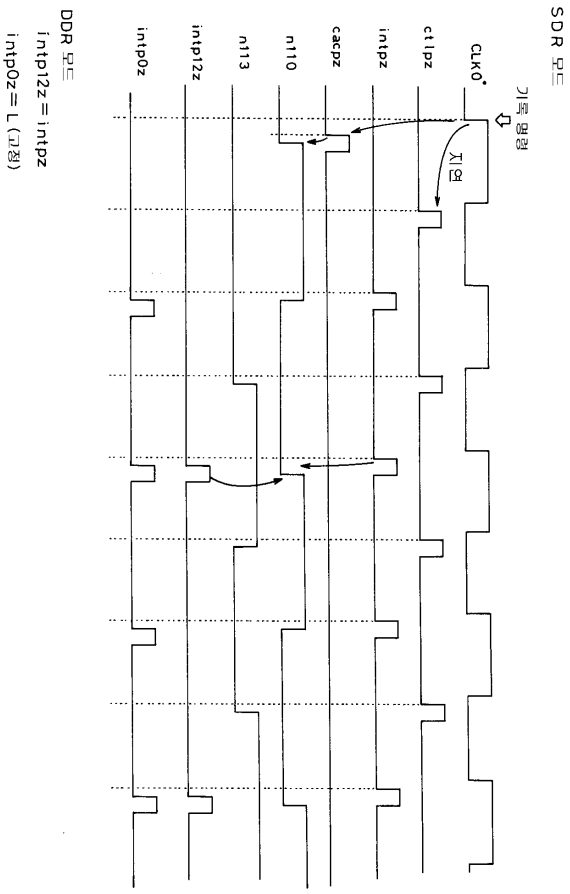
도면 9


리드/기록 명령
명령 디코더
18
CLK 0°
클록 생성부
클록 생성기
502
520
526
522
523
524
528
intpz
500
1/2 분주기
set
reset
래치
530
532
ctlpz *1
전송 회로
DDR *2
클록 변경부
508
534
506
512
536
intpOz
intpl12z
cacpz
RESET
endz
버스트 카운터
504
버스트 길이
모드 레지스터
28
*1) ctlpz : cacpz 및 intpz 보다 늦게 도달하는 전송 신호
*2) DDR 모드:DDR =H
SDR 모드:DDR =L

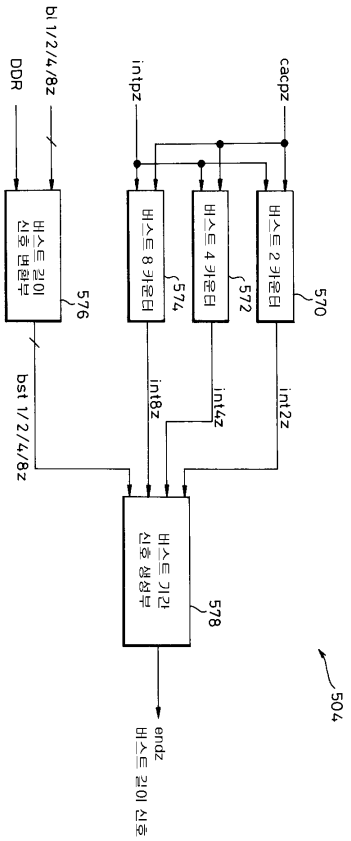
도면 10


cacpz
intpz
clipz
1/2 분주기
n110
540
542
544
506
546
548
n113
DDR
클록 변경부
550
552
554
560
556
558
562
intp0z
intp12z
508

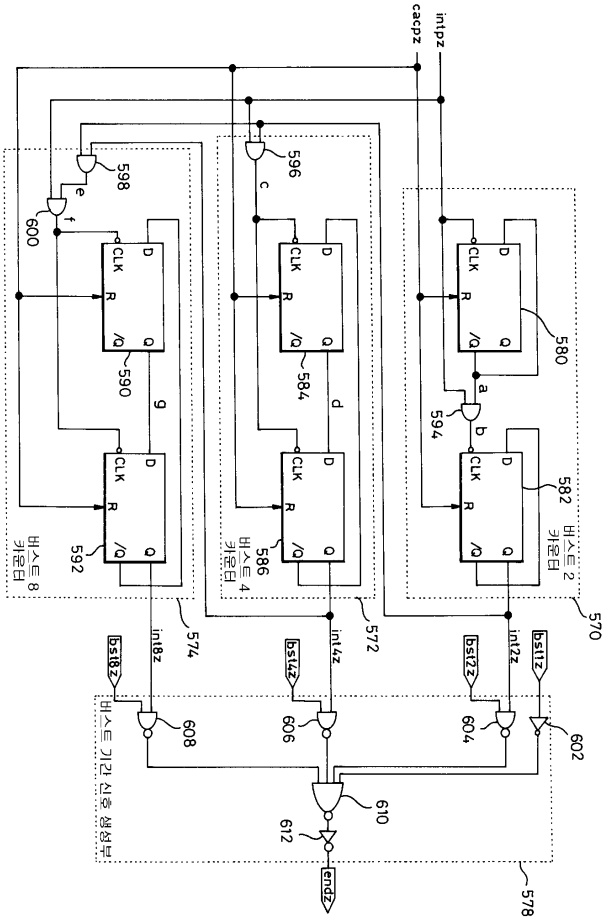
도면 11


SDR 모드
CLK0*
ctlpz
intpz
cacpz
n110
n113
intp12z
intp0z
기록 명령
지연
DDR 모드
intp12z = intpz
intp0z = L (고정)

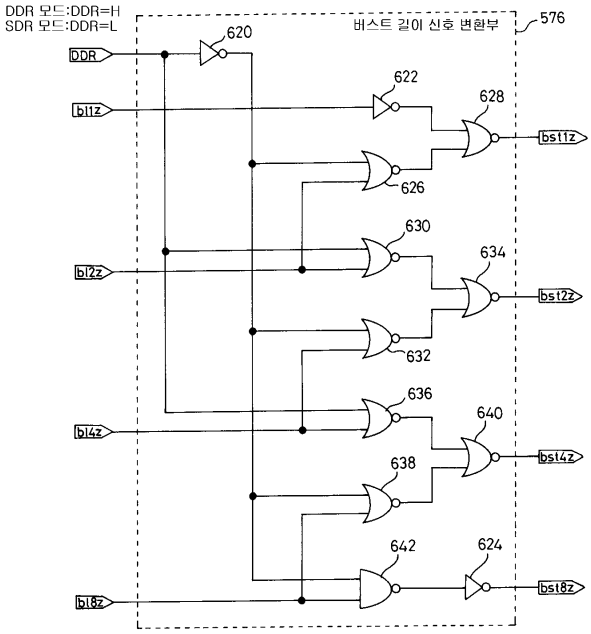
도면 12


bl 1/2/4/8z
DDR
intpz
cacpz
버스트 길이 신호 변환부
576
버스트 8 카운터
574
버스트 4 카운터
572
버스트 2 카운터
570
bst 1/2/4/8z
int8z
int4z
int2z
버스트 기간 신호 생성부
578
504
endz
버스트 길이 신호

도면 13


int2z
cacpz
596
598
600
580
582
584
586
588
590
592
594
570
572
574
578
608
606
604
602
610
612
endz
bst8z
bst4z
bst2z
bst1z
int8z
int4z
int2z
int1z
a
b
c
d
e
f
g
CLK
D
Q
/Q
R
버스트 2 카운터
버스트 4 카운터
버스트 8 카운터
버스트 기간 신호 생성부

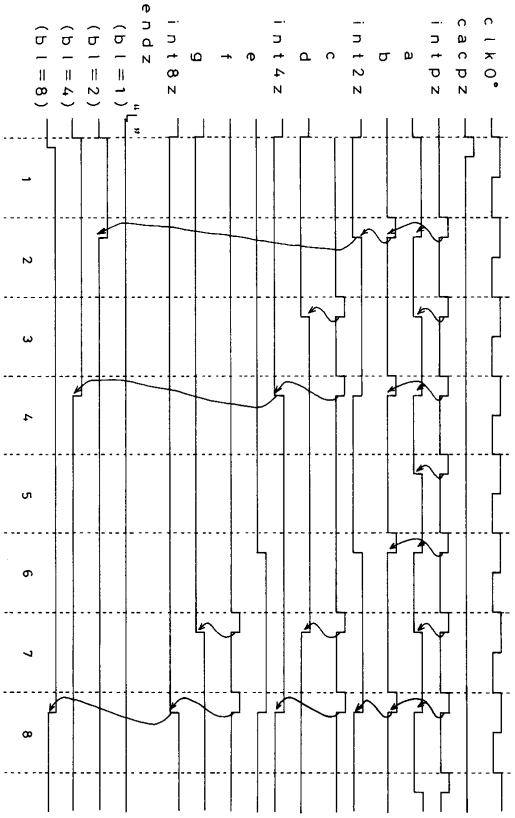
도면 14a



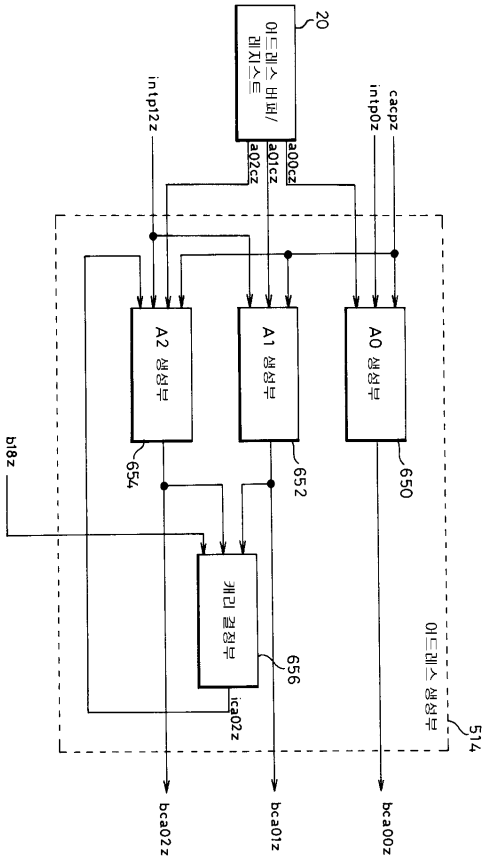
도면 14b

	DDR모드	SDR모드
bst1z	bl2z	bl1z
bst2z	bl4z	bl2z
bst4z	bl8z	bl4z
bst8z	L	bl8z

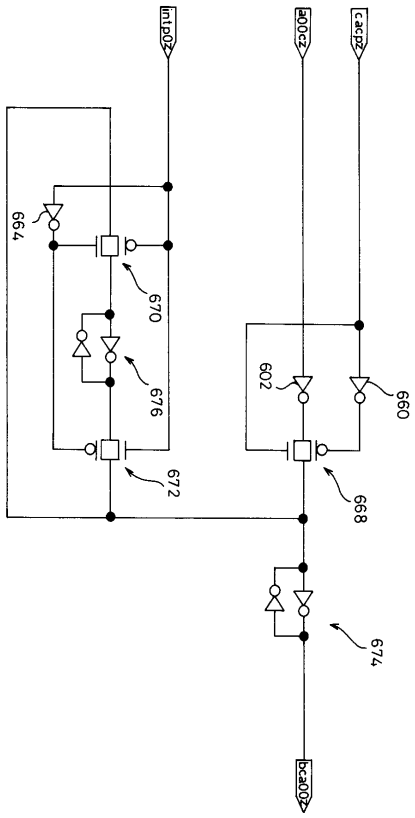
도면 15


clkO°
cacpz
intpz
a
b
int2z
c
d
int4z
e
f
g
int8z
endz
(bl=1) "L"
(bl=2)
(bl=4)
(bl=8)
1
2
3
4
5
6
7
8

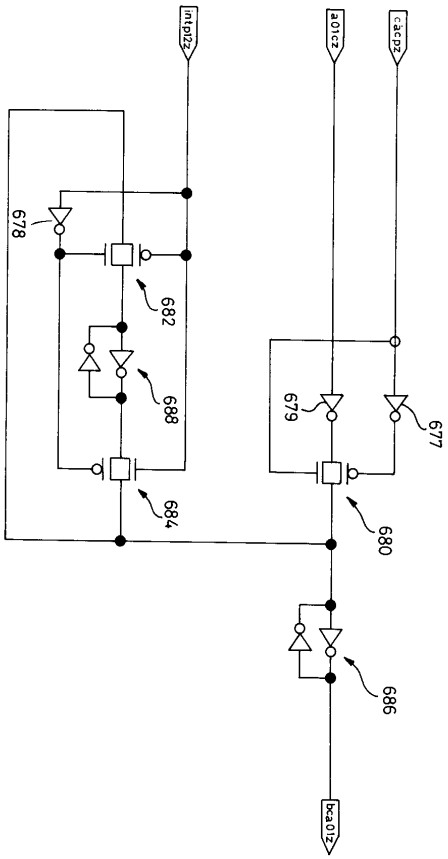
도면 16


20
어드레스 버퍼/
래치스트
intp12z
intp0z
cacpz
a00cz
a01cz
a02cz
A2 셀렉터
A1 셀렉터
A0 셀렉터
654
652
650
b18z
래치 컴플리터
656
ica02z
어드레스 셀렉터
514
bca02z
bca01z
bca00z

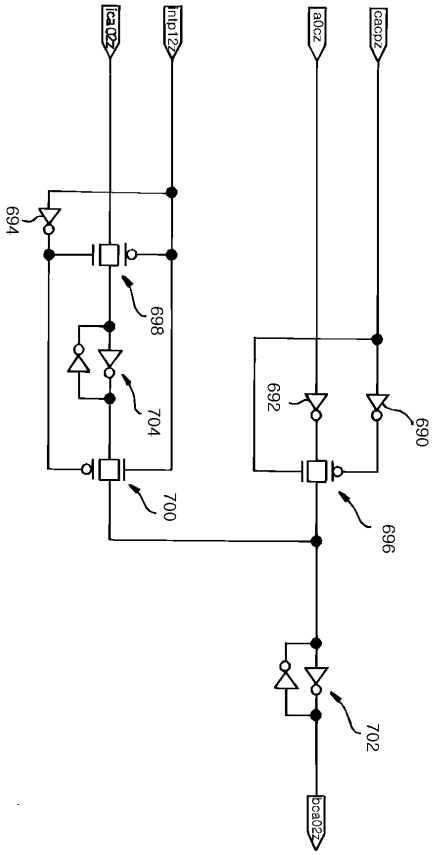
도면 17



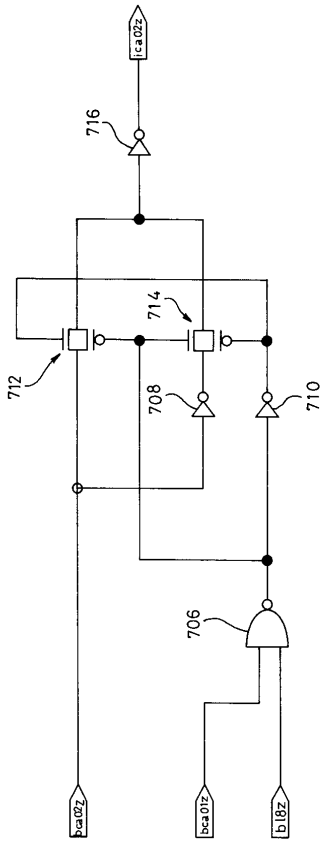
도면 18



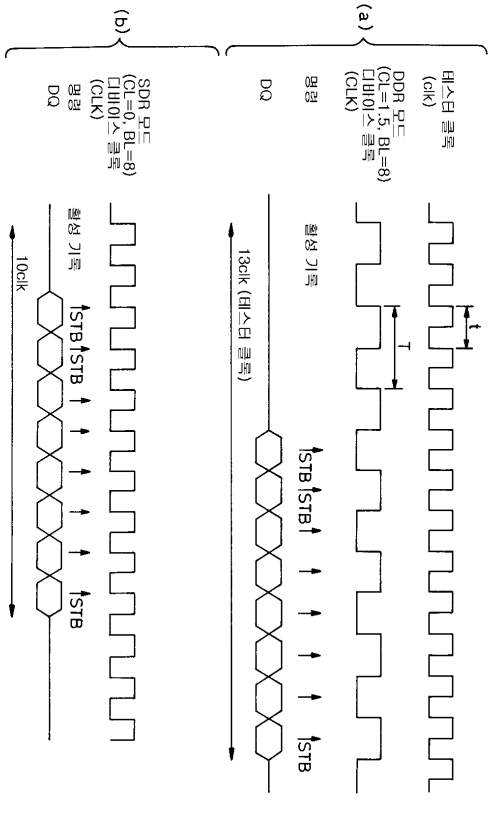
도면 19



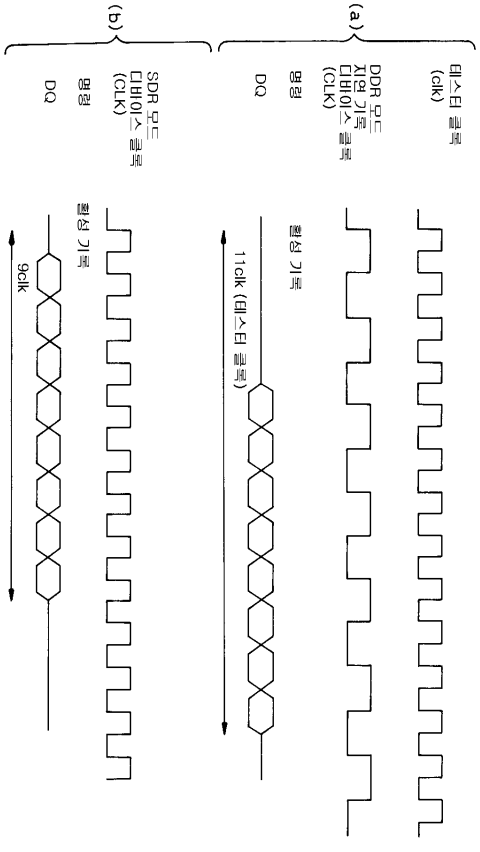
도면 20



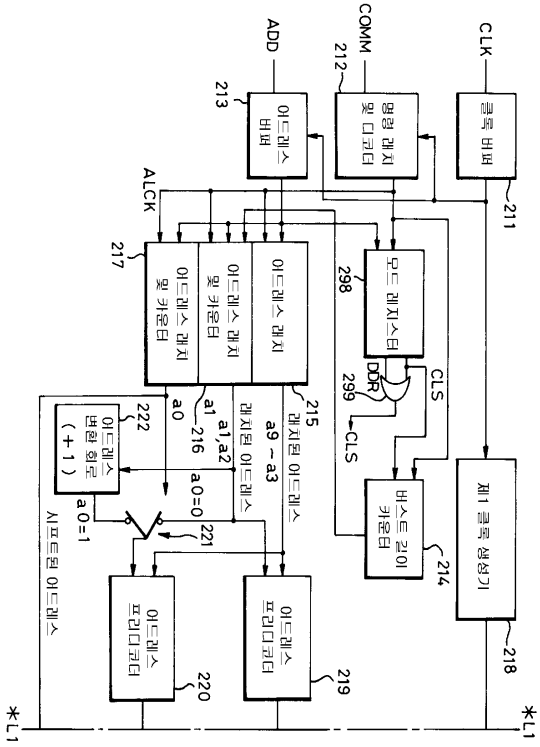
도면 21


(a)
(b)
마스터 클록 (clk)
DDR 모드 (CL=1.5, BL=8) 디바이스 클록 (CLK)
명령
DQ
활성 기록
STB
13clk (마스터 클록)
SDR 모드 (CL=0, BL=8) 디바이스 클록 (CLK)
명령
DQ
활성 기록
STB
10clk
t
T

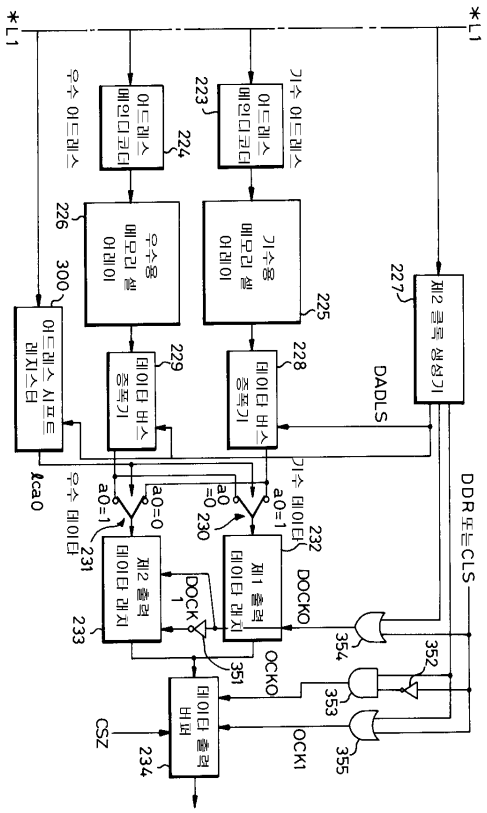
도면 22


(a)
테스터 클록 (clk)
DDR 모드 지원 기준 디바이스 클록 (CLK)
명령
DQ
활성 기록
11clk (테스터 클록)
(b)
SDR 모드 디바이스 클록 (CLK)
명령
DQ
활성 기록
9clk

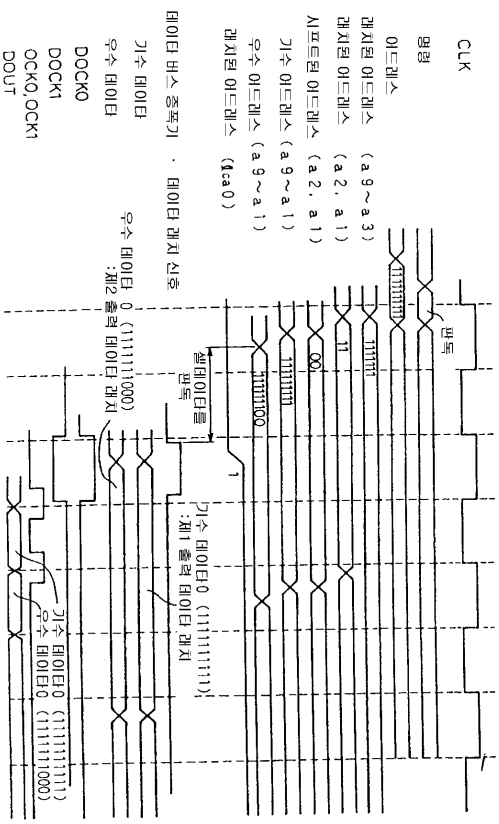
도면 23


CLK
클록 버퍼
211
COMM
212
명령 래지 및 디코더
ADD
213
어드레스 버퍼
ALCK
217
어드레스 래지 및 카운터
어드레스 래지 및 카운터
어드레스 래지
215
래지된 어드레스
a9 ~ a3
a1,a2
a1
216
a0
a0=0
a0=1
221
222
어드레스 변환 회로 (+ 1)
시프트된 어드레스
298
모드 레지스터
DDR
299
CLS
CLS
CLS
버스트 길이 카운터
214
제1 클록 설정기
218
어드레스 프리디코더
220
어드레스 프리디코더
219
*L1
*L1

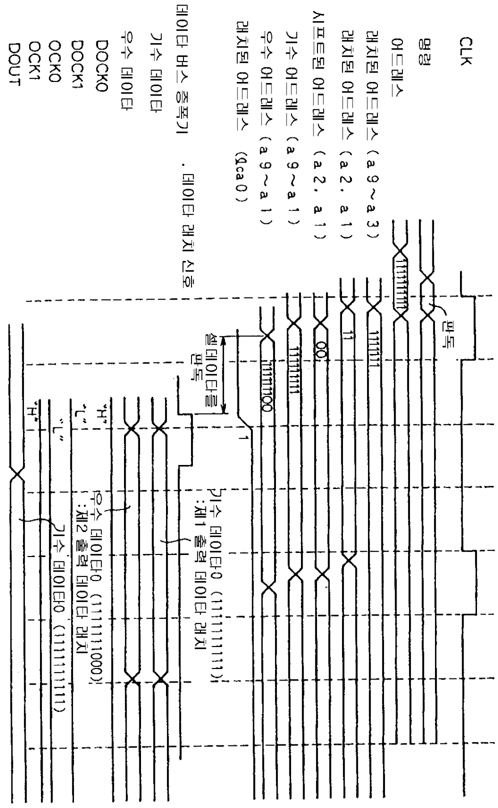
도면 24


*L1
*L1
우수 어드레스
기수 어드레스
어드레스 베인디큐터
223
224
우수용 메모리 셀 어레이
기수용 메모리 셀 어레이
226
225
300
227
제2 클럭 생성기
어드레스 시프트 레지스터
데이터 버스 증폭기
228
229
DADLS
fca0
우수 데이터
기수 데이터
a0=1
a0=0
a0=0
a0=1
제2 출력 데이터 래치
제1 출력 데이터 래치
231
232
230
233
DOCK1
DOCK0
OCK0
OCK1
354
352
353
355
351
데이터 출력 버퍼
CSZ
234
DDR 또는 CLS

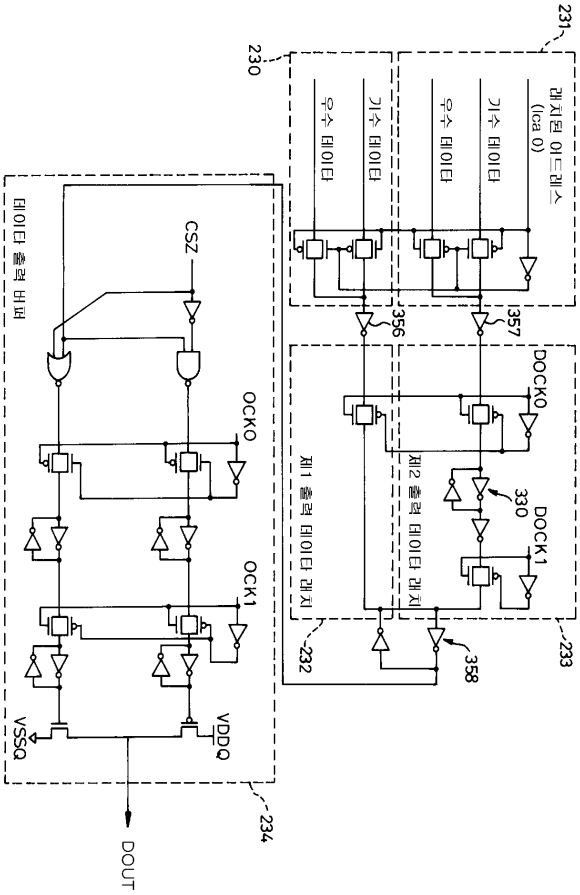
도면 25


CLK
명령
어드레스
래치된 어드레스 (a9~a3)
래치된 어드레스 (a2, a1)
시프트된 어드레스 (a2, a1)
기수 어드레스 (a9~a1)
우수 어드레스 (a9~a1)
래치된 어드레스 (&a0)
펄득
11
00
11111111
11111100
1
설데이타를
펄득
기수 데이타0 (1111111111)
:제1 출력 데이타 래치
데이터 버스 중폭기 · 데이터 래치 신호
기수 데이타
우수 데이타
우수 데이타 0 (1111111000)
:제2 출력 데이타 래치
DOCK0
DOCK1
OCK0,OCK1
DOUT
기수 데이타0 (1111111111)
우수 데이타0 (1111111000)

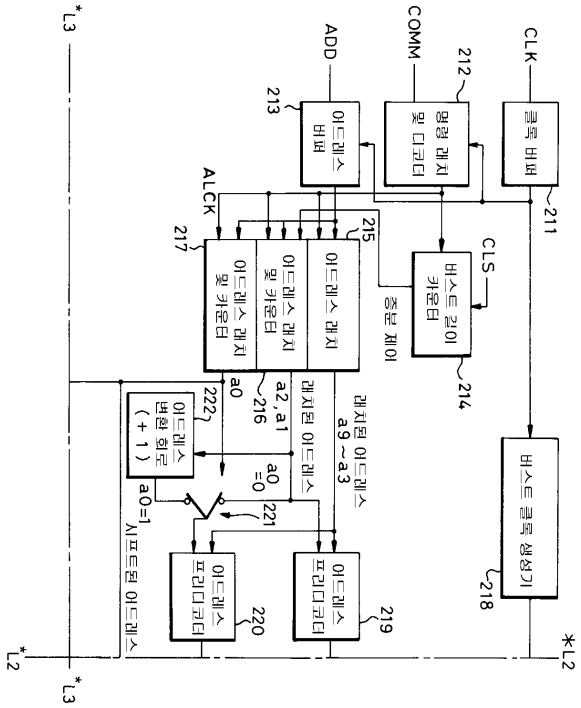
도면 26


CLK
명령
어드레스
래치된 어드레스 (a9~a3)
래치된 어드레스 (a2, a1)
시프트된 어드레스 (a2, a1)
기수 어드레스 (a9~a1)
우수 어드레스 (a9~a1)
래치된 어드레스 (Qca0)
데이타 버스 증폭기 · 데이타 래치 신호
기수 데이타
우수 데이타
DOCK0
DOCK1
OCK0
OCK1
DOUT

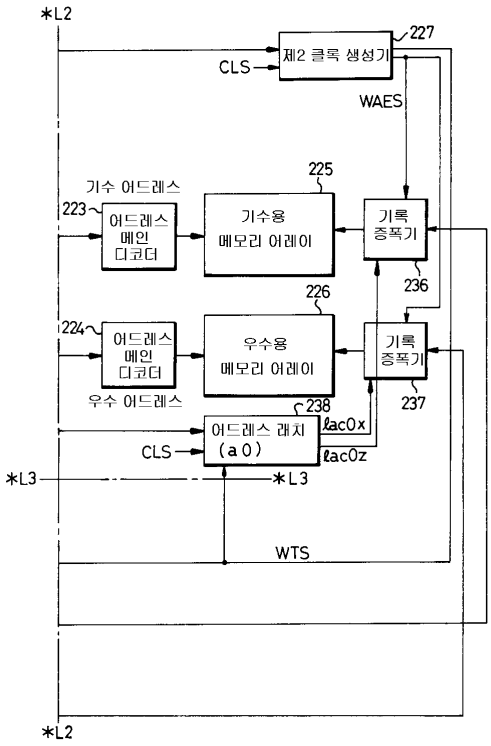
도면 27


231
230
래치된 어드레스 (lca 0)
기수 데이터
우수 데이터
기수 데이터
우수 데이터
356
357
DOCK0
DOCK1
330
제1 출력 데이터 래치
제2 출력 데이터 래치
232
233
358
데이터 출력 버퍼
CSZ
OCK0
OCK1
VSSQ
VDDQ
234
DOUT

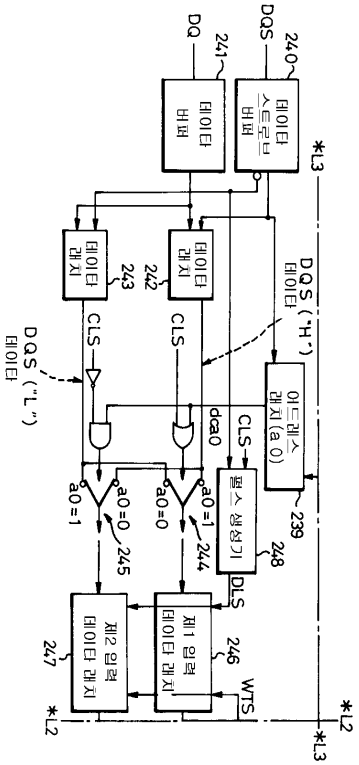
도면 28


CLK
클록 버퍼
211
COMM
212
명령 래치 및 디코더
ADD
213
어드레스 버퍼
CLS
214
버스트 길이 카운터
증분 제어
215
ALCK
217
어드레스 래치
어드레스 래치 및 카운터
어드레스 래치 및 카운터
a2, a1
a0
216
래치된 어드레스 a9~a3
a0 =0
221
a0=1
시프트된 어드레스
222
어드레스 변환 회로 (+1)
어드레스 프리디코더
220
어드레스 프리디코더
219
버스트 클록 생성기
218
*L3
*L2
*L2
*L3

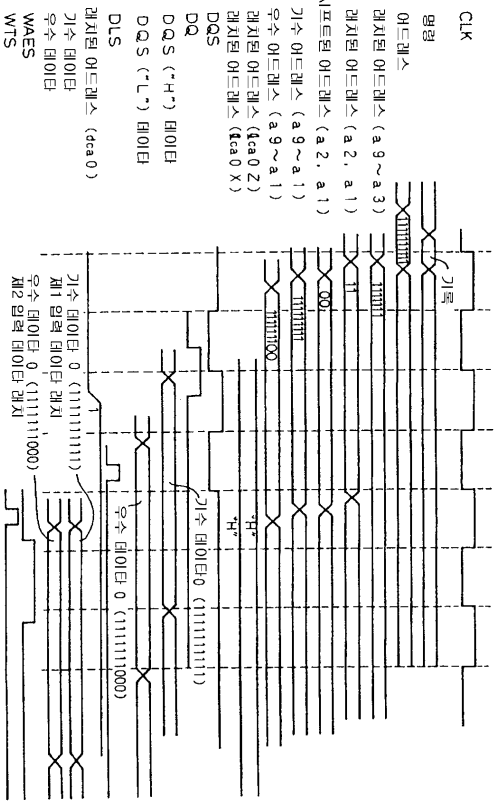
도면 29


*L2
227
제2 클록 생성기
CLS
WAES
225
기수 어드레스
223
어드레스 메인 디코더
기수용 메모리 어레이
기록 증폭기
236
226
224
어드레스 메인 디코더
우수용 메모리 어레이
기록 증폭기
237
우수 어드레스
238
어드레스 래치 (a0)
&ac0x
&ac0z
CLS
*L3
*L3
WTS
*L2

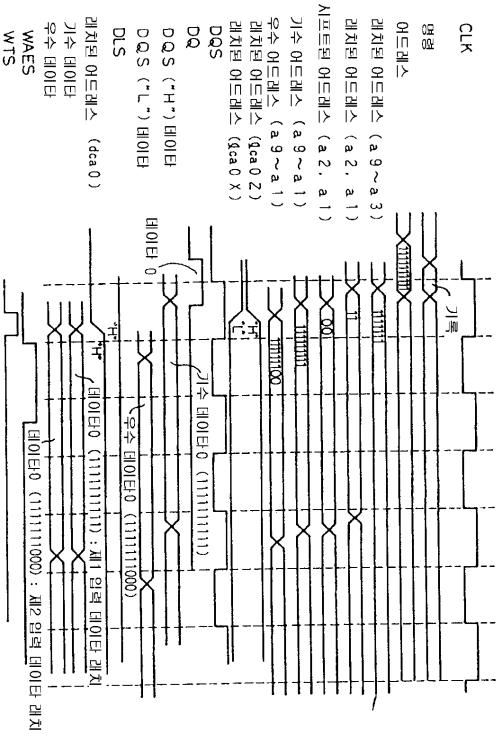
도면 30


DQS
DQ
240
241
데이타 스트로브 버퍼
데이타 버퍼
*L3
DQS ("H") 데이타
데이타 래치
242
243
CLS
DQS ("L") 데이타
dqa0
CLS
어드레스 래치 (a 0)
239
a0=1
a0=0
a0=0
a0=1
244
245
펄스 생성기
248
DLS
제2 입력 데이타 래치
247
제1 입력 데이타 래치
246
WTS
*L2
*L2
*L3

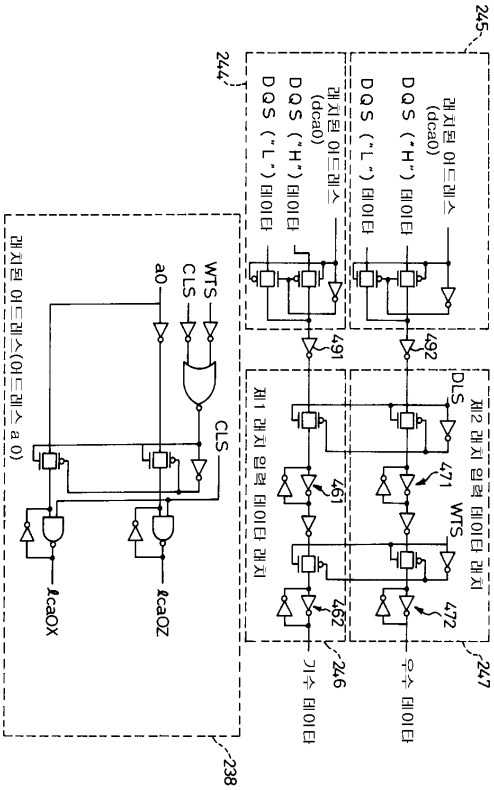
도면 31


CLK
명령
어드레스
래치된 어드레스 (a9~a3)
래치된 어드레스 (a2, a1)
시프트된 어드레스 (a2, a1)
기수 어드레스 (a9~a1)
우수 어드레스 (a9~a1)
래치된 어드레스 (dca0 Z)
래치된 어드레스 (dca0 X)
DQS
DQ
DQS ("H") 데이터
DQS ("L") 데이터
DLS
래치된 어드레스 (dca0)
기수 데이터
우수 데이터
WAES
WTS
기록
00
11
11111111
1111100
"H"
"H"
기수 데이터0 (1111111111)
우수 데이터 0 (1111111000)
기수 데이터 0 (1111111111)
제1 입력 데이터 래치
우수 데이터 0 (1111111000)
제2 입력 데이터 래치

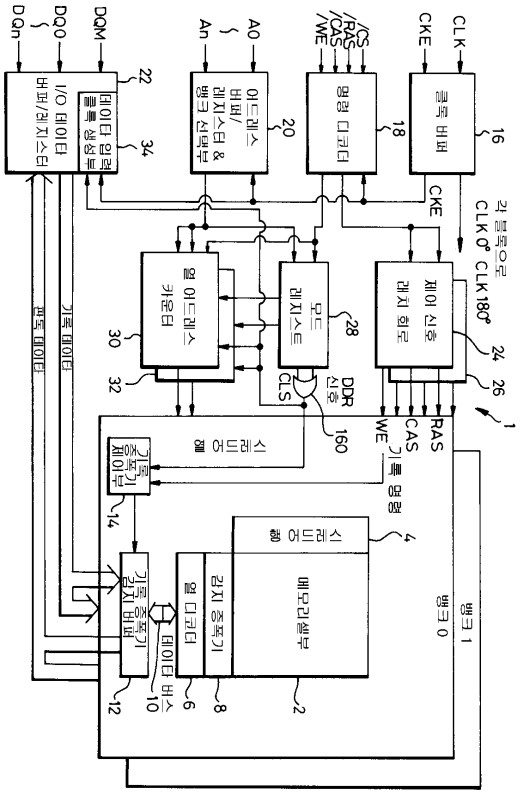
도면 32


CLK
명령
어드레스
래치된 어드레스 (a9~a3)
래치된 어드레스 (a2, a1)
시프트된 어드레스 (a2, a1)
기수 어드레스 (a9~a1)
우수 어드레스 (a9~a1)
래치된 어드레스 ($ca0Z)
래치된 어드레스 ($ca0X)
DQS
DQ
DQS ("H") 데이터
DQS ("L") 데이터
DLS
래치된 어드레스 (dca0)
기수 데이터
우수 데이터
WAES
WTS
기록
데이터 0
기수 데이터0 (11111111)
우수 데이터0 (11111111)
데이터0 (11111111)
데이터0 (11111000)
: 제1 입력 데이터 래치
: 제2 입력 데이터 래치

도면 33


245
래치된 어드레스 (dca0)
DQS ("H") 데이터
DQS ("L") 데이터
244
래치된 어드레스 (dca0)
DQS ("H") 데이터
DQS ("L") 데이터
491
492
제2 래치 입력 데이터 래치
DLS
471
WTS
472
제1 래치 입력 데이터 래치
461
462
247
우수 데이터
246
기수 데이터
238
래치된 어드레스(어드레스 a 0)
WTS
CLS
a0
CLS
caOX
caOZ

도면 34


CLK
CKE
/CS
/RAS
/CAS
/WE
A0
An
DQM
DQ0
DQn
클록 버퍼
16
명령 디코더
18
어드레스 버퍼/레지스터 & 뱅크 선택부
20
데이터 입력 클록 생성부
34
버퍼/레지스터
22
I/O 데이터
CKE
각 블록으로 CLK 0° CLK 180°
제어 신호 래치 회로
24
26
1
모드 레지스터
28
DDR 신호
CLS
160
열 어드레스 카운터
30
32
RAS
CAS
WE
기록 명령
센스 앰프
기록 증폭기 제어부
14
4
메모리셀부
뱅크 0
뱅크 1
컬럼 디코더
6
컬럼 증폭기
8
데이터 버스
10
기록 증폭기 검지 레벨
12
2
기록 데이터
판독 데이터