

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3591657号
(P3591657)

(45) 発行日 平成16年11月24日(2004.11.24)

(24) 登録日 平成16年9月3日(2004.9.3)

(51) Int. Cl.⁷

GO1R 31/28

F I

GO1R 31/28

H

請求項の数 1 (全 10 頁)

<p>(21) 出願番号 特願平5-255532 (22) 出願日 平成5年10月13日(1993.10.13) (65) 公開番号 特開平7-110357 (43) 公開日 平成7年4月25日(1995.4.25) 審査請求日 平成12年9月12日(2000.9.12)</p>	<p>(73) 特許権者 390005175 株式会社アドバンテスト 東京都練馬区旭町1丁目32番1号 (74) 代理人 100066153 弁理士 草野 卓 (74) 代理人 100100642 弁理士 稲垣 稔 (72) 発明者 山下 和宏 東京都練馬区旭町1丁目32番1号 株式 会社アドバンテスト内 審査官 越川 康弘 (56) 参考文献 特開平5-223891(JP,A)</p>
--	--

最終頁に続く

(54) 【発明の名称】 半導体IC試験装置

(57) 【特許請求の範囲】

【請求項1】

試験サイクルごとに発生するパターンデータをアドレスとして波形メモリから、ドライバ高レベル駆動第1、第2データ、ドライバ低レベル駆動第1、第2データ、ドライバインエーブルデータ、ドライバディスインエーブルデータ、低レベル期待値データ、高レベル期待値データを読み出し、

上記試験サイクルごとに設定したタイミングで発生する第1、第2クロックと上記高レベル駆動第1、第2データとの各論理積により第1フリップフロップをセットし、

上記第1、第2クロックと上記低レベル駆動第1、第2データとの各論理積により上記第1フリップフロップをリセットし、

上記試験サイクルごとに設定したタイミングで発生する第3、第4クロックとの各論理積により第2フリップフロップをセット、リセットし、

上記第1フリップフロップの出力でドライバを駆動し、そのドライバの出力を被試験IC素子に印加し、

上記第2フリップフロップの出力により上記ドライバをインエーブル又はディスインエーブルに制御し、

上記被試験IC素子の出力を第1、第2コンパレータで高レベルしきい値、低レベルしきい値とそれぞれ比較し、

上記試験サイクルごとに設定された同一タイミングのストロープにより上記第1、第2コンパレータの出力をサンプリングし、

上記第1コンパレータの非反転サンプリング出力と上記高レベル期待値データとの論理積と、

上記第2コンパレータの非反転サンプリング出力と上記低レベル期待値データとの論理積とを試験結果として出力する半導体IC試験装置において、

試験サイクルごとに発生するパターンデータをアドレスとして読出される非低レベル期待値データと非高レベル期待値データも上記波形メモリに記憶されており、

上記第3、第4クロックと上記イネーブルデータ、ディスイネーブルデータとの各論理積の出力と、倍速モード信号との論理積をとって上記第1フリップフロップをセット、リセットさせる手段と、

上記倍速モード信号で上記第2フリップフロップをセットし、上記第2フリップフロップのリセットを禁止する手段と、 10

上記第1、第2コンパレータを、上記試験サイクルの前半、後半の各ストロークでそれぞれサンプリングする手段と、

倍速モード信号により、上記第1コンパレータの非反転サンプリング出力及び反転サンプリング出力と、上記高レベル期待値データ及び上記非高レベル期待値データとの各論理積の論理和を、上記第1コンパレータの非反転サンプリング出力と高レベル期待値データとの論理積の代りに試験結果として出力する第1セクタ手段と、

上記倍速モード信号により、上記第2コンパレータの非反転サンプリング出力及び反転サンプリング出力と、上記低レベル期待値データ及び非低レベル期待値データとの各論理積の論理和を、上記第2コンパレータの非反転サンプリング出力と低レベル期待値データとの論理積の代りに試験結果として出力する第2セクタ手段とを設け、 20

上記倍速モードでは上記高レベルしきい値と低レベルしきい値とが同一値とされることを特徴とする半導体IC試験装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】

この発明は半導体IC素子に試験パターンを印加し、またそのIC素子の出力と期待値とを比較してIC素子を試験する試験装置に関し、特に、その試験サイクルの倍の速度で試験を可能とする構成に係わる。

【0002】

【従来の技術】

図4に従来の半導体IC素子試験装置を示す。パターン発生器11のタイミング部12、パターン部13からそれぞれ、試験サイクルごとにタイミングデータTS、パターンデータPATがそれぞれ読出される。タイミングデータTSは例えば10ビットで構成され、レート発生器14と、タイミングメモリ15₁ ~ 15₆ とに供給され、レート発生器14からその入力されたタイミングデータTSに応じた周期(周波数)の基準タイミング信号が発生され、ゲート16₁ ~ 16₆ を通じて遅延回路17₁ ~ 17₆ へ供給される。またタイミングメモリ15₁ ~ 15₆ はそれぞれタイミングデータTSをアドレスとして遅延データが読出され、これらタイミングメモリ15₁ ~ 15₆ から読出された遅延データはそれぞれ遅延回路17₁ ~ 17₆ に設定され、それぞれ遅延回路17₁ ~ 17₆ の遅延量、つまり試験サイクル内のタイミングが決定される。 40

【0003】

これら遅延回路17₁ ~ 17₆ でそれぞれ遅延された基準タイミング信号は第1~第6クロックとされる。その第1クロックはアンド回路18₁ , 18₂ へ供給され、第2クロックはアンド回路18₃ , 18₄ へ供給され、第3クロックはアンド回路18₅ ~ 18₇ へ供給され、第4クロックはアンド回路18₈ へ供給される。

【0004】

読出されたパターンデータPATをアドレスとして波形メモリ19が読出される。波形メモリ19は各試験サイクルごとにこの周期が8分割され、これらの第1乃至第8区間(これらを0, 1, N, P, L, H, Z, Xと表示する)にそれぞれデータの読出しが行われ 50

る。この第1乃至第8区間の指定はパターンデータPATの3ビットA, B, Cにより行われる。各読出しごとに、ドライバ高レベル駆動第1データT1Sと、ドライバ低レベル駆動第1データT1Rと、ドライバ高レベル駆動第2データT2Sと、ドライバ低レベル駆動第2データT2Rと、ドライバ高レベル駆動第3データT3Sと、ドライバ低レベル駆動第3データT3Rと、ドライバインエーブルデータT3Lと、ドライバディスインエーブルデータT4Tと、高レベル期待値データEXHと、低レベル期待値データEXLとが読出される。

【0005】

波形メモリ19の記憶内容は発生波形がノンリターン波形NRZ、その反転波形/NRZ、リターン波形RZ、その反転波形/RZ、排他的論理和波形XOR、その反転波形/XORなどにより異なり、その記憶内容に応じた種類の波形が形成される。

アンド回路18₁, 18₃, 18₅の各出力はオア回路21を通じて第1フリップフロップ22のセット端子Sへ供給され、アンド回路18₂, 18₄, 18₆の各出力がオア回路23を通じて第1フリップフロップ22のリセット端子Rへ供給される。第1フリップフロップ22の出力はドライバ24を通じ、試験装置の一つのピン端子25_iを通じて被試験IC素子26の1つ端子ピンに接続される。アンド回路18₇の出力が第2フリップフロップ27のセット端子Sに供給され、アンド回路18₈の出力が第2フリップフロップ27のリセット端子Rに供給される。第2フリップフロップ27の出力はドライバ24のインエーブル制御端子へ供給される。

【0006】

ピン端子25_iは第1、第2コンパレータ27, 28の反転入力端、非反転入力端に接続され、被試験IC素子26の出力はそれぞれ高レベルしきい値V_H、低レベルしきい値V_Lと比較される。これら比較結果は遅延回路17₅, 17₆からの各クロックのストロークによりそれぞれ第1、第2コンパレータ27, 28の比較結果がサンプリング保持されて出力される。第1、第2コンパレータ27, 28の各出力は波形メモリ19よりの高レベル期待値データEXH、低レベル期待値データEXLとの論理積がそれぞれアンド回路31, 32でとられ、また第1、第2コンパレータ27, 28の出力はオア回路33へ供給され、そのオア回路33の出力と、高レベル期待値データEXH、低レベル期待値データEXLとの論理積がアンド回路34でとられる。アンド回路31, 32, 34の各出力はオア回路35へ供給される。

【0007】

被試験IC素子26に試験信号をRZ波形として供給する場合は波形メモリ19内に例えば図4に示すように、各データが設定入力される。パターン発生器11からのパターンデータの3ビット(PATA, PATB, PATC)をアドレスとして波形メモリ19を読出すが、波形のデータの決定は主に最下位ビットのPATAで決め、波形データが論理“1”でPATAを“1”とし、論理“0”でPATAを“0”としている。入出力ピンに対する入出力の切替えをパターンデータ中の最上位ビットPATCで行い、出力ピンとする場合(比較サイクル)はPATCを“1”とし、通常は“0”とする。また比較サイクルで、PATAとPATBとの2ビットで期待値を決め、PATA“0”、PATB“0”で低レベルLを、PATA“1”、PATB“0”で高レベルHを、PATA“0”、PATB“1”で高インピーダンス出力“Z”を、PATA“1”、PATB“1”で比較結果無視Xをそれぞれ表わす。

【0008】

図4で示した波形メモリ19の記憶内容ではパターンデータのPATAが図5Aに示すように“1”、“0”であると、“1”でアドレス“1”の内容が読出され、“0”でアドレス“0”の内容が読出され、何れの場合も波形メモリ19から読出されたドライバインエーブルデータT3Lは“1”であって、第2フリップフロップ27が、遅延回路17₃からのクロックのタイミングで予めセットされ、ドライバ24はインエーブル状態にされ、PATAが“1”ではドライバ高レベル駆動第1データT1S“1”が読出され、遅延回路17₁からクロック(例えば図5B)により第1フリップフロップ22がセットされ

10

20

30

40

50

、またドライバ低レベル駆動第2データT2R“1”が読出され、遅延回路17₃ からクロック(例えば図5C)により第1フリップフロップ22がリセットされ、図5Dに示すRZ波形出力でドライバ24が駆動され、これが被試験IC素子26の1つの端子ピンに印加される。PATAが“0”では読出されるデータT1S、T2Rは何れも“0”であって、図5Dに示すようにドライバ24に対する駆動は低レベルのままである。

【0009】

被試験IC素子26のI/Oピンが出力として用いられる場合は、第2フリップフロップ27はリセット状態とされ、ドライバ24はディスイネーブル状態とされ、出力インピーダンスが無限大の状態となる。この状態で被試験IC素子26から出力された出力はピン端子25_iに印加され、コンパレータ27、28で高レベルしきい値V_H、低レベルしきい値V_Lとそれぞれ比較される。V_H、V_Lは図5Eに示すように選定され、入力VがV_H以上でコンパレータ27の出力が低レベル、コンパレータ28の出力が高レベル、入力VがV_H以下、V_L以上でコンパレータ27の出力が高レベル、コンパレータ28の出力が高レベル、入力VがV_L以下でコンパレータ27の出力が高レベル、コンパレータ28の出力が低レベルとなる。

10

【0010】

コンパレータ27、28の比較結果は遅延回路17₅、17₆からの同一タイミングのストロープによりサンプル保持され、波形メモリ19から読出された高レベル期待値データEXH、低レベル期待値データEXLとの論理積がアンド回路31、32でとられる。期待値が低レベルLの場合は、低レベル期待値データEXLが“1”とされ、期待値が高レベルHの場合は高レベル期待値データEXHが“1”とされ、期待値が高インピーダンス出力Zの場合はEXLとEXHが共に“1”とされ比較結果を無視する場合(X)ではEXL、EXHが共に“0”とされる。その結果、期待値が高レベルHで入力(メモリ26の出力)Vがしきい値V_H以下でアンド回路31の出力が高レベルとなって不良を出力し、期待値が低レベルLで入力VがV_L以上でアンド回路32の出力が高レベルになって不良を出力し、期待値がZで、高インピーダンス状態でなければアンド回路34の出力が高レベルになって不良を出力し、全体の不良の数がオア回路35から出力される。

20

【0011】

以上のような試験パターン(信号)の被試験IC素子26への印加、被試験IC素子26の出力の良不良判定の構成が、試験装置のピン端子25_iごとに設けられ、これらピン端子25_iを被試験IC素子26の対応端子ピンに接続して試験を行う。

30

従来において試験装置がもつ最高試験速度よりも速い速度で試験をしたい場合は、図6に示すようにしていた。即ち図6において図4と対応する部分に同一符号を付けてあり、奇数番目のピン端子25_iと、これと隣りの偶数番目のピン端子25_{i+1}とを、その両オア回路21の出力側、両オア回路23の出力側、両アンド回路18₇の出力側、両アンド回路18₈の出力側、両コンパレータ27、28の入力側をそれぞれ互いに接続し、奇数ピン25_iのみを被試験IC素子26の端子ピンと接続する。IC素子26に試験信号を印加する場合は奇数ピン端子25_iと対応する各クロックやストロープを試験周期Tの前半で発生させ、偶数ピン端子25_{i+1}と対応する各クロックやストロープを試験周期Tの後半で発生させ、1試験周期Tの前半と後半とで分けて試験を行い、最高試験速度の2倍の速度で試験することを可能とする。

40

【0012】

【発明が解決しようとする課題】

図6に示した従来の倍速試験では、試験装置のピン端子25_iの全数の1/2以下の端子ピンをもつIC素子しか試験することができない。つまり倍速試験では、試験装置が本来もつ、試験可能ピン偶数の最大値の1/2しかピン端子を利用することができない。

【0013】

この発明は装置が有するピン端子数を全て有効に利用し、しかも倍速の試験を可能とする半導体IC試験装置を提供することにある。

【0014】

50

【課題を解決するための手段】

この発明によれば、第3、第4クロックとイネーブルデータ、ディスイネーブルデータとの各論理積の出力と、倍速モード信号との論理積がとられ、これら論理積出力により第1フリップフロップがセットリセットされ、倍速モード信号で第2フリップフロップがセットされ、かつ、第2フリップフロップのリセットが禁止され、第1、第2コンパレータが、試験サイクルの前半、後半の各ストロープでサンプリングされ、第1コンパレータの非反転サンプリング出力及び反転サンプリング出力と、高レベル期待値データ及び非高レベル期待値データとの各論理積がとられ、これら両論理積の論理和が倍速モード信号により第1コンパレータの非反転サンプリング出力と高レベル期待値データとの論理積の代りに試験結果として第1セクタにより出力され、第2コンパレータの非反転サンプリング出力及び反転サンプリング出力と、低レベル期待値データ及び非低レベル期待値データとの各論理積がとられ、これら両論理積の論理和が、倍速モード信号により第2コンパレータの非反転サンプリング出力と低レベル期待値データとの論理積の代りに試験結果として第2セクタより出力される。

10

【0015】

【作用】

高速半導体、IC素子は一般にI/Oピンが用いられないことが多い。また高速半導体IC素子は一般にECL(エミッタ結合論理回路)論理回路が多く、ECL論理回路においてはしきい値 V_H と V_L とが等しく、高出力インピーダンスZ状態を検出する必要がない。このため各ピン端子は出力専用又は入力専用として使用でき、出力専用の場合は、そのドライバをイネーブル、ディスイネーブルの制御をする必要がなく、常にイネーブル状態としておけばよい。このためドライバをイネーブル、ディスイネーブルに制御するタイミングクロックを、ドライバ駆動用のフリップフロップのセット、リセットにこの発明では利用する。また第1、第2コンパレータのしきい値を同一とし、その一方に対し試験サイクルの前半のストロープを行い、後半で他方に対してストロープを行う。

20

【0016】

【実施例】

図1にこの発明の実施例を示し、図4と対応する部分に同一符号を付けてある。この発明では端子41よりの倍速試験であることを示す倍速モード信号がアンド回路42, 43に入力され、アンド回路42, 43にはそれぞれアンド回路187, 188の各出力も入力され、アンド回路42の出力とオア回路21の出力とがオア回路44を通じて第1フリップフロップ22のセット端子Sへ供給され、アンド回路43の出力とオア回路23の出力とがオア回路45を通じて第1フリップフロップ22のリセット端子Rへ供給される。

30

【0017】

また端子41の倍速モード信号はアンド回路187の出力と共にオア回路46を通じて第2フリップフロップ27のセット端子Sへ供給され、更に倍速モード信号は反転されてアンド回路47へ供給され、そのアンド回路47にアンド回路188の出力が供給され、アンド回路47の出力は第2フリップフロップ27のリセット端子Rへ供給される。

【0018】

波形メモリ19は各種類ごとに倍速用のものも設けられる。例えば倍速モード用のRZ波形に対する波形メモリ19の記憶内容は例えば図1中の波形メモリ19内に示すようにする。また遅延回路171, 172の各出力クロックを試験サイクルの前半で発生させ、遅延回路173, 174の各出力クロックを試験サイクルの後半で発生させる。パターンデータ中のビットPATAとPATBとを用い、試験サイクルの前半の波形(高レベル又は低レベル)をPATAの“1”又は“0”で設定し、試験サイクルの後半の波形(高レベル又は低レベル)をPATBの“1”又は“0”で設定する。

40

【0019】

従って波形メモリ19が図1に示した状態ではPATA, PATBが共に“0”であればアドレス0の内容が読出され、そのデータは全て“0”であり、第1フリップフロップ2

50

2の出力は低レベルのままである。PATAが“1”、PATBが“0”の場合はアドレス1の内容が読出され、データTS1とTR2だけが共に“1”となり、遅延回路17₁の出力クロックのタイミングT1でフリップフロップ22がセットされ、遅延回路17₂の出力クロックのタイミングT2でフリップフロップ22がリセットされ、図2Aに示すように試験サイクルの前半でT₁ ~ T₂の間高レベルのRZ波形がフリップフロップ22から出力される。

【0020】

PATAが“0”、PATBが“1”の場合は、アドレスNの内容が読出され、データT3LとT4Tのみが共に“1”となる。この時、倍速モードでアンド回路42, 43は共に開とされているため、遅延回路17₃の出力クロックのタイミングT3でフリップフロップ22がセットされ、遅延回路17₄の出力クロックのタイミングT4でフリップフロップ22がリセットされ、図2Aに示すように試験サイクルの後半でT3 ~ T4の間高レベルのRZ波形がフリップフロップ22から出力される。

【0021】

更にPATA, PATBが共に“1”の場合は、アドレスPの内容が読出され、データTS1, TR2, T3L, T4Tが共に“1”となり、図2Aに示すようにタイミングT1 ~ T2とタイミングT3 ~ T4の各間高レベルがフリップフロップ22から出力される。このようにPATAとPATBの“1”, “0”を選定することにより、試験サイクルの2倍の試験波形信号を作ることができる。なお、倍速モードにおいては倍速モード信号によりフリップフロップ27に対するセット指令が常時与えられ、かつアンド回路47によりフリップフロップ27に対するリセット指令は常に禁止されているため、ドライバ24はイネーブル状態に保持されている。

【0022】

同様にして波形メモリ19の記憶内容を選定することにより、NRZ波形に対するフリップフロップ22の出力を、例えば図2Bに示すように試験サイクルの2倍の速度の試験信号を得ることができる。

被試験IC素子26の出力が供給されるピン端子は期待値との比較専用に使われるが、この発明では第1、第2コンパレータ27, 28の各反転出力がアンド回路51, 52へそれぞれ供給され、アンド回路31, 51の各出力がオア回路53を通じて第1セレクタ54の入力端子Bへ供給され、アンド回路32, 52の各出力がオア回路56を通じて第2セレクタ57の入力端子Bへ供給される。コンパレータ27, 28の各非反転出力はそれぞれセレクタ54, 57の入力端子Aへ供給される。セレクタ54, 57の各出力はそれぞれアンド回路58, 59へ供給され、オア回路53, 56の各出力がオア回路61を通じてアンド回路58, 59に入力される。セレクタ54, 57は端子41からの倍速モード信号で制御され、倍速モードで入力端子Bの信号が選択出力され、その他の場合は入力端子Aの入力が選択出力される。アンド回路58, 59の各出力はそれぞれオア回路62, 63へ供給される。アルゴリズムパターン発生器64から読出されたデータCPE1, CPE2がそれぞれアンド回路62, 63へ供給される。アンド回路62, 63の出力はオア回路35へも供給される。

【0023】

倍速モードではコンパレータ27, 28に対する各しきい値V_H, V_Lは同一値V₀に設定され、一方のコンパレータ27に試験サイクルの前半にタイミングをもつストロークが遅延回路17₅から与えられ、他方のコンパレータ28に試験サイクルの後半のタイミングをもつストロークが遅延回路17₆から与えられる。つまりコンパレータ27は試験サイクルの前半の比較に用いられ、コンパレータ28は試験サイクルの後半の比較に用いられる。

【0024】

波形メモリ19には期待値データとして、高レベル期待値データEXH、低レベル期待値データEXLの他に、コンパレータ27の出力に対する低レベル期待値データとして非高レベル期待値データEXHZと、コンパレータ28の出力に対する高レベル期待値データ

10

20

30

40

50

として非低レベル期待値データEXLZとが記憶される。比較の無視(Don't care)は試験サイクルの前半ではデータCPE1を“0”とし、後半ではデータCPE2を“0”とし、比較結果を出力する時はCPE1, CPE2を“1”にする。

【0025】

従って波形メモリ19の各期待値データ、及びデータCPE1, CPE2は図2Cに示すように記憶される。試験サイクルの前半の期待値が低レベルL、後半の期待値がX(比較結果無視)の場合はEXHを“0”、EXHZを“1”、EXLを“1”、EXLZを“0”、CPE1を“1”、CPE2を“0”としてアドレスLに書込む。前半の期待値がX、後半の期待値が低レベルLの場合はEXHZ, EXL, CPE2をそれぞれ“1”とし、その他は“0”とする。前半、後半も期待値が低レベルLの場合はEXHZ, EXL, CPE1, CPE2をそれぞれ“1”とし、その他は“0”とする。これらは何れの場合もアドレスLに書込む。

10

【0026】

前半の期待値が高レベルH、後半の期待値が無視Xの場合、前半の期待値が無視X、後半の期待値が高レベルHの場合、前半も後半も期待値が高レベルの場合は、何れもEXH, EXLZを“1”とし、EXHZ, EXLを“0”とする。CPE1, CPE2は、比較で“1”、無視で“0”とする。これらは何れもアドレスHに書込む。更に前半の期待値が低レベルL、後半の期待値が高レベルHの場合はEXHZ, EXLZ, CPE1, CPE2を“1”とし、他は“0”としてアドレスZに書込む。前半の期待値が高レベルH、後半の期待値が低レベルLの場合はEXH, EXL, CPE1, CPE2を“1”とし、その他は“0”とする。

20

【0027】

従って倍速モードでは $V_H = V_L = V_0$ であって、試験サイクルの前半の期待値がHでIC素子26の出力Vが V_0 以下ならばアンド回路31の出力が高レベルとなり、前半の期待値がLでIC素子26の出力Vが V_0 以上ならばコンパレータ27の反転出力が高レベルになり、アンド回路51が高レベルとなる。また試験サイクルの後半の期待値がHでIC素子26の出力Vが V_0 以下であるならばコンパレータ28の出力が高レベルとなり、アンド回路52の出力が高レベルとなり、後半で期待値がLでIC素子26の出力Vが V_0 以上であれば、アンド回路32の出力が高レベルとなる。つまり不良が生じると、アンド回路31, 32, 51, 52の少くとも何れか1つは出力が高レベルとなり、その出力によりアンド回路58, 59が開とされ、その時のセクタ54, 57の出力が出力され、前半で不良が発生すると、アンド回路62の出力が高レベルとなり、後半で不良が発生すると、アンド回路63の出力が高レベルとなり、1試験サイクルにおける前半と後半との各試験結果を出力することができる。

30

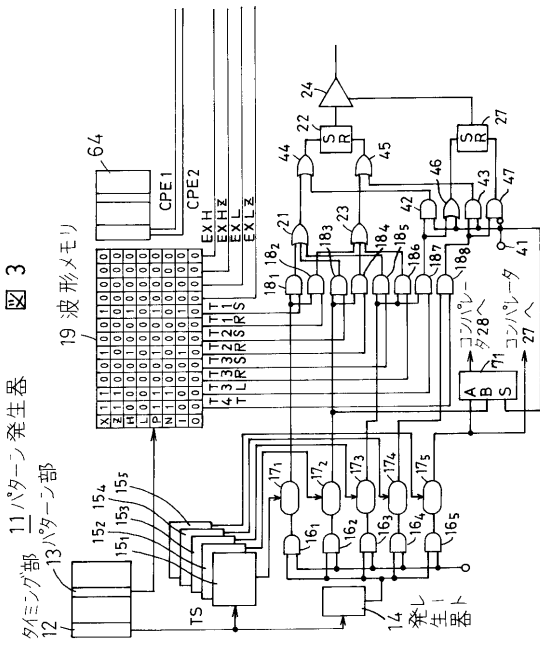
【0028】

図1では6つのタイミング信号、つまり遅延回路17₁ ~ 17₆ の各出力を利用したが、通常モード(試験サイクルで1パターン)では入出力ピンの場合、フリップフロップ22のセット、リセットタイミングと、フリップフロップ27のセット、リセットタイミングと、コンパレータ27, 28のストロープとの少くとも5つのタイミングがあればよく、倍速モードでは入出力ピンには適用しないため、出力ピンに対しては、フリップフロップ22のセット、リセットタイミングを各2つ計4つのタイミングがあればよく、入力ピンについてはコンパレータ27, 28の各別のストロープのための2つのタイミングがあればよい。従って図3に図1と対応する部分に同一符号を付けて示すように、タイミング(クロック)発生用遅延回路17₁ ~ 17₅ の5つを設け、倍速モードで出力ピンとして使用する個所では図1の場合と同様に、遅延回路17₁ ~ 17₄ の各出力クロックのタイミングを利用するが、入力ピンとして使用する個所では、遅延回路17₅ の出力クロックをコンパレータ27へのストロープとして供給すると共に、遅延回路17₁ ~ 17₄ の何れか1つ、図示例では遅延回路17₂ の出力クロックをセクタ71を通じてコンパレータ28へストロープとして供給する。通常モードではセクタ71はその入力端子Bの信号を選択出力し、遅延回路17₅ の出力がストロープとしてコン

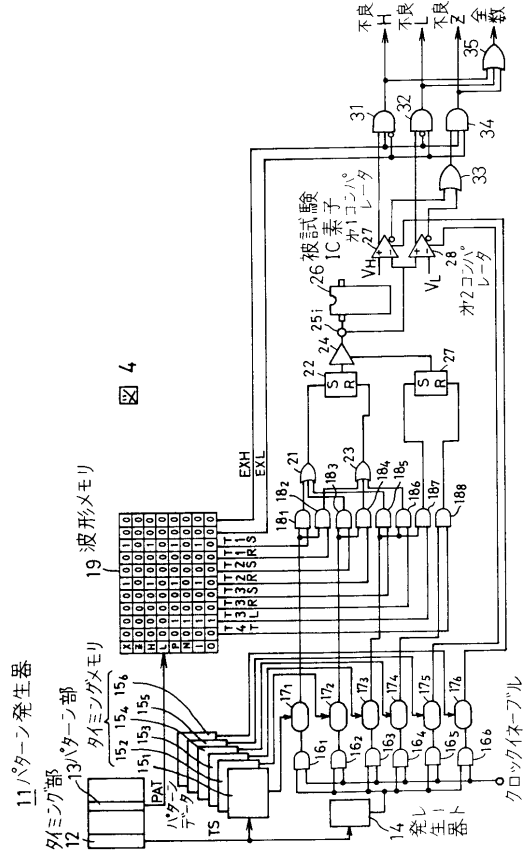
40

50

【 図 3 】

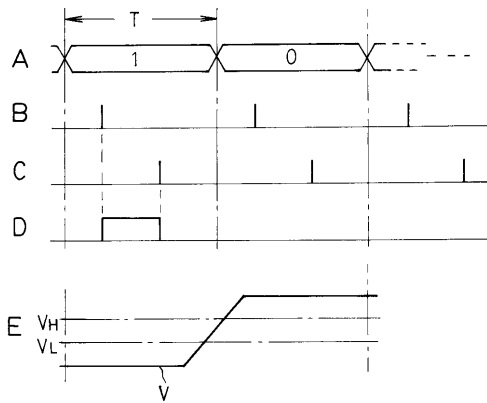


【 図 4 】



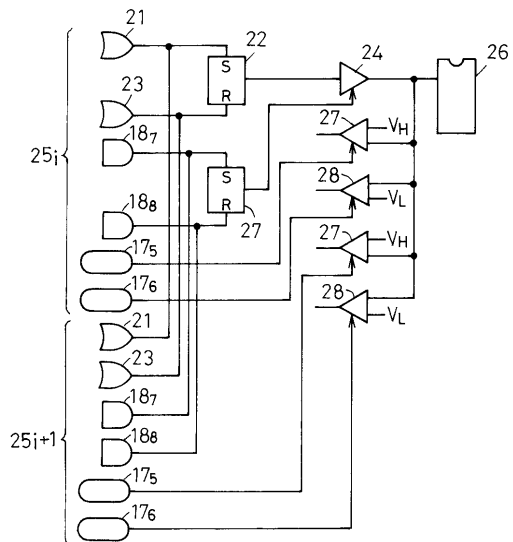
【 図 5 】

図 5



【 図 6 】

図 6



フロントページの続き

(58)調査した分野(Int.Cl.⁷, DB名)

G01R 31/28