(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国 际 局

(43) 国际公布日
2018 年 11 月 1 日 (01.11.2018)

WIPO | PCT

(10) 国际公布号
WO 2018/196075 A1

(51) 国际专利分类号:
H01L 27/12 (2006.01) *H01L 21/77* (2017.01)

(21) 国际申请号: PCT/CN2017/085852

(22) 国际申请日: 2017 年 5 月 25 日 (25.05.2017)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201710295367.4 2017年4月28日 (28.04.2017) CN

(71) 申请人: 深圳市华星光电技术有限公司(SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。

(72) 发明人: 李松杉(LI, Songshan); 中国广东省深圳市光明新区塘明大道9-2号, Guangdong 518132 (CN)。 徐源竣(HSU, Yuan-jun); 中国广东省深圳市光明新区塘明大道9-2号, Guangdong 518132 (CN)。 刘兆松(LIU, Zhaosong); 中国广东省深圳市光明新区塘明大道9-2号, Guangdong 518132 (CN)。

(74) 代理人: 深圳市威世博知识产权代理事务所(普通合伙)(CHINA WISPRO INTELLECTUAL PROPERTY LLP.); 中国广东省深圳市南山区高新区粤兴三道8号中国地质大学产学研基地中地大楼A806, Guangdong 518057 (CN)。

(81) 指定国(除另有指明，要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY,

(54) **Title:** ARRAY SUBSTRATE, MANUFACTURING METHOD, AND DISPLAY DEVICE

(54) **发明名称**: 一种阵列基板及制备方法、显示装置

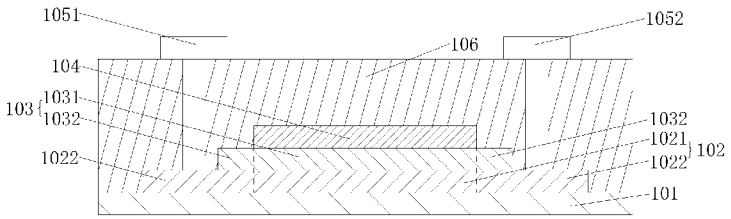


图 1

(57) **Abstract:** An array substrate, a manufacturing method, and a display device. The array substrate comprises: a channel layer (102); a gate insulating layer (103) comprising a first part (1031) and a second part (1032) that are connected side by side and disposed on the channel layer (102), and expose source and drain contact areas (1022) on the channel layer (102), the second part (1032) of the gate insulating layer (103) being located at two sides of the first part (1031) of the gate insulating layer (103); a gate layer (104) provided at the first part (1031) of the gate insulating layer (103); and a source (1051) and a drain (1052) that are respectively and correspondingly connected to the source and drain contact areas (1022) of the channel layer (102). The array substrate resolves the problem of electric leakage of the array substrate caused by the array substrate becoming a conductor because ion implantation is performed on the channel layer (102).

(57) **摘要**: 一种阵列基板及制备方法、显示装置，阵列基板包括：沟道层（102）；栅极绝缘层（103），包括并排连接的第一部分（1031）和第二部分（1032），设置于沟道层（102）上，并且暴露出沟道层（102）上的源极和漏极接触区（1022），栅极绝缘层（103）的第二部分（1032）位于栅极绝缘层（103）的第一部分（1031）两侧；栅极层（104），设置于栅极绝缘层（103）的第一部分（1031）；源极（1051）和漏极（1052），与沟道层（102）的源极和漏极接触区（1022）分别对应连接。阵列基板解决因沟道层（102）进行离子注入使其导体化导致阵列基板漏电的问题。

WO 2018/196075 A1

[见续页]

MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国(除另有指明，要求每一种可提供的地区保护)：ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

发明名称：一种阵列基板及制备方法、显示装置

[1] 【技术领域】

[2] 本发明涉及显示技术领域，特别是涉及一种阵列基板及制备方法、显示装置。

[3] 【背景技术】

[4] 目前，IGZO（铟镓锌氧化物）材料逐渐成为新一代阵列基板技术中的沟道层材料，IGZO的载流子迁移率是非晶硅的20~30倍，可以大大提高阵列基板中薄膜晶体管对像素电极的充放电速率，提高像素的响应速度，实现更快的刷新率，同时更快的响应也大大提高了像素的行扫描速率。

[5] 现有技术中，在对IGZO阵列基板中的沟道层进行离子注入使其导体化处理后，会造成导体化区出现氧空位，并且导体化的沟道层中的氧空位容易向沟道区迁移，从而导致阵列基板出现漏电的问题。

[6] 【发明内容】

[7] 本发明主要提供一种阵列基板及制备方法、显示装置，旨在解决因对阵列基板中的沟道层进行离子注入使其导体化后，氧空位向沟道区迁移导致的阵列基板漏电的问题。

[8] 为解决上述技术问题，本发明采用的一个技术方案是：提供一种阵列基板，包括：沟道层；栅极绝缘层，包括并排连接的第一部分和第二部分，设置于所述沟道层上，并且暴露出所述沟道层上的源极和漏极接触区，所述栅极绝缘层的第二部分位于所述栅极绝缘层的第一部分两侧；栅极层，设置于所述栅极绝缘层的第一部分；源极和漏极，与所述沟道层的所述源极和漏极接触区分别对应连接，其中，未被所述栅极层覆盖的所述栅极绝缘层的第二部分在所述沟道层上的垂直投影长度为1-10微米。

[9] 为解决上述技术问题，本发明采用的另一个技术方案是：提供一种阵列基板的制备方法，所述方法包括：形成沟道层；在所述沟道层上依次形成栅极绝缘层和栅极层，所述栅极绝缘层包括并排连接的第一部分和第二部分，并且暴露出所述沟道层上的源极和漏极接触区，所述栅极绝缘层的第二部分位于所述栅极

绝缘层的第一部分两侧，所述栅极层形成于所述栅极绝缘层的第一部分上；以及形成源极和漏极，与所述沟道层的所述源极和漏极接触区分别对应连接。

[10] 为解决上述技术问题，本发明采用的另一个技术方案是：一种显示装置，其包括上述阵列基板或上述一种阵列基板的制备方法制备得到的阵列基板。

[11] 本发明的有益效果是：区别于现有技术的情况，本发明通过设置在沟道层上的栅极绝缘层第二部分，使得沟道层进行离子注入使其导体化后，被导体化区域的氧空位难以越过作为隔离区的对应栅极绝缘层第二部分的沟道区进而扩散到对应栅极绝缘层第一部分的沟道区，从而解决因为沟道层进行离子注入使其导体化导致阵列基板漏电的问题。

[12] 【附图说明】

[13] 图1是本发明阵列基板一实施例的截面示意图；

[14] 图2是本发明阵列基板另一实施例的截面示意图；

[15] 图3是本发明提供的阵列基板的制备方法一实施例的流程示意图；

[16] 图4是图3提供的制备方法中的形成沟道层的截面示意图；

[17] 图5是图3提供的制备方法中的形成栅极层和栅极绝缘层的工艺示意图；

[18] 图6是图5形成的栅极层和栅极绝缘层的截面示意图；

[19] 图7是图3提供的制备方法制得的阵列基板的截面示意图；

[20] 图8是本发明显示装置一实施例的结构示意图。

[21] 【具体实施方式】

[22] 为使本领域的技术人员更好地理解本发明的技术方案，下面结合附图和具体实施方式对本发明所提供的一种薄膜晶体管及其制备方法做进一步详细描述。

[23] 请参阅图1，本发明阵列基板一实施例的截面示意图，其中包括：

[24] 缓冲层101、沟道层102、栅极绝缘层103、栅极层104、源极1051、漏极1052、介电层106。

[25] 其中，沟道层102可以设置在缓冲层101上，沟道层102包括沟道区1021和源漏极接触区1022，沟道区1021位置与栅极层104对应，源漏极接触区1022是沟道区1021向两侧延伸。

[26] 其中，栅极绝缘层103，包括并排连接的第一部分1031和第二部分1032，设置

于所述沟道层102上，并且暴露出沟道层102上的源极漏极接触区1022，第二部分1031位于第一部分1032的两侧。

[27] 其中，栅极层104设置于第一部分1031，例如：栅极层104设置于第一部分1031之上，且可以恰好覆盖第一部分1031，当然，也可以不恰好覆盖第一部分1031，也可以大于或小于第一部分1031。

[28] 进一步地，介电层106均匀覆盖在缓冲层101、沟道层102、第一部分1031、第二部分1032和栅极层104上方。

[29] 其中，源极1051和漏极1052，贯通于介电层106且分别设置于源漏极接触区1022上。

[30] 其中，第二部分1032设置于第一部分1031与源极1051之间和设置于第一部分1031与漏极1052之间。

[31] 在其他一些实施例中，第二部分1032可以设置于第一部分1031与源极1051之间或设置于第一部分1031与漏极1052之间。

[32] 进一步地，第二部分1032在沟道层102上的垂直投影长度为1-10微米，例如1.2微米、1.4微米、1.6微米、1.8微米、1.9微米、2微米、2.5微米、3微米、4微米、5微米、6微米、7微米、8微米、9微米或10微米。

[33] 进一步地，第二部分1032可以是第一部分1031向源极1051和/或漏极1052方向上的延伸，即第二部分1032和第一部分1031的材料相同及从源极1051向漏极1052的垂直投影相重叠。

[34] 其中，沟道层102可以是一种含有铟、镓和锌的非晶氧化物IGZO，主要由In2O3、Ga2O3和ZnO构成，是一种N型半导体材料。

[35] 其中，栅极绝缘层为硅氧化物层，例如：栅极绝缘层为二氧化硅SiO2层。

[36] 在其他一些实施例中，第二部分1032可以不与第一部分1031接触、第二部分1032的厚度可以与第一部分1031不同。

[37] 在本实施例中提供的阵列基板，在离子注入时，以栅极层104作为光罩、第二部分1032作为遮罩，使源漏极接触区1022被离子注入使其导体化后，由于对应第二部分1032部分下方的沟道层102作为隔离区，源漏极接触区1022中的氧空位难以迁移到沟道区1021中，从而解决阵列基板中的源漏极接触区1022进行离子

注入使其导体化后，氧空位向沟道区1021迁移导致而导致阵列基板漏电的问题。

[38] 请参阅图2，本发明阵列基板另一实施例的截面示意图，其中，栅极绝缘层的第二部分2032可分别与源极2051和漏极2052相接。

[39] 在其他一些实施例中，第二部分2032可只与源极2051或漏极2052相接。

[40] 请一并参阅图3-7，图3是本发明提供的阵列基板的制备方法一实施例的流程示意图；图4是图3提供的制备方法中的形成沟道层的截面示意图；图5是图3提供的制备方法中的形成栅极层和栅极绝缘层的工艺示意图；图6是图5形成的栅极层和栅极绝缘层的截面示意图；图7是图3提供的制备方法制得的阵列基板的截面示意图。

[41] S301：形成沟道层。

[42] 其中，准备玻璃基板400，可以通过在玻璃基板基板400用等离子体增强化学气相沉积法形成硅基氧化物SiOx缓冲层401，例如：可以用二氧化硅制成缓冲层401。

[43] 其中，在缓冲层401上形成一层预备作为沟道层的IGZO层，可采用物理气相沉积法或激光脉冲沉积法，然后进行曝光、显影、刻蚀及剥离制程，进而在得到覆盖缓冲层401的图案化的沟道层402。

[44] 其中，IGZO是一种含有铟、镓和锌的非晶氧化物，主要由In2O3、Ga2O3和ZnO构成，是一种N型半导体材料。

[45] S302：在沟道层上依次形成栅极绝缘层和栅极层，栅极绝缘层包括并排连接的第一部分和第二部分，并且暴露出沟道层上的源极和漏极接触区，栅极绝缘层的第二部分位于栅极绝缘层的第一部分两侧，栅极层形成于栅极绝缘层的第一部分上。

[46] 其中，在沟道层402上形成一层栅极绝缘层503，可使用化学气相沉积的方法形成栅极绝缘层503，该栅极绝缘层503可以为硅氧化物层，例如：二氧化硅。

[47] 进一步地，在栅极绝缘层503上形成一层栅极层504，可使用物理气相沉积法沉积金属，形成栅极层504。

[48] 进一步地，通过曝光、显影、蚀刻及剥离制程进而在得到包括图案化的第一部

分6031和第二部分6032的栅极绝缘层603以及图案化的栅极层604。

[49] 具体地，该光刻处理步骤中利用的光掩膜可以是一种灰度掩膜506，该灰度掩膜也可以叫做半色调掩膜。

[50] 进一步地，该灰度掩膜506可由第一灰度透光区5061、第二灰度透光区5062、第三灰度透光区5063构成，第一透光区5061透光率最低，第二透光区5062透光率高于第一透光区5061，第三透光区5063透光率高于第二透光区5062。

[51] 进一步地，在栅极层504上涂覆一层正性光致抗蚀剂层505，该正性光致抗蚀剂层505的在蚀刻时溶解速度缓慢，但经光照后，溶解速度会受到根据光照的强度和时间不同而不同的加快，即在受光照时间相同的情况下，光照强度越高，正性光致抗蚀剂层505溶解速度会变得更快。

[52] 进一步地，将灰度掩膜506设置在正性光致抗蚀剂层505正上方，并在灰度掩膜506上方向正性光致抗蚀剂层505垂直进行光照，由于第一透光区5061透光率最低，对应正性光致抗蚀剂层505的第一曝光区5051几乎不受到光照所以很难溶解；由于第二透光区5062有一定的透光率，且对应正性光致抗蚀剂层505的第二曝光区5052由于受到一定的光照后溶解速度变快；由于第三透光区5063透光率最高，使对应的正性光致抗蚀剂层505的第三曝光区5053受到最多的光照，溶解速度变得最快。

[53] 进一步地，进行蚀刻操作，由于第一曝光区5051很难溶解，所以第三曝光区5053能够保护下方结构不被蚀刻溶解；由于第二曝光区5052溶解速度变快，所以在设定好一定蚀刻条件的情况下，能够实现第二曝光区5052和其下方对应的栅极层5042被蚀刻溶解，而栅极绝缘层503不被蚀刻溶解；由于第三曝光区5053溶解速度最快，所以在设定好一定蚀刻条件的情况下，第三曝光区5053下方的栅极层5043和栅极绝缘层5033受不到保护，能够全部被蚀刻溶解，同时这里选用的蚀刻液不会与沟道层反应。

[54] 其中，通过对第一透光区5061、第二透光区5062和第三透光区5063的透光率调节、光照的强度和时间的控制、蚀刻液的选择和配比、蚀刻方式、蚀刻温度和时间的调节等对蚀刻速度有影响的因素的控制，从而达到只将栅极绝缘层5033和栅极层5042、栅极层5043蚀刻掉，而不蚀刻其他区域的栅极层和栅极绝缘层

的效果，进而获得如图6所示的图案化的栅极绝缘层603和栅极层604。

[55] 进一步地，以图案化的栅极层604作为光罩以自对准的方式对沟道层602的源漏极接触区6022进行离子注入使其导体化，之后进行退火处理。

[56] 其中，离子注入的注入的离子可以为氧气、氩气或六氟化硫中的一种，同时第二部分6032作为遮罩，能够使源漏极接触区6022和沟道区6021之间的隔离区6021能够作为隔离不会被离子注入。

[57] 其中，对离子注入后的源漏极接触区6022进行退火处理，以恢复因离子注入对源漏极接触区6022造成的结构缺陷。

[58] 其中，从图5中能够清楚知道，虽然由于图片空间所限没能一一标注，但是上述的栅极绝缘层5033、栅极层5042、栅极层5043、第二曝光区5052、第三曝光区5053、第二透光区5062、第三透光区5063均为左右相对设置的。

[59] 综上所述，由于隔离区6021起到的隔离作用，在对源漏极接触区6022进行离子注入使其导体化后，源漏极接触区6022中的氧空位难以经过隔离区迁移到沟道区6021。

[60] S303：形成源极和漏极，与沟道层的源极和漏极接触区分别对应连接。

[61] 其中，在退火处理后的缓冲层401上形成介电层708，介电层708均匀覆盖在缓冲层401、沟道层602、第一部分6031、第二部分6032和栅极层604上方，可采用包括但不限于化学气相沉积的方法形成氧化硅层，该氧化硅层即为介电层708，介电层708能够隔绝外界的氧气或水分子对沟道层602的影响，对沟道层602的稳定性起到保护作用。

[62] 进一步地，可通过对介电层708进行光阻涂布、曝光的方法形成图案化的接触孔，然后进行干法刻蚀，去除后即可得到贯穿介电层708且连通源漏极接触区6022的接触孔。

[63] 进一步地，可通过物理气相沉积在两个接触孔中沉积金属，形成一金属层，然后在沉积的金属层上沉积光阻层，再进行曝光、显影、刻蚀和剥离制程，以得到图案化的源极7071及漏极7072，且获得的源极7071、漏极7072与源漏极接触区6022接触。

[64] 区别于现有技术，本发明通过在对沟道层进行离子注入时，以栅极层作为自对

准光罩，利用栅极绝缘层的第二部分作为遮罩，在对沟道层的源漏极接触区进行离子注入使其导体化后，源漏极接触区中的氧空位难以经过隔离区迁移到沟道区，从而解决阵列基板中的沟道层进行离子注入使其导体化处理后，氧空位向沟道区迁移导致而导致阵列基板漏电的问题。

[65] 请参阅图8，图8是本发明显示装置一实施例的结构示意图。

[66] 其中，显示装置80中的阵列基板是上述本发明的阵列基板或本发明阵列基板的制备方法制备得到的阵列基板。

[67] 以上所述仅为本发明的实施例，并非因此限制本发明的专利范围，凡是利用本发明说明书及附图内容所作的等效结构或等效流程变换，或直接或间接运用在其他相关的技术领域，均同理包括在本发明的专利保护范围内。

权利要求书

[权利要求 1] 一种阵列基板的制备方法，其中，所述方法包括：

形成沟道层；

在所述沟道层上依次形成栅极绝缘层和栅极层，所述栅极绝缘层包括并排连接的第一部分和第二部分，并且暴露出所述沟道层上的源极和漏极接触区，所述栅极绝缘层的第二部分位于所述栅极绝缘层的第一部分两侧，所述栅极层形成于所述栅极绝缘层的第一部分上；

以所述栅极层作为光罩以自对准的方式对所述沟道层进行离子注入，使所述源极和漏极接触区的所述沟道层导体化，所述离子注入的注入的离子可以为氧气、氩气或六氟化硫中的一种；以及

形成源极和漏极，与所述沟道层的所述源极和漏极接触区分别对应连接。

[权利要求 2] 如权利要求1所述的方法，其中，所述使所述源极和漏极接触区的所述沟道层导体化之后，包括：对所述源极和漏极接触区的所述沟道层进行退火处理。

[权利要求 3] 如权利要求1所述的方法，其中，

所述形成所述栅极绝缘层及所述栅极层包括：

在所述沟道层上依次形成第一绝缘层和金属层；

利用光掩膜对所述栅极绝缘层和所述金属层进行光刻处理，得到所述栅极绝缘层及所述栅极层。

[权利要求 4] 如权利要求3所述的方法，其中，

在对所述栅极绝缘层和所述金属层进行光刻处理之前包括：在所述栅极层上涂覆一层正性光致抗蚀剂，形成正性光致抗蚀剂层。

[权利要求 5] 如权利要求3所述的方法，其中，

所述光掩膜由并排的第一灰度透光区、第二灰度透光区、第三灰度透光区构成，所述第一透光区透光率最低且位置与所述栅极层相对应，所述第二透光区、所述第三透光区的透光率高于所述第

一透光区且位置与所述第二部分相对应。

[权利要求 6] 如权利要求5所述的方法，其中，

所述利用光掩膜对所述栅极绝缘层和所述金属层进行光刻处理包括：

利用所述光掩膜对所述正性光致抗蚀剂层进行曝光，使得所述正性光致抗蚀剂层形成第一曝光区、第二曝光区、第二曝光区，所述第一曝光区对应所述第一灰度透光区，所述第二曝光区对应所述第一灰度透光区，所述第二曝光区对应所述第一灰度透光区；

对所述正性光致抗蚀剂层进行蚀刻，其中所述第一曝光区蚀刻溶解速度相对最慢，所述第二曝光区、所述第三曝光区蚀刻溶解速度相对最快。

[权利要求 7] 一种阵列基板，其中，包括：

沟道层；

栅极绝缘层，包括并排连接的第一部分和第二部分，设置于所述沟道层上，并且暴露出所述沟道层上的源极和漏极接触区，所述栅极绝缘层的第二部分位于所述栅极绝缘层的第一部分两侧；

栅极层，设置于所述栅极绝缘层的第一部分；

源极和漏极，与所述沟道层的所述源极和漏极接触区分别对应连接。

[权利要求 8] 如权利要求7所述的阵列基板，其中，未被所述栅极层覆盖的所述栅极绝缘层的第二部分在所述沟道层上的垂直投影长度为1-10微米。

[权利要求 9] 如权利要求7所述的阵列基板，其中，所述栅极绝缘层的第二部分延伸至所述源极和漏极。

[权利要求 10] 如权利要求9所述的阵列基板，其中，所述栅极绝缘层的第二部分与所述源极和所述漏极互相接触。

[权利要求 11] 如权利要求7所述的阵列基板，其中，所述栅极绝缘层为硅氧化物层。

[权利要求 12] 一种显示装置，其中，包括阵列基板，所述种阵列基板，包括：
沟道层；
栅极绝缘层，包括并排连接的第一部分和第二部分，设置于所述沟道层上，并且暴露出所述沟道层上的源极和漏极接触区，所述栅极绝缘层的第二部分位于所述栅极绝缘层的第一部分两侧；
栅极层，设置于所述栅极绝缘层的第一部分；
源极和漏极，与所述沟道层的所述源极和漏极接触区分别对应连接。

[权利要求 13] 如权利要求12所述的显示装置，其中，未被所述栅极层覆盖的所述栅极绝缘层的第二部分在所述沟道层上的垂直投影长度为1-10微米。

[权利要求 14] 如权利要求12所述的显示装置，其中，所述栅极绝缘层的第二部分延伸至所述源极和漏极。

[权利要求 15] 如权利要求14所述的显示装置，其中，所述栅极绝缘层的第二部分与所述源极和所述漏极互相接触。

[权利要求 16] 如权利要求12所述的显示装置，其中，所述栅极绝缘层为硅氧化物层。

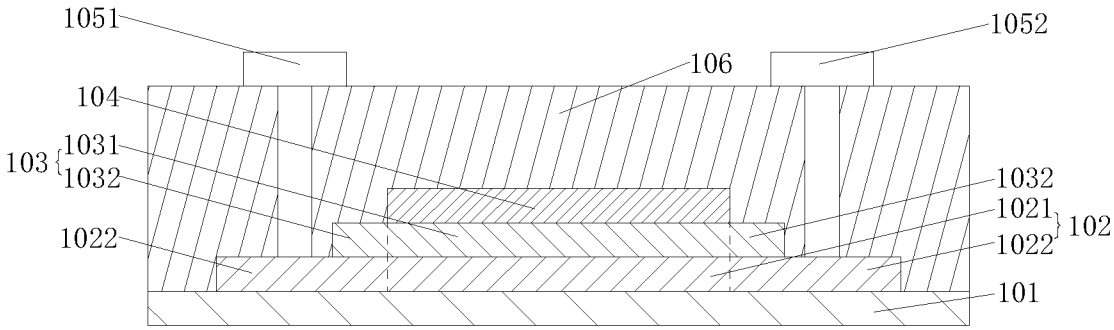

1051
1052
106
104
103
1031
1032
1032
1021
102
1022
1022
101

图 1

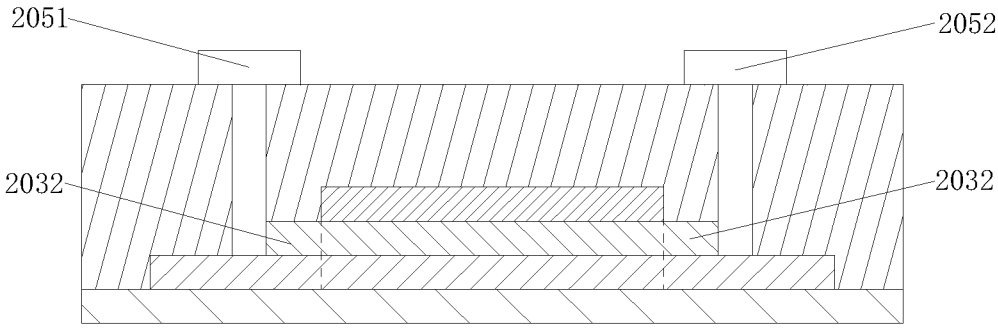

2051
2052
2032
2032

图 2

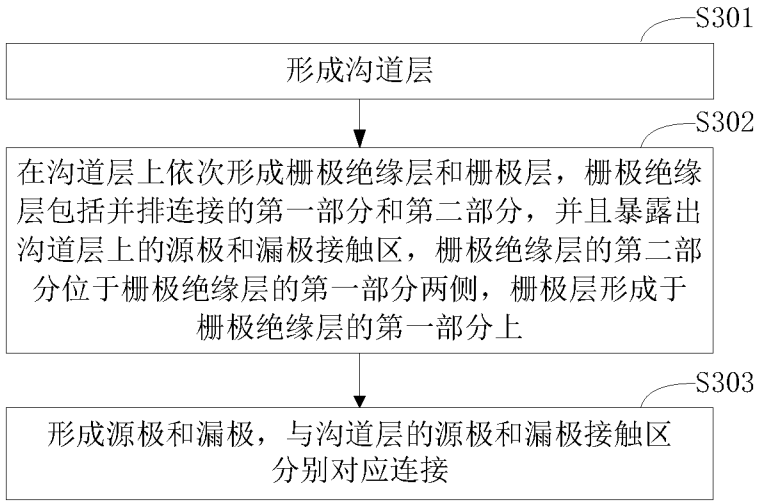

S301
形成沟道层
S302
在沟道层上依次形成栅极绝缘层和栅极层，栅极绝缘层包括并排连接的第一部分和第二部分，并且暴露出沟道层上的源极和漏极接触区，栅极绝缘层的第二部分位于栅极绝缘层的第一部分两侧，栅极层形成于栅极绝缘层的第一部分上
S303
形成源极和漏极，与沟道层的源极和漏极接触区分别对应连接

图 3

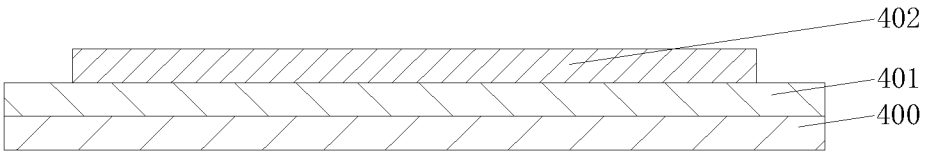

402
401
400

图 4

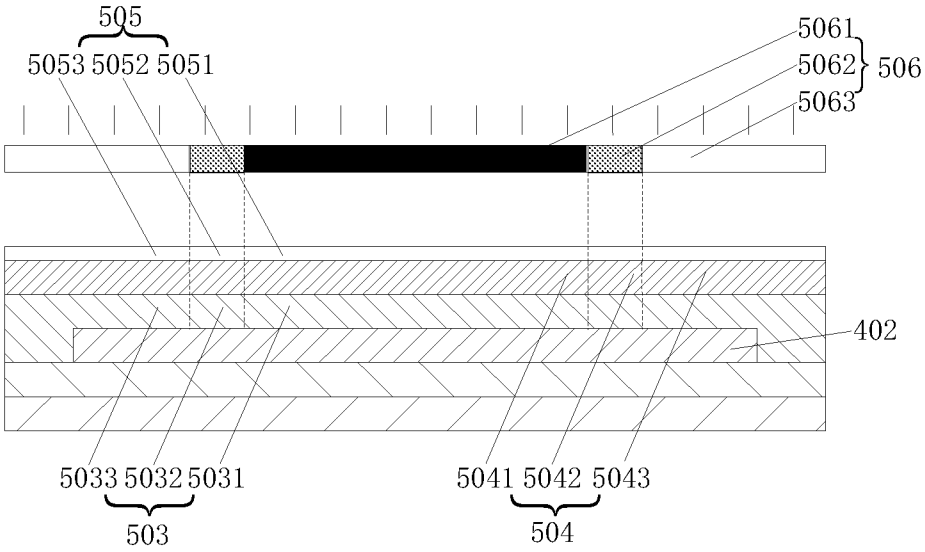

505
5053 5052 5051
5061
5062
5063
506
402
5033 5032 5031
503
5041 5042 5043
504

图 5

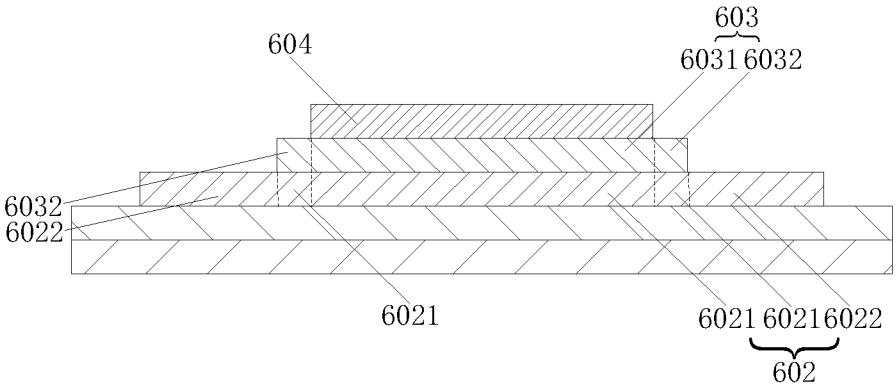

603
604
6031 6032
6032
6022
6021
6021 6021 6022
602

图 6

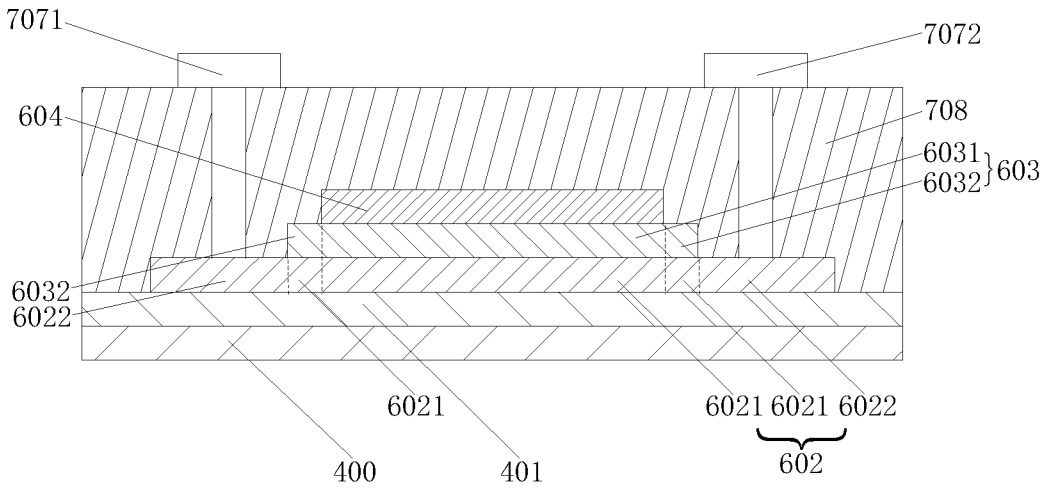

7071
7072
604
708
6031
6032
603
6032
6022
6021
6021
6021
6022
400
401
602

图 7

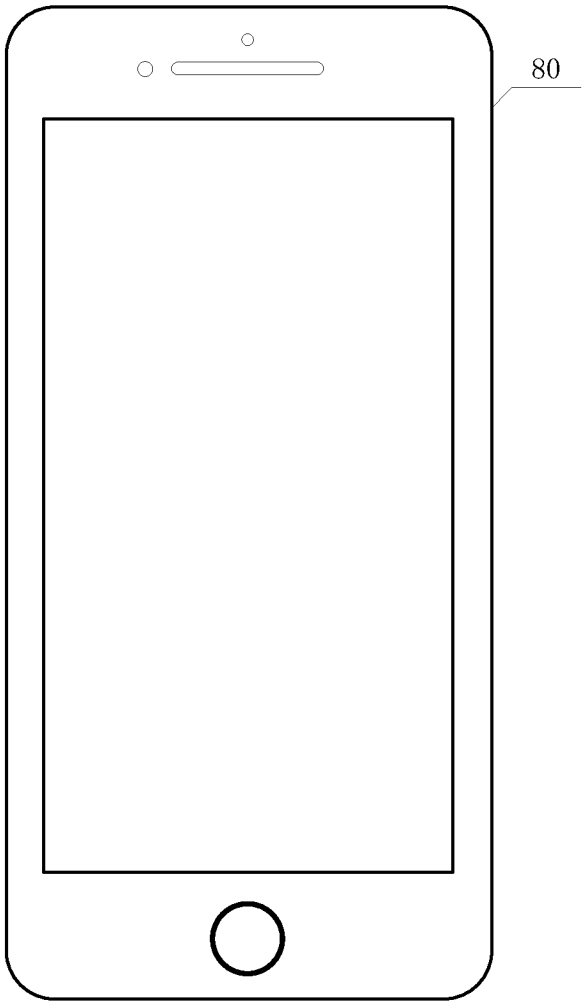

80

图 8

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2017/085852

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/12 (2006.01) i; H01L 21/77 (2017.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNTXT, CNABS, DWPI, USTXT, IEEE: 阵列基板, 栅绝缘, 栅极介电, 栅极绝缘, 栅极, 沟道, 导体化, 漏电, array, substrate, gate, insulating, channel, conductor, leakage

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 105914134 A (BOE TECHNOLOGY GROUP CO., LTD.) 31 August 2016 (31.08.2016), description, paragraphs [0066]-[0085], and figures 6 and 7	1-16
X	CN 105006486 A (NLT TECHNOLOGIES CO., LTD.) 28 October 2015 (28.10.2015), description, paragraphs [0115]-[0119], and figure 6	1-16
A	US 2007235805 A1 (YAN) 11 October 2007 (11.10.2007), entire document	1-16

☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&"document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
18 December 2017	27 December 2017

Name and mailing address of the ISA	Authorized officer
State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	LI, Xiaoming Telephone No. (86-10) 62089263

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2017/085852

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 105914134 A	31 August 2016	CN 105914134 B	04 July 2017
CN 105006486 A	28 October 2015	US 2015311351 A1	29 October 2015
		JP 2015211089 A	24 November 2015
US 2007235805 A1	11 October 2007	TW 200739914 A	16 October 2007
		TW I304655 B	21 December 2008

国际检索报告

国际申请号
PCT/CN2017/085852

A. 主题的分类

H01L 27/12(2006.01)i; H01L 21/77(2017.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称，和使用的检索词（如使用））

CNTXT, CNABS, DWPI, USTXT, IEEE:阵列基板，栅绝缘，栅极介电，栅极绝缘，栅极，沟道，导体化，漏电，array, substrate, gate, insulating, channel, conductor, leakgae

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
X	CN 105914134 A (京东方科技集团股份有限公司) 2016年 8月 31日 (2016-08-31) 说明书第66段-第85段，图6-7	1-16
X	CN 105006486 A (NLT科技股份有限公司) 2015年 10月 28日 (2015-10-28) 说明书第115段-第119段，图6	1-16
A	US 2007235805 A1 (YAN) 2007年 10月 11日 (2007-10-11) 全文	1-16

☐ 其余文件在C栏的续页中列出。

☑ 见同族专利附件。

* 引用文件的具体类型：

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件，或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件（如具体说明的）

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布，与申请不相抵触，但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件，单独考虑该文件，认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期	国际检索报告邮寄日期
2017年 12月 18日	2017年 12月 27日
ISA/CN的名称和邮寄地址 中华人民共和国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451	受权官员 李晓明 电话号码 (86-10)62089263

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2017/085852

检索报告引用的专利文件			公布日（年/月/日）	同族专利			公布日（年/月/日）
CN	105914134	A	2016年 8月 31日	CN	105914134	B	2017年 7月 4日
CN	105006486	A	2015年 10月 28日	US	2015311351	A1	2015年 10月 29日
				JP	2015211089	A	2015年 11月 24日
US	2007235805	A1	2007年 10月 11日	TW	200739914	A	2007年 10月 16日
				TW	I304655	B	2008年 12月 21日