



MINISTERO DELLO SVILUPPO ECONOMICO
DIREZIONE GENERALE PER LA LOTTA ALLA CONTRAFFAZIONE
UFFICIO ITALIANO BREVETTI E MARCHI

DOMANDA NUMERO	102001900934375
Data Deposito	01/06/2001
Data Pubblicazione	01/12/2002

Sezione	Classe	Sottoclasse	Gruppo	Sottogruppo
G	06	F		

Titolo

BUFFER DI USCITA PER UNA MEMORIA NON VOLATILE CON CONTROLLO DELLO SLEW RATE OTTIMIZZATO.

D E S C R I Z I O N E

del brevetto per invenzione industriale
di STMICROELECTRONICS S.R.L.

di nazionalità italiana,

5 con sede a 20041 AGRATE BRIANZA (MILANO) - VIA C. OLIVETTI, 2

Inventori: BEDARIDA Lorenzo, CORRADI Andrea,

MOSTOLA Maria, ZUCCHINALI Massimo

*** **** **

TO 20017 000591

10 La presente invenzione riguarda un buffer di uscita
per una memoria non volatile con controllo dello slew
rate ottimizzato.

Come è noto, attualmente il mercato dei dispositivi
a semiconduttore richiede la fabbricazione di
dispositivi di memoria con frequenze di funzionamento
15 sempre più elevate e ciò si traduce nell'esigenza di
avere buffer di uscita con velocità di commutazione
sempre più elevate.

Tali velocità di commutazione vengono attualmente
ottenute aumentando l'intensità della corrente fornita
20 dai buffer di uscita, e tale aumento della corrente di
uscita viene ottenuto aumentando le dimensioni dei
buffer di uscita.

Tuttavia, più le dimensioni dei buffer di uscita
sono elevate, più sono elevate le correnti che essi
25 assorbono durante la fase di commutazione, e tali

BERGADANO MIRKO
(iscritto all'Albo n. 8438)

correnti creano conseguentemente forti cadute ("dumps") della tensione di alimentazione del dispositivo di memoria, le quali concorrono a ridurre notevolmente il tempo di setting, e quindi il tempo di lettura, del
5 dispositivo di memoria.

In particolare, le cadute della tensione di alimentazione del dispositivo di memoria definiscono il cosiddetto rumore di commutazione dei dispositivi di memoria e sono strettamente legate a parametri spesso
10 non controllabili, quali le caratteristiche induttive del percorso di alimentazione, il numero di buffer di uscita che commutano contemporaneamente, il valore della tensione di alimentazione del dispositivo di memoria, ecc.

15 Per ridurre il rumore di commutazione sono state proposte numerose tecniche di controllo dello slew rate dei buffer di uscita, la maggior parte delle quali sono essenzialmente basate sul principio di limitare la derivata nel tempo della corrente assorbita dai buffer
20 di uscita riducendo la velocità di carica e di scarica dei terminali di porta dei transistori di pull-up e di pull-down dello stadio finale dei buffer di uscita durante la fase di accensione di questi ultimi.

In particolare, il rallentamento della carica e
25 della scarica dei terminali di porta dei transistori di

pull-up e di pull-down dello stadio finale dei buffer di uscita viene attualmente realizzato agendo sugli invertitori logici che comandano i transistori di pull-up e di pull-down stessi in due differenti modi
5 alternativi fra loro: utilizzando transistori resistivi o mediante un controllo in corrente.

In dettaglio, la prima tecnica consiste nel rendere resistivi il transistore di pull-down dell'invertitore logico che comanda il transistore pull-up dello stadio
10 finale ed il transistore di pull-up dell'invertitore logico che comanda il transistore di pull-down dello stadio finale, mentre la seconda tecnica consiste nel controllare in corrente il transistore di pull-down dell'invertitore logico che comanda il transistore di
15 pull-up dello stadio finale ed il transistore di pull-up dell'invertitore logico che comanda il transistore di pull-down dello stadio finale.

Sebbene consentano di ridurre la derivata nel tempo della corrente assorbita dai buffer di uscita e
20 migliorare l'immunità al rumore di commutazione dei buffer di uscita, le tecniche sopra descritte presentano però un inconveniente che non ne consente un adeguato sfruttamento di tutti i loro pregi.

In particolare, il principale effetto indesiderato
25 di tali tecniche è quello di introdurre un ulteriore

ritardo di commutazione dei buffer di uscita oltre a quello causato dall'elevata capacità collegata tipicamente all'uscita dei buffer di uscita stessi, il quale concorre a ridurre la massima velocità di commutazione di tali buffer di uscita e quindi la massima frequenza di commutazione.

Scopo della presente invenzione è quello di realizzare un buffer di uscita per un dispositivo di memoria ed un dispositivo di memoria esenti dagli inconvenienti sopra descritti.

Secondo la presente invenzione viene realizzato un buffer di uscita per un dispositivo di memoria, come definito nella rivendicazione 1.

Secondo la presente invenzione viene realizzato un dispositivo di memoria, come definito nella rivendicazione 10.

Per una migliore comprensione della presente invenzione viene ora descritta una forma di realizzazione preferita, a puro titolo di esempio non limitativo e con riferimento ai disegni allegati, nei quali:

- la figura 1 mostra lo schema circuitale di un buffer di uscita secondo una prima forma di realizzazione della presente invenzione; e
- la figura 2 mostra lo schema circuitale di un

buffer di uscita secondo una seconda forma di realizzazione della presente invenzione.

La presente invenzione si basa sul principio di prepolarizzare o precaricare i terminali di porta dei transistori di pull-up e di pull-down dello stadio finale dei buffer di uscita ad una tensione tale da portare i transistori stessi alla soglia di accensione, in modo da ridurre il ritardo di accensione di tali transistori.

Infatti, come è noto, in un transistore la durata della transizione da una condizione di spegnimento ad una condizione di accensione dipende essenzialmente dal valore della tensione di alimentazione e dal valore della sua tensione di soglia, e nelle attuali applicazioni a bassa tensione di alimentazione dei dispositivi di memoria, tipiche dei dispositivi portatili, ad esempio dei telefoni cellulari, fotocamere digitali, lettori MP3, smart cards, ecc., o dell'elettronica di consumo, è stato sperimentalmente verificato che più di un terzo del ritardo di commutazione dei buffer di uscita è imputabile alla transizione dei transistori dalla condizione di spegnimento alla condizione di accensione.

In particolare, in un buffer di uscita di una memoria non volatile la transizione dei transistori di

BERGADANO MIRKO
(iscritto all'Albo n. 8438)

pull-up e di pull-down dello stadio finale dalla
condizione di spegnimento alla condizione di accensione
è quantificabile in alcuni ns e rappresenta un ritardo
indesiderato che diventa particolarmente significativo
5 nella attuali applicazioni dei dispositivi di memoria in
cui si opera a basse tensioni di alimentazioni e a
frequenze di commutazione superiori ai 60 MHz.

La prepolarizzazione o precarica dei terminali di
porta dei transistori di pull-up e di pull-down dello
10 stadio finale dei buffer di uscita consente invece di
eliminare completamente il contributo al ritardo di
commutazione dei buffer di uscita stessi imputabile alla
transizione dalla condizione di spegnimento alla
condizione di accensione dei transistori che lo formano.

15 Nella figura 1 è mostrato lo schema circuitale di
un buffer di uscita secondo una prima forma di
realizzazione della presente invenzione.

In particolare, nella figura 1 il buffer di uscita
è indicato nel suo insieme con 1, mentre la memoria non
20 volatile di cui fa parte è schematicamente illustrata
con linea sottile ed è indicata con 2.

Secondo quanto illustrato nella figura 1, il buffer
di uscita 1 comprende uno stadio finale 4 formato da un
transistore di pull-up 6 di tipo PMOS e da un
25 transistore di pull-down 8 di tipo NMOS collegati in

BERGADANO MIRKO
(iscritto all'Albo n. 5435)

serie fra una linea di alimentazione 10 posta ad una tensione di alimentazione V_{DD} , ed una linea di massa 12 posta ad una tensione di massa V_{GND} ; uno stadio di pilotaggio 14 del transistorore di pull-up; uno stadio di pilotaggio 16 del transistorore di pull-down; uno stadio di prepolarizzazione 18 del terminale di porta del transistorore di pull-up 6; ed uno stadio di prepolarizzazione 20 del terminale di porta del transistorore di pull-down 8.

10 In particolare, il transistorore di pull-up 6 presenta terminali di sorgente e di bulk collegati alla linea di alimentazione 10, un terminale di pozzo collegato all'uscita 22 del buffer di uscita 1, ed un terminale di porta collegato all'uscita del rispettivo stadio di pilotaggio 14, mentre il transistorore di pull-down 8 presenta un terminale di sorgente collegato alla linea di massa 12, un terminale di pozzo collegato all'uscita 22 del buffer di uscita 1, ed un terminale di porta collegato all'uscita del rispettivo stadio di pilotaggio 16.

20 Lo stadio di pilotaggio 14 del transistorore di pull-up 6 comprende un porta logica 24 di tipo NOR ed un invertitore logico 26 collegati fra loro in cascata fra l'ingresso 28 del buffer di uscita 1 ed il terminale di porta del transistorore di pull-up 6.

BERGADANO MIRKO
(iscritto all'Albo n. 843B)

In particolare, la porta logica 24 presenta un primo ingresso ricevente un segnale di abilitazione negato \overline{OE} attraverso il quale l'utilizzatore può abilitare/disabilitare il buffer di uscita 1, un secondo
5 ingresso collegato all'ingresso 28 del buffer di uscita, ed una uscita collegata ad un ingresso 30 dell'invertitore logico 26, la cui uscita 32 è collegata al terminale di porta del transistor di pull-up 6.

L'invertitore logico 26 comprende un transistor di
10 pull-up 34 di tipo PMOS ed un transistor di pull-down 36 di tipo NMOS aventi terminali di porta collegati fra loro e definenti l'ingresso 30 dell'invertitore logico 26, terminali di sorgente collegati alla linea di alimentazione 10 e, rispettivamente, alla linea di massa
15 12, e terminali di pozzo collegati all'uscita 32 dell'invertitore logico 26.

Lo stadio di prepolarizzazione ~~18~~ del terminale di porta del transistor di pull-up 6 comprende essenzialmente un transistor PMOS 38 collegato a diodo
20 interposto fra il terminale di pozzo del transistor di pull-up 34 dell'invertitore logico 26 e l'uscita 32 dell'invertitore logico 26 stesso, ed un transistor NMOS 40 collegato fra l'uscita 32 dell'invertitore logico 26 e la linea di massa 12.

25 In particolare, il transistor PMOS 38 presenta

terminali di sorgente e di bulk collegati al terminali di pozzo del transistor di pull-up 34 dell'invertitore logico 26, e terminali di porta e di pozzo collegati all'uscita 32 dell'invertitore logico 26, mentre il
5 transistor NMOS 40 presenta un terminale di pozzo collegato all'uscita 32 dell'invertitore logico 26, terminale di sorgente collegato alla linea di massa 12 e terminale di porta ricevente un segnale di comando EN di tipo logico assumente un livello logico alto per
10 abilitare lo stadio di prepolarizzazione 18 ed un livello logico basso per disabilitare lo stadio di prepolarizzazione 18.

Lo stadio di prepolarizzazione 18 del terminale di porta del transistor di pull-up 6 comprende inoltre un
15 transistor PMOS 42 collegato in parallelo al transistor PMOS 38 e presentante terminali di sorgente e di bulk collegati al terminale di sorgente del transistor PMOS 38, un terminale di pozzo collegato all'uscita 32 dell'invertitore logico 26, ed un
20 terminale di porta ricevente il suddetto segnale di comando EN.

Lo stadio di pilotaggio 16 del transistor di pull-down 8 comprende un porta logica 44 di tipo NAND, ed un invertitore logico 46 collegati fra loro in cascata fra
25 l'ingresso 24 del buffer di uscita 1 ed il terminale di

porta del transistorore di pull-down 8.

In particolare, la porta logica 44 presenta un primo ingresso ricevente un segnale di abilitazione OE ottenuto negando il segnale di abilitazione negato \overline{OE} ,
5 un secondo ingresso collegato all'ingresso 28 del buffer di uscita, ed una uscita collegata ad un ingresso 48 dell'invertitore logico, la cui uscita 50 è collegata al terminale di porta del transistorore di pull-down 8.

L'invertitore logico 46 comprende un transistorore di
10 pull-up 52 di tipo PMOS, ed un transistorore di pull-down 54 di tipo NMOS aventi terminali di porta collegati all'ingresso 48 dell'invertitore logico 46, terminali di sorgente collegati alla linea di alimentazione 10 e, rispettivamente, alla linea di massa 12, e terminali di
15 pozzo collegati all'uscita 50 dell'invertitore logico 46.

Lo stadio di prepolarizzazione 20 del terminale di porta del transistorore di pull-down 8 comprende un transistorore NMOS 56 collegato a diodo interposto fra il
20 terminale di pozzo del transistorore di pull-down 54 dell'invertitore logico 46 e l'uscita 50 dell'invertitore logico stesso, ed un transistorore PMOS 58 collegato fra l'uscita 50 dell'invertitore logico 46 e la linea di alimentazione 10.

25 In particolare, il transistorore NMOS 56 presenta

terminali di sorgente e di bulk collegati al terminali
di pozzo del transistor di pull-down 54
dell'invertitore logico 46, e terminali di porta e di
pozzo collegati all'uscita 50 dell'invertitore logico 46
5 stesso, mentre il transistor PMOS 58 presenta terminale
di pozzo collegato all'uscita 50 dell'invertitore logico
46, terminali di sorgente e di bulk collegati alla linea
di alimentazione 10, e terminale di porta ricevente un
segnale di comando negato \overline{EN} , ottenuto negando il
10 suddetto segnale di comando EN.

Lo stadio di prepolarizzazione 20 del terminale di
porta del transistor di pull-down 8 comprende inoltre
un transistor NMOS 60 collegato in parallelo al
transistor NMOS 56 e presentante un terminale di
15 sorgente collegato al terminale di sorgente del
transistor NMOS 56, terminale di pozzo collegato
all'uscita 50 dell'invertitore logico 46, e terminale di
porta ricevente il suddetto segnale di comando negato
 \overline{EN} .

20 Il funzionamento del buffer di uscita 1 è
generalmente noto e verrà pertanto descritto soltanto
per quanto riguarda gli stadi di prepolarizzazione 18,
20 dei terminali di porta dei transistori di pull-up e
di pull-down 6, 8.

25 In particolare, per quanto riguarda lo stadio di

prepolarizzazione 18, quando si desidera effettuare prepolarizzare il terminale di porta del transistorore di pull-up 6, il segnale di comando EN viene fatto commutare ad un livello logico alto. In questa
5 condizione operativa, il transistorore NMOS 40 è acceso, mentre il transistorore PMOS 42 è spento, e pertanto si crea un percorso di corrente fra la linea di alimentazione 10 e la linea di massa 12 attraverso il transistorore di pull-up 34 dell'invertitore logico 26, il
10 transistorore PMOS 38 ed il transistorore NMOS 40, determinando così la precarica e la conseguente prepolarizzazione del terminale di porta del transistorore di pull-up 6 dello stadio finale 4 del buffer di uscita 1.

15 In particolare, la tensione a cui il terminale di porta del transistorore di pull-up 6 viene prepolarizzato è funzione del dimensionamento dei transistorori PMOS ed NMOS 38, 40, per cui tali transistorori 38, 40 vengono dimensionati in modo tale che la tensione V_G a cui il
20 terminale di porta del transistorore di pull-up 6 viene precaricato sia tale da portare il transistorore di pull-up 6 stesso alla soglia della conduzione, in particolare pari alla tensione di alimentazione V_{DD} diminuita della tensione di soglia V_{THP} di un transistorore PMOS, ovvero
25 $V_G = V_{DD} - V_{THP}$.

In questo modo, quando lo stadio di pilotaggio 14 comanda l'accensione del transistore di pull-up 6, la sua accensione risulta praticamente immediata in quanto non è più presente il ritardo imputabile alla transizione dalla condizione di spegnimento alla soglia di conduzione, determinando così un significativo aumento della massima frequenza a cui il buffer di uscita 1 può operare rispetto a quella dei buffer di uscita secondo l'arte nota.

10 Il segnale di comando EN viene invece fatto commutare al livello logico basso quando si desidera riportare il buffer di uscita 1 nella configurazione standard in cui non viene effettuata alcuna prepolarizzazione del terminale di porta del transistore di pull-up 6. In questa condizione operativa, infatti, 15 il transistore NMOS 40 è spento, mentre il transistore PMOS 42 è acceso e cortocircuita il transistore PMOS 38.

Il funzionamento dello stadio di prepolarizzazione del terminale di porta del transistore di pull-down 8 dello stadio finale 4 è analogo a quello dello stadio di prepolarizzazione del terminale di porta del transistore di pull-up 6, per cui non verrà nuovamente ripetuto. 20

Si evidenzia unicamente il fatto che la prepolarizzazione del terminale di porta del transistore di pull-down 8 viene effettuata contemporaneamente con 25

BERGADANO MIRKO
(iscritto all'Albo n. 843B)

quella del terminale di porta del transistore di pull-up
6 in quanto sia il transistore PMOS 58 che il
transistore NMOS 60 ricevono il segnale di comando
negato \overline{EN} , per cui il transistore PMOS 58 è acceso ed
5 il transistore NMOS 60 è spento quando il segnale di
comando EN assume un livello logico alto (segnale di
comando negato \overline{EN} basso), mentre il transistore NMOS 60
è acceso e cortocircuita il transistore NMOS 56 quando
il segnale di comando EN assume un livello logico basso
10 (segnale di comando negato \overline{EN} alto).

Analogamente a quanto precedentemente detto per lo
stadio di prepolarizzazione 18, la tensione a cui il
terminale di porta del transistore di pull-down 8 viene
prepolarizzato è funzione del dimensionamento dei
15 transistori NMOS e PMOS 56, 58, per cui tali transistori
vengono dimensionati in modo tale che la tensione V_G a
cui il terminale di porta del transistore di pull-down 8
viene precaricato sia tale da portare il transistore di
pull-down 8 stesso alla soglia della conduzione, in
20 particolare sia pari alla tensione di massa V_{GND}
aumentata della tensione di soglia V_{THN} di un transistore
NMOS, ovvero $V_G = V_{GND} + V_{THN}$.

Nella figura 2 è mostrato un buffer di uscita
secondo una seconda forma di realizzazione della
25 presente invenzione, in cui parti identiche a quelle di

figura 1 sono indicate con gli stessi numeri di riferimento.

In particolare, il buffer di uscita di figura 2, indicato con 1', differisce dal buffer di uscita 1 di figura 1 nella struttura degli stadi di prepolarizzazione dei terminali di porta dei transistori di pull-up e di pull-down 6, 8.

In dettaglio, lo stadio di prepolarizzazione del terminale di porta del transistor di pull-up 6, indicato qui con 18', differisce dallo stadio di prepolarizzazione 18 per il fatto che il collegamento del terminale di porta del transistor di pull-up 6 alla linea di massa 12 è realizzato, anziché attraverso il solo transistor NMOS 40, attraverso un ramo di precarica veloce 62 ed un ramo di mantenimento 64 collegati in parallelo fra loro fra l'uscita 32 dell'invertitore logico 26 e la linea di massa 12 e formati, ciascuno, da una coppia di transistori NMOS, indicati con 66, 68 e, rispettivamente, con 70, 72, collegati in serie fra loro.

Analogamente, lo stadio di prepolarizzazione del terminale di porta del transistor di pull-down 8, indicato qui con 20', differisce dallo stadio di prepolarizzazione 20 per il fatto che il collegamento del terminale di porta del transistor di pull-down 8

alla linea di alimentazione 10 è realizzato, anziché attraverso il solo transistor PMOS 58, attraverso un ramo di precarica veloce 74 ed un ramo di mantenimento 76 collegati in parallelo fra loro fra l'uscita 50 dell'invertitore logico 46 e la linea di alimentazione 10 e formati, ciascuno, da una coppia di transistori PMOS, indicati con 78, 80 e, rispettivamente, 82, 84, collegati in serie fra loro.

In particolare, nello stadio di prepolarizzazione 18' del terminale di porta del transistor di pull-up 6, il transistor 66 del ramo di precarica veloce 62 presenta terminale di pozzo collegato all'uscita 32 dell'invertitore logico 26, terminale di sorgente collegato al terminale di pozzo del transistor 68, e terminale di porta ricevente una tensione di riferimento V_{REF} (1,21 V) stabile in temperatura e generata da un generatore di tensione di tipo band-gap (non illustrato), mentre il secondo transistor 68 del ramo di precarica veloce 62 è un transistor ad elevata conducibilità (ossia avente un elevato rapporto W/L) e presenta terminale sorgente collegato alla linea di massa 12 e terminale di porta ricevente un primo segnale di comando EN1.

Il transistor 70 del ramo di mantenimento 64 presenta terminale di pozzo collegato all'uscita 32

dell'invertitore logico 26, terminale di sorgente collegato al terminale di pozzo del transistor 72, e terminale di porta ricevente la suddetta tensione di riferimento V_{REF} , mentre il transistor 72 del ramo di mantenimento 64 è un transistor avente una conducibilità inferiore a quella del transistor 68 del ramo di precarica veloce 62 (ossia avente un rapporto W/L inferiore) e presenta terminale sorgente collegato alla linea di massa 12 e terminale di porta ricevente un secondo segnale di comando EN2.

Nello stadio di prepolarizzazione 20' del terminale di porta del transistor di pull-down 8, il transistor 78 del ramo di precarica veloce 74 presenta terminale di pozzo collegato all'uscita 50 dell'invertitore logico 46, terminale di sorgente collegato al terminale di pozzo del transistor 80, terminale di bulk collegato alla linea di alimentazione 10, e terminale di porta collegato alla linea di massa 12, mentre il transistor 80 è un transistor ad elevata conducibilità e presenta terminali di sorgente e di bulk collegati alla linea di alimentazione 10, e terminale di porta ricevente il primo segnale di comando negato $\overline{EN1}$.

Il transistor 82 del ramo di mantenimento 76 presenta terminale di pozzo collegato all'uscita 50 dell'invertitore logico 46, terminale di sorgente

BERGADANO MIRKO
(iscritto all'Albo n. 8438)

collegato al terminale di pozzo del transistor 84,
terminale di bulk collegato alla linea di alimentazione
10, e terminale di porta collegato alla linea di massa
12, mentre il transistor 84 presenta terminali di
5 sorgente e di bulk collegati alla linea di alimentazione
10, e terminale di porta ricevente il secondo segnale di
comando negato $\overline{\text{EN2}}$.

Il funzionamento del buffer di uscita 1' è
generalmente noto e verrà pertanto descritto soltanto
10 per quanto riguarda gli stadi di prepolarizzazione 18',
20' dei terminali di porta dei transistori di pull-up e
di pull-down 6, 8.

In particolare, per quanto riguarda la
prepolarizzazione del terminale di porta del transistor
15 di pull-up 6, essa viene effettuata attivando
inizialmente sia il ramo di precarica veloce 62 che il
ramo di mantenimento 64 per effettuare una precarica
veloce, e disattivando quindi il ramo di precarica
veloce 62.

20 Infatti, quando il ramo di precarica veloce 62 ed
il ramo di mantenimento 64 sono entrambi attivi (segnali
di comando EN1 ed EN2 al livello logico alto), l'elevata
conducibilità del transistor 68 del ramo di precarica
veloce 62 determina un flusso di corrente molto elevato
25 fra la linea di alimentazione 10 e la linea di massa 12,

BERGADANO MIRKO
(iscritto all'Albo n. 843B)

consentendo così una prepolarizzazione estremamente veloce del terminale di porta del transistor di pull-up 6 ad una tensione $V_G = V_{DD} - V_{THP}$.

Terminata la fase di precarica veloce, il ramo di precarica veloce 62 viene disattivato (segnale di comando EN1 basso) e viene lasciato attivo soltanto il ramo di mantenimento 64 per mantenere il terminale di porta del transistor di pull-up 6 alla tensione di polarizzazione V_G .

Il ramo di mantenimento 62 viene invece disattivato (segnale di comando EN2 basso) soltanto quando si vuole riportare il buffer di uscita 1' nella sua configurazione standard in cui non viene effettuata alcuna prepolarizzazione del terminale di porta del transistor di pull-up 6.

I transistori NMOS 66, 70, avendo i terminali di porta polarizzati ad una tensione di riferimento V_{REF} stabile in temperatura, sono sempre accesi e svolgono l'unica funzione di aumentare la conduttività dei rispettivi rami.

Il funzionamento dello stadio di prepolarizzazione 20' del terminale di porta del transistor di pull-down 8 è analogo a quello dello stadio di prepolarizzazione del terminale di porta del transistor di pull-up 6, per cui non verrà nuovamente ripetuto.

BERGADANO MIRKO
(scritto all'Albo n. 6438)

Da un esame delle caratteristiche della presente invenzione sono evidenti i vantaggi che essa consente di ottenere.

In particolare, la presente invenzione consente di
5 eliminare del tutto il contributo al ritardo di commutazione dei buffer di uscita imputabile alla transizione dei transistori di pull-up e di pull-down dello stadio finale dalla condizione di spegnimento alla condizione di accensione, determinando così un
10 significativo aumento della massima frequenza di commutazione dei buffer di uscita e, conseguentemente, della massima frequenza a cui la memoria non volatile può operare.

Il beneficio in termini di frequenza di
15 commutazione dei buffer di uscita risulta poi particolarmente significativo alle alte frequenze, in particolar modo per frequenze dell'ordine dei 60 MHz, e a basse tensioni di alimentazione.

Infatti, nel campo dei dispositivi di memoria ci si
20 sta spingendo sempre più verso funzionamenti a basse tensioni di alimentazione ($< 1,35$ V) e ciò fa sì che, mantenendo invariate le tensioni di soglia dei transistori, i "tempi di attesa" costituiti dalle commutazioni dei transistori aumentino
25 considerevolmente. La presente invenzione consente

BERGADANO MIRKO
(iscritto all'Albo n. 2438)

invece di recuperare il contributo al ritardo di commutazione introdotto proprio dall'utilizzo di basse tensioni di alimentazione.

Risulta infine chiaro che a quanto qui descritto ed
5 illustrato possono essere apportate modifiche e varianti senza per questo uscire dall'ambito protettivo della presente invenzione, come definito nelle rivendicazioni allegate.

Ad esempio, nelle applicazioni a basso consumo in
10 cui è necessario lo spegnimento completo dei buffer di uscita quando non utilizzato, la prepolarizzazione dei terminali di porta dei transistori di pull-up e di pull-down 6, 8 dello stadio finale 4 potrebbe essere realizzata utilizzando transistori naturali, i quali,
15 come è noto, hanno una tensione di soglia più bassa di quella dei transistori "enhancement" tipicamente utilizzati nei buffer di uscita.

Ad esempio, nel caso in cui il transistore PMOS 38 dello stadio di prepolarizzazione 18 ed il transistore
20 NMOS 56 dello stadio di prepolarizzazione 20 fossero transistori naturali, i terminali di porta dei transistori di pull-up e di pull-down 6, 8 sarebbero prepolarizzati ad una tensione $V_G = V_{DD} - V_{THPnat}$, con $|V_{THPnat}| < |V_{THPenh}|$, e, rispettivamente, ad una tensione
25 $V_G = V_{GND} + V_{THNnat}$, con $|V_{THNnat}| < |V_{THNenh}|$, con conseguente

BERGADANO MIRKO
[iscritto all'Albo n. 843B]

evidente beneficio dal punto di vista del consumo di corrente dello stadio finale 4 del buffer di uscita (i transistori di pull-up e di pull-down 6, 8 sarebbero infatti "meno prepolarizzati"), ma con un minor vantaggio dal punto di vista delle tempistiche di commutazione.

BERGADANO MIRKO
(Iscritto all' Albo n. 843B)

R I V E N D I C A Z I O N I

1. Buffer di uscita (1; 1') per un dispositivo di memoria (2), comprendente uno stadio finale (4) includente un primo ed un secondo transistor (6, 8) collegati in serie fra una prima linea (10) posta ad un primo potenziale (V_{DD}) ed una seconda linea (12) posta ad un secondo potenziale (V_{GND}); caratterizzato dal fatto di comprendere inoltre mezzi di prepolarizzazione (18, 20; 18', 20') per prepolarizzare terminali di controllo di detti primo e secondo transistor (6, 8) in modo da portare questi ultimi alla soglia di accensione.

2. Buffer di uscita secondo la rivendicazione 1, caratterizzato dal fatto di comprendere inoltre un primo stadio di pilotaggio (14) del detto primo transistor (6), ed un secondo stadio di pilotaggio (16) del detto secondo transistor (8); detto primo stadio di pilotaggio (14) comprendendo primi mezzi invertitori (26) aventi un ingresso (30) collegato ad un ingresso (28) di detto buffer di uscita (1; 1'), ed una uscita (32) collegata ad un terminale di controllo del detto primo transistor (6), e includenti un terzo ed un quarto transistor (34, 36) aventi primi terminali collegati all'uscita (32) dei primi mezzi invertitori (26) stessi, secondi terminali collegati a detta prima e, rispettivamente, a detta seconda linea (10, 12), e

BERGADANO MIRKO
(iscritto all'Albo n. 843B)

terminali di controllo collegati all'ingresso (30) dei
primi mezzi invertitori (26) stessi; detto secondo
stadio di pilotaggio (16) comprendendo secondi mezzi
invertitori (46) aventi un ingresso (48) collegato a
5 detto ingresso (28) di detto buffer di uscita (1; 1'),
ed una uscita (50) collegata ad un terminale di
controllo del detto secondo transistor (8), e
includenti un quinto ed un sesto transistor (52, 54)
aventi primi terminali collegati all'uscita (48) dei
10 secondo mezzi invertitori (46) stessi, secondi terminali
collegati a detta prima e, rispettivamente, a detta
seconda linea (10, 12), e terminali di controllo
collegati all'ingresso (48) dei secondi mezzi
invertitori (46) stessi; detti mezzi di
15 prepolarizzazione (18, 20; 18', 20') comprendendo un
primo stadio di prepolarizzazione (18; 18') del
terminale di controllo del detto primo transistor (6),
ed un secondo stadio di prepolarizzazione (20; 20') del
terminale di controllo del detto secondo transistor
20 (8), detto primo stadio di prepolarizzazione (18; 18')
comprendendo primi mezzi unidirezionali (38) interposti
fra l'uscita (32) dei detti primi mezzi invertitori (26)
ed detto terzo transistor (34) dei primi mezzi
invertitori (26) stessi, e primi mezzi interruttori (40;
25 62, 64) collegati fra l'uscita (32) dei primi mezzi

BERGADANO MIRKO
(iscritto all'Albo n. 3438)

invertitori (26) e detta seconda linea (12), detto secondo stadio di prepolarizzazione (20; 20') comprendendo secondi mezzi unidirezionali (56) interposti fra l'uscita (50) dei secondi mezzi invertitori (46) ed il detto quarto transistoro (54) dei secondi mezzi invertitori (46) stessi, e secondi mezzi interruttori (58; 74, 76) collegati fra l'uscita (50) dei secondi mezzi invertitori (46) e detta prima linea (10).

10 3. Buffer di uscita secondo la rivendicazione 2, caratterizzato dal fatto che detti primi e secondi mezzi unidirezionali comprendono rispettivi transistori (38, 56) collegati a diodo.

15 4. Buffer di uscita secondo la rivendicazione 2 o 3, caratterizzato dal fatto che detti primi e secondi mezzi interruttori comprendono rispettivi transistori (40, 58).

20 5. Buffer di uscita secondo la rivendicazione 2 o 3, caratterizzato dal fatto che detti primi mezzi interruttori (62, 64) comprendono un primo ramo di precarica veloce (62) ed un primo ramo di mantenimento (64) collegati in parallelo fra loro fra l'uscita di detti primi mezzi invertitori (26) e detta seconda linea (12), e che detti secondi mezzi interruttori (74, 76) 25 comprendono un secondo ramo di precarica veloce (74) ed

BERGADANO MIRKO
(iscritto all' Albo n. 6438)

un secondo ramo di mantenimento (76) collegati in parallelo fra loro fra l'uscita (50) di detti secondi mezzi invertitori (26) e detta prima linea (10).

6. Buffer di uscita secondo la rivendicazione 5, caratterizzato dal fatto che detti primo e secondo ramo di precarica veloce (62, 74) e detti primo e secondo ramo di mantenimento (64, 76) comprendono, ciascuno, una coppia di transistori collegati fra loro in serie, un primo di detta coppia di transistori (68, 72, 80, 84) ricevendo su un terminale di controllo un segnale di comando ($EN1$, $EN2$, $\overline{EN1}$, $\overline{EN2}$) ed un secondo di detta coppia di transistori (66, 70, 78, 82) avendo un terminale di controllo posto ad una tensione di riferimento (V_{REF} , V_{GND}).

7. Buffer di uscita secondo la rivendicazione 6, caratterizzato dal fatto che i primi transistori (68, 80) di detti primo e secondo ramo di precarica veloce (62, 74) presentano dimensioni maggiori di quelle dei primi transistori (72, 84) di detti primo e secondo ramo di mantenimento (64, 76).

8. Buffer di uscita secondo una qualsiasi delle rivendicazioni da 2 a 7, caratterizzato dal fatto di comprendere inoltre terzi mezzi interruttori (42) selettivamente attivabili per cortocircuitare detti primi mezzi unidirezionali (38), e quarti mezzi

BERGADANO MIRKO
(iscritto all'Albo n. 843B)

interruttori (60) selettivamente attivabili per cortocircuitare detti secondi mezzi unidirezionali (56).

9. Buffer di uscita secondo la rivendicazione 8, caratterizzato dal fatto che detti terzi e quarti mezzi
5 interruttori comprendono rispettivi transistori (42, 60).

10. Dispositivo di memoria (2), caratterizzato dal fatto di comprendere un buffer di uscita secondo una qualsiasi delle rivendicazioni precedenti.

11. Buffer di uscita per un dispositivo di memoria, sostanzialmente come descritto con riferimento ai disegni allegati.

12. Dispositivo di memoria, sostanzialmente come descritto con riferimento ai disegni allegati.

15 p.i.: STMICROELECTRONICS S.R.L.


BERGADANO MIRKO
(iscritto all'Albo n. 843B)


C.C.I.A.A.
Torino

BERGADANO MIRKO
(iscritto all'Albo n. 843B)

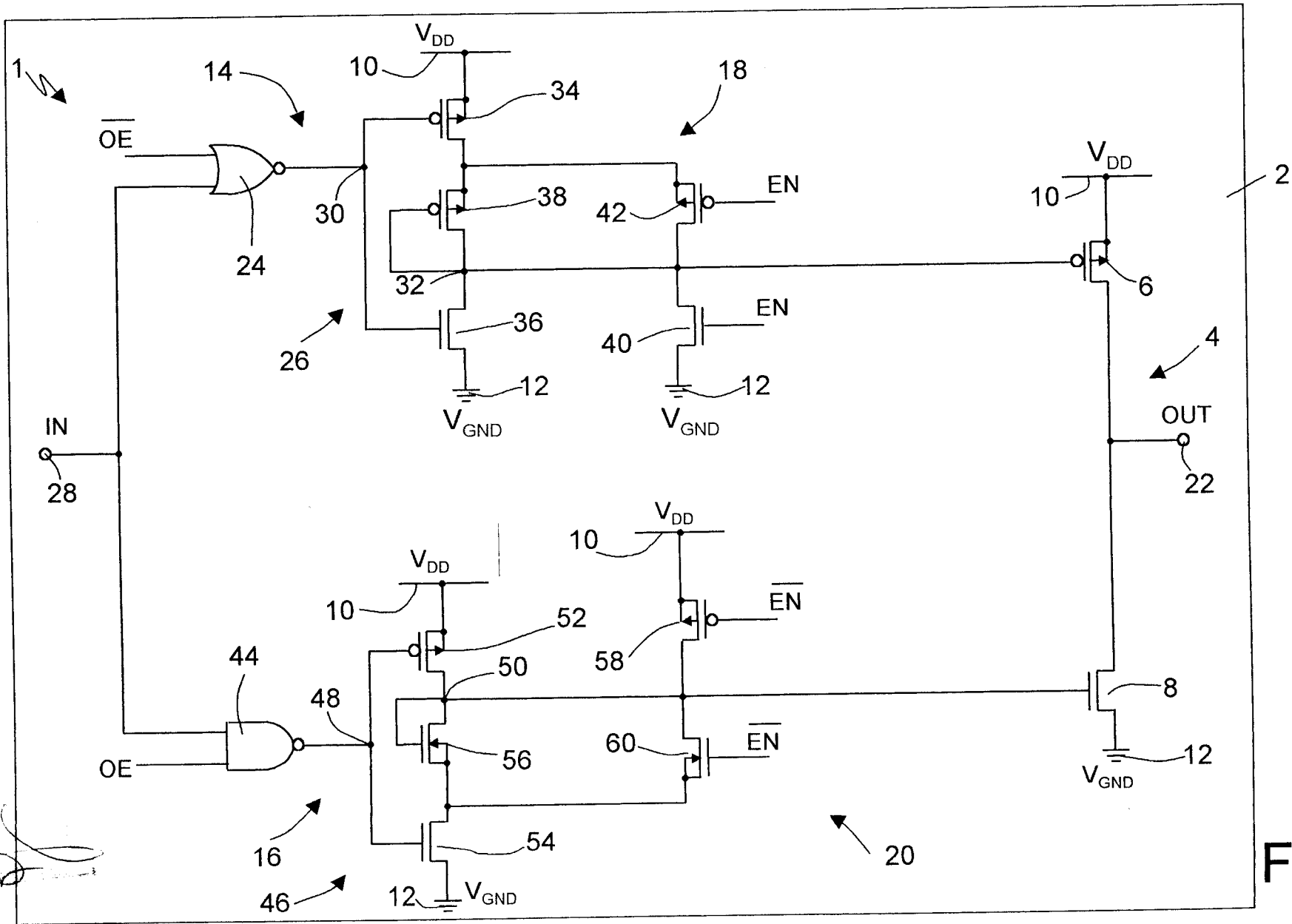


Fig. 1

TO 2001A 000531

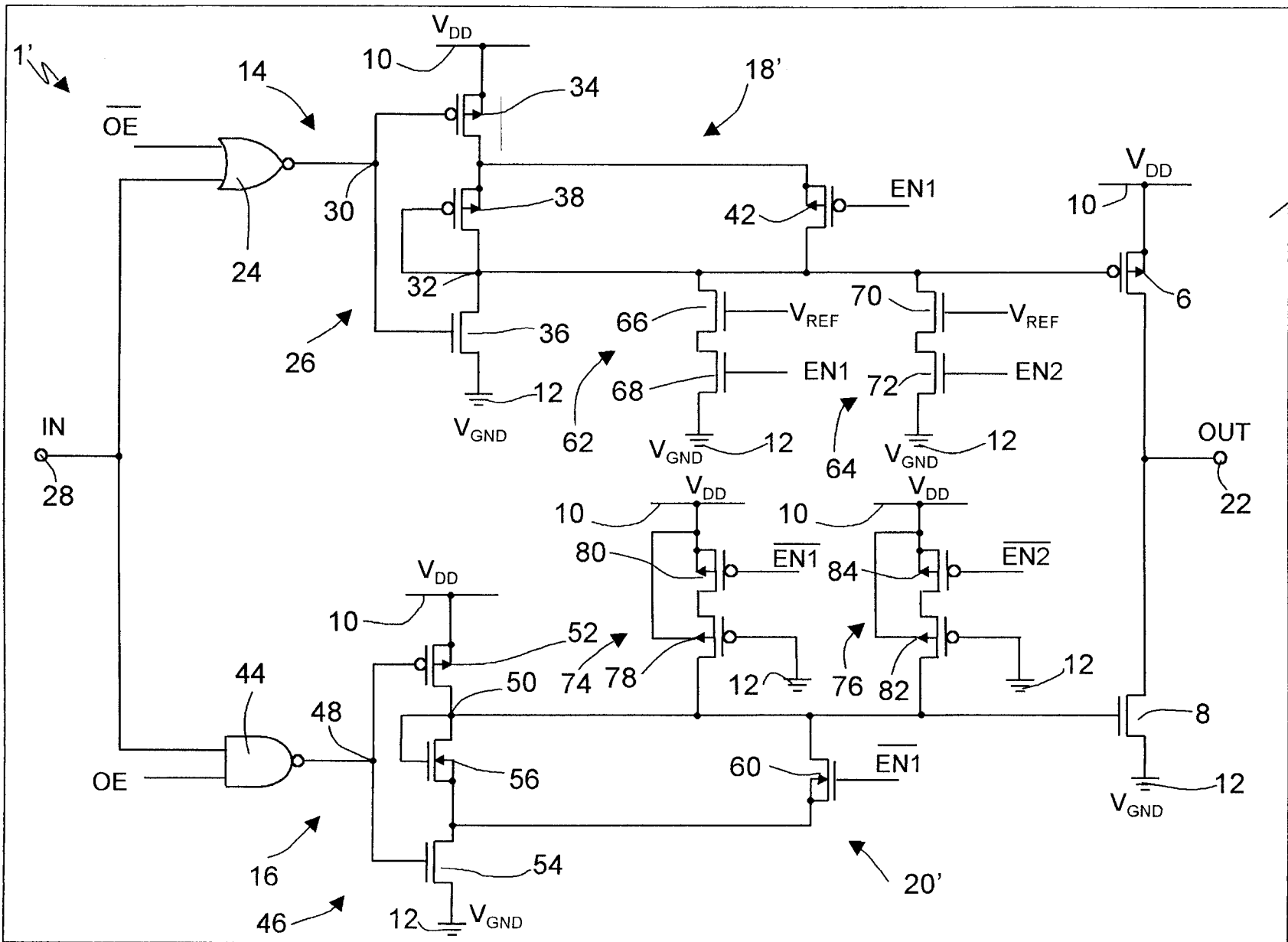


Fig.2

10 2001A 000521