



(12) 发明专利

(10) 授权公告号 CN 1691347 B

(45) 授权公告日 2010.06.16

(21) 申请号 200510079215.8

(22) 申请日 2005.04.26

(30) 优先权数据

129388/04 2004.04.26 JP

(73) 专利权人 索尼株式会社

地址 日本东京都

(72) 发明人 马渊圭司 若野寿史 小关贤

(74) 专利代理机构 北京市柳沈律师事务所

11105

代理人 邸万奎 黄小临

(51) Int. Cl.

H01L 27/146 (2006.01)

H04N 5/335 (2006.01)

(56) 对比文件

US 2002/0051229 A1, 2002.05.02, 说明书第 1 和 3 实施例, 以及附图 1, 3-5, 8-10.

审查员 陈浩

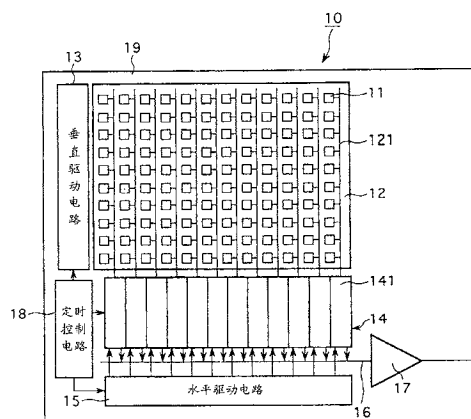
权利要求书 2 页 说明书 9 页 附图 6 页

(54) 发明名称

固态成像器件及其驱动方法

(57) 摘要

一种固态成像器件, 包括: 像素阵列, 其包括以矩阵形式二维排列的像素, 在排列的每列像素中提供有信号线, 每个像素都包括光电变换元件; 以及固定单元, 将在像素具有工作周期之前获得的信号线的电势固定到第一电源电势和第二电源电势之间的中间电势。



1. 一种固态成像器件,包括:

像素阵列,其包括二维排列的像素,在排列的每列像素中提供有信号线,每个像素都包括光电变换元件;以及

固定单元,将在像素处于工作周期之前获得的信号线的电势固定到第一电源电势和第二电源电势之间的中间电势,

其中该中间电势是通过像素的复位操作从像素输出的复位电平附近的电势。

2. 根据权利要求1的固态成像器件,其中该固定单元取样并保持从像素输出的复位电平的值或与所输出的复位电平的值得接近的电压值,并使用所保持的值作为中间电势。

3. 根据权利要求1的固态成像器件,

其中该像素包括:

传输晶体管,将通过光电变换元件中的光电变换获得的电荷传输给浮动扩散区;

复位晶体管,连接在浮动扩散区和为该像素提供的漏极驱动线之间,该复位晶体管控制浮动扩散区的电势;以及

放大晶体管,输出与浮动扩散区的电势对应的信号,以及

其中在该像素的工作周期结束之后,该漏极驱动线的电势从非激活电平返回到激活电平。

4. 根据权利要求3的固态成像器件,其中如果复位晶体管为N沟道晶体管,则将提供给复位晶体管栅极的复位脉冲的非激活电平设置为负电压,以及如果复位晶体管是P沟道晶体管,则将提供给复位晶体管栅极的复位脉冲的非激活电平设置为等于或大于第二电源电势。

5. 根据权利要求3的固态成像器件,其中该复位晶体管的阈值电压被设置为低于像素阵列的外围电路中使用的晶体管的阈值电压。

6. 一种用于固态成像器件的驱动方法,该固态成像器件包括以矩阵形式二维排列的像素,在排列的每列像素中提供有信号线,每个像素都包括光电变换元件,

其中,在像素处于工作周期之前,将信号线的电势固定到第一电源电势和第二电源电势之间的中间电势,

其中该中间电势是通过像素的复位操作从像素输出的复位电平附近的电势。

7. 根据权利要求6的驱动方法,其中取样并保持从像素输出的复位电平的值或与所输出的复位电平的值得接近的电压值,并使用所保持的值作为中间电势。

8. 根据权利要求6的驱动方法,

其中该像素包括:

传输晶体管,将通过光电变换元件中的光电变换获得的电荷传输给浮动扩散区;

复位晶体管,连接在浮动扩散区和为像素提供的漏极驱动线之间,该复位晶体管控制浮动扩散区的电势;以及

放大晶体管,输出与浮动扩散区的电势对应的信号,以及

其中在像素的工作周期结束之后,将漏极驱动线的电势从非激活电平返回到激活电平。

9. 根据权利要求8的驱动方法,其中如果复位晶体管为N沟道晶体管,则将提供给复位晶体管栅极的复位脉冲的非激活电平设置为负电压,以及如果复位晶体管是P沟道晶体

管,则将提供给复位晶体管栅极的复位脉冲的非激活电平设置为等于或大于第二电源电势。

10. 根据权利要求 8 的驱动方法,其中将复位晶体管的阈值电压设置为低于像素阵列的外围电路中使用的晶体管的阈值电压。

11. 一种模块类型的固态成像器件,包括:

像素阵列,其包括二维排列的像素,在排列的每列像素中提供有信号线,每个像素都包括光电变换元件;以及

固定单元,将在像素处于工作周期之前获得的信号线的电势固定到第一电源电势和第二电源电势之间的中间电势;以及

信号处理单元,处理来自在与形成所述像素阵列的基板不同的基板上形成的像素阵列的信号,

其中该中间电势是通过像素的复位操作从像素输出的复位电平附近的电势。

固态成像器件及其驱动方法

[0001] 相关申请的交叉引用

[0002] 本发明包含 2004 年 4 月 26 日向日本专利局提交的日本专利申请 JP2004-129388 涉及的主题,在此通过引用而合并其全部内容。

技术领域

[0003] 本发明涉及一种固态成像器件及其驱动方法,并特别涉及一种互补金属氧化物半导体 (CMOS) 或金属氧化物半导体 (MOS) 固态成像器件及其驱动方法。

背景技术

[0004] 能以与 CMOS 集成电路类似的工艺生产的 CMOS 固态成像器件 (以下称为“CMOS 图像传感器”)被认为是固态成像器件 (例如,参见日本专利说明书 No. 3000782)。关于 CMOS 图像传感器,通过利用与 CMOS 工艺相关的小型化技术,可以容易地生产对于每个像素具有放大功能的有源结构。另外,CMOS 图像传感器具有如下特征,即例如用于驱动像素阵列的驱动电路和用于处理从像素阵列输出的信号的信号处理电路的外围电路被集成在用于像素阵列的同一芯片 (基板) 上。因此,近年来,CMOS 图像传感器已引起注意,并且已进行了关于 CMOS 图像传感器的许多研究和开发。

发明内容

[0005] 由本发明的发明人进行的分析表明:在固态成像器件如 CMOS 图像传感器中,图像恶化的原因之一基于以下机理。具体地,当信号从每个像素输出到垂直信号线时,垂直信号线的电势改变。此时,即使读取来自每行中像素的信号,在整个像素阵列中的垂直信号线的电势也会改变。因此,整个像素阵列中的电容耦合使得像素阵列中的势阱发生波动。当在读取来自像素的信号的同时像素阵列中一个阱的电势波动时,该电势波动被叠加在来自像素的信号上。叠加的波动引起了杂波 (noise) 和寄生信号 (shading) (在屏幕上捕获的图像的宽的不均匀性 (unevenness))。

[0006] 鉴于上述情况而作出了本发明。因此,需要提供一种固态成像器件及其驱动方法,通过在读取来自像素的信号的同时抑制像素阵列的势阱的波动,来防止由势阱波动引起的杂波和寄生信号的产生。

[0007] 根据本发明的实施例,提供了一种固态成像器件,包括像素阵列,该像素阵列包括二维排列的像素,在排列的每列像素中提供有信号线,每个像素都包括光电变换元件;以及固定单元,用于将在像素处于工作周期之前获得的信号线的电势固定到第一电源电势和第二电源电势之间的中间电势,其中该中间电势是通过像素的复位操作从像素输出的复位电平附近的电势。

[0008] 在以上固态成像器件中,在像素具有工作周期之前,如果复位电平从像素输出到信号线,则通过将信号线的电势固定到中间电势,使信号线的电势从中间电势改变到复位电平。因此,信号线的电势具有小的改变。当输出复位电平时,这使得信号线的电势波动

(改变)最小化。因此,抑制了由于信号线的电势波动而引起的像素阵列的势阱波动。

[0009] 根据本发明的另一实施例,提供了一种固态成像器件的驱动方法,该固态成像器件包括以矩阵形式二维排列的像素,在排列的每列像素中提供有信号线,每个像素都包括光电变换元件,其中,在像素处于工作周期之前,将信号线的电势固定到第一电源电势和第二电源电势之间的中间电势,其中该中间电势是通过像素的复位操作从像素输出的复位电平附近的电势。

[0010] 根据本发明的实施例,通过抑制由信号线的电势波动引起的像素阵列中的势阱波动,确保了防止势阱波动影响复位电平和信号电平。因此,这防止了由势阱波动引起的杂波和寄生信号的产生。

附图说明

[0011] 图 1 是示出了根据本发明实施例的整个 CMOS 图像传感器的方框图;

[0012] 图 2 是示出了根据本发明第一实施例的 CMOS 图像传感器的基本部分的电路图;

[0013] 图 3 是图示了根据本发明第一实施例的 CMOS 图像传感器的操作的时序图;

[0014] 图 4 是示出了根据本发明第二实施例的 CMOS 图像传感器的基本部分的电路图;

[0015] 图 5 是图示了根据本发明第二实施例的 CMOS 图像传感器的操作的时序图;

[0016] 图 6 是示出了本发明第一和第二实施例的变型的电路图;以及

[0017] 图 7 是示出了根据本发明实施例的模块类型的 CMOS 成像器件的方框图。

具体实施方式

[0018] 下面参考附图全面地描述本发明的实施例。

[0019] 图 1 是示出了根据本发明实施例的例如 CMOS 图像传感器的整个固态成像器件的方框图。以下描述针对本发明的实施例。然而,本发明不限于该实施例。可将本发明的实施例应用到 MOS 固态成像器件上。

[0020] 如图 1 所示,根据本发明实施例的 CMOS 图像传感器 10 不仅包括以下像素阵列 12,而且还包括垂直驱动电路 13、列处理器 14、水平驱动电路 15、水平信号线 16、输出电路 17、和定时控制电路 18,其中该像素阵列 12 包括以矩阵形式二维排列的多个像素 11,每个像素都包括光电变换元件。

[0021] 在该系统配置中,基于垂直同步信号 V_{sync} 、水平同步信号 H_{sync} 、和主时钟 MCK,定时控制电路 18 产生用作垂直驱动电路 13、列处理器 14、和水平驱动电路 15 的工作基准的例如时钟信号和控制信号的信号。定时控制电路 18 将产生的信号提供给垂直驱动电路 13、列处理器 14、水平驱动电路 15 等。另外,用于控制像素阵列 12 中的像素 11 的驱动的外围驱动电路和信号处理电路部分,即垂直驱动电路 13、列处理器 14、水平驱动电路 15、水平信号线 16、输出电路 17、定时控制电路 18 等集成在与形成像素阵列 12 的基板相同的半导体基板(芯片)19 上。

[0022] 在像素阵列 12 中,像素 11 以 m 行 \times n 列的形式二维地排列。在图 1 中,为了简要说明起见,仅示出了 10 行 \times 12 列的像素结构。在该 m 行 \times n 列的像素结构中,以行为单位提供了行控制线(未示出),并以列为单位提供了垂直信号线 121(121-1 至 121- n)。垂直驱动电路 13 包括移位寄存器。垂直驱动电路 13 以行为单位顺序地选择像素阵列 12 中的

像素 11, 并经由一个行控制线将必要的脉冲提供给所选择行中的像素 11。

[0023] 从所选择行中的像素 11 输出的信号经由垂直信号线 121 而提供给列处理器 14。列处理器 14 包括与像素阵列 12 中的各列像素 11 对应的列信号处理电路 141。对于每列像素 11, 在接收到对于每行像素而从像素 11 输出的信号之后, 列信号处理电路 141 对上述信号进行处理。该处理包括用于消除只有像素 11 才有的固定图形杂波的相关二次抽样 (CDS)、信号放大, 并且如果有必要还包括模数转换。

[0024] 水平驱动电路 15 包括移位寄存器。水平驱动电路 15 顺序地选择列处理器 14 中的每个列信号处理电路 141, 并将列信号处理电路 141 输出的信号提供给水平信号线 16。输出电路 17 对经由水平信号线 16 从列信号处理电路 141 顺序供给的信号进行各种类型的信号处理, 并输出处理了的信号。关于输出电路 17 的具体信号处理, 例如, 可进行缓冲, 或可进行缓冲之前的黑色电平调节、每列的偏差校正、信号放大、和颜色相关处理 (color-related processing)。

[0025] 第一实施例

[0026] 图 2 是示出了根据本发明第一实施例的 CMOS 图像传感器的基本部分的电路图。换句话说, 图 2 示出了一个像素和列信号处理电路 141 的一部分。具体地, 图 2 是仅示出像素 11A 中之一和一个列信号处理电路 141 一部分的电路图, 该列信号处理电路 141 与像素 11A 所属列中的一个垂直信号线 121 连接。

[0027] 如图 2 所示, 像素 11A 包括光电变换元件, 例如光电二极管 21, 和四个晶体管, 即传输晶体管 (transfer transistor) 22、复位晶体管 23、放大晶体管 24、和选择晶体管 25。图 2 示出了其中 N 沟道 MOS 晶体管用作传输晶体管 22、复位晶体管 23、放大晶体管 24、和选择晶体管 25 的情况。然而, 可使用 P 沟道晶体管。

[0028] 光电二极管 21 的阳极与例如地相连以具有第一电源电势。光电二极管 21 将入射光光电转换为具有对应于入射光量的数量的电荷的信号电荷 (光电子), 并存储该信号电荷。传输晶体管 22 具有连接到浮动扩散区 (floating diffusion) FD 的漏极、连接到光电二极管 21 的阴极的源极、和连接到传输线 (transfer wire) 26 的栅极。当将来自垂直驱动电路 13 的传输脉冲 (transfer pulse) TRF 经由传输线 26 提供给传输晶体管 22 的栅极时, 传输晶体管 22 进入导通状态 (导电态), 并将存储在光电二极管 21 中的信号电荷传送到浮动扩散区 FD。

[0029] 复位晶体管 23 具有连接到具有例如电源电势 VDD (例如, 2.5V) 的第二电源电势的电源线 27 的漏极、连接到浮动扩散区 FD 的源极、和连接到复位线 28 的栅极。当将来自垂直驱动电路 13 的复位脉冲 RST 经由复位线 28 提供给复位晶体管 23 的栅极时, 复位晶体管 23 进入导通状态, 并通过将浮动扩散区 FD 的信号电荷移动到电源线 27 而复位该浮动扩散区 FD。

[0030] 放大晶体管 24 具有连接到电源线 27 的漏极、和连接到浮动扩散区 FD 的栅极。放大晶体管 24 输出与浮动扩散区 FD 的电势对应的信号。选择晶体管 25 具有连接到放大晶体管 24 的源极的漏极、连接到垂直信号线 121 的源极、和连接到选择线 29 的栅极。当将来自垂直驱动电路 13 的选择脉冲 SEL 经由选择线 29 提供给选择晶体管 25 的栅极时, 选择晶体管 25 进入导通状态以选择像素 11A, 并将从放大晶体管 24 输出的像素 11A 的信号提供到该垂直信号线 121。

[0031] 为同一行中的像素 11A 共同地提供了传输线 26、复位线 28、和选择线 29。如果必要,垂直驱动电路 13 将传输脉冲 TRF、复位脉冲 RSF、和选择脉冲 SEL 分别供给传输线 26、复位线 28、和选择线 29,由此控制从光电二极管 21 向浮动扩散区 FD 传输信号电荷的操作、复位浮动扩散区 FD 的操作、和选择像素 11A 的操作。

[0032] 在列信号处理电路 141 的输入级,例如,提供 N 沟道 MOS 晶体管作为负载晶体管 31。负载晶体管 31 具有连接到垂直信号线 121 的漏极、和接地的源极。通过利用垂直信号线 121,负载晶体管 31 与像素 11A 中的放大晶体管 24 合作以用作恒流源,从而形成源跟随器。当将负载脉冲 LOAD 提供给负载晶体管 31 的栅极时,负载晶体管 31 进入导通状态,并允许放大晶体管 24 将像素 11A 的信号输出到垂直信号线 121。

[0033] 例如,列信号处理电路 141 进一步包括 P 沟道 MOS 晶体管 32(以下称为“固定晶体管(fixing transistor)32”),作为将像素 11A 进入工作周期之前获得的垂直信号线 121 的电势固定为电源线 27 的电势 VDD 和地电势之间的预定中间电势 V_{mid} 的器件。固定晶体管 32 具有连接到垂直信号线 121 的源极和连接到具有中间电势 V_{mid} 的漏极。当将“L”(低)电平的固定脉冲 FIX 提供给固定晶体管 32 的栅极时,固定晶体管 32 进入导通状态。通过将中间电势 V_{mid} 提供给垂直信号线 121,固定晶体管 32 将垂直信号线 121 的电势固定到中间电势 V_{mid} 。例如,当电源电势 VDD 等于 2.5 伏时,将 1.5 伏的电压设置为电源电势 VDD 的中间电势 V_{mid} 。

[0034] 图 3 是示出驱动根据本发明第一实施例的 CMOS 图像传感器所用时序的时序图。图 3 不仅示出了负载脉冲 LOAD、固定脉冲 FIX、选择脉冲 SEL、复位脉冲 RST、和传输脉冲 TRF,而且示出了垂直信号线 121 的电势的示意波形。为了说明,用于垂直信号线 121 的电势的波形的纵坐标与用于其它脉冲的纵坐标不同。参考图 3,当固定脉冲 FIX 处于“L”电平时,它处于激活状态。当其它脉冲,即负载脉冲 LOAD、选择脉冲 SEL、复位脉冲 RST、和传输脉冲 TRF 处于“H”电平时,这些脉冲处于激活状态。负载脉冲 LOAD 的“H”(高)电平是负载晶体管 31 用作恒流源的电压(大约 1V)。

[0035] 在像素 11A 工作之前,固定脉冲 FIX 处于激活状态。因此,固定晶体管 32 进入导通状态,以将中间电势 V_{mid} 提供给垂直信号线 121。因此,在像素 11A 工作之前,将垂直信号线 121 的电势固定到电源电势 VDD 和地电势之间的中间电势 V_{mid} (在该情况下为 1.5V)。即使固定脉冲 FIX 从固定状态改变为非激活状态,垂直信号线 121 的电势也很快被保持在中间电势 V_{mid} 的附近。

[0036] 之后,当负载脉冲 LOAD 和选择脉冲 SEL 变为激活且同时供给复位脉冲 RST 时,通过复位晶体管 23 使像素 11A 中的浮动扩散区 FD 复位。复位后,通过放大晶体管 24 将浮动扩散区 FD 的电势作为复位电平输出给垂直信号线 121。

[0037] 输出复位电平之后,提供传输脉冲 TRF,由此通过传输晶体管 22 将光电二极管 21 的信号电荷(光电子)传输到浮动扩散区 FD,并通过放大晶体管 24 将在传输光电二极管 21 的信号电荷之后获得的浮动扩散区 FD 的电势作为信号电平输出给垂直信号线 121。上述复位电平和信号电平通过垂直信号线 121 而顺序地发送到列信号处理电路 141。

[0038] 例如,通过检测复位电平和信号电平之间的差值,列信号处理电路 141 进行各种类型的信号处理,如用于消除只有像素 11A 才有的固定图形杂波的 CDS 处理、CDS 处理后的信号维持、和放大。

[0039] 之后,当负载脉冲 LOAD 和选择脉冲 SEL 变为非激活的且固定脉冲 FIX 变为激活时,固定晶体管 32 进入导通状态以将中间电势 V_{mid} 提供给垂直信号线 121,从而将垂直信号线 121 的电势固定到中间电势 V_{mid} 。在该状态之后的周期(有效周期)中,通过列信号处理电路 141 输出信号。

[0040] 在上述情况下,当信号从像素 11A 输出到垂直信号线 121 且垂直信号线 121 的电势改变时,电容耦合使像素阵列 12 的势阱波动。如上所述,当像素阵列 12 的势阱在从像素 11A 输出复位电平和信号电平的周期中波动时,势阱的波动影响了复位电平和信号电平,由此引起杂波和寄生信号。因此,在根据第一实施例的 CMOS 图像传感器中,正好在像素 11A 具有工作周期之前,固定晶体管 32 的操作将垂直信号线 121 的电势固定到中间电势 V_{mid} ,以便防止像素阵列 12 的势阱波动。

[0041] 此时最重要的一点是,在像素 11 开始工作之前的垂直信号线 121 的电势的大小(以电压计)。例如,当垂直信号线 121 的电势为 0 伏或 VDD 电平且复位电平从这些电平快速改变时,垂直信号线 121 的电势显著改变,由此引起像素阵列 12 的势阱波动。因此,势阱的波动影响了复位电平和信号电平,由此产生了杂波和寄生信号。

[0042] 在相关技术的 CMOS 图像传感器中,在像素 11A 开始工作之前获得的垂直信号线 121 的电势为 0 伏和电源电势 VDD 中的一个或处于浮置状态。该浮置状态不是优选的,因为由于从光电二极管 21 流入垂直信号线 121 的扩散层的光电子,所以当光的量大时,垂直信号线 121 的电势降低到 0 伏附近。

[0043] 因此,在根据第一实施例的 CMOS 图像传感器中,通过将在像素 11A 进入工作状态之前获得的垂直信号线 121 的电势固定到电源电势 VDD 和地电势 (0V) 之间的中间电势 V_{mid} ,具体地,当电源电势 VDD 等于 2.5 伏时例如固定到 1.5 伏的电势,使得当垂直信号线 121 改变为复位电平时出现的垂直信号线 121 的电势的波动(变化)最小化。这能够使得由于垂直信号线 121 的电势波动引起的像素阵列 12 的势阱波动对复位电平和信号电平的负面影响减到最小。因此,可以使由势阱波动引起的杂波和寄生信号的产生减到最小。

[0044] 为了使垂直信号线 121 的电势波动减到最小,最好将中间电势 V_{mid} 设置在复位电平的附近。例如,复位晶体管 23 和浮动扩散区 FD 之间的耦合使垂直信号线 121 的电势改变了大约 0.3 伏。在图 3 示出的情况下,由于复位脉冲 RST 处于激活状态时获得的垂直信号线 121 的电势为 1.6 伏,且其后的复位电平为 1.3 伏,所以中间电势 V_{mid} 被设置为 1.6 伏和 1.3 伏之间的中间值,即 1.5 伏。

[0045] 如上所述,最好将中间电势 V_{mid} 设置在 1.6 伏和 1.3 伏之间。然而,显然,如果中间电势 V_{mid} 不在它们之间而是在电源电势 VDD 和地电势 (0V) 之间的值,则获得以下优点,即在改变到复位电平的情况下,通过抑制像素阵列 12 的电势波动来防止像素阵列 12 的势阱波动。

[0046] 第一实施例描述了这样的情况,其中正好在像素 11A 的工作周期结束之后,垂直信号线 121 的电势被固定到像素阵列 12 的势阱波动。然而,没有必要正好在像素 11A 的工作周期结束之后进行该固定。稍微在像素 11A 具有工作周期之前,尤其是大约直到像素阵列 12 的势阱波动的时间常数,通过将垂直信号线 121 的电势固定到中间电势 V_{mid} ,就可以获得所希望的功能。

[0047] 第二实施例

[0048] 图 4 是示出根据本发明第二实施例的 CMOS 图像传感器的基本部分的电路图。换句话说,图 4 示出了像素和列信号处理电路的一部分。具体地,图 4 是仅示出了像素 11B 中之一和连接到像素 11B 所属列中的一个垂直信号线 121 的一个列信号处理电路 141 的一部分的电路图。

[0049] 如图 4 所示,像素 11B 包括光电变换元件,例如光电二极管 41,和三个晶体管,即传输晶体管 42、复位晶体管 43、和放大晶体管 44。图 4 示出了其中使用 N 沟道 MOS 晶体管作为传输晶体管 42、复位晶体管 43、和放大晶体管 44 的情况。代替地,可使用 P 沟道 MOS 晶体管。

[0050] 光电二极管 41 具有接地的阳极。光电二极管 41 将入射光转换为具有与入射光量对应的电荷量的信号电荷(光电子),并存储该信号电荷。传输晶体管 42 具有连接至浮动扩散区 FD 的漏极、连接至光电二极管 41 的阴极的源极、和连接至传输线 46 的栅极。当将传输脉冲 TRF 通过传输线 46 提供给传输晶体管 42 的栅极时,传输晶体管 42 进入导通状态,以将存储在光电二极管 41 中的信号电荷传输到浮动扩散区 FD。

[0051] 复位晶体管 43 具有连接到漏极驱动线 47 的漏极、连接到浮动扩散区 FD 的源极、和连接到复位线 48 的栅极。当为复位晶体管 43 的栅极提供复位脉冲 RST 时,复位晶体管 43 进入导通状态并通过将浮动扩散区 FD 处的信号电荷移动到漏极驱动线 47 来复位该浮动扩散区 FD。为漏极驱动线 47 提供漏极脉冲 DRN。放大晶体管 44 具有连接到漏极驱动线 47 的漏极和连接到浮动扩散区 FD 的栅极。放大晶体管 44 将与浮动扩散区 FD 的电势对应的信号输出到垂直信号线 121。

[0052] 为同一行中的像素 11B 共同提供传输线 46 和复位线 48。如上所述,如果必要,垂直驱动电路 13 分别将传输脉冲 TRF 和复位脉冲 RST 提供给传输线 46 和复位线 48,由此进行从光电二极管 41 向浮动扩散区 FD 传输信号电荷的操作和复位浮动扩散区 FD 的操作。

[0053] 第二实施例中具有三个晶体管的像素 11B 与第一实施例中具有四个晶体管的像素 11A 相比有两个区别。根据以上描述可明显看出,一个区别是像素 11B 不包括选择晶体管 25。另一个区别是像素 11B 使用漏极驱动线 47,代替电源线 27。为整个像素阵列 12 共同提供漏极驱动线 47。

[0054] 基于以上区别,第一实施例中的像素 11A 使用选择晶体管 25 以进行像素选择,而第二实施例中的像素 11B 通过控制浮动扩散区 FD 的电势来进行像素选择。具体地,通过一般将浮动扩散区 FD 的电势设置为“L”电平,并且,当选择像素 11B 时通过将选择的像素的电势设置为“H”电平,放大晶体管 44 将被选择像素的信号输出到垂直信号线 121。

[0055] 在列信号处理电路 141 的输入级,例如,提供 N 沟道 MOS 晶体管作为负载晶体管 51。负载晶体管 51 具有连接至垂直信号线 121 的漏极和接地的源极。通过使用垂直信号线 121,负载晶体管 51 与像素 11B 中的放大晶体管 44 合作以用作恒流源,从而形成源跟随器。当为负载晶体管 51 的栅极提供负载脉冲 LOAD 时,负载晶体管 51 进入导通状态,并允许放大晶体管 44 将像素 11B 的信号输出到垂直信号线 121。

[0056] 例如,列信号处理电路 141 进一步包括 P 沟道 MOS 晶体管 52(以下称为“固定晶体管 52”),作为将像素 11B 具有工作周期之前获得的垂直信号线 121 的电势固定到电势 VDD 和地电势之间的预定中间电势 V_{mid} 的器件。固定晶体管 52 具有连接至垂直信号线 121 的源极和连接具有预定中间电势 V_{mid} 的漏极。当固定晶体管 52 的栅极提供有“L”电平的固

定脉冲 FIX 时,固定晶体管 52 进入导通状态。通过将中间电势 V_{mid} 提供给垂直信号线 121,固定晶体管 52 将垂直信号线 121 的电势固定到中间电势 V_{mid} 。例如,当电源电势 VDD 等于 2.5 伏时,将 1.5 伏的电压设置为电源电势 VDD 的中间电势 V_{mid} 。

[0057] 图 5 是示出驱动根据第二实施例的 CMOS 图像传感器所用时序的时序图。图 5 不仅示出了负载脉冲 LOAD、固定脉冲 FIX、选择脉冲 SEL、复位脉冲 RST、和传输脉冲 TRF,而且示出了垂直信号线 121 的电势的示意波形。为了说明,垂直信号线 121 的电势波形的纵坐标不同于其它脉冲的纵坐标。参考图 5,当固定脉冲 FIX 处于“L”电平时,它处于激活状态。当其它脉冲,即负载脉冲 LOAD、漏极脉冲 DRN、复位脉冲 RST、和传输脉冲 TRF 处于“H”电平时,这些脉冲处于激活状态。负载脉冲 LOAD 的“H”电平是负载晶体管 31 用作恒流源的电压(大约 1V)。

[0058] 在像素 11B 具有工作周期之前,漏极脉冲 DRN 和固定脉冲 FIX 处于激活状态。因此,固定晶体管 52 进入导通状态,以将中间电势 V_{mid} 提供给垂直信号线 121。因此,在像素 11B 具有工作周期之前,将垂直信号线 121 的电势固定到电源电势 VDD 和地电势之间的中间电势 V_{mid} (在该情况下为 1.5V)。即使固定脉冲 FIX 从固定状态变化为非激活状态,垂直信号线 121 的电势也能很快被保持在中间电势 V_{mid} 的附近。

[0059] 之后,当负载脉冲 LOAD 变为激活状态且同时提供复位脉冲 RST 时,复位晶体管 43 复位像素 11B 中的浮动扩散区 FD。复位后,放大晶体管 44 将浮动扩散区 FD 的电势作为复位电平而输出到垂直信号线 121。

[0060] 在输出复位电平并提供传输脉冲 TRF 后,由此通过传输晶体管 42 将光电二极管 41 的信号电荷(光电子)传输到浮动扩散区 FD,并且通过放大晶体管 44 将传输光电二极管 41 的信号电荷之后获得的浮动扩散区 FD 的电势作为信号电平输出给垂直信号线 121。以上复位电平和信号电平通过垂直信号线 121 被顺序地发送到列信号处理电路 141。列信号处理电路 141 对所发送的信号进行与第一实施例类似的信号处理。

[0061] 之后,当负载脉冲 LOAD 和漏极脉冲 DRN 变为非激活且复位脉冲 RST 同时变为激活时,复位晶体管 43 进入导通态,使得浮动扩散区 FD 的电势具有“L”电平。之后,漏极脉冲 DRN 变为激活的。随后,当固定脉冲 FIX 变为激活时,固定晶体管 52 进入导通态,以将中间电势 V_{mid} 提供给垂直信号线 121。因此,再次将垂直信号线的电势固定到中间电势 V_{mid} 。之后,在该状态后的周期(有效周期)中,通过列信号处理电路 141 输出该信号。

[0062] 通过利用固定晶体管 52 以将正好在像素 11B 的工作周期之前获得的垂直信号线 121 的电势固定到中间电势 V_{mid} 并在复位电平附近设置该中间电势 V_{mid} 所获得的操作和优点与第一实施例中的类似,即,当从像素 11B 输出信号到垂直信号线 121 时,防止像素阵列 12 的势阱波动。

[0063] 然而,如上所述,在具有三个晶体管的像素 11B 中,为整个像素阵列 12 共同提供的漏极驱动线 47 的电势没有固定不变,但为了控制浮动扩散区 FD,将漏极脉冲 DRN 提供给漏极驱动线 47。因此,漏极驱动线 47 的电势改变。因此,同样当漏极驱动线 47 的电势改变时,通过耦合影响像素阵列 12 的势阱波动。

[0064] 因此,如果使漏极驱动线 47 的电势从非激活电平(“L”电平)返回到激活电平(“H”电平)所用的定时处于像素 11B 具有工作周期之前,则漏极驱动线 47 的电势变化一直保持到像素 11B 的工作周期,由此导致由于像素阵列 12 的势阱波动而产生的杂波和寄

生信号。当考虑到这一点时,在根据第二实施例的 CMOS 图像传感器中,在像素 11B 的工作周期结束之后,尤其在读取复位电平和信号电平之后完成复位操作后,进行将漏极脉冲 DRN 从非激活电平返回到激活电平的操作。在该情况下,术语“之后”意味着避免像素工作周期“之前”的时间,并表示如下时间,即在某行中的像素操作完成之后,没有转到正好在下一行的像素操作之前的时间。优选地,术语“之后”表示有效周期开始之前的时间。

[0065] 如上所述,在根据第二实施例的 CMOS 图像传感器中,通过将像素 11B 具有工作周期之前获得的垂直信号线 121 的电势固定到电源电势 VDD 和地电势 (0V) 之间的中间电势 V_{mid} , 并采用用于在像素 11B 的工作周期结束后进行将漏极驱动线 47 的电势从非激活电平返回到激活电平的操作的结构,能够尽可能地防止像素阵列 12 的势阱波动影响复位电平和信号电平。因此,能够尽可能地防止由于势阱波动而产生的杂波和寄生信号。

[0066] 在复位晶体管 43 中,当它被复位时,为了使设置的浮动扩散区 FD 的电势最大,一般设置低阈值 V_{th} 。因此,如果在读取来自像素 11B 的信号之后,执行将漏极驱动线 47 的电势设置为“H”电平,那么之后,在其中设置了低阈值 V_{th} 的复位晶体管 43 中生成了泄漏电流,且泄漏电流使浮动扩散区 FD 的电势增加了例如 200 毫伏。在该情况下,上述增加起到阻碍电源电势 VDD 减小的作用。

[0067] 因此,当复位脉冲 RST 为非激活时供给复位晶体管 43 的栅极的复位脉冲 RST 的电平 (“L”电平) 最好被设置为负电压。这确保了复位晶体管 43 被设置为断开状态,由此防止复位晶体管 43 的电流泄漏,从而能够执行电源电势 VDD 的减小。显然,当光电二极管为空穴存储类型且为 P 沟道 MOS 晶体管时,当它处于非激活时的复位脉冲 RST 的电平 (“H”电平) 必须被设置为等于或大于电源电势 VDD。

[0068] 另外,优选的是,为了确保工作范围,通过将复位晶体管 43 的阈值 V_{th} 设置为其中可以忽略泄漏的值,具体为,比像素阵列 12 的外围电路 (如垂直驱动电路 13 和列处理器 14) 中使用的晶体管的值低的值,复位脉冲 RST 的“H”电平被设置为等于或大于电源电势 VDD。当使用多个电源时,最好将复位脉冲 RST 的“H”电平设置为等于或大于用作漏极驱动线 47 的“H”电平的电源电压。

[0069] 变型

[0070] 上述第一和第二实施例描述了这样的情况,其中在像素 11A 或 11B 具有工作周期之前,将提供给垂直信号线 121 的中间电势 V_{mid} 预先设置为固定值 (优选地,在复位电平附近)。然而,可以采用其中无论像素 11A 或 11B 何时工作,最佳值都被设置为中间电势 V_{mid} 的结构。

[0071] 具体地,如图 6 所示,取样与保持电路 61 连接至一个垂直信号线 121,最好是,在最外端处的垂直信号线 121e。在取样与保持电路 61 中,取样并保持通过垂直信号线 121e 从像素 11A 或 11B 提供的复位电平,并通过缓冲器 62 将保持值 (复位电平) 作为中间电势 V_{mid} 而提供给固定晶体管 32 或 52。例如,如果取样和保持的值接近于复位电平,则该值可以是在复位脉冲 RST 为激活的同时所获得的垂直信号线 121e 的电压值。

[0072] 通过采用该结构,无论像素 11A 或 11B 何时工作,都可以设置中间电势 V_{mid} 的最佳值,即,复位电平。因此,可以使在改变为复位电平的情况下出现的垂直信号线 121 的电势波动减到最小。因此,确保了防止由于垂直信号线 121 的电势波动而引起像素阵列 12 的势阱波动和防止由于势阱的波动而引起杂波和寄生信号的产生。在以上变型中,为在最外端

的垂直信号线 121e 提供了取样与保持电路 61。然而,在一种结构中,可以为每一条垂直信号线 121 中提供该取样与保持电路 61。根据该结构,对于每一条垂直信号线 121,可以将最佳值设置为中间电势 V_{mid} 。

[0073] 除了图 1 中示出的结构外,根据本发明的实施例的 CMOS 图像传感器还可具有其它结构。图 7 是根据本发明实施例的模块类型的成像器件的方框图,其包括用于处理来自像素的信号的处理单元 71 和光学系统 72。

[0074] 本领域技术人员应当理解,在所附权利要求或其等价物的范围内,可根据设计要求和其它因素,而发生各种变型、组合、子组合和替换。

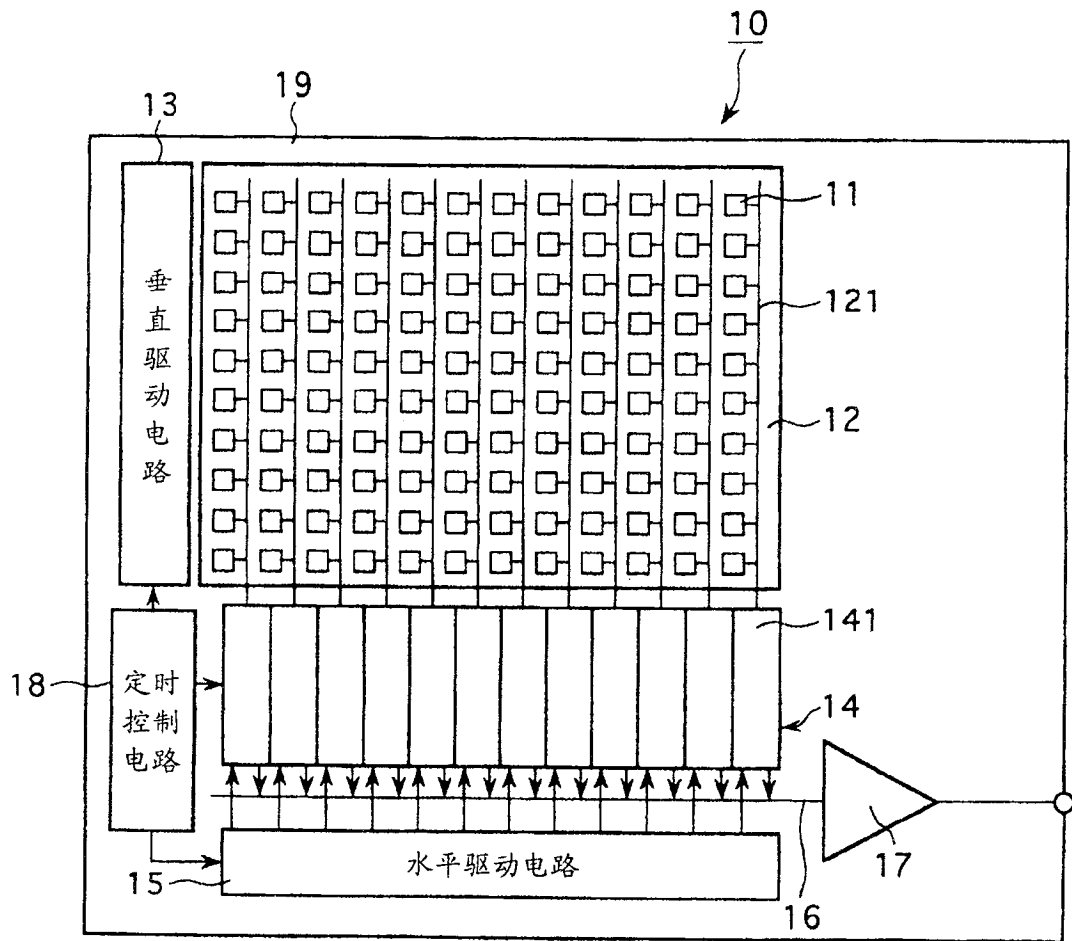


图 1

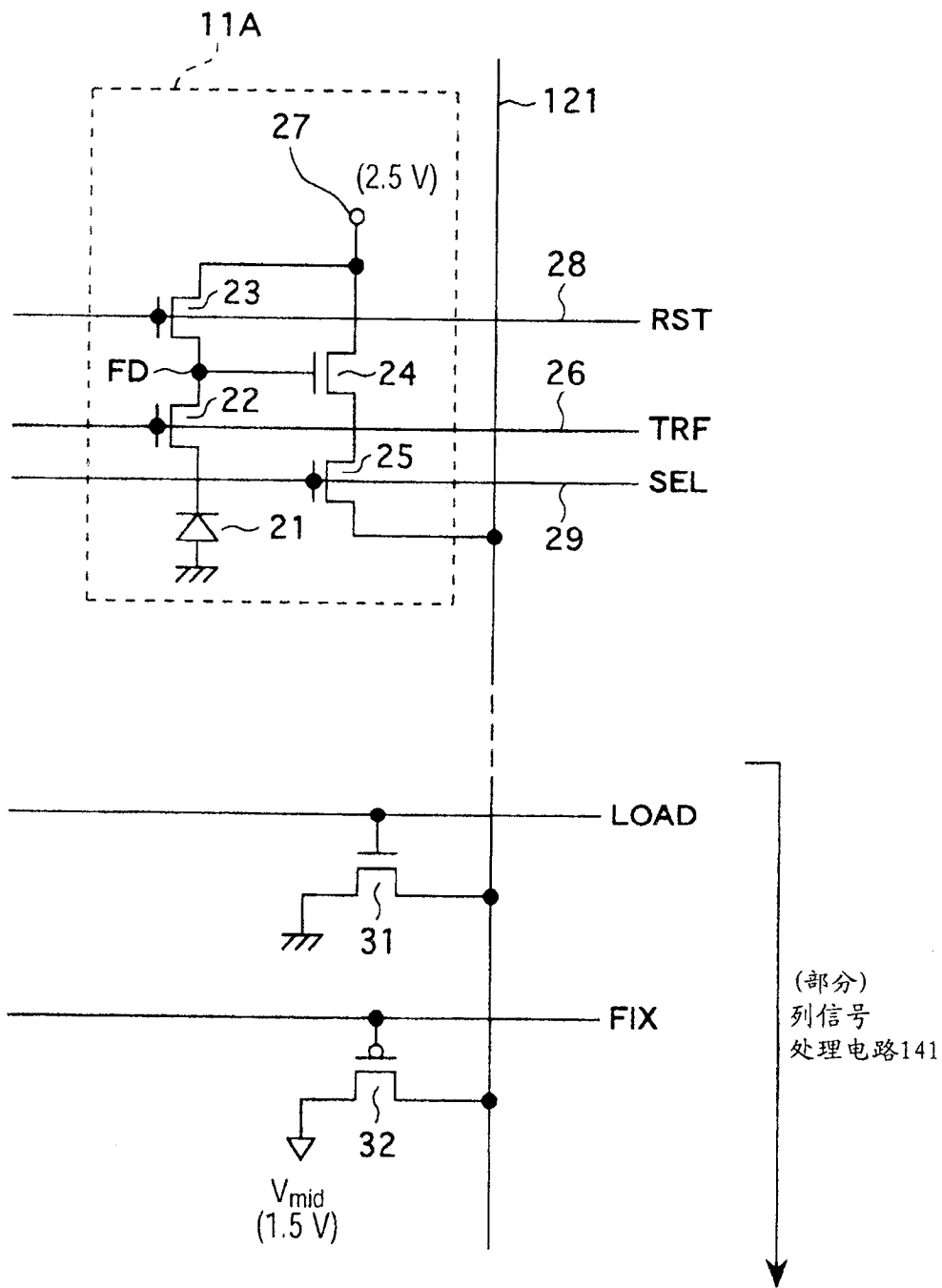


图 2

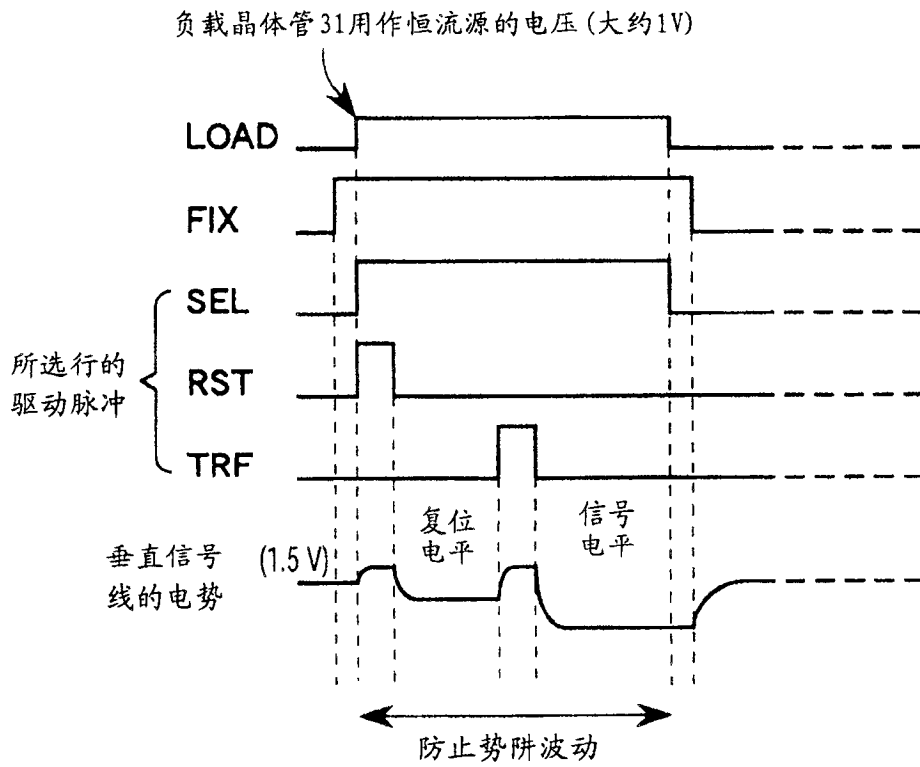


图 3

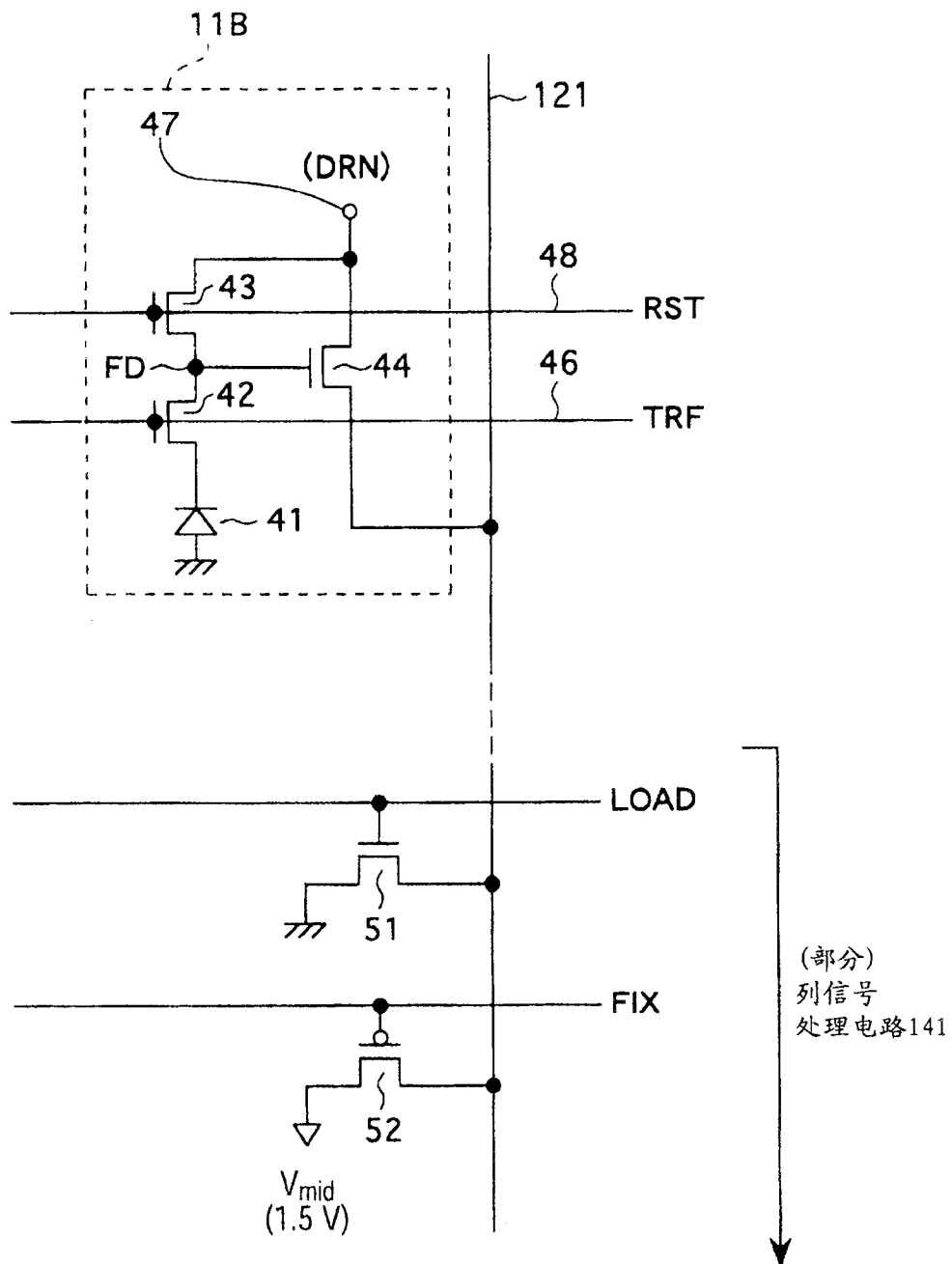


图 4

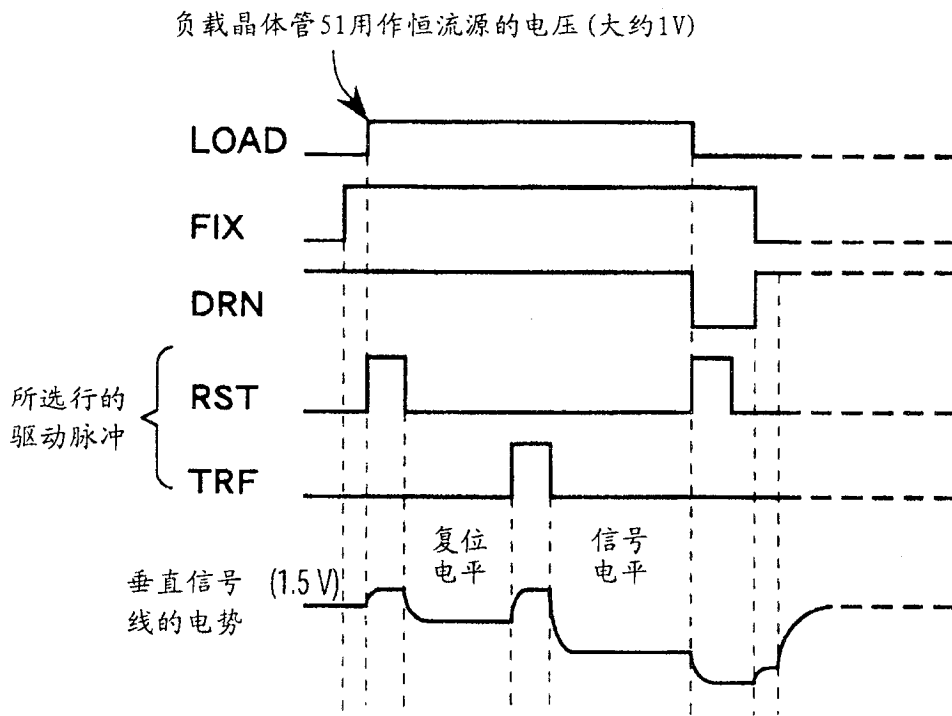


图 5

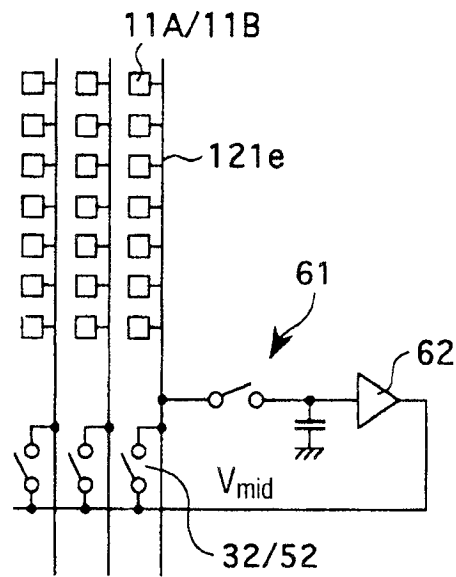


图 6

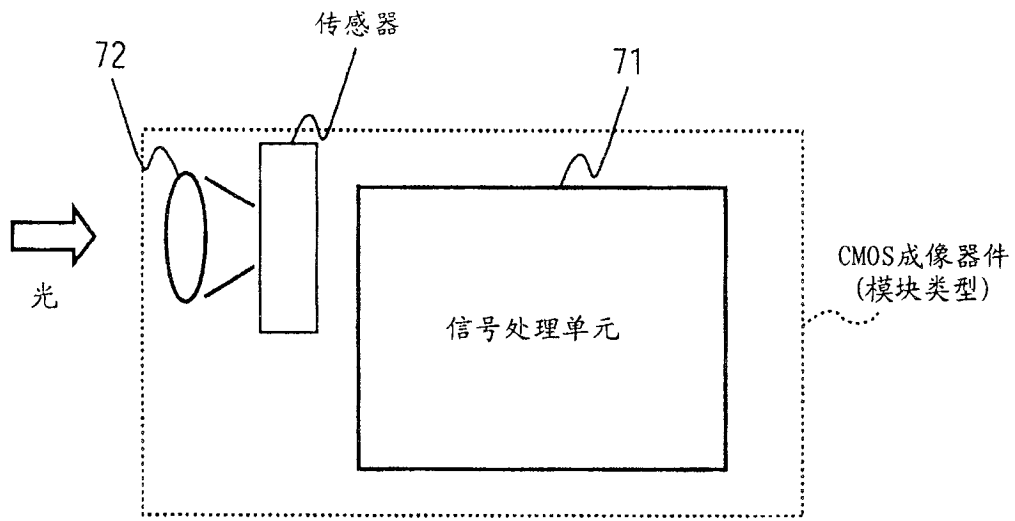


图 7