



(12) 发明专利

(10) 授权公告号 CN 113314552 B

(45) 授权公告日 2024.06.11

(21) 申请号 202110111974.7

(22) 申请日 2021.01.27

(65) 同一申请的已公布的文献号
申请公布号 CN 113314552 A

(43) 申请公布日 2021.08.27

(30) 优先权数据
62/982,457 2020.02.27 US
17/004,284 2020.08.27 US

(73) 专利权人 台湾积体电路制造股份有限公司
地址 中国台湾新竹

(72) 发明人 陈毓为 曾仲铨 王兆圻 赖佳平

(74) 专利代理机构 北京德恒律治知识产权代理有限公司 11409
专利代理师 章社呆 李伟

(51) Int.Cl.

H01L 27/146 (2006.01)

(56) 对比文件

- CN 107431075 A, 2017.12.01
- US 2019088700 A1, 2019.03.21
- US 2008131019 A1, 2008.06.05
- US 2012261556 A1, 2012.10.18
- US 6373544 B1, 2002.04.16
- US 2006011813 A1, 2006.01.19
- US 2014263962 A1, 2014.09.18
- US 2019042824 A1, 2019.02.07
- US 2019221597 A1, 2019.07.18

审查员 胡朝静

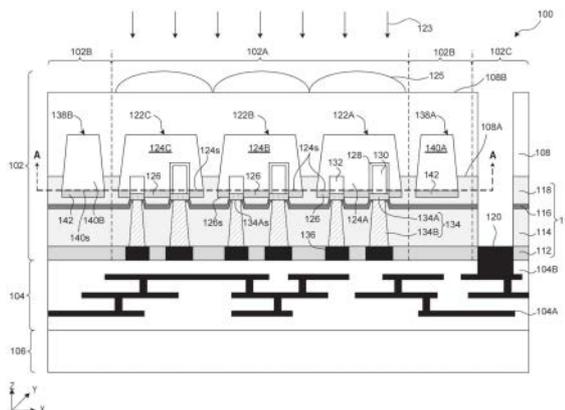
权利要求书2页 说明书14页 附图26页

(54) 发明名称

半导体器件和图像传感器以及形成半导体器件的方法

(57) 摘要

本申请的实施例公开了具有伪像素结构和有源像素结构的半导体器件及其制造方法。该半导体器件包括具有第一像素结构的第一像素区域,围绕该第一像素区域的第二像素区域包括与该第一像素结构相邻并且与该第一像素结构电隔离的第二像素结构,以及具有与该第二像素区域相邻设置的焊盘结构的接触焊盘区域。该第一像素结构包括在该衬底内设置的第一外延结构和在该第一外延结构上设置的第一覆盖层。该第二像素结构包括在该衬底内设置的第二外延结构和在该第二外延结构上设置的第二覆盖层。该第一外延结构和该第二外延结构的顶面基本上彼此共面。该第一外延结构和该第二外延结构包括相同的半导体材料,根据本申请的其他实施例,还提供了一种图像传感器。



1. 一种半导体器件,包括:
 - 衬底,具有第一表面和与所述第一表面相对的第二表面;
 - 第一像素区域,具有在所述衬底的所述第一表面上的第一像素结构,
 - 其中,所述第一像素结构包括在所述衬底内设置的第一外延结构和在所述第一外延结构上设置的第一覆盖层,
 - 其中所述第一外延结构具有第一顶面,并且所述第一外延结构具有N-阱区域和在所述N-阱区域中的P型掺杂区域;
 - 第二像素区域,围绕所述第一像素区域,包括与所述第一像素结构相邻并与所述第一像素结构电隔离的第二像素结构,
 - 其中,所述第二像素结构包括在所述衬底内设置的第二外延结构和在所述第二外延结构上设置的第二覆盖层,
 - 其中,所述第二外延结构具有与所述第一顶面基本共面的第二顶面,以及
 - 其中,所述第一外延结构和所述第二外延结构包括相同的半导体材料,并且所述第二外延结构没有掺杂区域;以及
 - 接触焊盘区,具有与所述第二像素区域相邻设置的焊盘结构。
2. 根据权利要求1所述的半导体器件,其中,所述第一顶面的表面积与所述第二顶面的表面积之间的比在2:1至1:2的范围内。
3. 根据权利要求1所述的半导体器件,其中,所述第一顶面和所述第二顶面的相邻侧面之间的比在2:1到1:2的范围内。
4. 根据权利要求1所述的半导体器件,其中,所述第二外延结构围绕所述第一外延结构。
5. 根据权利要求1所述的半导体器件,其中,所述第一顶面和所述第二顶面之间的距离在200nm至1000nm的范围内。
6. 根据权利要求1所述的半导体器件,其中,所述第一外延结构和所述第二外延结构的垂直尺寸基本上彼此相等。
7. 根据权利要求1所述的半导体器件,其中,所述第一外延结构和所述第二外延结构包括锗或硅锗。
8. 根据权利要求1所述的半导体器件,其中,所述第一覆盖层的顶面和所述第二覆盖层的顶面基本上彼此共面。
9. 根据权利要求1所述的半导体器件,其中,所述第一覆盖层和所述第二覆盖层包括相同的半导体材料。
10. 根据权利要求1所述的半导体器件,其中,所述第一覆盖层和所述第二覆盖层包括与所述第一外延结构和所述第二外延结构的半导体材料不同的另一种半导体材料。
11. 一种图像传感器,包括:
 - 衬底,具有正面和与所述正面相对的背面;
 - 有源外延结构的阵列,设置在所述衬底的所述正面上,其中每个所述有源外延结构具有N-阱区域和在所述N-阱区域中的P型掺杂区域;
 - 有源覆盖层,设置在每个所述有源外延结构上;
 - 多个伪外延结构,围绕所述有源外延结构的阵列,设置在所述衬底的所述正面上,其中

每个所述伪外延结构没有掺杂区域；

伪覆盖层,设置在每个所述伪外延结构上,

其中,所述有源外延结构和所述伪外延结构的顶面基本上彼此共面,以及

其中,所述有源外延结构和所述伪外延结构包括相同的半导体材料;以及

微透镜的阵列,设置在所述衬底的所述背面上。

12. 根据权利要求11所述的图像传感器,其中,所述有源外延结构的阵列的最外面的行与所述多个伪外延结构的伪外延结构的阵列相邻。

13. 根据权利要求11所述的图像传感器,其中,在所述有源外延结构的阵列中的有源外延结构具有第一顶面,并且所述多个伪外延结构的伪外延结构具有第二顶面,以及

其中,所述第一顶面的表面积与所述第二顶面的表面积之比在2:1至1:2的范围内。

14. 根据权利要求11所述的图像传感器,其中,所述有源外延结构的阵列的最外面的行和与所述最外面的行相邻的所述多个伪外延结构的伪外延结构的阵列之间的距离在200nm至1000nm的范围内。

15. 一种形成半导体器件的方法,包括:

在衬底上沉积介电层;

在所述介电层和所述衬底内形成伪外延结构和有源外延结构;

在所述伪外延结构和所述有源外延结构上分别形成第一覆盖层和第二覆盖层;

形成覆盖所述伪外延结构和所述第一覆盖层的图案化掩模,其中,所述图案化掩模具有暴露所述有源外延结构和所述第二覆盖层的开口;

穿过所述图案化掩模的所述开口选择性地掺杂所述有源外延结构和所述第二覆盖层的区域,以在所述有源外延结构和所述第二覆盖层的所述区域内形成N-阱区域和在所述N-阱区域中的P型掺杂区域而不在所述伪外延结构中形成掺杂区域;

在所述掺杂区域上选择性地形成硅化物层;

在所述硅化物层上沉积蚀刻停止层;以及

通过所述蚀刻停止层在所述硅化物层上形成导电塞。

16. 根据权利要求15所述的方法,其中,形成所述伪外延结构和所述有源外延结构包括:

在所述介电层和所述衬底内形成第一沟槽和第二沟槽;

在所述第一沟槽和所述第二沟槽中外延生长相同的半导体材料;以及

抛光所述外延生长的半导体材料。

17. 根据权利要求15所述的方法,其中,形成所述伪外延结构和所述有源外延结构包括:形成所述伪外延结构的顶面面积等于或大于所述有源外延结构的顶面面积的一半。

18. 根据权利要求15所述的方法,其中,形成所述伪外延结构和所述有源外延结构包括:形成所述伪外延结构的顶面面积等于或小于所述有源外延结构的顶面面积的两倍。

19. 根据权利要求15所述的方法,其中形成所述伪外延结构和所述有源外延结构包括:在距所述有源外延结构200nm至1000nm的距离处形成所述伪外延结构。

20. 根据权利要求15所述的方法,其中形成所述伪外延结构和所述有源外延结构包括形成围绕所述有源外延结构的所述伪外延结构。

半导体器件和图像传感器以及形成半导体器件的方法

技术领域

[0001] 本申请的实施例涉及半导体器件和图像传感器以及形成半导体器件的方法。

背景技术

[0002] 半导体图像传感器用于感测入射可见的或不可见的辐射,诸如可见光、红外光等。在诸如数字静物摄影机、移动电话、平板电脑,护目镜等的各种应用中使用互补金属氧化物半导体 (CMOS) 图像传感器 (CIS) 和电荷耦合器件 (CCD) 传感器。这些图像传感器利用吸收 (例如,感测) 入射的辐射并将其转换为电信号的像素阵列。图像传感器的一个示例是背照式 (BSI) 图像传感器,它可以检测来自BSI图像传感器衬底“背侧”的辐射。

发明内容

[0003] 根据本申请的一个实施例,提供了一种半导体器件,包括:衬底,具有第一表面和与第一表面相对的第二表面;第一像素区域,具有在衬底的第一表面上的第一像素结构,其中,第一像素结构包括在衬底内设置的第一外延结构和在第一外延结构上设置的第一覆盖层,其中第一外延结构具有第一顶面;第二像素区域,围绕第一像素区域,包括与第一像素结构相邻并与第一像素结构电隔离的第二像素结构,其中,第二像素结构包括在衬底内设置的第二外延结构和在第二外延结构上设置的第二覆盖层,其中,第二外延结构具有与第一顶面基本共面的第二顶面,以及其中,第一外延结构和第二外延结构包括相同的半导体材料;以及接触焊盘区,具有与第二像素区域相邻设置的焊盘结构。

[0004] 根据本申请的另一个实施例,提供了一种图像传感器,包括:衬底,具有正面和与正面相对的背面;有源外延结构的阵列,设置在衬底的正面上;有源覆盖层,设置在每个有源外延结构的上方;多个伪外延结构,围绕有源外延结构的阵列,设置在衬底的正面上;伪覆盖层,设置在每个伪外延结构的上方,其中,有源外延结构和伪外延结构的顶面基本上彼此共面,以及其中,有源外延结构和伪外延结构包括相同的半导体材料;以及微透镜的阵列,设置在衬底的背面上。

[0005] 根据本申请的又一个实施例,提供了一种形成半导体器件的方法,包括:在衬底上沉积第一介电层;在介电层和衬底内形成伪外延结构和有源外延结构;在伪外延结构和有源外延结构上分别形成第一覆盖层和第二覆盖层;选择性地掺杂有源外延结构和第二覆盖层的区域;在掺杂区域上选择性地形成硅化物层;在硅化物层上沉积蚀刻停止层;以及通过蚀刻停止层在硅化物层上形成导电塞。根据本申请的实施例涉及具有伪像素结构的图像传感器。

附图说明

[0006] 当结合附图进行阅读时,根据下面详细的描述可以最佳地理解本公开的方面。

[0007] 图1A示出根据一些实施例的具有有源像素结构和伪像素结构的BSI图像传感器的横截面图。

[0008] 图1B至图1F示出根据一些实施例的BSI图像传感器的有源像素区域和伪像素区域的横截面图。

[0009] 图2是根据一些实施例的用于制造具有有源像素结构和伪像素结构的BSI图像传感器的方法的流程图。

[0010] 图3至图21示出根据一些实施例的在其制造工艺的各个阶段的具有有源像素结构和伪像素结构的BSI图像传感器的横截面图。

[0011] 现在将参考附图描述说明性实施例。在附图中,相同的参考标号通常表示相同的、或功能相似的、和/或结构相似的元件。

具体实施方式

[0012] 以下公开内容提供了许多用于实现本发明的不同特征的不同实施例或实例。以下描述元件和布置的具体实例以简化本发明。当然,这些仅仅是实例而不旨在限制。例如,在以下描述中,在第二部件上方形成第一部件的工艺可以包括第一部件和第二部件直接接触的实施例,也可以包括形成在第一部件和第二部件之间的附加部件使得第一部件和第二部件不直接接触的实施例。如本文中所使用的,在第二部件上形成第一部件的意思是第一部件与第二部件直接接触地形成。另外,本公开可以在各个实例中重复附图标号和/或字母。该重复其本身并未指示所讨论的各个实施例和/或配置之间的关系。

[0013] 为了便于描述,在此可使用诸如“在...之下”、“在...下方”、“下面的”、“在...之上”、以及“上面的”以及诸如此类的空间关系术语,以描述如图中所示的一个元件或部件与另一元件(多个元件)或部件(多个部件)的关系。除了图中所示的方位外,空间关系术语旨在包括器件在使用或操作过程中的不同方位。装置可以以其他方式定位(旋转90度或在其他方位),并且在本文中使用的空间关系描述符可以同样地作相应地解释。

[0014] 应该注意,指示所描述的实施例的在本说明书中对“一个实施例”、“实施例”、“示例实施例”、“示例性”等的引用可包括特定部件、结构、或特征,但是每个实施例可能没有必要包括这种特定部件、结构、或特征。此外,这样的短语不一定指代相同的实施例。另外,当结合实施例描述特定的部件、结构或特性时,无论是否明确描述,结合其他实施例实现这种部件、结构或特征将在本领域技术人员的知识范围内。

[0015] 应该理解,本文中的措词或术语是出于描述而非限制的目的,使得本说明书的术语或措词将由相关领域的技术人员根据本文的教导进行解释。

[0016] 如本文所用,术语“去除选择性”是指在相同的去除条件下两种不同材料的去除率之比。

[0017] 如本文所用,术语“高k”是指高介电常数。在半导体器件结构和制造工艺领域中,高k是指大于 SiO_2 的介电常数(例如,大于3.9)的介电常数。

[0018] 如本文所用,术语“低k”是指低介电常数。在半导体器件结构和制造工艺领域中,低k是指小于 SiO_2 的介电常数(例如,小于3.9)的介电常数。

[0019] 如本文所用,术语“p型”定义结构、层、和/或区域为掺杂有p型掺杂剂,诸如硼。

[0020] 如本文所用,术语“n型”定义结构、层、和/或区域为掺杂有n型掺杂剂,诸如磷。

[0021] 如本文所用,术语“导电的”是指导电结构、层、和/或区域。

[0022] 如本文所使用的,术语“电惰性结构”是指不电耦合至电源的结构。

[0023] 在一些实施例中,术语“大约”和“基本上”可以指给定数量的值,该给定数量的值在该值的5%之内变化(例如,为值的 $\pm 1\%$ 、 $\pm 2\%$ 、 $\pm 3\%$ 、 $\pm 4\%$ 、 $\pm 5\%$)。这些值仅是示例,并不旨在进行限制。术语“大约”和“基本上”可以指根据本文的教导,由相关领域的技术人员解释的值的百分比。

[0024] BSI图像传感器(例如,渡越传感器)包括有源像素区域(也称为“辐射感测区域”),该有源像素区域具有在衬底(例如,半导体衬底)上形成的有源像素结构的阵列。有源像素结构被配置为接收从物体反射的辐射(例如,红外辐射),并将来自接收的辐射的光子转换为电信号。电信号用于通过测量接收到的辐射的相位延迟来生成深度图像。随后,将电信号分配以处理附着于BSI图像传感器的元件。因此,有源像素结构位于多级金属化层,该多级金属化层被配置为分配有源像素结构内产生的电信号以适当地处理元件。

[0025] 多级金属化层耦合至衬底的第一表面,该第一表面也被称为衬底的“正”面。在衬底的正面上形成有源像素结构,并且有源像素结构通过衬底的与衬底的正面对的第二表面接收辐射。该衬底的第二表面也被称为衬底的“背”面。有源像素结构中的每个包括在衬底内设置的锗(Ge)或硅锗(SiGe)外延结构、在Ge或SiGe外延结构上设置的硅覆盖层、以及在Ge或SiGe外延结构和硅覆盖层内设置的掺杂区域。硅覆盖层使Ge或SiGe外延结构钝化,并提供硅原子用于在掺杂区域上形成硅化物结构。

[0026] BSI图像传感器可以通过附着于在衬底的背面上形成的焊盘结构的导线连接器电耦合至外部器件(例如,外部电路)。为了实现这一点,BSI图像传感器的焊盘结构从衬底的背面延伸至衬底的正面并且电连接至多级金属化层。因此,提供电信号连接至BSI图像传感器的多级金属化层可以通过焊盘结构电连接至外部器件或电路。焊盘结构可以设置在有源像素区域周围的BSI图像传感器的外围。

[0027] BSI图像传感器的挑战是减小或消除暗电流,该暗电流是由在衬底的正面上形成的Ge或SiGe外延结构的表面不均匀性引起的。暗电流是即使当BSI图像传感器未接收到任何光子时也流过Ge或SiGe外延结构的电流。暗电流产生源是Ge或SiGe外延结构与硅覆盖层之间的不均匀界面,其引起电荷载流子(例如,孔)积聚在不均匀界面处。这样的暗电流使Ge或SiGe外延结构产生不与BSI图像传感器接收到的实际辐射量相对应的电信号。结果,暗电流降低了在准确确定物体与BSI图像传感器之间的距离的BSI图像传感器的性能。

[0028] 由于在形成Ge或SiGe外延结构中使用的化学机械抛光(CMP)工艺造成的“凹陷”,在有源像素结构阵列中最外面的Ge或SiGe外延结构的边缘附近形成诸如凹槽的表面不均匀性。凹陷效应是由于最外面的Ge或SiGe外延结构和在最外面的Ge或SiGe外延结构周围设置的相邻氧化物层的不同抛光率所致。

[0029] 本公开提供了具有伪像素结构和有源像素结构的示例性BSI图像传感器及制造其的示例性方法。在一些实施例中,在围绕有源像素结构阵列的伪像素区域中设置伪像素结构。伪像素结构和有源像素结构包括相似的外延结构(也称为“伪外延结构”和“有源外延结构”)并同时形成。与最外面的有源外延结构相邻的伪外延结构的放置以及外延结构的形成同时消除或最小化了最外面的有源外延结构中CMP工艺有关的凹陷效应。

[0030] 在一些实施例中,伪外延结构被布置为覆盖围绕最外面的有源外延结构的伪像素区域的约10%至约100%(例如,约20%、约50%、约80%、或约100%)以在最小的CMP工艺相关的凹陷效应(例如,零凹陷效应)下充分地平坦化有源外延结构。在一些实施例中,伪外延

结构的顶面面积为最外面的有源外延结构的顶面面积的约50%至约120%，以使CMP工艺相关的凹陷效应最小。因此，伪像素结构最小化或消除了表面不均匀性，诸如最外面的有源外延结构的边缘附近的凹槽，并因此减少或消除了有源外延结构与硅覆盖层之间的不均匀界面的形成。在一些实施例中，与没有本文所述的伪像素结构的BSI图像传感器中的有源外延结构相比，有源外延结构中的表面不均匀性减少了约50%至约100%。结果，与不具有本文所述的伪像素结构的BSI图像传感器相比，具有伪像素结构的BSI图像传感器的传感器性能提高了约40%至约60%。

[0031] 根据一些实施例，参照图1A至图1F描述具有BSI图像传感器102、多级金属化层104、和载具衬底106的半导体器件100。图1A示出了根据一些实施例的半导体器件100的横截面图。根据各种实施例，半导体器件100可具有沿着图1A的BSI图像传感器102的线A-A和XY平面的不同横截面图，如图1B至图1F所示。除非另有说明，否则具有相同注释的图1A至图1F中的元件的讨论彼此适用。

[0032] 参照图1A，BSI图像传感器102可以设置在多级金属化层104上并且电耦合至多级金属化层104。多级金属化层104可以设置在载具衬底106上并且可以包括嵌入金属间介电(IMD)层104B中的多级互连结构104A。可以通过分子力(称为直接接合或光学熔融接合的技术)或通过其他接合技术(诸如金属扩散或阳极接合)将载具衬底106接合至多级金属化层104。在一些实施例中，载具衬底106可以包括半导体材料，诸如Si、Ge、SiGe、碳化硅(SiC)、磷化铟(InP)、砷化镓(GaAs)、及其组合。用于载具衬底106的其他合适的材料在本公开的范围。在一些实施例中，载具衬底106可以包括专用集成电路(ASIC)(未示出)。ASIC可以包括有源器件(例如，晶体管结构)以在ASIC中形成逻辑和存储电路。多级金属化层104提供ASIC和BSI图像传感器102的有源器件之间的电连接。

[0033] 可以在具有正面108A和背面108B的衬底108上形成BSI图像传感器102。衬底108可以是半导体材料，诸如Si、Ge、SiGe、碳化硅(SiC)、磷化铟(InP)、砷化镓(GaAs)、及其组合。在一些实施例中，衬底108可以包括绝缘体上硅(SOI)结构或绝缘体上锗(GOI)结构。用于衬底108的其他合适的材料在本公开的范围。

[0034] 参照图1A，BSI图像传感器102可包括在正面108A和多级金属化层104之间设置的层的堆叠件110。在一些实施例中，层的堆叠件110可包括(i)在多级金属化层104上设置的钝化层112、(ii)在钝化层112上设置的层间介电(ILD)层114、(iii)在ILD层114上设置的蚀刻停止层(ESL)116、以及(iv)在ESL 116上设置的介电层118。参照图1A和图1B，根据一些实施例，BSI图像传感器102可以进一步包括有源像素区域102A、围绕有源像素区域102A的伪像素区域102B、以及接触焊盘区域102C。伪像素区域102B是虚线103与有源像素区域102A之间的区域，如图1B至图1F所示。

[0035] 接触焊盘区域102C可以包括焊盘结构120和焊盘结构120上的一个或多个导电接合焊盘或焊料凸块(未示出)，通过其可以在BSI图像传感器102和外部电路之间建立电连接。焊盘结构120是BSI图像传感器102的输入/输出(I/O)端口，并且包括电耦合至多级互连结构104A的导电层。

[0036] 在一些实施例中，有源像素区域102A可以包括有源像素结构122A至有源像素结构122I的阵列。尽管示出了九个有源像素结构122A至有源像素结构122I的阵列，但是BSI图像传感器102可以具有任何数量的有源像素结构。有源像素结构122A至有源像素结构122I被

配置为通过背面108B上的微透镜125接收入射辐射束123并将它们转换为电信号。电信号由焊盘结构120和多级金属化层104分配至载具衬底106和/或外部电路。

[0037] 在一些实施例中,BSI图像传感器102可以是渡越传感器,其被配置为基于已知的光速来确定物体与BSI图像传感器102的距离。例如,在BSI图像传感器上或附近设置的光脉冲生成器(未示出)可以将光脉冲(例如,近红外辐射)投射至物体上,并且可以通过有源像素结构122A至有源像素结构122I来检测由物体反射的光脉冲。基于光脉冲的投射时间与反射光脉冲的检测时间之间的时间差,可以确定物体与BSI图像传感器102的距离。

[0038] 有源像素结构122A至有源像素结构122I通过介电层118相互电隔离,并在BSI图像传感器102的制造过程中受到钝化层112、ILD层114、和ESL 116的保护。在一些实施例中,介电层118可以包括氮化物层、氧化物层、氧氮化物层、或合适的介电材料。在一些实施例中,钝化层112可以包括氮化物层、氧化物层、氧氮化物层、聚合物层、或它们的组合。在一些实施例中,ILD层114可以包括低k介电层(例如,介电常数小于约3.9的电介质)、超低k介电层(例如,介电常数小于大约2.5的电介质)、或氧化层(例如,氧化硅(SiO_x))。在一些实施例中,ESL 116可以包括氮化物层、氧化物层、氧氮化物层、碳化物层、或合适的介电材料。

[0039] 在一些实施例中,有源像素结构122A至有源像素结构122I可以包括(i)在衬底108和介电层118内设置的有源外延结构124A至有源外延结构124I、(ii)在有源外延结构124A至有源外延结构124I上设置的并嵌入在介电层118内的覆盖层126、(iii)在有源外延结构124A至有源外延结构124I和覆盖层126内设置的N-阱区域128、(iv)在N阱区域128内设置的P型掺杂区域130、(v)在有源外延结构124A至有源外延结构124I和覆盖层126中设置的N型掺杂区域132、(vi)在P型掺杂区域130至N型掺杂区域132上设置的接触结构134、以及(vii)在接触结构134上设置的通孔结构136。

[0040] 有源外延结构124A至有源外延结构124I在正面108A上形成并且可以包括元素周期表的IV族元素(例如,Si、Ge等)。在一些实施例中,有源外延结构124A至有源外延结构124I可以包括未掺杂的Ge或SiGe。在一些实施例中,覆盖层126可以包括元素周期表的IV族元素(例如,Si),该元素不同于有源外延结构124A至有源外延结构124I中包括的元素。覆盖层126中包括的元素可以具有与有源外延结构124A至有源外延结构124I中包括的元素的带隙不同的带隙,这导致有源外延结构124A至有源外延结构124I与相应的覆盖层126之间的带不连续(例如,有源外延结构124A至有源外延结构124I和覆盖层126的最小导带能量和/或最大价带能量之间的差值)。

[0041] 接触结构134可以被配置为通过通孔结构136电连接有源外延结构124A至有源外延结构124I至多级金属化层104。接触结构134的每个可以包括硅化物层134A和接触塞134B。在P型掺杂区域130和N型掺杂区域132上并且在覆盖层126内设置硅化物层134A。硅化物层134A的表面134As可以与覆盖层126的表面126s基本共面(未示出),或者可以在覆盖层126的表面126s下方延伸,如图1A所示。在一些实施例中,硅化物层134A可以包括硅化镍(NiSi)、硅化钨(WSi_2)、硅化钛(TiSi_2)、硅化钴(CoSi_2)、或合适的金属硅化物。在硅化物层134A上并且在ILD层114内设置接触塞134B。在一些实施例中,接触塞134B可以包括导电材料,诸如钌(Ru)、铱(Ir)、镍(Ni)、钨(W)、钼(Mo)、钨(W)、钴(Co)、和铜(Cu)。在接触塞134B上并在钝化层112内设置通孔结构136。在一些实施例中,通孔结构136可以包括导电材料,诸如Ru、Co、Ni、Al、Mo、W、Ir、Os、Cu、和Pt。

[0042] 参考图1A至图1B所示,具有伪像素结构138A至伪像素结构138L的伪像素区域102B围绕具有有源像素结构122A至有源像素结构122I的阵列的有源像素区域102A。如图1B所示,伪像素区域102B除了伪像素结构138A至伪像素结构138L之外可以不包括其他结构。伪像素结构138A至伪像素结构138L是电惰性结构,并且与半导体器件100的有源像素结构122A至有源像素结构122I和其他结构电隔离。在一些实施例中,伪像素结构138A至伪像素结构138L可包括(i)在衬底108和介电层118内设置的伪外延结构140A至伪外延结构140L、以及(ii)在伪外延结构140A至伪外延结构140L上设置的并嵌入在介电层118内的伪覆盖层142。伪外延结构140A至伪外延结构140L包括与有源外延结构124A至有源外延结构124I的顶面124s(即,面对覆盖层126的表面)基本共面的顶面140s(即,面对伪覆盖层142的表面),如图1A至图1B所示。伪外延结构140A至伪外延结构140L包括与有源外延结构124A至有源外延结构124I中包括的材料相似的材料,并且与有源外延结构124A至有源外延结构124I同时形成在正面108A上。类似地,伪覆盖层142包括与覆盖层126中包括的材料相似的材料,并且与覆盖层126同时形成。伪外延结构140A至伪外延结构140L和有源外延结构124A至有源外延结构124I具有沿Z轴彼此相似的垂直尺寸(例如,高度)。

[0043] 与最外面的有源外延结构124A至有源外延结构124D和有源外延结构124F至有源外延结构124I相邻的伪外延结构140A至伪外延结构140L的放置消除或最小化了对最外面的有源外延结构124A至有源外延结构124D和有源外延结构124F至有源外延结构124I的CMP工艺相关的凹陷效应。在不存在伪外延结构140A至伪外延结构140L的情况下,CMP工艺相关的凹陷效应可以在最外面的有源外延结构124A至有源外延结构124D和有源外延结构124F至有源外延结构124I的顶面124s上形成凹槽深度大于约30nm的凹形凹槽。由于最外面的有源外延结构124A至有源外延结构124D和有源外延结构124F至有源外延结构124I以及围绕最外面的有源外延结构124A至有源外延结构124D和有源外延结构124F至有源外延结构124I的介电层118的区域的材料的不同抛光率,在不存在伪外延结构140A至伪外延结构140L的情况下会发生CMP工艺相关的凹陷效应。

[0044] 与没有被伪外延结构围绕的有源外延结构124A至有源外延结构124D和有源外延结构124F至有源外延结构124I的顶面相比,伪外延结构140A至伪外延结构140L的使用将顶面124s的均匀性提高了约50%至约100%。在一些实施例中,顶面124s可以具有小于约10nm(例如,约2nm、约5nm、或约8nm)的表面粗糙度,并且可以具有凹槽深度小于约5nm(例如,0.1nm、0.5nm、1nm、或2nm)的凹形凹槽(未示出)。在一些实施例中,顶面124s可以具有基本均匀的表面,而没有任何凹形凹槽,如图1A所示。顶面124s的改善的均匀性因此改善了最外面的有源外延结构124A至有源外延结构124D和有源外延结构124F至有源外延结构124I与相应的覆盖层126之间的界面。结果,由于最外面的有源外延结构124A至有源外延结构124D和有源外延结构124F至有源外延结构124I以及相应的覆盖层126之间的不均匀界面而产生了暗电流被最小化或被消除,并且因此,BSI图像传感器102的传感器性能得以提高。

[0045] 在一些实施例中,为了以最小的不均匀性(例如,顶面124s上没有凹槽)对顶面124s进行充分的平坦化,在这个配置中布置伪外延结构140A至伪外延结构140L以使得最外面的有源外延结构124A至有源外延结构124D和有源外延结构124F至有源外延结构124I的面对伪像素区域102A的每一侧与伪外延结构140A至伪外延结构140L中的每个相邻,如图1B所示。另外,沿X轴的伪外延结构的阵列(例如,伪外延结构140G至伪外延结构140L)与相应

的最外面的有源外延结构124A至有源外延结构124C和有源外延结构124G至有源外延结构124I间隔开距离D1。沿Y轴的伪外延结构的阵列(例如,伪外延结构140A至伪外延结构140F)与相应的最外面的有源外延结构124A、有源外延结构124D、有源外延结构124G、有源外延结构124C、有源外延结构124F、和有源外延结构124I间隔开距离D2,该距离D2可以是等于或不同于距离D1。距离D1和距离D2可以在约200nm至约1000nm的范围内。如果距离D1和距离D2小于100nm,则伪外延结构140A至伪外延结构140L可以在制造工艺中(例如,在外延生长工艺中)与最外面的有源外延结构124A至有源外延结构124D和有源外延结构124F至有源外延结构124I合并。另一方面,如果距离D1和距离D2大于1000nm,则BSI图像传感器102的器件面积增加,因此增加了制造成本。

[0046] 在一些实施例中,伪外延结构140A至伪外延结构140L的顶面140s具有伪像素区域102B的水平面面积(例如,沿着XY平面)的约10%至约90%的总表面积。在一些实施例中,为了以最小的不均匀性对顶面124s进行充分的平坦化,在这个配置中布置伪外延结构140A至伪外延结构140L以使得相邻顶面124s和顶面140s的表面积之间的比在从约2:1到约1:2的范围内(例如,约2:1、约1.8:1、约1.6:1、约1.5:1、约1.2:1、约1:1、约1:1.2、约1:1.5、或约1:2)。另外,彼此面对的顶面124s和顶面140s的侧面的长度之比在约2:1至大1:2的范围内(例如,约2:1、约1.8:1、约1.6:1、约1.5:1、约1.2:1、约1:1、约1:1.2、约1:1.5、或约1:2)。

[0047] 例如,参考图1B,有源外延结构124A的顶面124s可以具有表面积 SA_{124A} (未示出)以及侧面S1和侧面S2,并且与有源外延结构124A相邻的伪外延结构140A和伪外延结构140G的顶面140s可以具有表面积 SA_{140A} 和表面积 SA_{140G} (未示出)以及侧面 S_{140A} 和侧面 S_{140G} 。为了使有源外延结构124A的顶面124s充分平坦化,表面积比 $SA_{124A}:SA_{140A}$ 和/或 $SA_{124A}:SA_{140G}$ 的范围为约2:1至约1:2(例如,约2:1、约1.8:1、约1.6:1、约1.5:1、约1.2:1、约1:1、约1:1.2、约1:1.5、或约1:2)。另外,侧面S1和侧面 S_{140G} 的长度(例如,沿X轴)之间的比和/或彼此面对的侧面S2和侧面 S_{140A} 的长度(例如,沿Y轴)之间的比在约2:1至大约1:2(例如,约2:1、约1.8:1、约1.6:1、约1.5:1、约1.2:1、约1:1、约1:1.2、约1:1.5、或约1:2)的范围内。

[0048] 在一些实施例中,最外面的有源外延结构124A至有源外延结构124D和有源外延结构124F至有源外延结构124I的顶面124s的总表面积与顶面140s的总表面积之比在约2:1至约1:2的范围内(例如,约2:1、约1.8:1、约1.6:1、约1.5:1、约1.2:1、约1:1、约1:1.2、约1:1.5、或约1:2)。在一些实施例中,伪外延结构140A至伪外延结构140L可具有彼此相似或不同的尺寸。在一些实施例中,有源外延结构124A至有源外延结构124I可以具有彼此相似的尺寸。伪外延结构140A至伪外延结构140L相对于有源外延结构124A至有源外延结构124I的上述尺寸提供了基本均匀的顶面124s,而没有CMP工艺相关的凹陷效应。使用在上述尺寸之外的尺寸的伪外延结构140A至伪外延结构140L可能无法充分地平坦化顶面124s和/或增加BSI图像传感器102的制造成本。

[0049] 在一些实施例中,伪像素区域102B可以另外包括在伪像素区域102B的拐角区域处设置的伪像素结构139A至伪像素结构139D,如图1B所示。与伪像素结构138A至伪像素结构138L相似,伪像素结构139A至伪像素结构139D是电惰性结构并且与半导体器件100的有源像素结构122A至有源像素结构122I和其他结构电隔离。伪像素结构139A至伪像素结构139D可包括(i)在衬底108和介电层118内设置的伪外延结构141A至伪外延结构141D、以及(ii)在伪外延结构141A至伪外延结构141D上设置的并嵌入在介电层118内的伪覆盖层142。除非

另外提及,否则对伪像素结构138A至伪像素结构138L的讨论适用于伪像素结构139A至伪像素结构139D。

[0050] 在一些实施例中,为了以最小的不均匀性(例如,顶面124s上没有凹槽)对顶面124s进行充分的平坦化,当伪外延结构140A至伪外延结构140L的顶面140s的总表面积为伪像素区域102B的水平面面积(例如,沿着XY平面)的约10%至约50%时,在伪像素区域102B的拐角区域处设置伪外延结构141A至伪外延结构141D。伪外延结构141A至伪外延结构141D中的每个可以具有顶面124s之一的表面积的约10%至约50%的顶面面积。根据一些实施例,如果伪外延结构140A至伪外延结构140L的顶面140s的总表面积大于伪像素区域102B的水平面面积(例如,沿XY平面)的约50%(例如,约51%至约90%),伪像素区域102B中可以不存在伪像素结构139A至伪像素结构139D。

[0051] 在一些实施例中,为了使顶面124s充分平面化,当伪外延结构140A和伪外延结构140B、伪外延结构140E和伪外延结构140F、伪外延结构140G、伪外延结构140I、伪外延结构140J、和伪外延结构140L(即,与拐角区域相邻的伪外延结构)的每个的顶面140s的表面积为相邻顶面124s的表面积的约50%至约100%时,在伪像素区域102B的拐角区域处设置伪外延结构141A至伪外延结构141D。根据一些实施例,如果顶面140s的表面积大于相邻顶面124s的表面积的100%(例如,约110%至约150%),伪像素区域102B中不可以存在伪像素结构139A至伪像素结构139D。

[0052] 参照图1A和图1B和图1C,伪像素区域102B可以具有包围有源像素结构122A至有源像素结构122I的阵列的伪像素结构138A至伪像素结构138D,而不是伪像素结构138A至伪像素结构138L。如图1C所示,伪像素区域102B除了伪像素结构138A至伪像素结构138D之外可以不包括其他结构。在一些实施例中,伪像素结构138A至伪像素结构138D可包括(i)在衬底108和介电层118内设置的伪外延结构144A至伪外延结构144D、以及(ii)在伪外延结构144A至伪外延结构144D上设置的并嵌入在介电层118内的伪覆盖层142。除非另外提及,否则对伪外延结构140A至伪外延结构140L的讨论适用于伪外延结构144A至伪外延结构144D。图1A中的伪外延结构140A和伪外延结构140B的横截面图适用于伪外延结构144A和伪外延结构144B。

[0053] 伪外延结构144A至伪外延结构144D包括与有源外延结构124A至有源外延结构124I的顶面124s基本共面的顶面140s。伪外延结构144A至伪外延结构144D的顶面140s可具有表面积 SA_{144A} 至表面积 SA_{144D} 和侧面 S_{144A} 至侧面 S_{144D} 。在一些实施例中,伪外延结构144A至伪外延结构144D可具有彼此相似或不同的尺寸。有源外延结构124A至有源外延结构124I的顶面124s可具有表面积 SA_{124A} 至表面积 SA_{124I} 和侧面S1至侧面S12。

[0054] 在一些实施例中,为了以最小的不均匀性对顶面124s进行充分的平坦化,在这个配置中布置伪外延结构144A至伪外延结构144D以使得最外面的有源外延结构124A至有源外延结构124D和有源外延结构124F至有源外延结构124I的面对伪像素区域102B的每一侧面(例如,侧面S1至侧面S12)与伪外延结构144A至伪外延结构144D中的每个相邻,如图1C所示。另外,伪外延结构144C至伪外延结构144D与相应的最外面的有源外延结构124A至有源外延结构124C和有源外延结构124G至有源外延结构124I间隔开距离D1,并且伪外延结构144A和伪外延结构144B与相应的最外面的有源外延结构124A、有源外延结构124D、有源外延结构124G、有源外延结构124C、有源外延结构124F、和有源外延结构124I间隔开距离D2,

距离D2与距离D1相同或不同。距离D1和距离D2可以在约200nm至大约1000nm的范围内。

[0055] 在一些实施例中,为了以最小的不均匀性对顶面124s进行充分的平坦化,有源外延结构124A至有源外延结构124I的最外面的行或列的总顶面面积和与最外面的行或列相邻的伪外延结构144A至伪外延结构144D之一的顶面面积之间的比在从约2:1至约1:2(例如,约2:1、约1.8:1、约1.6:1、约1.5:1、约1.2:1、约1:1、约1:1.2、约1:1.5、和约1:2)的范围内。例如,表面积比 $(SA_{124A}+SA_{124B}+SA_{124C}):SA_{144D}$ 、 $(SA_{124A}+SA_{124D}+SA_{124G}):SA_{144A}$ 、 $(SA_{124C}+SA_{124F}+SA_{124I}):SA_{144B}$ 、和/或 $(SA_{124G}+SA_{124F}+SA_{124H}+SA_{124I}):SA_{144C}$ 的范围为约2:1至约1:2(例如,约2:1、约1.8:1、约1.6:1、约1.5:1、约1.2:1、约1:1、约1:1.2、约1:1.5、或约1:2)。另外,边长比 $(S1+S3+S4):S_{144D}$ 、 $(S2+S5+S6):S_{144A}$ 、 $(S7+S8+S9):SA_{144C}$ 、和/或 $(S10+S11+S12):SA_{144B}$ 的范围为约2:1至约1:2(例如,约2:1、约1.8:1、约1.6:1、约1.5:1、约1.2:1、约1:1、约1:1.2、约1:1.5、或约1:2)。

[0056] 在一些实施例中,类似于图1B,图1C的伪像素区域102B可以具有在拐角区域(图1C中未示出)设置的伪像素结构139A至伪像素结构139D。当伪外延结构144A至伪外延结构144D的顶面140s的总表面积为伪像素区域102B的水平表面积(例如,沿着XY平面)的约10%至约70%时,在图1C的伪像素区域102B的拐角区域处设置伪外延结构141A至伪外延结构141D。根据一些实施例,如果伪外延结构144A至伪外延结构144D的顶面140s的总表面积大于伪像素区域102B的水平面面积(例如,沿XY平面)的约70%(例如,约71%至约90%),图1C的伪像素区域102B中可以不存在伪像素结构139A至伪像素结构139D。

[0057] 参照图1A和图1B和图1D,伪像素区域102B可以具有包围有源像素结构122A至有源像素结构122I的阵列的伪像素结构138A,而不是伪像素结构138A至伪像素结构138L。如图1D所示,伪像素区域102B除了伪像素结构138A之外可以不包括其他结构。在一些实施例中,伪像素结构138A可包括(i)在衬底108和介电层118内设置的伪外延结构146、以及(ii)在伪外延结构146上设置的并嵌入在介电层118内的伪覆盖层142。除非另外提及,否则对伪外延结构140A至伪外延结构140L的讨论适用于伪外延结构146。图1A中的伪外延结构140A至伪外延结构140B的横截面图适用于伪外延结构146。

[0058] 伪外延结构146包括与有源外延结构124A至有源外延结构124I的顶面124s基本共面的顶面140s。在一些实施例中,为了以最小的不均匀性对顶面124s进行充分的平坦化,伪外延结构146的侧面 S_{146C} 至侧面 S_{146D} 与相应的最外面的有源外延结构124A至有源外延结构124C和有源外延结构124G至有源外延结构124I间隔开距离D1,并且伪外延结构146与相应的最外面的有源外延结构124A、有源外延结构124D、有源外延结构124G、有源外延结构124C、有源外延结构124F、和有源外延结构124I间隔开距离D2,距离D2与距离D1相同或不同。距离D1和距离D2可以在约200nm至约1000nm的范围内。

[0059] 在一些实施例中,为了以最小的不均匀性对顶面124s进行充分的平坦化,最外面的有源外延结构124A至有源外延结构124D和有源外延结构124F至有源外延结构124I的顶面面积与伪外延结构146的顶面面积之比在约2:1至约1:2的范围内(例如,约2:1、约1.8:1、约1.6:1、约1.5:1、约1.2:1、约1:1、约1:1.2、约1:1.5、或约1:2)。另外,边长比 $(S1+S3+S4):S_{146D}$ 、 $(S2+S5+S6):S_{146A}$ 、 $(S7+S8+S9):SA_{146C}$ 、和/或 $(S10+S11+S12):SA_{146B}$ 的范围为约2:1至约1:2(例如,约2:1、约1.8:1、约1.6:1、约1.5:1、约1.2:1、约1:1、约1:1.2、约1:1.5、或约1:2)。

[0060] 参照图1A和图1B和图1E,伪像素区域102B可以具有包围有源像素结构122A至有源像素结构122I的阵列的伪像素结构138A至伪像素结构138H,而不是伪像素结构138A至伪像素结构138L。如图1E所示,伪像素区域102B除了伪像素结构138A至伪像素结构138H之外可以不包括其他结构。在一些实施例中,伪像素结构138A至伪像素结构138H可包括(i)在衬底108和介电层118内设置的伪外延结构148A至伪外延结构148H、以及(ii)在伪外延结构148A至伪外延结构148H上设置的并嵌入在介电层118内的伪覆盖层142。除非另外提及,否则对伪外延结构140A至伪外延结构140L的讨论适用于伪外延结构148A至伪外延结构148H。图1A中的伪外延结构140A和伪外延结构140B的横截面图适用于伪外延结构148A和伪外延结构148B。

[0061] 伪外延结构148A至伪外延结构148H包括与有源外延结构124A至有源外延结构124I的顶面124s基本共面的顶面140s。在一些实施例中,为了以最小的不均匀性对顶面124s进行充分的平坦化,伪外延结构148A至伪外延结构148H与最外面的有源外延结构124A至有源外延结构124D和有源外延结构124F至有源外延结构124I间隔开距离D1和距离D2,如图1E所示。距离D1和距离D2可以彼此相等或不同,并且可以在约200nm至约1000nm的范围内。在一些实施例中,为了以最小的不均匀性对顶面124s进行充分的平坦化,在这个配置中布置伪外延结构148A至伪外延结构148H以使得相邻顶面124s和顶面140s的表面积之间的比在从约2:1到约1:2的范围内(例如,约2:1、约1.8:1、约1.6:1、约1.5:1、约1.2:1、约1:1、约1:1.2、约1:1.5、或约1:2)。

[0062] 在一些实施例中,BSI图像传感器102可以具有带有图1F所示的阵列配置的有源像素区域102A,而不是图1B的有源像素区域102A中的阵列配置。除非另有说明,否则图1B的元件的讨论适用于图1F的元件。在图1F中,与图1B的有源像素结构122A至有源像素结构122I不同,有源像素结构122A至有源像素结构122I的阵列中的相邻有源像素结构相对于它们的侧面彼此不对齐。在一些实施例中,为了以最小的不均匀性对顶面124s进行充分的平坦化,伪外延结构140A至伪外延结构140L与最外面的有源外延结构124A至有源外延结构124D和有源外延结构124F至有源外延结构124I以与上述参考图1B相似的方式间隔开距离D1和距离D2。距离D1和距离D2可以彼此相等或不同,并且可以在约200nm至约1000nm的范围内。在一些实施例中,代替伪像素结构138A至伪像素结构138L,图1F的伪像素区域102B可以具有图1C的伪像素结构138A至伪像素结构138D,图1D的伪像素结构138A、或图1E的伪像素结构138A至伪像素结构138H。在一些实施例中,类似于图1B,图1F的伪像素区域102B可以具有在拐角区域(图1F中未示出)设置的伪像素结构139A至伪像素结构139D。

[0063] 图2是根据一些实施例的制造半导体器件100的示例方法200的流程图。为了说明的目的,将参考如图3至图21所示的半导体器件100的示例制造工艺来描述图2所示的操作。图3至图21是根据一些实施例的在各个制造阶段的半导体器件100的横截面图。根据特定的应用程序,操作可以以不同的顺序执行或不执行。应该注意的是,方法200可能无法生产出完整的半导体器件100。因此,应该理解,在方法200之前、期间、和之后可进行额外的工艺并且本文可仅简略地描述一些其他工艺。以上描述了图3至图21中的具有与图1A至图1F中的元件相同的注释的元件。

[0064] 在操作205中,在衬底的正面上形成伪外延结构和有源外延结构。例如,如图3至图6所示,可以在衬底108的正面上108A上同时形成伪外延结构140A和伪外延结构140B以及有源

外延结构124A至伪外延结构124C。伪外延结构140A和伪外延结构140B以及有源外延结构124A至有源外延结构124C的形成可以包括以下顺序的操作：(i) 在衬底108中同时形成通过在正面108A上设置的介电层318的沟槽324和沟槽340,如图3所示,(ii) 在相应的沟槽340A和沟槽340B中以及在相应的沟槽324A至沟槽324C中同时外延生长伪结构140A*和伪结构140B*以及有源结构124A*至有源结构124C*,如图4所示,并且(iii) 对图4的结构执行CMP工艺,如图5所示,以在相应的沟槽340A和沟槽340B内以及相应的沟槽324A至沟槽324C内形成伪外延结构140A和伪外延结构140B以及有源外延结构124A至有源外延结构124C,其中顶面124s、顶面140s、和顶面318s基本上彼此共面,如图6所示。

[0065] 沟槽324A至沟槽324C以及沟槽340A和沟槽340B的形成可以包括利用诸如氯基气体、氟基气体、氟基气体、氩气、及其组合物之类的蚀刻剂的干蚀刻工艺。伪结构140A*和伪结构140B*以及有源结构124A*至有源结构124C*的外延生长可以包括诸如Ge或SiGe的半导体材料的外延生长的单晶或多晶结构。CMP工艺可以包括使用对伪结构140A*和伪结构140B*以及有源结构124A*至有源结构124C*的材料具有比对介电层318的材料更高的去除选择性的CMP浆料。在一些实施例中,CMP浆料对于伪结构140A*-140B*以及有源结构124A*-124C*的材料去除选择性比对介电层318的材料去除选择性高约20倍至约200倍。CMP浆料可包括过氧化氢、过二硫酸钾、氮氧化物基化合物、聚乙二醇、磨料颗粒(诸如胶体二氧化硅、气相二氧化硅、和氧化铝)或其组合。

[0066] 如图6所示,与有源结构124A*至有源结构124C*相邻的伪结构140A*和伪结构140B*的形成消除或最小化了随后形成的有源外延结构124A至有源外延结构124C中与CMP工艺相关的凹陷效应。在不存在伪结构140A*和伪结构140B*的情况下,由于介电层318的有源结构124A*至有源结构124C*和相邻区域的不同材料的抛光率不同,所以在有源结构124A*至有源结构124C*的CMP期间会发生与CMP工艺相关的凹陷效应。

[0067] 在操作210中,在伪外延结构和有源外延结构上形成覆盖层。例如,如图7所示,可以在伪外延结构140A和伪外延结构140B上形成覆盖层142,并且在有源外延结构124A至有源外延结构124C上同时形成覆盖层126。在一些实施例中,覆盖层126和覆盖层142的形成可以包括以下顺序的操作：(i) 在图6的结构上沉积Si、Ge、或SiGe层,以及(ii) 图案化所沉积的Si、Ge、或SiGe层以形成图7的结构。Si、Ge、或SiGe层的沉积可以包括使用硅前体(例如,硅烷(SiH_4)或二氯硅烷(DCS))和/或化学气相沉积(CVD)工艺或原子层沉积(ALD)工艺的锗前体(例如,锗烷(GeH_4))。在一些实施例中,覆盖层126和覆盖层142的形成可以包括在顶面124s和顶面140s上同时外延生长Si、Ge、或SiGe层。

[0068] 在一些实施例中,在形成覆盖层126和142之后,可以在图7的结构上沉积具有与介电层318的材料相似的材料介电层818以形成图8的结构。介电层818的形成可包括使用CVD工艺、ALD工艺、或热氧化工艺。

[0069] 在操作215中,在有源外延结构内形成掺杂区。例如,如图9至图12所示,可以在覆盖层126和有源外延结构124A至有源外延结构124C内形成P型掺杂区域130和N型掺杂区域132。P型掺杂区域130和N型掺杂区域132的形成可包括以下顺序的操作：(i) 在图8的结构上形成具有开口952的图案化的掩模层950,如图9所示,(ii) 通过开口952离子注入n型掺杂剂954至覆盖层126和有源外延结构124A至有源外延结构124C中以形成掺杂区132,如图9所示,(iii) 去除图案化层950(未示出),(iv) 如图10所示,形成具有开口1058的图案化的掩模

层1056, (v) 通过开口1058将n型掺杂剂954离子注入到覆盖层126和有源外延结构124A至有源外延结构124C中以形成N阱区128, 如图10所示, (vi) 通过开口1058将p型掺杂剂1160离子注入到覆盖层126和有源外延结构124A至有源外延结构124C中以在N阱区128内形成p型掺杂区130, 如图11所示, 以及 (vii) 在去除图案化层1056之后对图11的结构进行退火处理以激活掺杂区域130至掺杂区域132中的掺杂剂, 如图12所示。

[0070] 在操作220中, 在掺杂区域上形成接触结构和通孔结构。例如, 参照图13至图18, 可以在掺杂区域130至掺杂区域132上形成具有硅化物层134A和接触塞134B的接触结构134, 并且在接触结构134上形成通孔结构136。接触结构134的形成可以包括以下顺序的操作: (i) 在掺杂区域130至掺杂区域132上形成硅化物开口1362, 如图13所示, (ii) 在掺杂区域130至掺杂区域132上形成硅化物层134A, 如图14所示, (iii) 在图14的结构上沉积ESL 116, 如图15所示, (iv) 在图15的结构上沉积ILD层114, 如图16所示, (v) 在ILD层114和ESL 116内形成接触开口1664以暴露出硅化物层134A的部分, 如图16所示, 以及 (vi) 在接触开口1664内形成接触塞134B, 如图17所示。

[0071] 硅化物层134A的形成可以包括以下顺序操作: (i) 在图13的结构上沉积金属层 (未示出), (ii) 对具有金属层的结构进行退火工艺, 以及 (iii) 去除介电层118上的金属层的未反应部分以形成图14的结构。通孔结构136的形成可以包括以下顺序的操作: (i) 在图17的结构上沉积金属层 (未示出), 以及 (ii) 对金属层图案化以形成图18的结构。在形成通孔结构136之后, 绝缘层 (例如, 氮化物层、氧化物层、氧氮化物层、聚合物、或其组合; 未示出) 可以在图18的结构上沉积, 随后使用CMP工艺抛光以形成钝化层112, 如图19所示。

[0072] 在操作225中, 在通孔结构上形成多级金属化层。例如, 如图20所示, 可以在通孔结构136和钝化层112上形成具有嵌入在IMD层104B内的多级互连结构104A的多级金属化层104。可以形成多级金属化层104, 接着将载具衬底106接合至多级金属化层104上, 如图21所示。

[0073] 在操作230中, 通过衬底的背面在多级金属化层上形成焊盘结构。例如, 如图21所示, 通过背面108B可以在多级互连结构104A上形成焊盘结构120。焊盘结构120的形成可包括以下顺序的操作: (i) 在衬底108、介电层118、ESL 116、ILD层114、钝化层112、和IMD层104B的一部分内形成焊盘开口 (未示出), (ii) 在焊盘开口内沉积导电层 (未示出), 以及 (iii) 对导电层进行图案化和蚀刻以在焊盘开口内形成焊盘结构120, 如图21所示。在形成焊盘结构120之后, 可以在背面108B上形成微透镜阵列125。

[0074] 本公开提供具有伪像素结构 (例如, 伪像素结构138A和伪像素结构138B) 和有源像素结构 (例如, 有源像素结构122A至有源像素结构122C) 的示例BSI图像传感器 (例如, BSI图像传感器102), 以及用于制造它们的示例方法 (例如, 方法200)。在一些实施例中, 在围绕有源像素结构的阵列的伪像素区域 (例如, 伪像素区域102B) 中设置伪像素结构。伪像素结构和有源像素结构包括相似的外延结构 (也称为“伪外延结构”和“有源外延结构”) 并同时形成。在一些实施例中, 伪外延结构 (例如, 伪外延结构140A和伪外延结构140B) 被布置为覆盖约10%至约100% (例如, 约20%、约50%、约80%、或约100%) 的围绕最外面的有源外延结构 (例如, 有源外延结构124A和有源外延结构124C) 的伪像素区域。另外, 伪外延结构的顶面面积为最外面的有源外延结构的顶面面积的约50%至约120%。

[0075] 与最外面的有源外延结构相邻的伪外延结构的放置以及外延结构的形成同时消

除或最小化了最外面的有源外延结构中CMP工艺有关的凹陷效应。在一些实施例中,通过使用伪外延结构,最外面的有源外延结构的顶面(例如,顶面124s)可以具有小于约10nm(例如,约2nm、约5nm、或约8nm)的表面粗糙度并且可以具有凹槽深度小于约5nm(例如,0.1nm、0.5nm、1nm、或2nm)的凹形凹槽。在一些实施例中,最外面的有源外延结构的顶面可以具有基本均匀的表面,而没有任何凹形凹槽(例如,如图1A所示)。因此,与没有被伪外延结构包围的有源外延结构的顶面相比,伪外延结构的使用将最外面的有源外延结构的顶面的均匀性提高了约50%至约100%。

[0076] 因此,顶面的改善的均匀性改善了最外面的有源外延结构与在有源外延结构上设置的相应覆盖层(例如,覆盖层126)之间的界面。结果,最小化或消除了由于最外面的有源外延结构与相应的覆盖层之间的不均匀界面而生成的暗电流,因此,与没有本文所述的伪像素结构的BSI图像传感器相比,BSI图像传感器的传感器性能提高了约40%至约60%。

[0077] 在一些实施例中,半导体器件包括具有第一表面和与第一表面相对的第二表面的衬底,具有在衬底的第一表面上设置的第一像素结构的第一像素区域,围绕第一像素区域的第二像素区包括与第一像素结构相邻并与第一像素结构电隔离的第二像素结构,以及具有与第二像素区相邻设置的焊盘结构的接触焊盘区域。第一像素结构包括在衬底内设置的第一外延结构和在第一外延结构上设置的第一覆盖层,并且第一外延结构具有第一顶面。第二像素结构包括在衬底内设置的第二外延结构和在第二外延结构上设置的第二覆盖层。第二外延结构具有与第一顶面基本共面的第二顶面。第一外延结构和第二外延结构包括相同的半导体材料。

[0078] 在一些实施例中,图像传感器包括具有正面和与正面相对的背面的衬底,在衬底的正面上设置的有源外延结构的阵列,在每个有源外延结构上设置的有源覆盖层,围绕有源外延结构的阵列的,在衬底的正面上设置的多个伪外延结构,在每个伪外延结构上设置的伪覆盖层,以及在衬底背面上设置的微透镜阵列。有源外延结构和伪外延结构的顶面基本上彼此共面。有源外延结构和伪外延结构包括相同的半导体材料。

[0079] 在一些实施例中,一种方法包括:在衬底上沉积第一介电层;在介电层和衬底内形成伪外延结构和有源外延结构;在伪外延结构和有源外延结构上形成第一覆盖层和第二覆盖层;分别选择性地掺杂有源外延结构和第二覆盖层的区域;在掺杂区域上选择性地形成硅化物层;在硅化物层上沉积蚀刻停止层;并通过蚀刻停止层在硅化物层上形成导电塞。

[0080] 根据本申请的一个实施例,提供了一种半导体器件,包括:衬底,具有第一表面和与第一表面相对的第二表面;第一像素区域,具有在衬底的第一表面上的第一像素结构,其中,第一像素结构包括在衬底内设置的第一外延结构和在第一外延结构上设置的第一覆盖层,其中第一外延结构具有第一顶面;第二像素区域,围绕第一像素区域,包括与第一像素结构相邻并与第一像素结构电隔离的第二像素结构,其中,第二像素结构包括在衬底内设置的第二外延结构和在第二外延结构上设置的第二覆盖层,其中,第二外延结构具有与第一顶面基本共面的第二顶面,以及其中,第一外延结构和第二外延结构包括相同的半导体材料;以及接触焊盘区,具有与第二像素区域相邻设置的焊盘结构。在一些实施例中,第一顶面的表面积与第二顶面的表面积之间的比在约2:1至约1:2的范围内。在一些实施例中,第一顶面和第二顶面的相邻侧面之间的比在约2:1到约1:2的范围内。在一些实施例中,第二外延结构围绕第一外延结构。在一些实施例中,第一顶面和第二顶面之间的距离在约

200nm至约1000nm的范围内。在一些实施例中,第一外延结构和第二外延结构的垂直尺寸基本上彼此相等。在一些实施例中,第一外延结构和第二外延结构包括锗或硅锗。在一些实施例中,第一覆盖层的顶面和第二覆盖层的顶面基本上彼此共面。在一些实施例中,第一覆盖层和第二覆盖层包括相同的半导体材料。在一些实施例中,第一覆盖层和第二覆盖层包括与第一外延结构和第二外延结构的半导体材料不同的另一种半导体材料。

[0081] 根据本申请的另一个实施例,提供了一种图像传感器,包括:衬底,具有正面和与正面相对的背面;有源外延结构的阵列,设置在衬底的正面上;有源覆盖层,设置在每个有源外延结构的上方;多个伪外延结构,围绕有源外延结构的阵列,设置在衬底的正面上;伪覆盖层,设置在每个伪外延结构的上方,其中,有源外延结构和伪外延结构的顶面基本上彼此共面,以及其中,有源外延结构和伪外延结构包括相同的半导体材料;以及微透镜的阵列,设置在衬底的背面上。在一些实施例中,有源外延结构的阵列的最外面的行与多个伪外延结构的伪外延结构的阵列相邻。在一些实施例中,在有源外延结构的阵列中的有源外延结构具有第一顶面,并且多个伪外延结构的伪外延结构具有第二顶面,以及其中,第一顶面的表面积与第二顶面的表面积之比在约2:1至1:2的范围内。在一些实施例中,有源外延结构的阵列的最外面的行和与最外面的行相邻的多个伪外延结构的伪外延结构的阵列之间的距离在约200nm至约1000nm的范围内。

[0082] 根据本申请的又一个实施例,提供了一种形成半导体器件的方法,包括:在衬底上沉积第一介电层;在介电层和衬底内形成伪外延结构和有源外延结构;在伪外延结构和有源外延结构上分别形成第一覆盖层和第二覆盖层;选择性地掺杂有源外延结构和第二覆盖层的区域;在掺杂区域上选择性地形成硅化物层;在硅化物层上沉积蚀刻停止层;以及通过蚀刻停止层在硅化物层上形成导电塞。在一些实施例中,形成伪外延结构和有源外延结构包括:在介电层和衬底内形成第一沟槽和第二沟槽;在第一沟槽和第二沟槽中外延生长相同的半导体材料;以及抛光外延生长的半导体材料。在一些实施例中,形成伪外延结构和有源外延结构包括:形成伪外延结构的顶面面积等于或大于有源外延结构的顶面面积的大约一半。在一些实施例中,形成伪外延结构和有源外延结构包括:形成伪外延结构的顶面面积等于或小于有源外延结构的顶面面积的大约两倍。在一些实施例中,其中形成伪外延结构和有源外延结构包括:在距有源外延结构约200nm至约1000nm的距离处形成伪外延结构。在一些实施例中,其中形成伪外延结构和有源外延结构包括形成围绕有源外延结构的伪外延结构。

[0083] 以上论述了若干实施例的特征,使得本领域技术人员可以更好地理解本发明的各方面。本领域技术人员应该理解,可以很容易地使用本发明作为基础来设计或更改其他的处理和结构以用于达到与本发明所介绍实施例相同的目的和/或实现相同优点。本领域技术人员也应该意识到,这种等同构造并不背离本发明的精神和范围,并且在不背离本发明的精神和范围的情况下,本文中他们可以做出多种变化、替换以及改变。

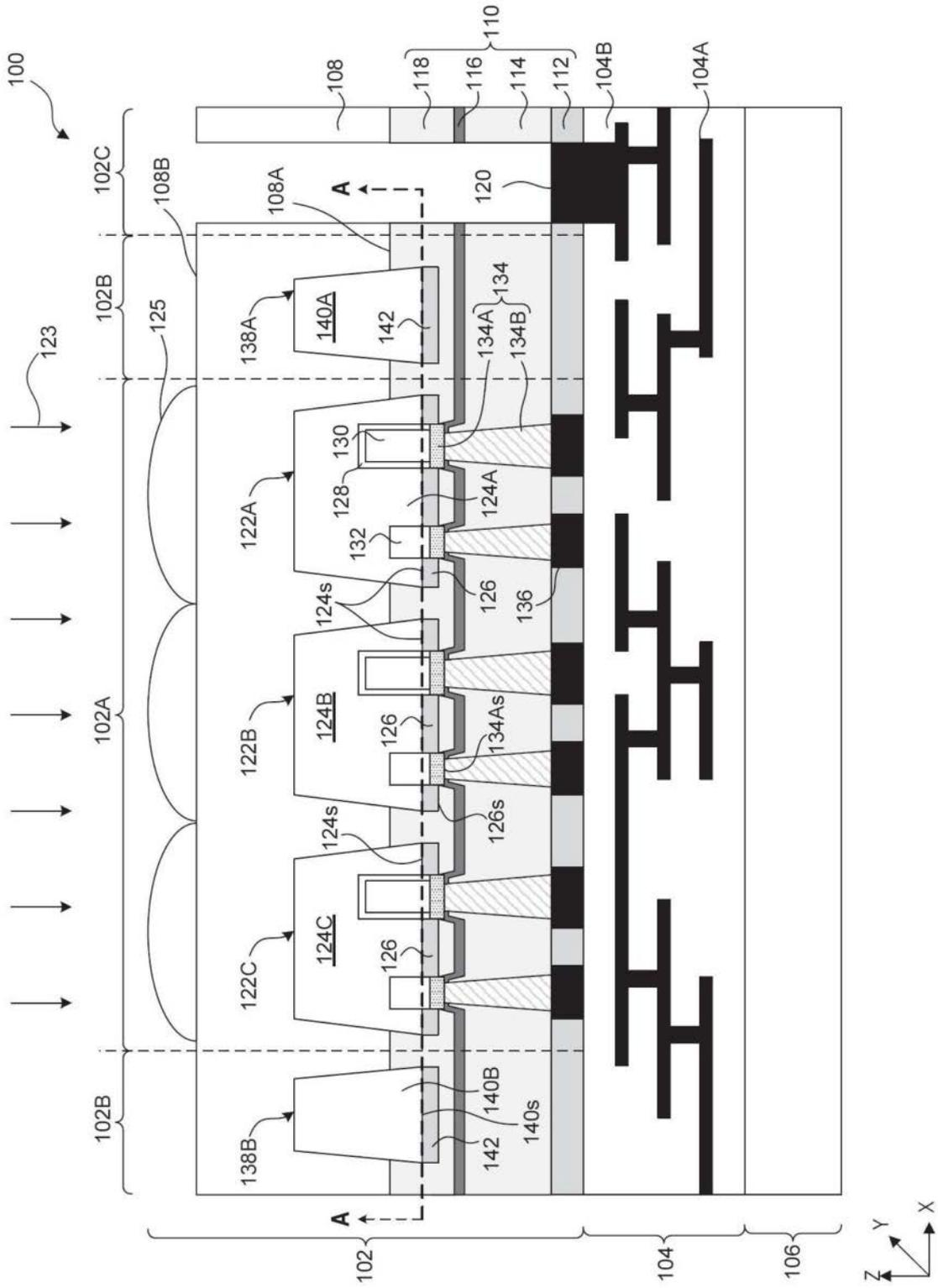


图1A

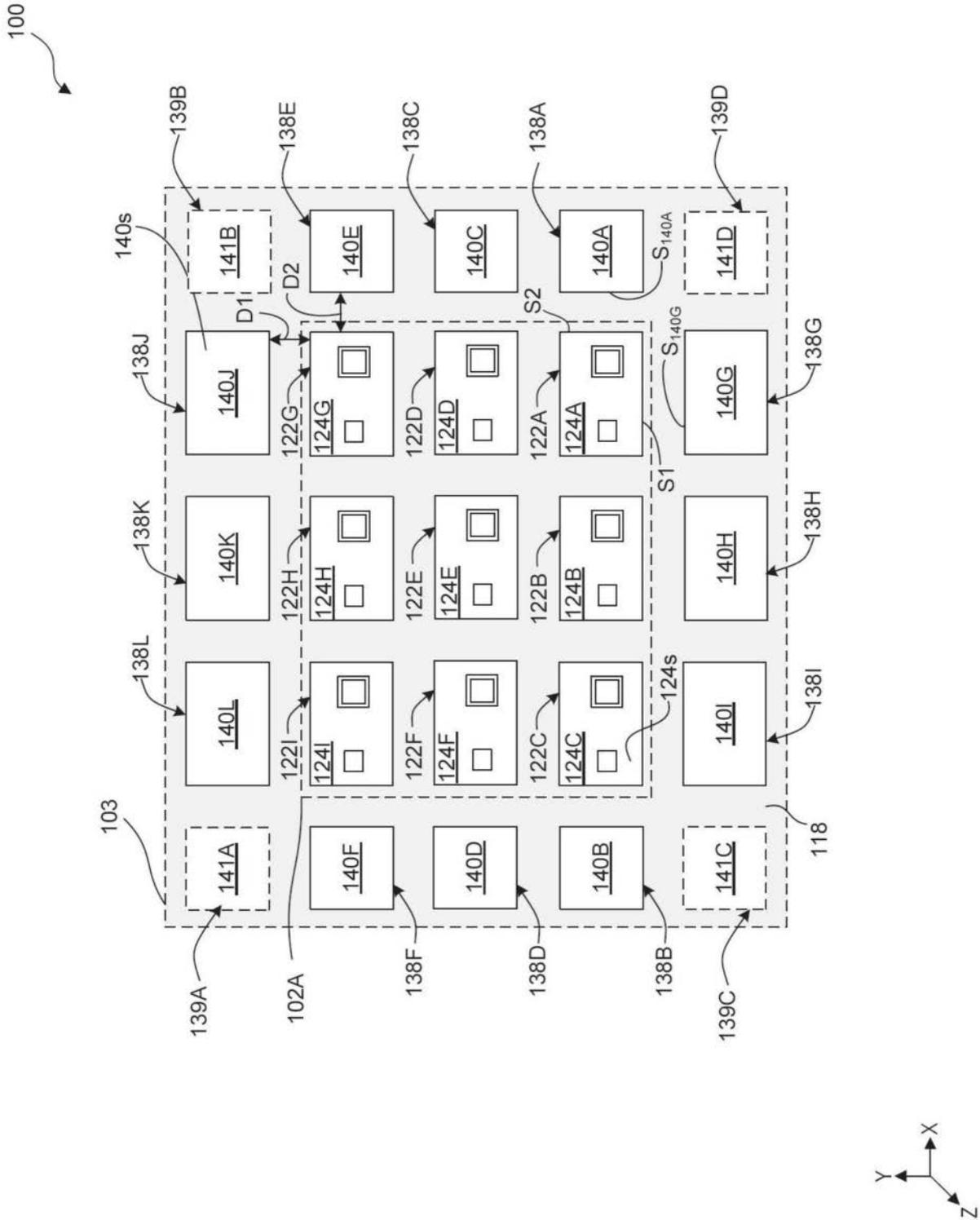


图1B

100

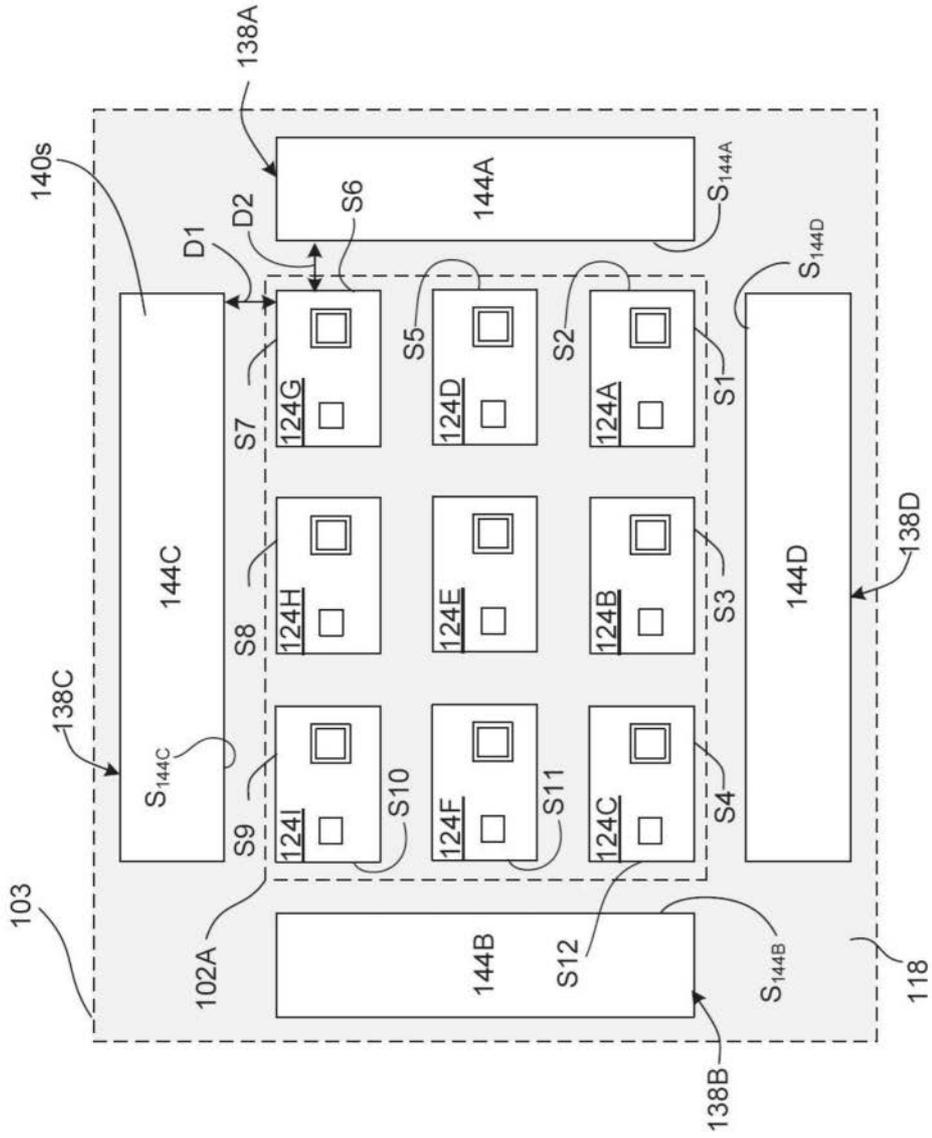


图1C

100

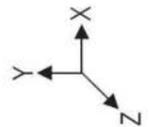
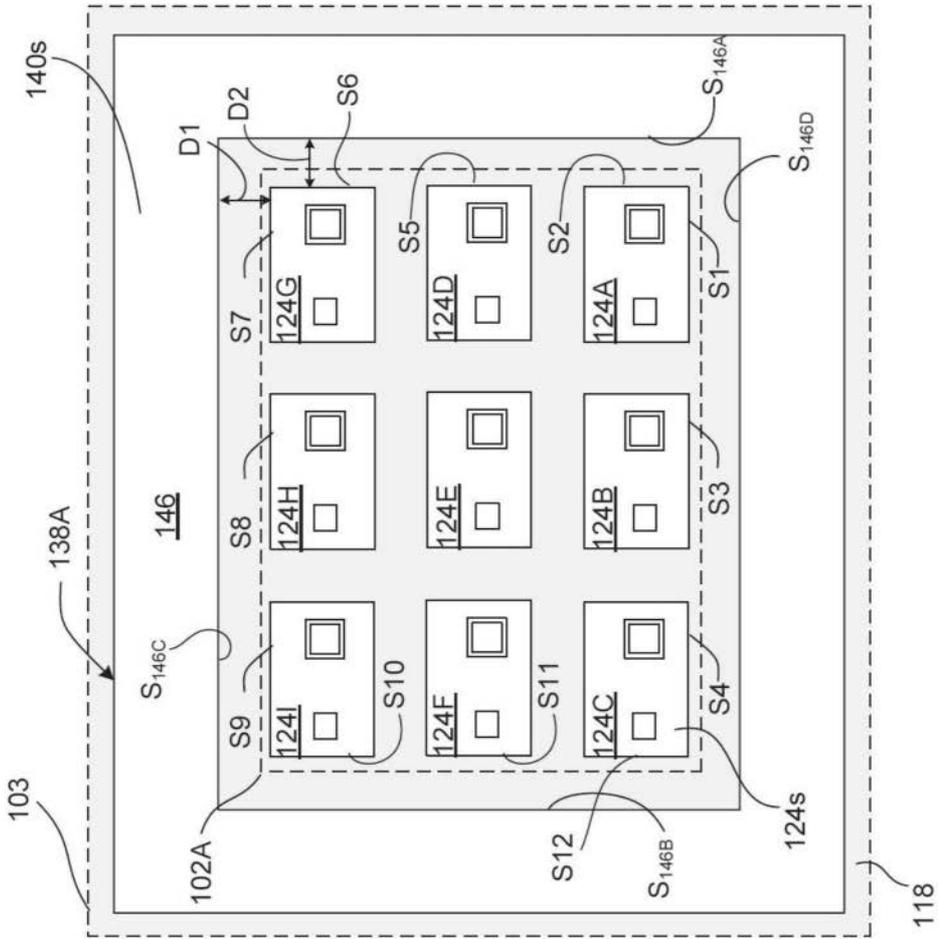


图1D

100

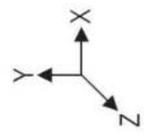
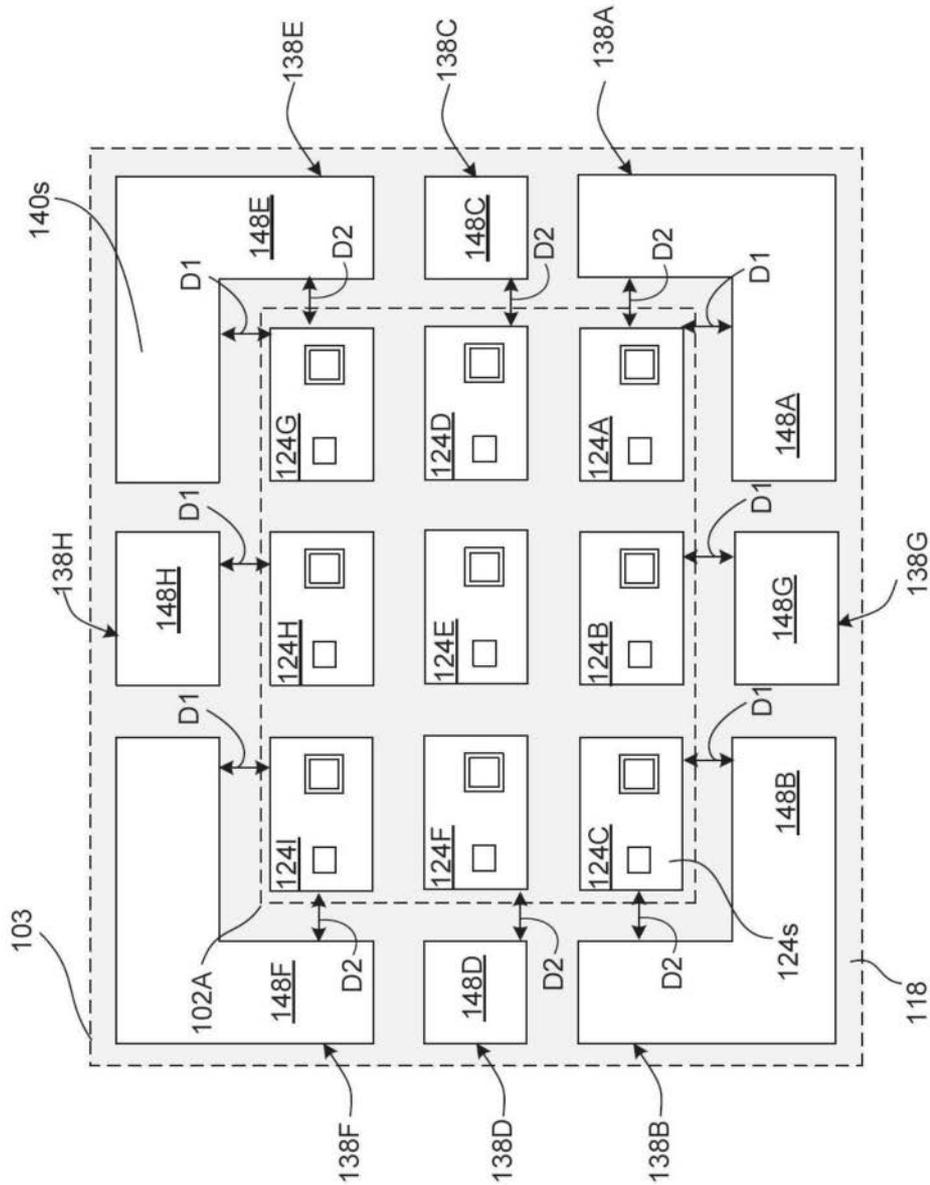


图1E

200



图2

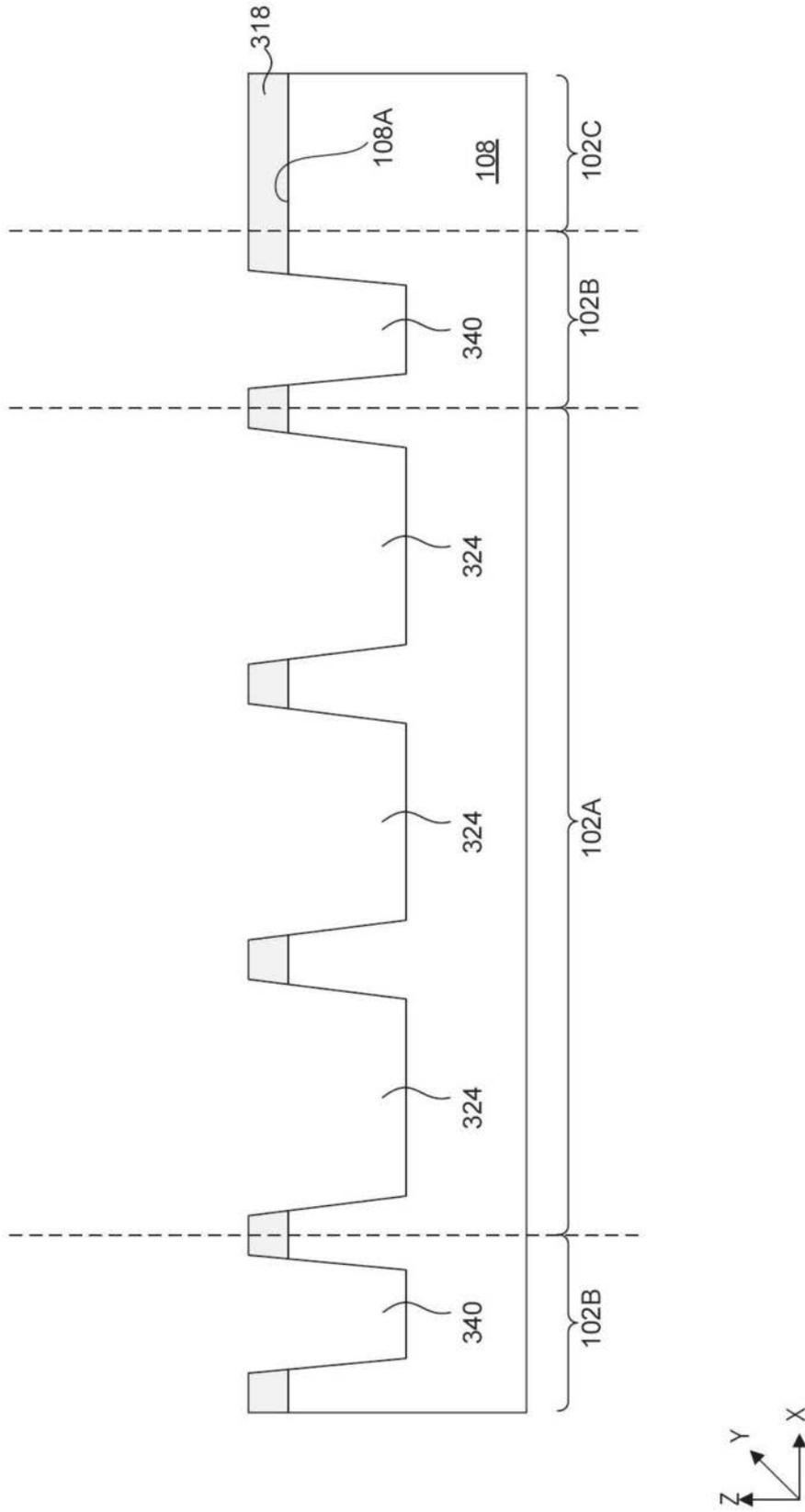


图3

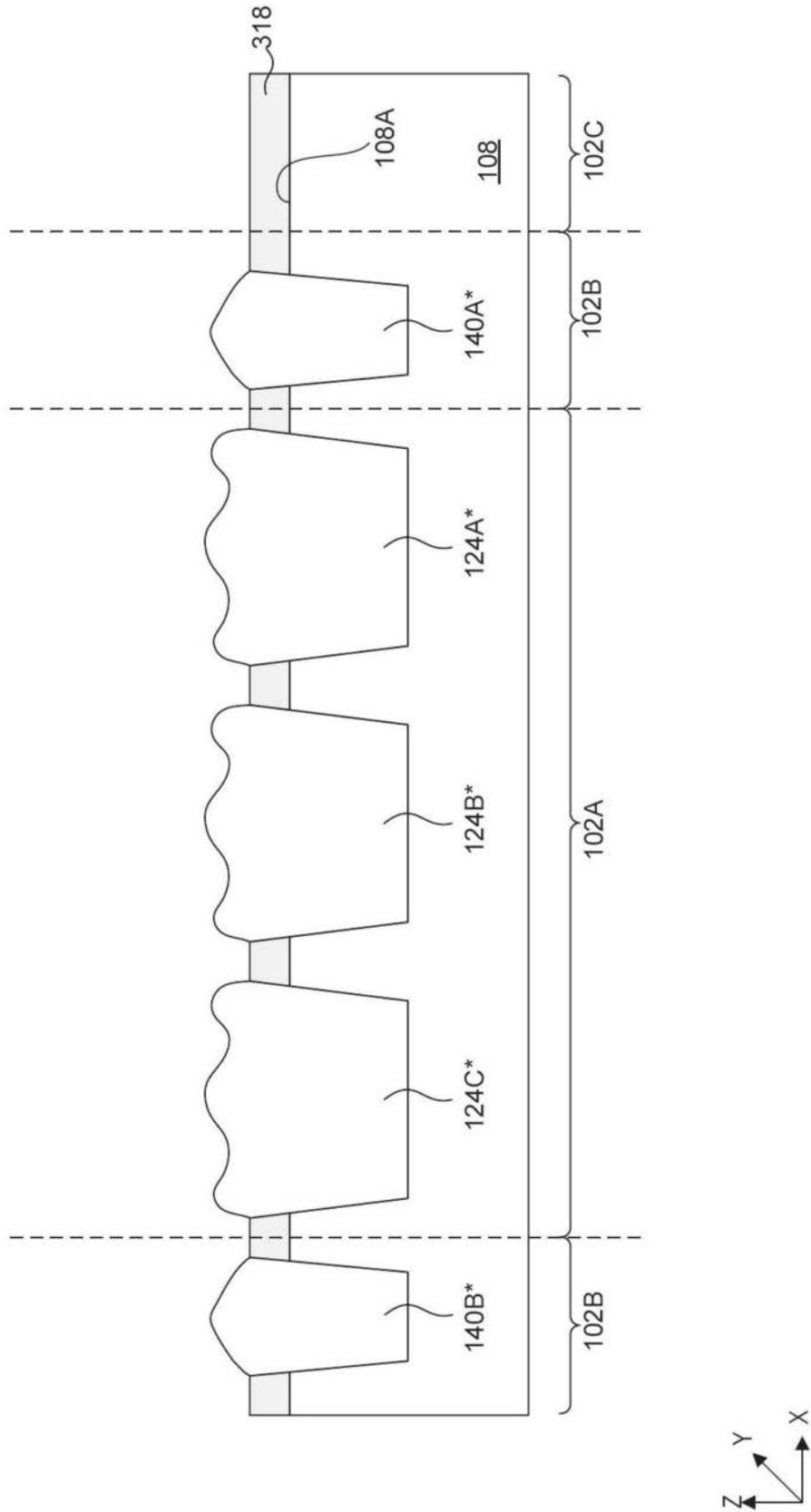


图4

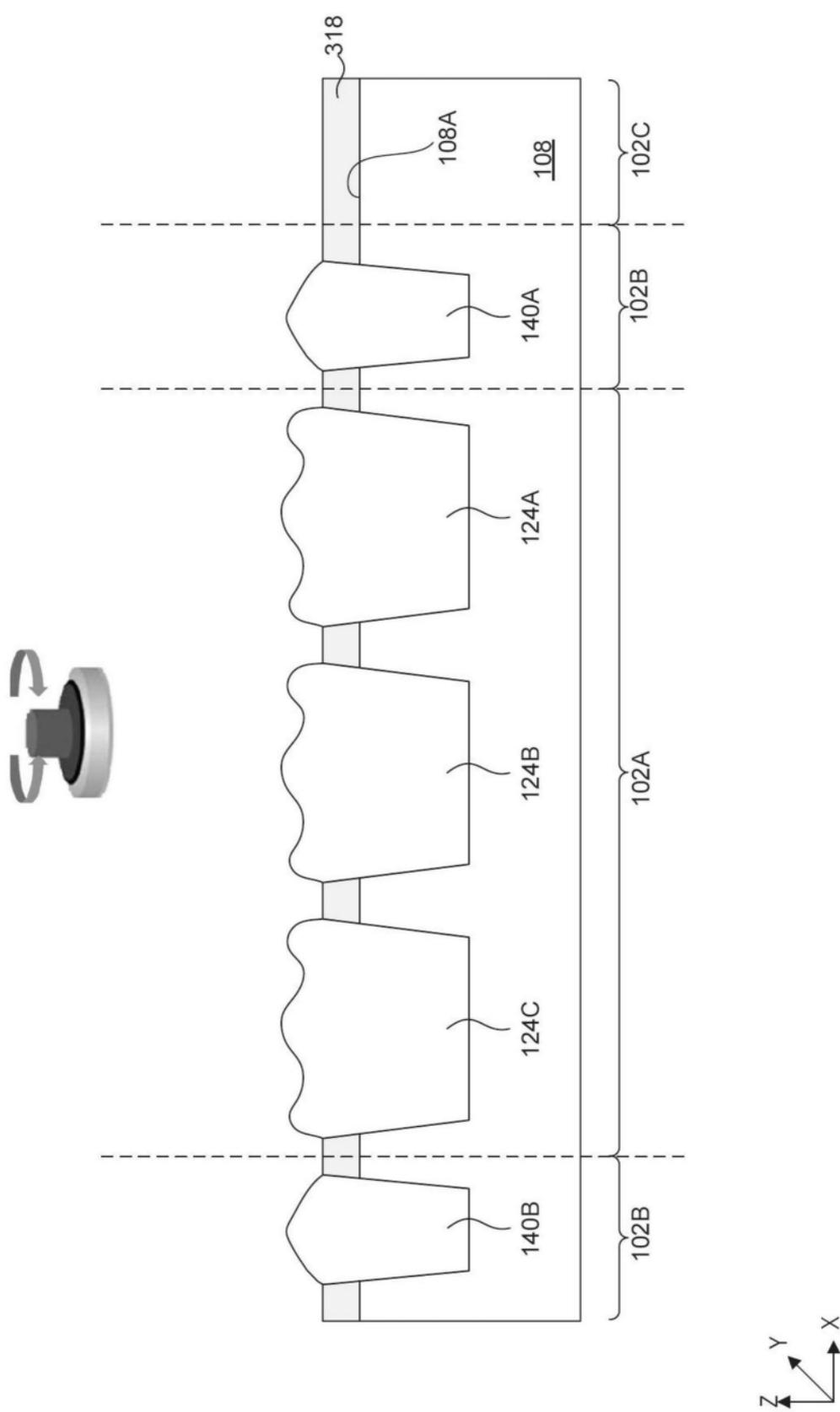


图5

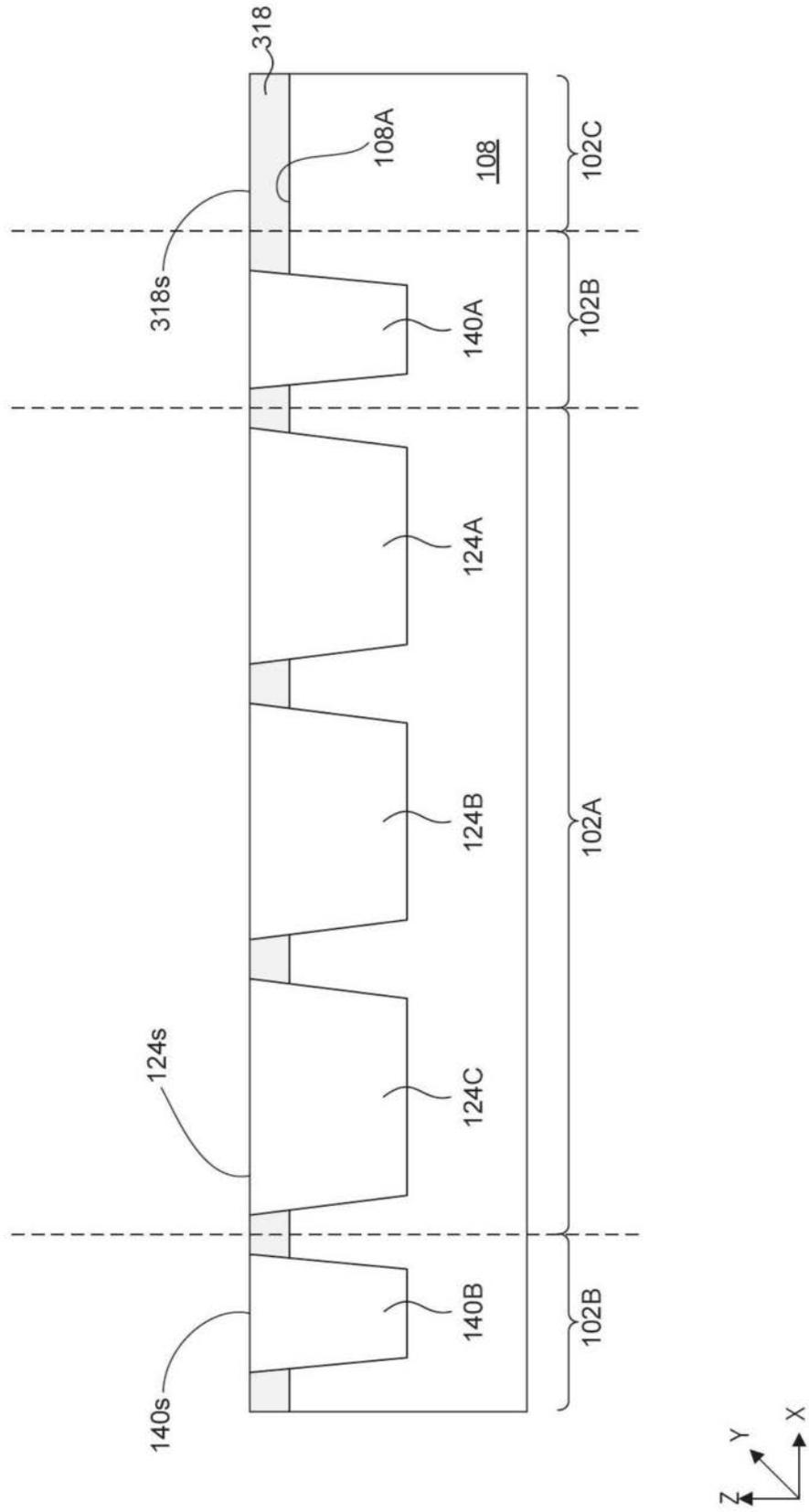


图6

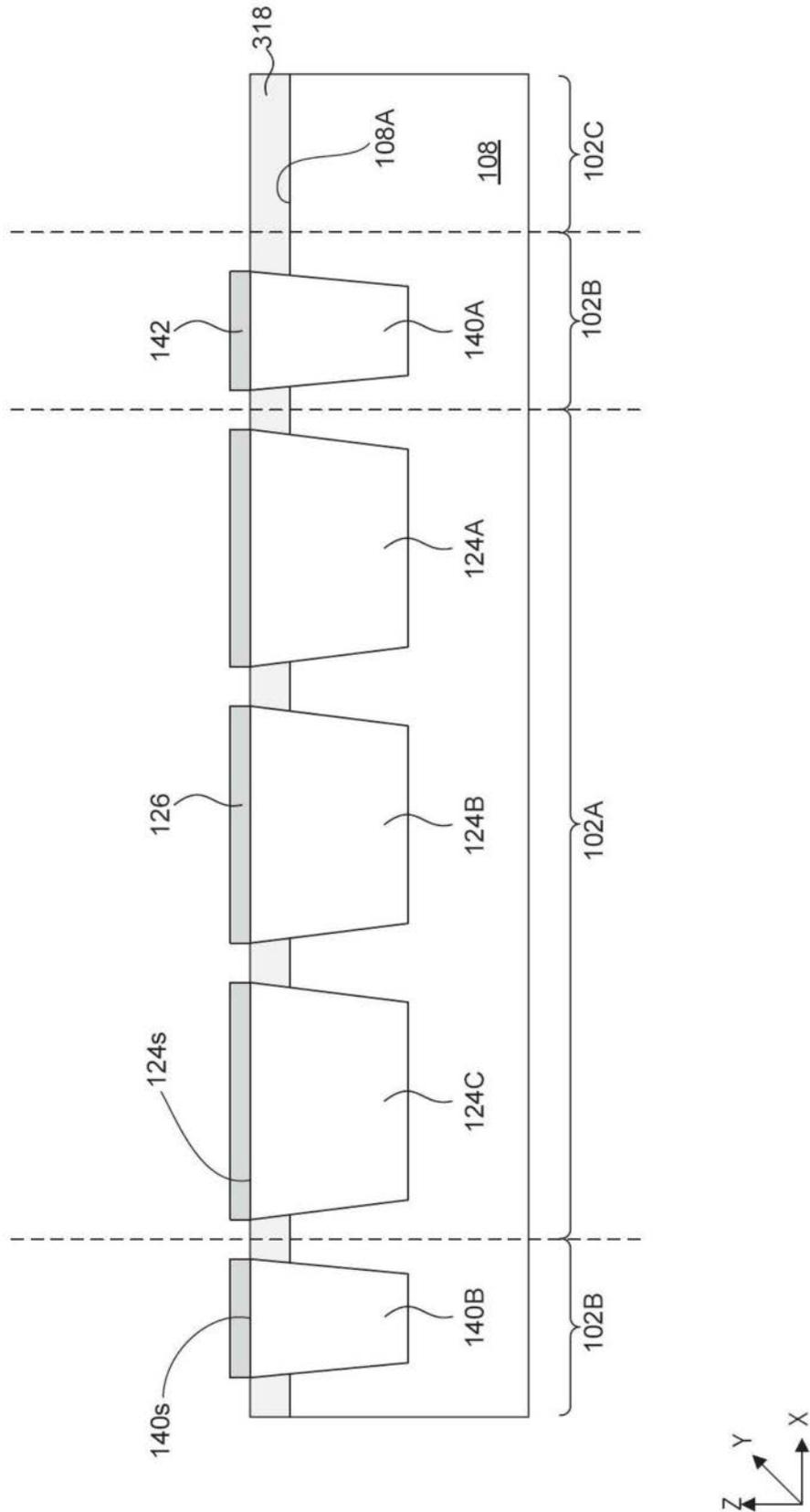


图7

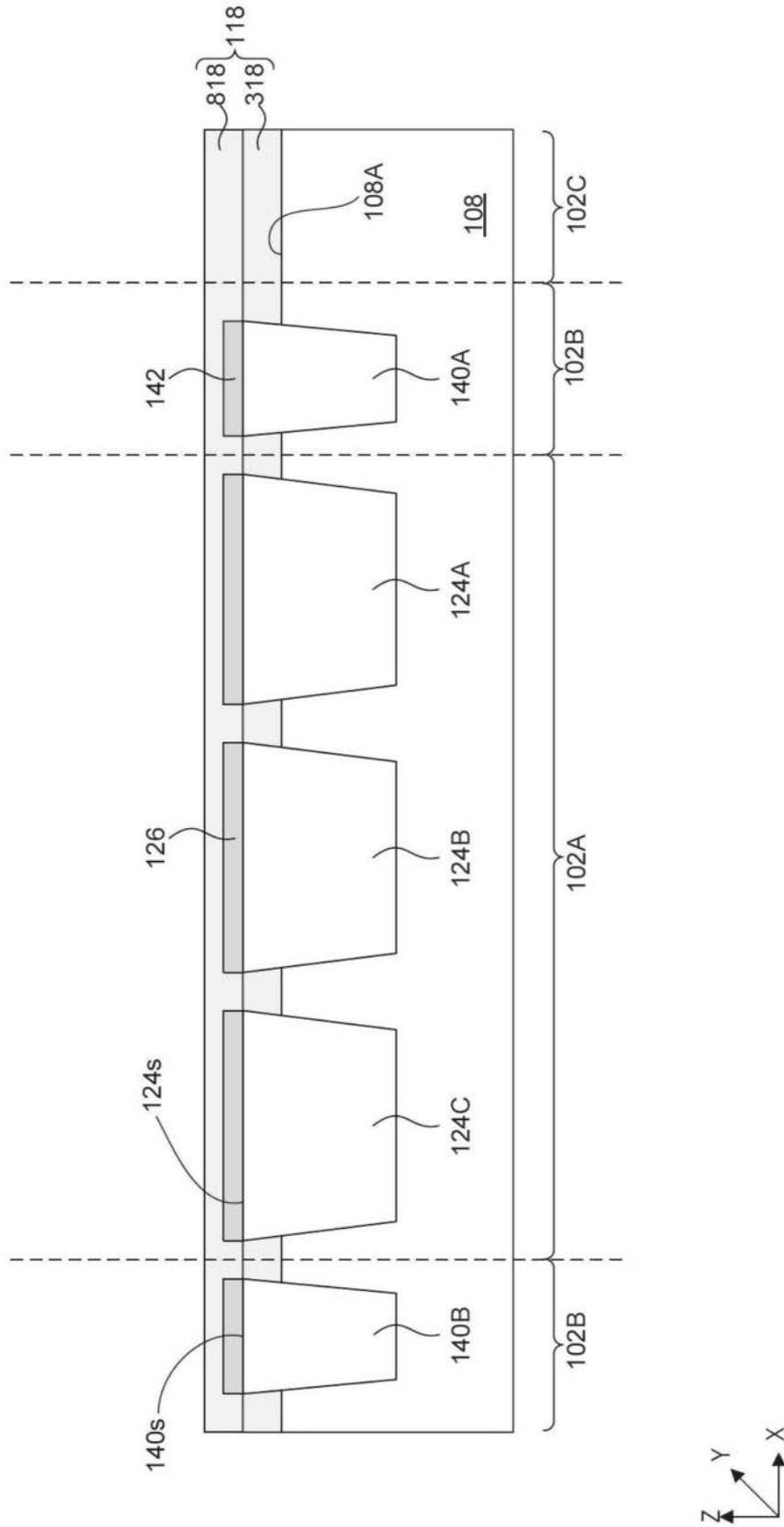


图8

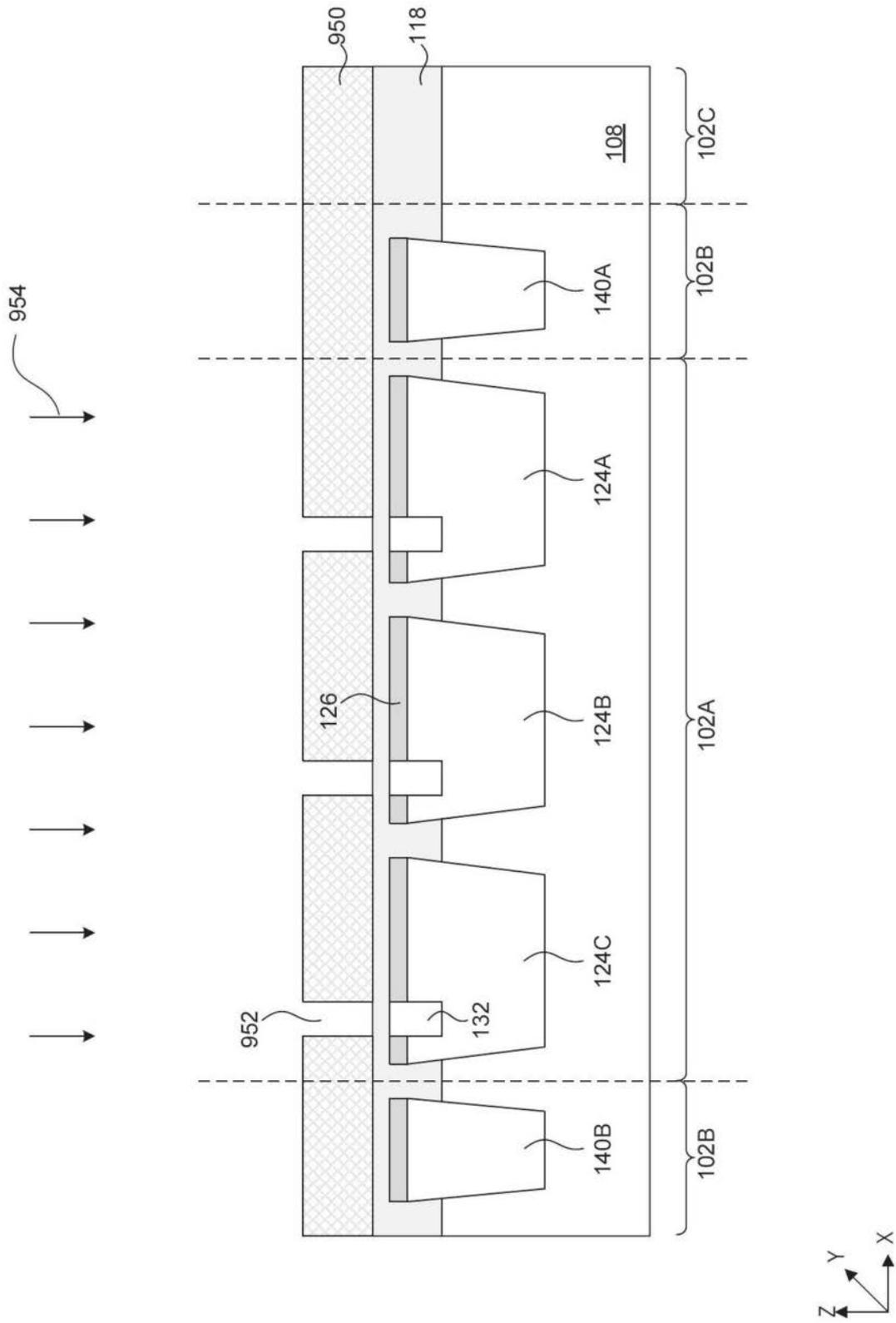


图9

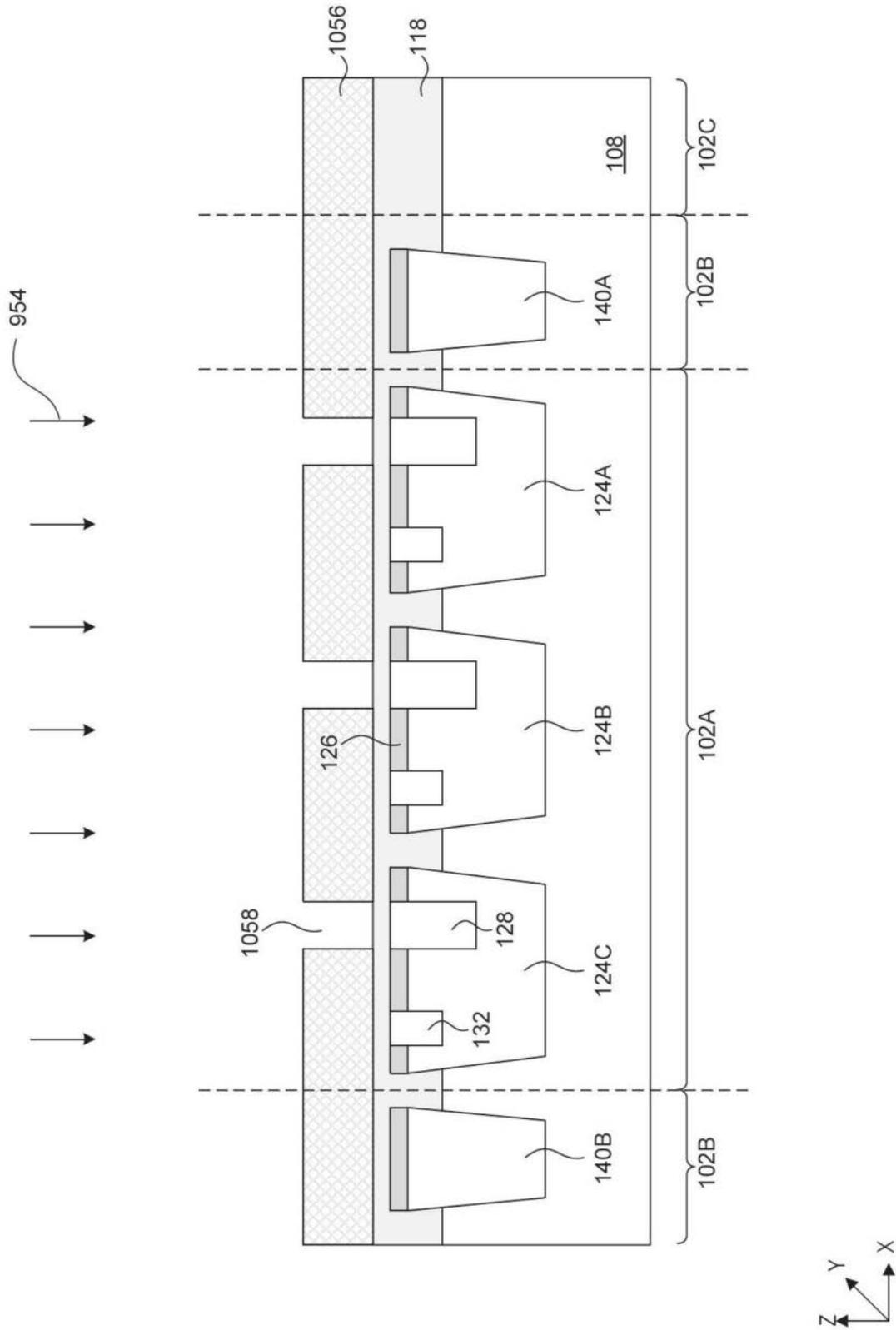


图10

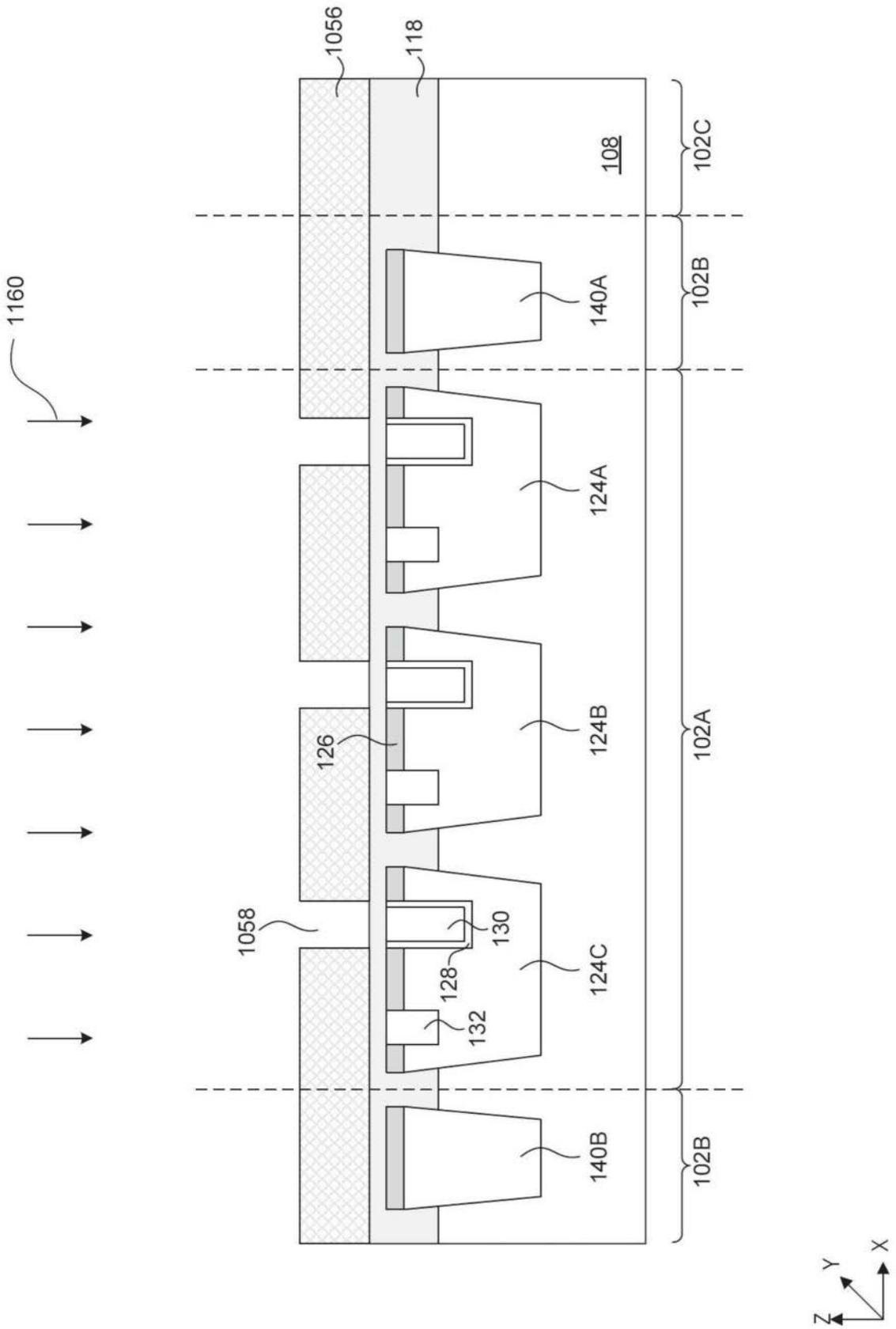


图11

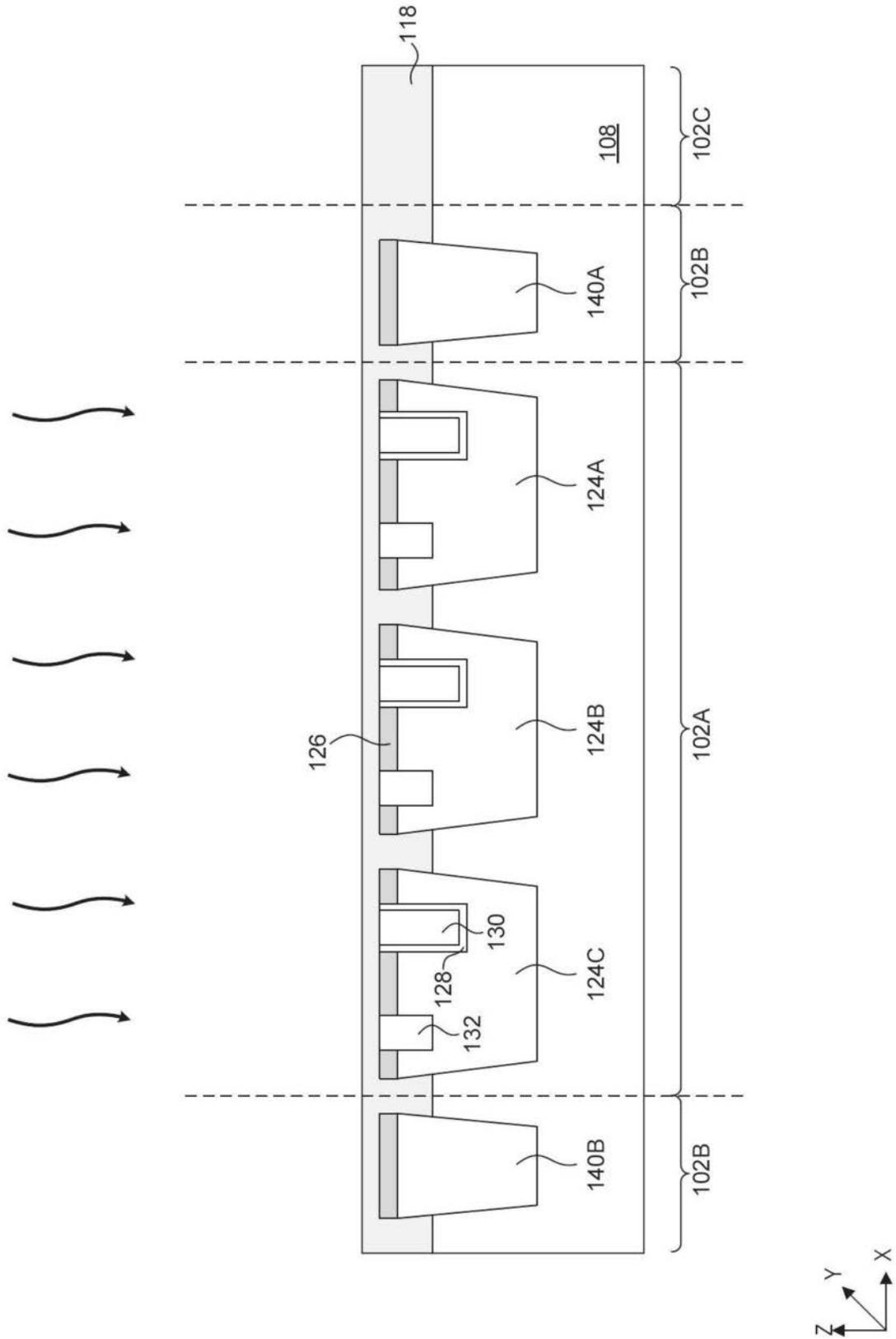


图12

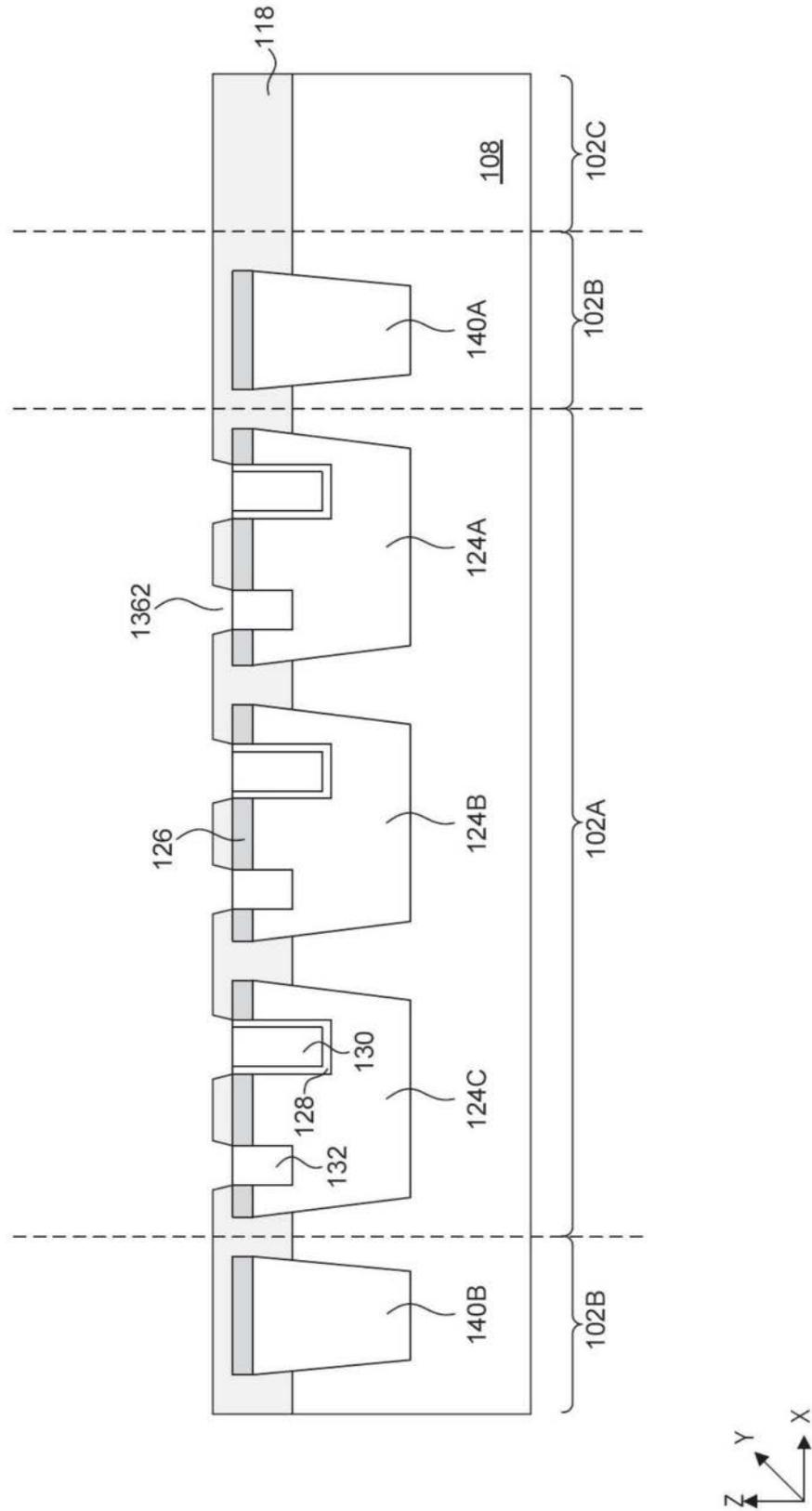


图13

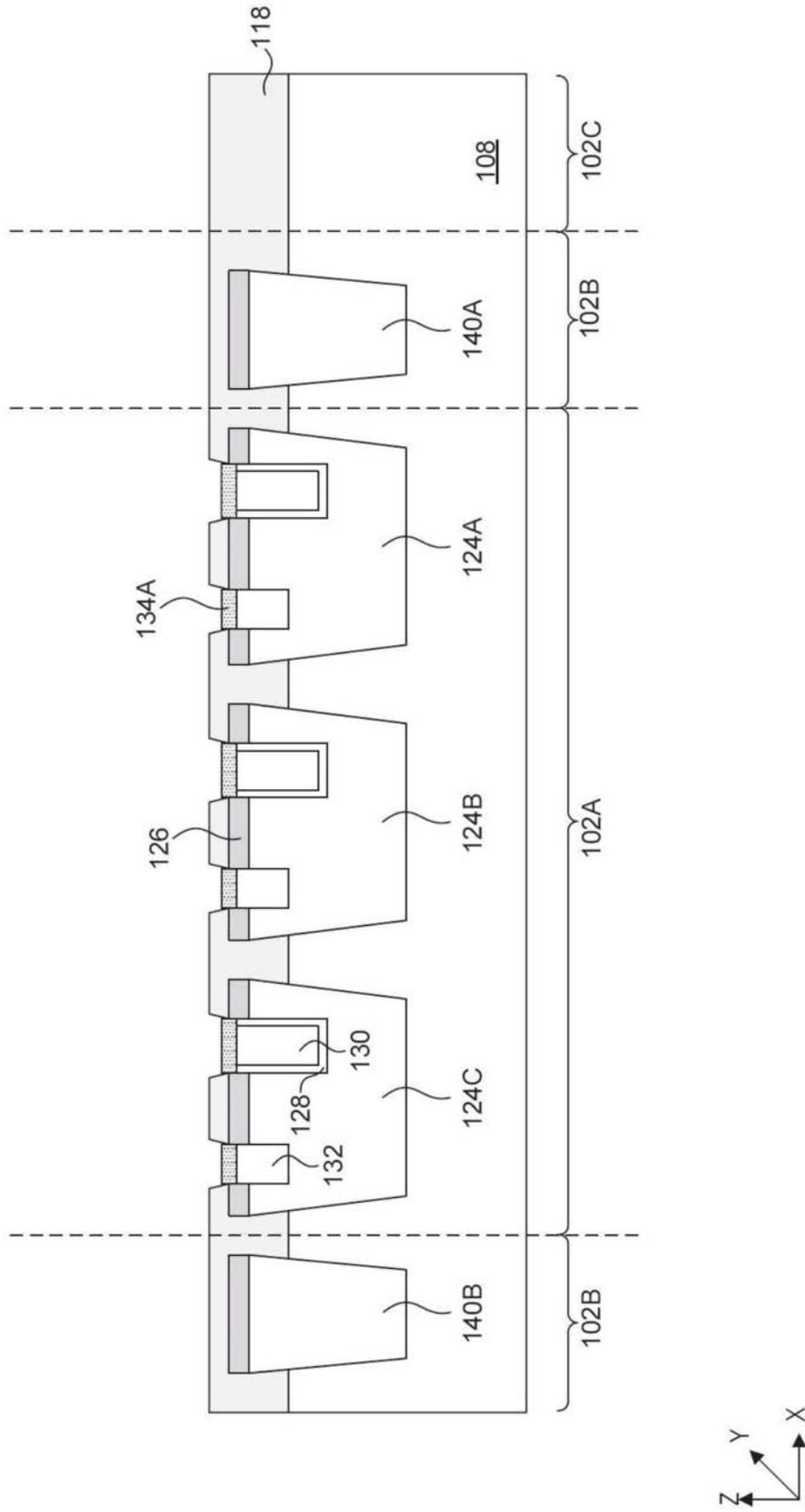


图14

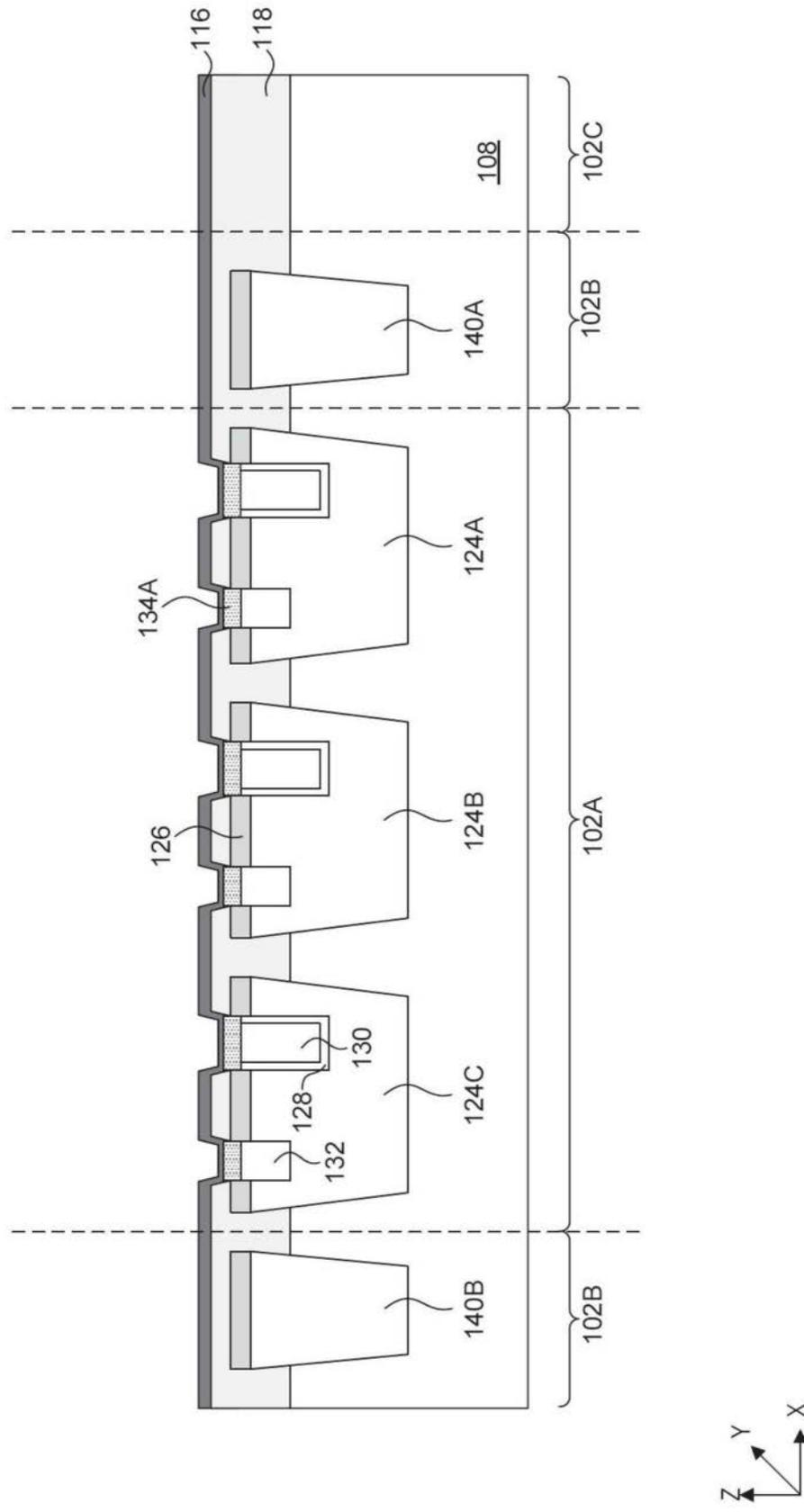


图15

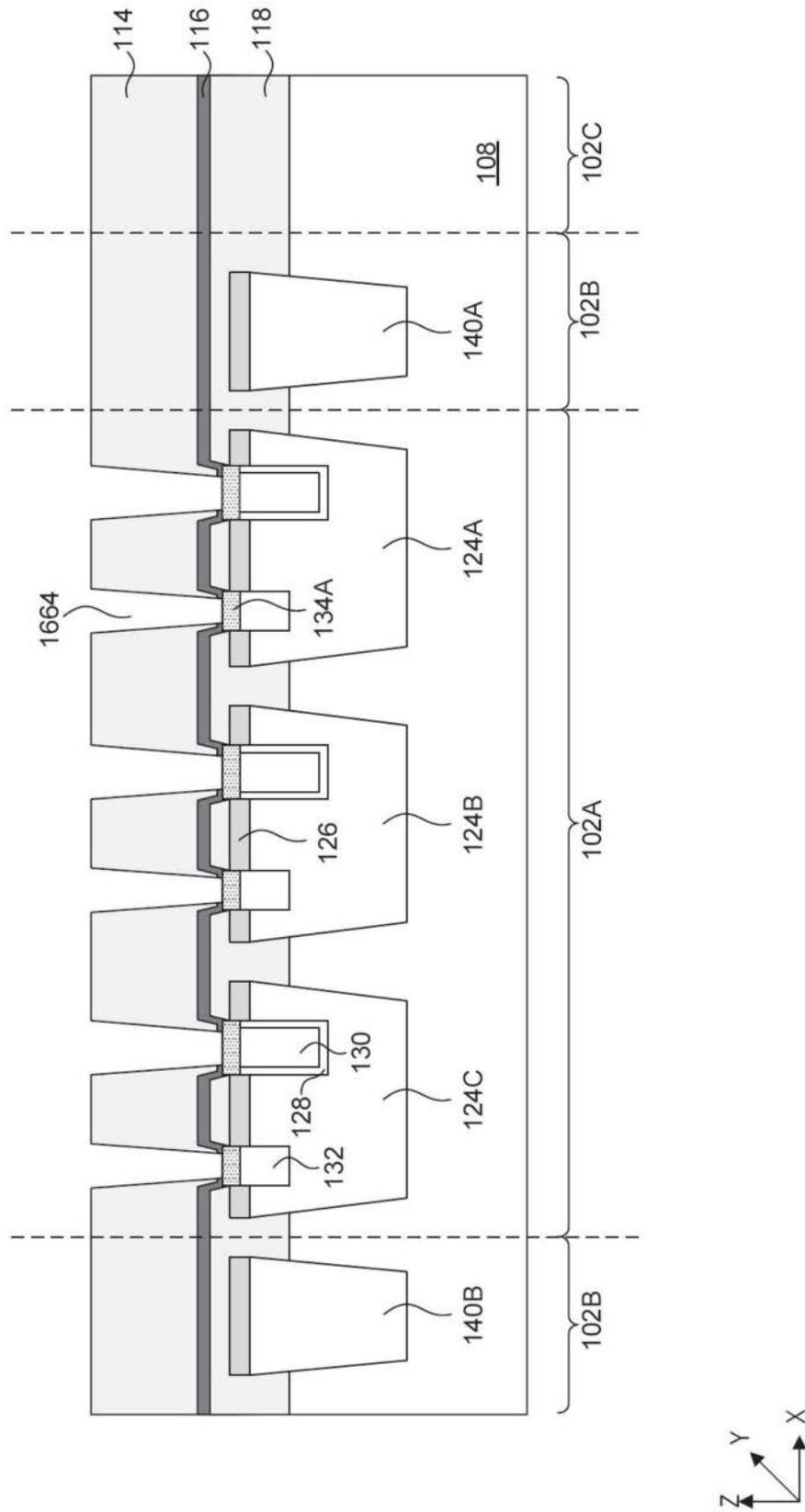


图16

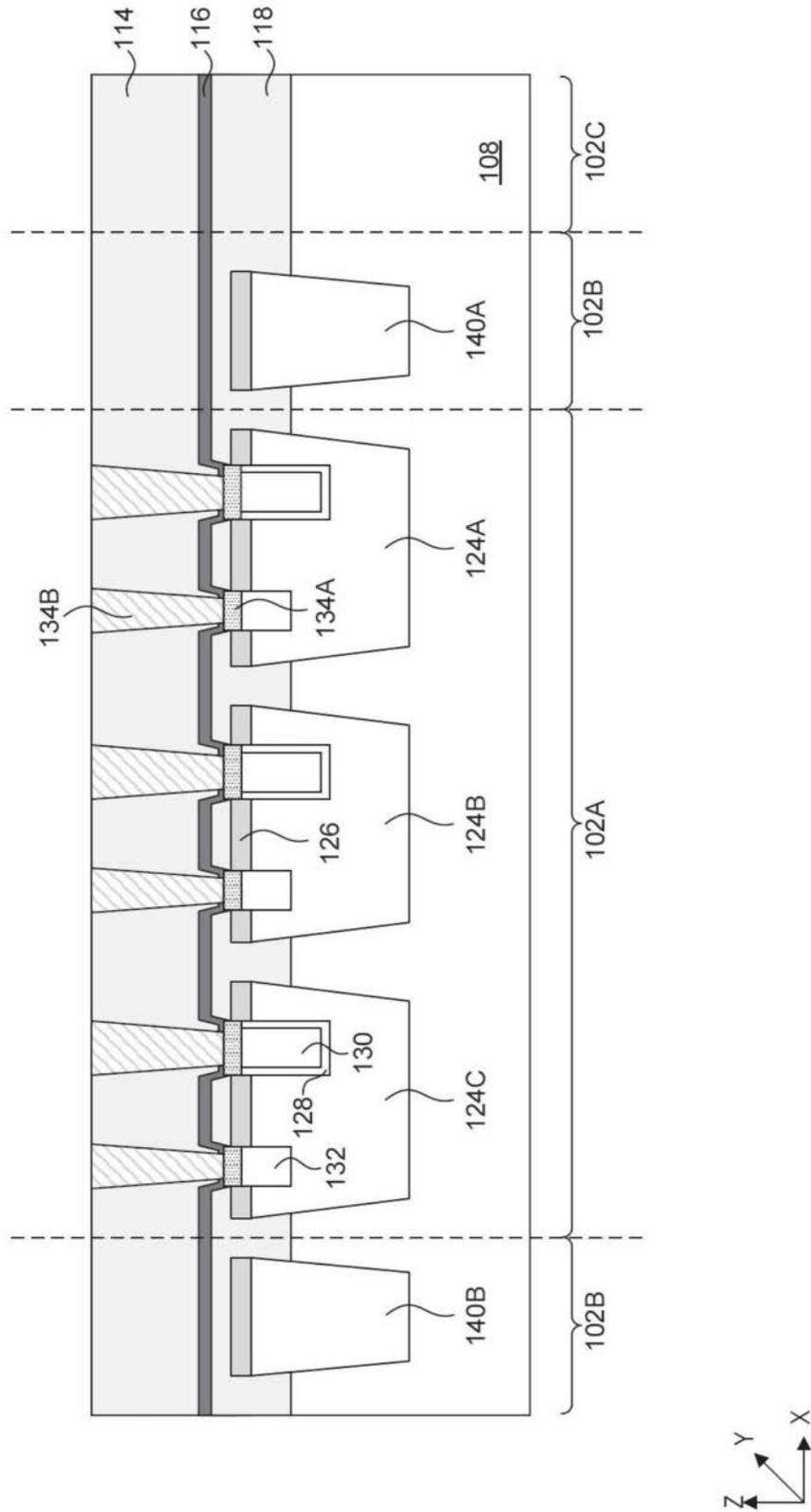


图17

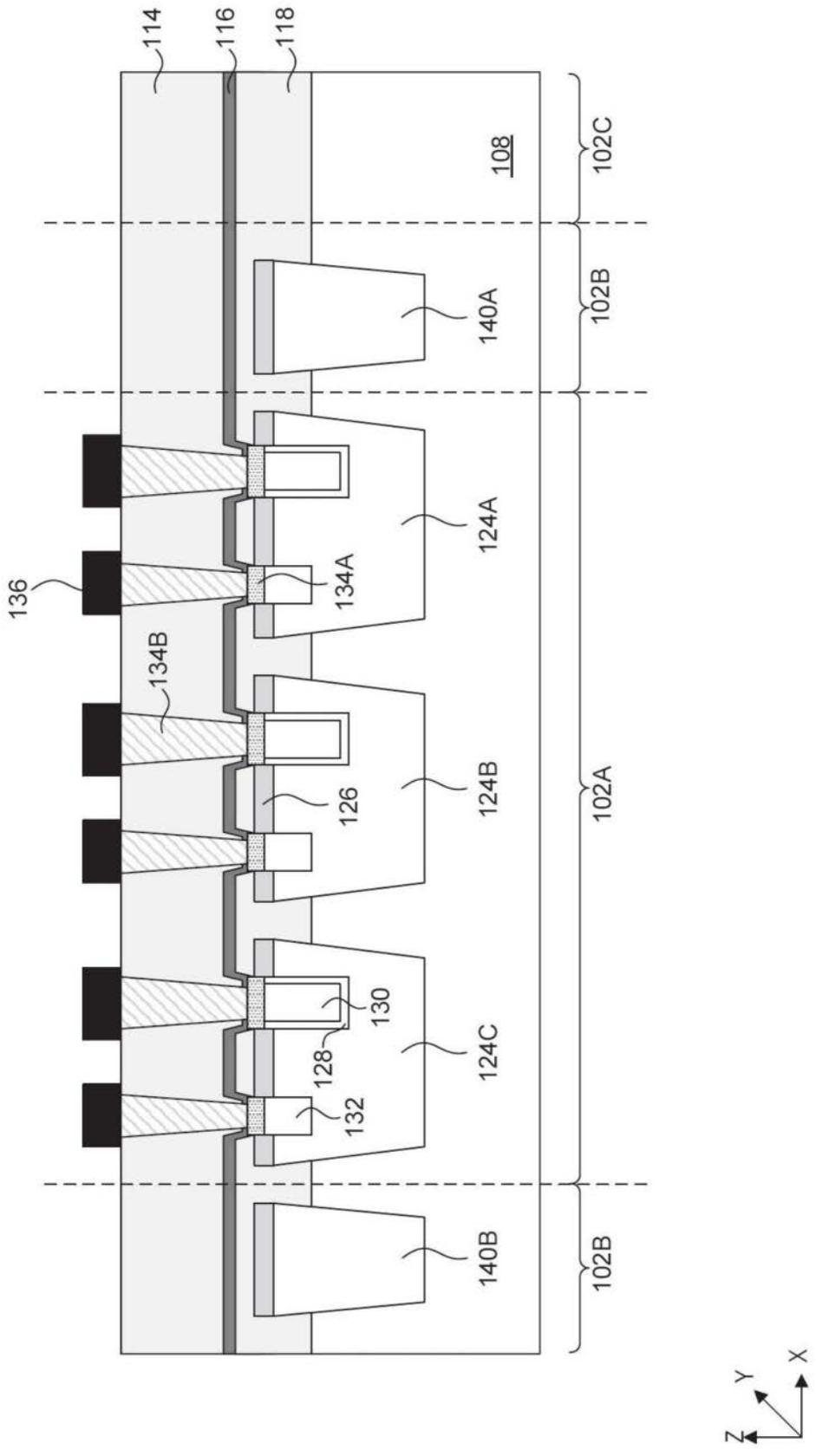


图18

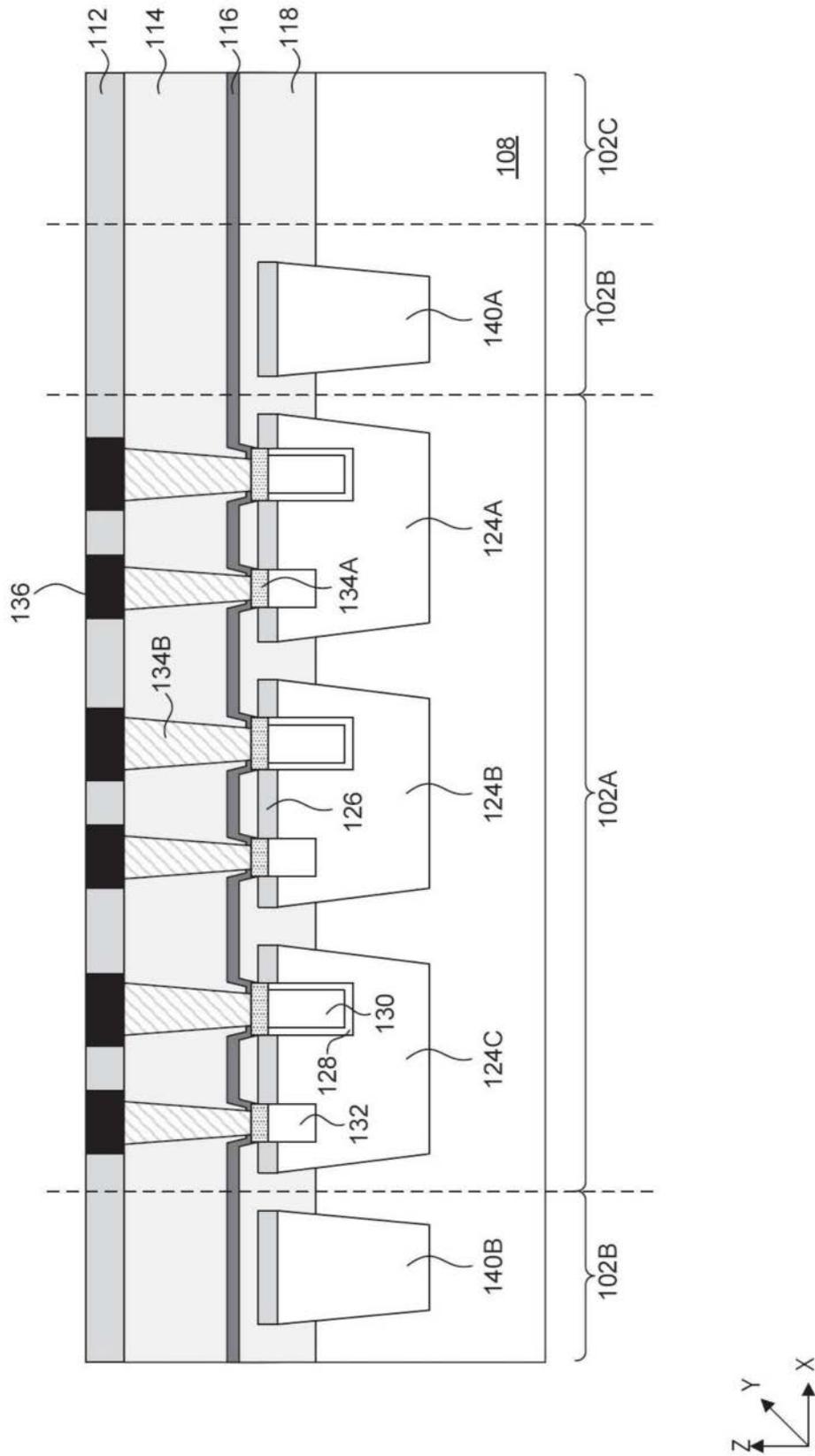


图19

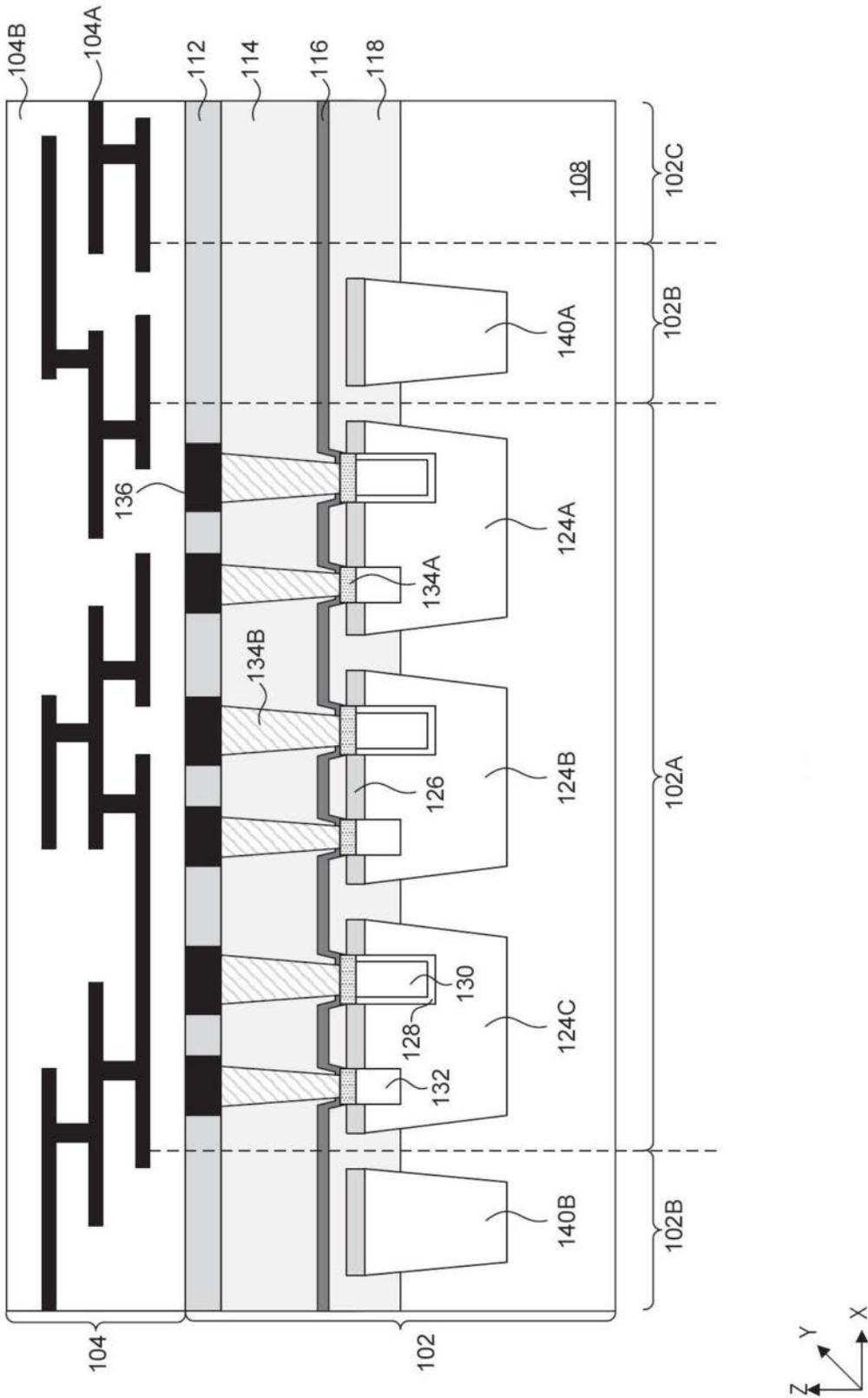


图20

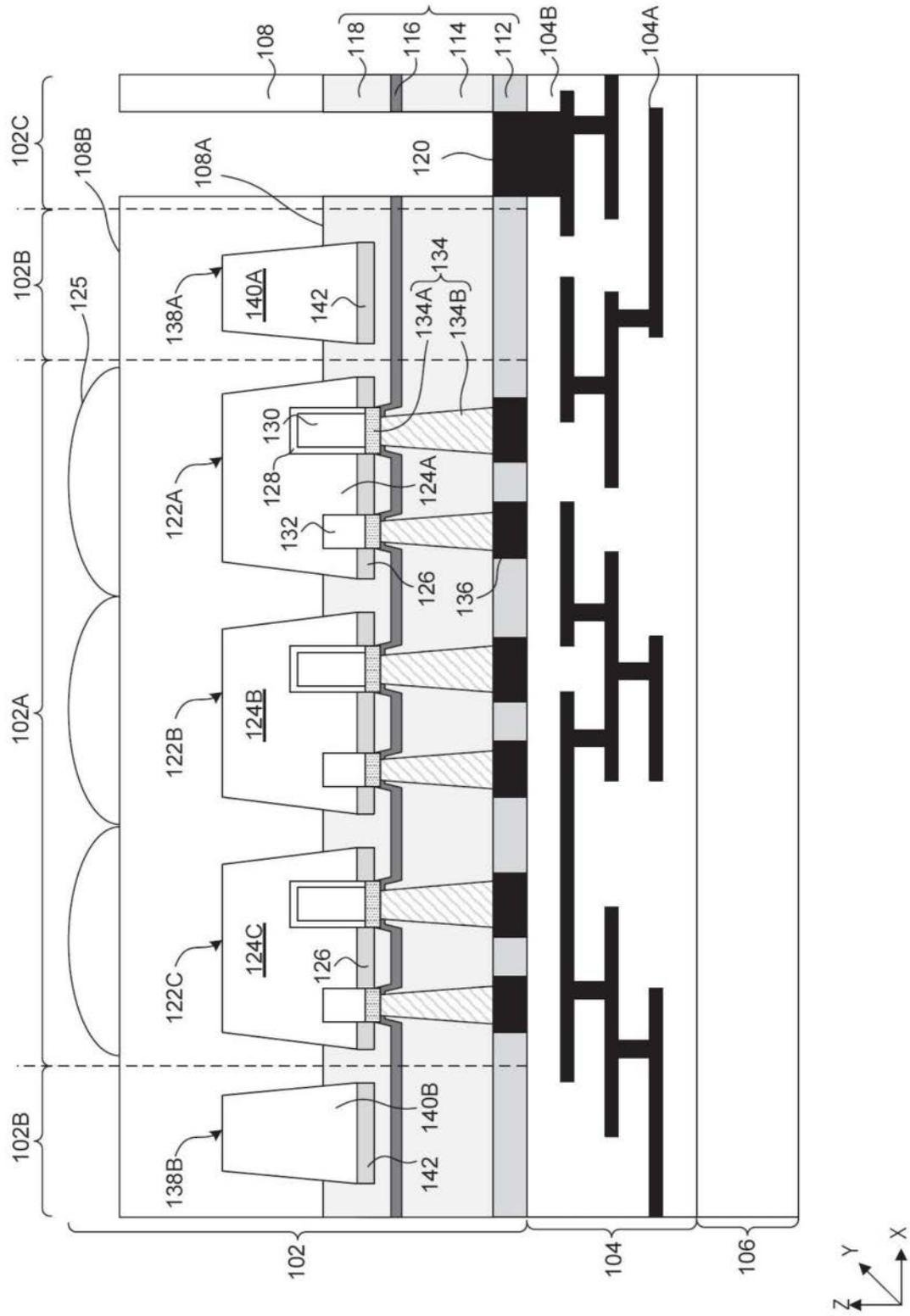


图21