



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2010년04월29일
(11) 등록번호 10-0955249
(24) 등록일자 2010년04월21일

(51) Int. Cl.
H01L 29/778 (2006.01) H01L 33/12 (2010.01)
(21) 출원번호 10-2007-0120043
(22) 출원일자 2007년11월23일
심사청구일자 2007년11월23일
(65) 공개번호 10-2008-0063062
(43) 공개일자 2008년07월03일
(30) 우선권주장 JP-P-2006-00353980 2006년12월28일 일본(JP)
(56) 선행기술조사문헌 KR1020020082846 A
KR100631051 B1
KR1020040018502 A

(73) 특허권자 후지쯔 가부시끼가이샤
일본국 가나가와켄 가와사키시 나카하라쿠 가미고 다나카 4초메 1-1
(72) 발명자 오키 도시히로
일본국 가나가와켄 가와사키시 나카하라쿠 가미고 다나카 4-1-1후지쯔 가부시끼가이샤 내
(74) 대리인 문기상, 문두현

전체 청구항 수 : 총 10 항

심사관 : 유진태

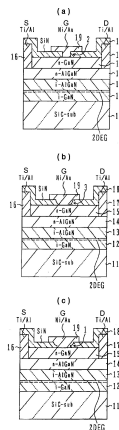
(54) 질화물 반도체 소자 및 그 제조 방법

(57) 요약

본 발명은 게이트 내압이 높은 질화물 반도체 장치 및 그 제조 방법을 제공하는 것을 목적으로 한다.

질화물 반도체장치는 질화물 반도체층을 에피택셜 성장(epitaxial growth)할 수 있는 기판과, 기판 상에 형성되고 질화물 반도체의 채널층을 포함하는 반도체 적층과, 반도체 적층 상에 형성되고 채널층에 옴릭 접촉(ohmic contact)하는 소스 전극 및 드레인 전극과, 반도체 적층 상에 형성된 절연층으로서 게이트 전극 접점부에 개구를 갖고, 개구로부터 이격된 영역에 표면이 평탄한 전체 두께 영역을 갖고, 개구 단의 측벽이 전체 두께의 일부 두께까지 급격히 솟아오른 절연막과, 개구에서 상기 반도체 적층에 접촉하고 양측에서 두께가 증가한 부분까지 연장하는 T형 게이트 전극을 갖는다.

대표도 - 도1



특허청구의 범위

청구항 1

질화물 반도체층을 에피택셜 성장(epitaxial growth)할 수 있는 기판과,

상기 기판 상에 형성되고, 질화물 반도체의 채널층을 포함하는 반도체 적층과,

상기 반도체 적층 상에 형성되고, 상기 채널층에 옴릭 접촉(ohmic contact)하는 소스 전극 및 드레인 전극과,

상기 반도체 적층 상에 형성된 절연층으로서, 게이트 전극 접촉부에 개구를 갖고, 상기 개구로부터 이격된 영역에 전체 두께 영역을 갖고, 상기 전체 두께 영역의 표면은 평탄하고, 개구단(端)의 측벽이 상기 게이트 전극 접촉부로부터 상기 절연층의 전체 두께의 일부 두께까지 수직하게 솟아오른 후, 상기 개구 지름이 확대되도록 경사지는 절연막과,

상기 개구에서 상기 반도체 적층에 접촉하는 T형 게이트 전극을 포함하고, 상기 T형 게이트 전극은 상기 T형 게이트 전극의 양측에서 상기 일부 두께보다 증가한 두께를 갖는 상기 절연층의 영역까지 연장하는 것을 특징으로 하는 질화물 반도체 소자.

청구항 2

제 1 항에 있어서,

상기 절연층의 전체 두께의 일부 두께는 상기 절연층의 전체 두께의 20%~80%의 범위 내인 질화물 반도체 소자.

청구항 3

제 1 항 또는 제 2 항에 있어서,

상기 절연층의 전체 두께의 일부 두께가 5nm 이상인 질화물 반도체 소자.

청구항 4

제 1 항 또는 제 2 항에 있어서,

상기 반도체 적층이 i형 GaN층과, 그 위에 형성된 n형 AlGaN층과, 그 위에 형성된 n형 GaN층을 포함하고, 상기 소스 전극 및 드레인 전극은 상기 n형 AlGaN층에 옴릭 접촉하고, 상기 게이트 전극은 상기 n형 GaN층에 쇼트키 접촉(schottky contact)하는 질화물 반도체 소자.

청구항 5

제 1 항 또는 제 2 항에 있어서,

상기 반도체 적층이 n형 GaN층을 포함하고, 상기 소스 전극 및 드레인 전극은 상기 n형 GaN층에 옴릭 접촉하고, 상기 게이트 전극은 상기 n형 GaN층에 쇼트키 접촉하는 질화물 반도체 소자.

청구항 6

(a) 기판 상에 질화물 반도체층을 포함하는 반도체 적층을 에피택셜 성장하는 공정과,

(b) 상기 반도체 적층에 옴릭 접촉하는 소스 전극, 드레인 전극을 형성하는 공정과,

(c) 상기 반도체 적층 상에 절연 보호층을 형성하는 공정과,

(d) 레지스트 마스크를 이용하여 상기 절연 보호층을 에칭하여, 개구단에서 상기 반도체 적층의 상면으로부터 상기 절연 보호층의 전체 두께의 일부 두께까지 수직하게 솟아오른 후, 상기 개구단의 지름이 확대되도록 경사지면서, 상기 개구단으로부터 이격된 위치에서 상기 절연 보호층의 전체 두께를 갖는 영역과 만나는 개구부를 형성하는 공정과,

(e) 상기 개구부 내에서 상기 반도체 적층에 접촉하고, 상기 일부 두께보다 증가한 두께를 갖는 상기 절연 보호층의 영역까지 연장하는 T형 게이트 전극을 형성하는 공정을 포함하는 질화물 반도체 소자의 제조방법.

청구항 7

제 6 항에 있어서,
상기 공정 (d)가, 이방성 에칭과 등방성을 갖는 에칭의 조합을 포함하는 질화물 반도체 소자의 제조방법.

청구항 8

제 6 항에 있어서,
상기 공정(d)가, 제 1 이방성 에칭과, 레지스트 큐어(cure)에 의해 레지스트 모서리부를 둥글게 하는 공정과, 제 2 이방성 에칭을 포함하는 질화물 반도체 소자의 제조방법.

청구항 9

제 6 항에 있어서,
상기 공정 (d)가, 제 1 이방성 에칭과, 레지스트 애싱에 의해 레지스트 단부를 후퇴시키는 공정과, 제 2 이방성 에칭을 포함하는 질화물 반도체 소자의 제조방법.

청구항 10

제 6 항 내지 제 9 항 중 어느 한 항에 있어서,
상기 공정 (c)가 절연 적층을 형성하는 질화물 반도체 소자의 제조방법.

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 반도체 소자와 그 제조 방법에 관한 것으로서, 특히 GaN 등의 질화물 반도체를 이용한 반도체 소자와 그 제조 방법에 관한 것이다. 질화물 반도체 장치, 특히 고내압 질화물 반도체장치에 적용할 수 있다.

배경기술

[0002] 휴대전화의 기지국이나 위성통신에 이용할 수 있는 트랜지스터는 고온 동작, 고속 스위칭, 대전력 동작 등이 요구되고 있다. GaN, AlN, InN이나 이들의 혼정(混晶)으로 대표되는 질화물 반도체는, 그 우수한 특성 때문에 고출력 전자 디바이스나 단파장 발광 디바이스로서 주목받고 있다. 고출력 전자 디바이스로서, 전계효과 트랜지스터, 특히 고전자 이동도 트랜지스터(HEMT)에 관한 보고가 많이 이루어지고 있다. 대표적으로, GaN층을 채널층으로 하고, n형 AlGaIn층을 전자 공급층으로 한 HEMT가 연구되고 있다.

[0003] 일본국 특허공개 2004-186679호는, c면 사파이어 기판 상에, 아모포스(amorphous) GaN층을 MOCVD로 퇴적하고, 950℃~1050℃까지 승온시켜 결정 상태의 GaN 버퍼층으로 하고, 그 위에 GaN 성장핵을 형성하여 두께 100nm 이상의 GaN 채널층, 두께 10nm~20nm의 Si 도프 n형 AlGaIn 전자 공급층, 두께 10nm~20nm의 Si 도프 n형 GaN 콘택트층을 MOCVD로 형성하고, 소스/드레인 전극을 형성 후, 게이트 전극 형성 영역의 n형 GaN 콘택트층을 에칭하고, 질소 분위기 중에서 어닐 처리를 한 후, 게이트 전극을 형성하는 방법을 고시하고 있다. 탄화 규소(SiC) 기판을 이용할 때는, 버퍼층을 질화알루미늄(AlN)으로 형성하는 것이 좋다는 것도 고시하고 있다.

[0004] 국제특허공개 W02004-066393호는 Si 기판 상에 복수층의 Al (In, B) GaN층을 적층한(예를 들면, AlN층, p형 GaN층, GaN층의 교호 적층) 버퍼층을 거쳐서 GaN 디바이스층을 형성하는 것을 고시하고, 디바이스층 표면은 실리콘 산화막으로 덮어 개구를 패터닝하고, 개구 내에 전극을 형성하는 것도 개시하고 있다.

[0005] [특허문헌 1] 일본국 특허공개 2004-186679호 공보

[0006] [특허문헌 2] 국제특허공개 W02004-066393호 공보

발명의 내용

해결 하고자하는 과제

- [0007] 본 발명의 목적은, 특성이 우수한 질화물 반도체 소자 및 그 제조 방법을 제공하는 것에 있다.
- [0008] 본 발명의 다른 목적은, 대전력 동작에 우수한 질화물 반도체 소자 및 그 제조 방법을 제공하는 것에 있다.
- [0009] 본 발명의 또 다른 목적은, 게이트 내압이 높은 질화물 반도체 소자 및 그 제조 방법을 제공하는 것에 있다.

과제 해결수단

- [0010] 본 발명의 1 관점에 의하면,
- [0011] 질화물 반도체층을 에피택셜 성장할 수 있는 기판과,
- [0012] 상기 기판 상에 형성되고, 질화물 반도체의 채널층을 포함하는 반도체 적층과,
- [0013] 상기 반도체 적층 상에 형성되고, 상기 채널층에 오믹 접촉하는 소스 전극 및 드레인 전극과,
- [0014] 상기 반도체 적층 상에 형성된 절연층으로서, 게이트 전극 접점부에 개구를 갖고, 상기 개구로부터 이격된 영역에 전체 두께 영역을 갖고, 상기 전체 두께 영역의 표면은 평탄하고, 개구단의 측벽이 상기 게이트 전극 접점부로부터 상기 절연층의 전체 두께의 일부의 두께까지 급격하게 솟아오른 절연막과,
- [0015] 상기 개구에서 상기 반도체 적층에 접촉하는 T형 게이트 전극을 포함하고, 상기 T형 게이트 전극은 상기 T형 게이트 전극의 양측에서 상기 일부의 두께보다 증가한 두께를 갖는 상기 절연층의 영역까지 연장하는 것을 특징으로 하는 질화물 반도체 소자가 제공된다.
- [0016] 본 발명의 다른 관점에 의하면,
- [0017] (a) 기판 상에 질화물 반도체층을 포함하는 반도체 적층을 에피택셜 성장하는 공정과,
- [0018] (b) 상기 반도체 적층에 오믹 접촉하는 소스 전극, 드레인 전극을 형성하는 공정과,
- [0019] (c) 상기 반도체 적층 상에 절연 보호층을 형성하는 공정과,
- [0020] (d) 레지스트 마스크를 이용하여 상기 절연 보호층을 에칭하여, 개구단에서 상기 절연 보호층의 전체 두께의 일부 두께까지 급격한 경사로 솟아올라, 상기 개구단으로부터 이격된 위치에서 상기 절연 보호층의 전체 두께를 갖는 영역과 만나는 개구부를 형성하는 공정과,
- [0021] (e) 상기 개구부 내에서 상기 반도체 적층에 접촉하고, 상기 절연 보호층의 증가한 두께 부분까지 연장하는 게이트 전극을 형성하는 공정을 포함하는 질화물 반도체 소자의 제조방법이 제공된다.

효과

- [0022] 게이트 내압이 향상하는 것이 발견되었다.

발명의 실시를 위한 구체적인 내용

- [0023] 도 1의 (a) 내지 (c)는, 본 발명자가 작성한 GaN계 HEMT의 3종류의 샘플을 나타내는 단면도이다. 도 1의 (a) 내지 (c)에 도시한 바와 같이, SiC 기판(11) 상에 두께 3 μ m의 i형 GaN 전자 주행층(12), 두께 5nm의 i형 AlGaN 스페이서층(13), 두께 30nm Si 도핑농도 5 $\times 10^{18}$ cm⁻³의 n형 AlGaN 전자 공급층(14), 두께 10nm Si 도핑농도 5 $\times 10^{18}$ cm⁻³의 n형 GaN 캡층(15)이 에피택셜 성장된다. n형 GaN 캡층(15)의 2개소가 에칭되어, 하방의 n형 AlGaN 전자 공급층(14)이 노출된다. 노출된 n형 AlGaN층(14) 표면에 Ti층, Al층을 적층하여 소스 전극(16), 드레인 전극(17)이 형성된다. 소스 전극(16), 드레인 전극(17)을 덮어서, n형 GaN 캡층(15) 상에 두께 100nm의 SiN층(18)이 형성된다. 여기까지의 구성은 3종류의 샘플에 공통된다. SiN층(18)에 개구를 형성하고, 개구를 포함하는 영역에 Ni층, Au층을 적층하여 게이트 전극(19)을 형성한다. SiN층 개구의 단면 형상이 도 1의 (a), (b), (c)로 다르다.
- [0024] 도 1의 (a)에서는, SiN층(18)에 거의 수직인 측벽을 갖는 게이트 전극용 개구(2)가 형성된다. 도 1의 (b)에서는, SiN층(18)에 반도체층 접촉 계면으로부터 상방을 향해서 서서히 개구 지름이 확대되는 개구(3)가 형성된다. 도 1의 (c)에서는, SiN층(18)에 개구단인 높이까지 급격한 경사로 솟아오르고, 그 뒤 상방을 향해서 완만한 경사로 서서히 개구 지름이 확대되는 개구(1)가 형성된다. 개구를 덮고, 양측의 SiN층의 평탄 표면까지 연장되는

영역에 Ni 층, Au 층을 적층한 게이트 전극을 형성한다. 이러한 3종류의 HEMT 구조를 작성하였다.

- [0025] i형 AlGaIn 스페이서층(13)에 접하는 i형 GaN 전자 주행층(12) 계면은 깊은 포텐셜 우물을 형성한다. n형 AlGaIn 전자 공급층(14)은 스페이서층(13)을 거쳐서 포텐셜 우물로 전자를 공급하고, 2차원 전자 가스(2DEG)가 발생한다. n형 GaN 캡층(15)은 피에조 효과에 의해, 게이트 전극(19)의 2차원 전자 가스(2DEG)에 대한 쇼트키 장벽(schottky barrier) 높이를 크게 한다. n형으로 도핑하는 것으로 전계 완화를 행하고 있다. 두께 10nm의 n형 GaN 캡층(15)에 전하 담체(charge carrier)는 남지 않는다.
- [0026] 도 2의 (a) 내지 (f)는 도 1의 (c)의 HEMT 구조의 제조 프로세스를 나타내는 단면도이다.
- [0027] 도 2의 (a)에 도시한 바와 같이, 유기 금속 기상 에피택시(MOCVD)에 의해, GaN계 HEMT 디바이스층을 성장시킨다. Ga의 소스 가스로서 트리메틸갈륨(TMG), Al의 소스 가스로서 트리메틸알루미늄(TMA), N의 소스 가스로서 암모니아(NH₃)를 사용하고, n형 불순물 Si의 소스 가스로서 모노실란(SiH₄)을 사용한다. 캐리어 가스로서는 수소(H₂)와 질소(N₂)를 사용한다. 기판 온도 1100℃에서, SiC 기판(11) 상에 두께 3μm의 i형 GaN 전자 주행층(12), 두께 5nm의 i형 AlGaIn 스페이서층(13), 두께 30nm Si 도핑농도 $5 \times 10^{18} \text{ cm}^{-3}$ 의 n형 AlGaIn 전자 공급층(14), 두께 10nm Si 도핑농도 $5 \times 10^{18} \text{ cm}^{-3}$ 의 n형 GaN 캡층(15)을 순차적으로 MOVPE로 에피택셜 성장시킨다.
- [0028] 도 2의 (b)에 도시한 바와 같이, 소스 전극, 드레인 전극을 형성하는 영역에 개구를 갖는 레지스트 마스크를 형성하고, 염소계 가스를 이용한 드라이에칭으로 n-GaN 캡층(15)을 에칭한다. 또한, 에칭 종점과 n-GaN층/n-AlGaIn층 계면은 엄밀하게 일치하지 않아도 좋다. Ti 층, Al 층을 증착하고, 레지스트 마스크를 제거한다. 리프트 오프에 의해 소스 전극(16), 드레인 전극(17)이 형성된다. 질소 분위기 중에서 400℃~600℃, 샘플에서는 600℃로 열처리하여 오믹 특성을 확립한다.
- [0029] 도 2의 (c)에 도시한 바와 같이, 소스 전극(16), 드레인 전극(17)을 덮고, GaN 캡층(15) 전체 면에 SiN층(18)을 두께 5nm~500nm, 샘플에서는 100nm 퇴적시킨다. 여기까지의 공정은 3종류의 샘플에서 공통된다.
- [0030] 도 2의 (d)에 도시한 바와 같이, 게이트 전극 접촉 영역에 개구를 갖는 레지스트 마스크(PR1)를 형성하고, SF₆을 사용하여 이방성 드라이 에칭 조건으로, SiN층(18)을 두께의 20%~80%의 깊이, 샘플에서는 두께 100nm의 반정도인 50nm의 깊이까지 에칭한다. 또한, 샘플의 작성에서는 SF₆을 사용하였으나, CF₄, C₃F₈ 등 기타 불소계 가스를 사용하는 것도 가능하다.
- [0031] 도 2의 (e)에 도시한 바와 같이, SF₆과 산소 가스 O₂의 혼합 가스를 사용하여, 압력 5Pa, 파워 50W에서, 레지스트 개구단을 옆쪽으로 후퇴시키면서 드라이에칭을 행하고, SiN막(18)의 나머지의 두께, 샘플에서는 50nm를 에칭한다. SiN층(18)의 개구단(1)은 하부에서 급경사로 상승하여 약 50nm의 두께로 되고, 그 상방으로는 완만한 경사로 변화하여 다시 지름을 넓힌다. SiN막(18)으로서는, 단부에서 소정의 두께, 샘플에서는 약 50nm의 두께를 확보하고, 그 후 소스 전극(16), 드레인 전극(17)에 근접함에 따라 두께가 서서히 증가하여, 평탄부(전체 두께 부분)에 도달한다. 그 후 에칭용 레지스트 마스크(PR1)는 제거한다.
- [0032] 도 2의 (f)에 도시한 바와 같이, SiN막(18)의 개구보다 넓은 개구를 갖는 레지스트 마스크를 작성하고, Ni 층, Au 층을 증착하고, 리프트 오프에 의해 게이트 전극(19)을 형성한다. 게이트 전극(19)의 단면 형상은 SiN막(18)의 개구의 단면 형상에 따라, 하부에서 급경사로 상승하고, 상방에서 완만한 경사로 변화하여 점점 지름이 넓어지는 사면(斜面)을 형성하고, 그 외측에서는 평탄한 저면을 갖는다.
- [0033] 도 3의 (a), (b)는 도 1의 (a)의 HEMT 구조의 제조 프로세스를 도시한 단면도이다.
- [0034] 도 3의 (a)에 도시한 바와 같이, 도 2의 (a)~(c)의 공정을 행한 후, 도 2의 (d)와 마찬가지로 게이트 전극 접촉 영역에 개구를 갖는 레지스트 마스크(PR2)를 형성한다. SF₆ 가스를 사용한 이방성 에칭으로, SiN막(18)의 전체 두께를 에칭한다. SiN막(18)의 개구단(2)은 거의 수직하게 솟아오른 측면을 갖는다.
- [0035] 도 3의 (b)에 도시한 바와 같이, SiN막(18)의 개구보다 넓은 개구를 갖는 레지스트 마스크를 형성하고, 도 2의 (f)의 공정과 마찬가지로 리프트 오프로 게이트 전극(19)을 형성한다. SiN막(18)의 개구단은 단부로부터 일정한 두께를 갖고, 상면은 평탄하다. 도 2의 (d)에서 도시한 공정과 같은 공정만으로, SiN막(18)에 개구를 형성한다고 할 수 있다.
- [0036] 도 4의 (a), (b)는 도 1의 (b)의 HEMT 구조의 제조 프로세스를 도시한 단면도이다.

- [0037] 도 4의 (a)에 도시한 바와 같이, 도 2의 (a)~(c)의 공정을 행한 후, 도 2의 (d)와 마찬가지로 게이트 전극 접촉 영역에 개구를 갖는 레지스트 마스크(PR3)를 형성한다. SF₆ 가스와 산소 가스 O₂의 혼합 가스를 사용하고, 레지스트 개구단을 옆쪽으로 후퇴시키면서 드라이에칭을 행하고, SiN막(18)의 전체 두께를 에칭한다. SiN막(18)의 개구(3)는 개구단으로부터 이격됨에 따라, 점점 지름이 확대되고, 두께가 서서히 증대하는 단면 형상을 갖는다. 도 2의 (e)에 도시한 공정과 같은 공정만으로, SiN막(18)에 개구를 형성한다고 할 수 있다. 개구단에서의 SiN막의 두께는 얇다.
- [0038] 이들 3종류의 샘플 특성을 평가하였다. 게이트·드레인 간에 100V를 인가한 상태에서, 게이트·드레인 2단자 간 역방향 리크 전류는 샘플 3에서 가장 작고, 5μA/mm이었다. 샘플 1은 거의 수직인 측벽을 형성하는 조건에서 에칭을 행하고 있다. 수직에 가까운 측벽은 에칭한 측벽에 데포지션(deposition)을 생성시키는 C나 H를 포함하는 분위기 중에서 에칭을 행할 때 등에 발생한다고 할 수 있다. C나 H를 가스로 공급할 경우로 한하지 않고, 레지스트로부터 발생하는 경우도 있을 것이다. 에칭 시의 데포지션이 잔사(殘渣)로서 측벽에 남아 리크의 원인이 되는 경우도 고려할 수 있다. 샘플 2는 등방성의 강한 에칭이며, 에칭의 잔사는 발생하기 어려우나, 개구단에서의 SiN막의 두께가 얇고, 채널층 내에서의 전압 강하에 의해 SiN막 상하의 전위차가 커지면 절연 파괴를 발생하는 것이 고려될 수 있다. 샘플 3은 처음에 잔사가 발생할 수 있는 에칭을 행하지만, 그 후 잔사를 발생하기 어려운 에칭을 행하여, 레지스트 측벽이 개구단으로부터 이격되기 때문에 리크의 원인이 되는 잔사는 발생하기 어렵고, 또한 개구단에서도 소정의 SiN막 두께를 확보할 수 있으므로 절연 파괴도 일어나기 어렵다고 생각된다. 제 3 샘플을 제 1 실시예라고 한다.
- [0039] 도 5의 (a)~도 5의 (d)는 제 2 실시예에 의한 GaN계 HEMT의 제조 방법을 도시한 단면도이다. 도 5의 (a)는 도 2의 (d)와 마찬가지로의 상태를 나타낸다. 도 2의 (a)~도 2의 (d)를 참조해서 설명한 공정에 의해 도 5의 (a)의 상태를 얻는다. SiN막(18)은 그 두께의 20%~80%가 에칭되어 개구의 측벽은 급격한 경사를 갖는다.
- [0040] 도 5의 (b)에 도시한 바와 같이, 레지스트 마스크를 가열(큐어(cured))하고, 상단의 모서리부를 둥글게 한다. 레지스트 마스크는 개구단으로부터 이격됨에 따라 두꺼워져 이윽고 두께가 포화하는 형상이 된다. 환언하면, 개구단에 가까울수록 레지스트 막두께는 얇아진다.
- [0041] 도 5의 (c)에 도시한 바와 같이, 불소계 가스를 사용하여 더 에칭한다. 개구단에서 레지스트 마스크의 두께가 감소하고 있으므로, 레지스트가 소비되면 레지스트의 개구단은 후퇴를 나타낸다. 레지스트로부터 이격된 SiN 측벽에는 잔사가 발생하기 어렵다고 여겨진다. 에칭 종료 후, 레지스트 마스크(PR4)는 제거한다.
- [0042] 도 5의 (d)에 도시한 바와 같이, 리프트 오프를 이용하여 게이트 전극(19)을 형성한다.
- [0043] 도 6의 (a)~도 6의 (d)는 제 3 실시예에 의한 GaN계 HEMT의 제조 방법을 도시한 단면도이다.
- [0044] 도 6의 (a)는 도 2의 (d)와 같은 상태를 나타낸다. 도 2의 (a)~도 2의 (d)를 참조하여 설명한 공정에 의해 도 6의 (a) 상태를 얻는다. SiN막(18)은 그 두께의 20%~80%가 에칭되고, 개구의 측벽은 급격한 경사를 갖는다.
- [0045] 도 6의 (b)에 도시한 바와 같이, 산소 플라즈마에 의해 레지스트 마스크(PR5)를 후퇴시킨다. 레지스트 마스크(PR5)는 에칭한 홈부로부터 후퇴하여, SiN막(18)의 상면을 일부 노출시킨다.
- [0046] 도 6의 (c)에 도시한 바와 같이, 불소계 가스를 사용하여 더 에칭한다. 계단형의 단면 형상이 발생한다고 생각된다. 레지스트로부터 이격된 위치의 SiN 표면에는 잔사가 발생하기 어렵다고 생각된다. 에칭 종료 후, 레지스트 마스크(PR5)는 제거한다.
- [0047] 도 6의 (d)에 도시한 바와 같이, 리프트 오프를 사용하여 게이트 전극(19)을 형성한다.
- [0048] 상술한 실시예에서는 단층의 SiN막으로 보호막을 형성하였다. 적층된 보호막을 이용하는 것도 가능하다.
- [0049] 도 7의 (a)는 n형 GaN층(15), 소스 전극(16), 드레인 전극(17)을 덮고, 제 1 SiN막(18a), 제 2 SiN막(18b)의 적층으로, 보호막(18)을 형성하는 경우를 나타낸다. SiN막을 플라즈마 CVD로 퇴적할 경우, 퇴적 조건을 선택함으로써 굴절률을 조정할 수 있다. 굴절률과 함께 에칭 특성도 변화한다. 제 2 SiN막(18b)은, 예를 들면 제 1 SiN막보다 에칭 레이트가 빠르도록 한다. 도 7의 (b)는 에칭 후의 SiN막(18)의 개구 형상 예를 개략적으로 나타낸다. 복수층의 보호막은 상술한 어떤 실시예와 조합시키는 것도 가능하다.
- [0050] HEMT의 경우를 예를 들어 설명하였지만, 작성하는 반도체장치는 HEMT에 한정되지 않는다.
- [0051] 도 8은 전계 효과 트랜지스터의 예를 나타낸다. SiC 기판(21) 상에 GaN 버퍼층(22), n형 GaN 채널층(23)이 에

피택셀 성장되고, 그 위에 도면 중 좌우로 소스 전극(26), 드레인 전극(27)이 형성되어, SiN 보호막(28)으로 덮여있다. SiN 보호막(28)에 개구가 형성되고, 개구를 덮어서 게이트 전극(29)이 형성된다. 개구단은 하부에서 급격하게 상승하고, 상부에서 완만한 경사로 변화한다. 이 구성은 HEMT 구조에서 n형 AlGaIn층, n형 GaN 캡층을 생략하고, 채널층을 i형에서 n형으로 변경한 것에 해당한다. 상술한 실시예의 공정으로부터 불필요한 공정을 생략해서 작성할 수 있다.

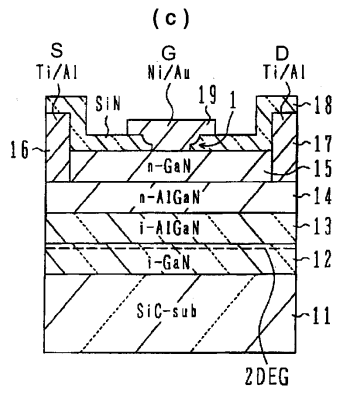
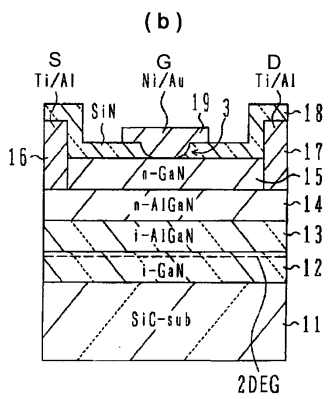
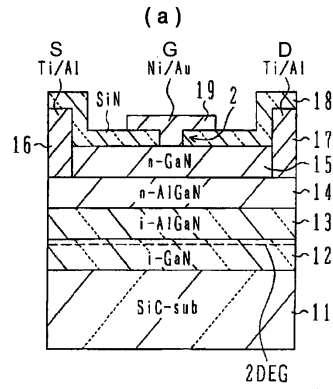
[0052] 이상, 실시예에 따라 본 발명을 설명하였지만, 본 발명은 이들에 한정되는 것은 아니다. 게이트 전극 양측에서 절연막 측벽의 경사가 변하는 경우를 설명하였지만, 드레인측만으로 경사 변화를 형성하여도 좋다. 질화 실리콘 콘막을 보호 절연막으로서 이용하는 경우를 설명하였지만, 산화 실리콘, 산화 질화 실리콘, 알루미늄 등 다른 절연 재료를 이용하는 것도 가능하다. 기판으로서 SiC 기판을 이용하는 경우를 설명하였지만, 질화물 반도체층을 에피택셀 성장할 수 있는 것이면, 사파이어, Si, GaAs 등 기타 재료의 기판을 사용하는 것도 가능하다. 전극의 재료, 구성은 공지의 여러가지 것을 채용할 수 있다. 제법도 스피터링과 도금의 조합에 한정되지 않는다. 소스/드레인 전극의 오믹성을 확보할 수 있으면, 어닐은 생략하여도 좋다. 쇼트키 특성을 얻을 수 있으면, 게이트 전극에 어닐을 실시하여도 좋다. 등방적인 성질을 갖는 에칭으로서, 웨트 에칭을 사용하는 것도 가능하다. 재료, 막두께 등은 여러가지로 변경할 수 있다. 그외, 여러가지 변경, 치환, 개량, 조합 등이 가능한 것은 당업자에게 자명할 것이다.

도면의 간단한 설명

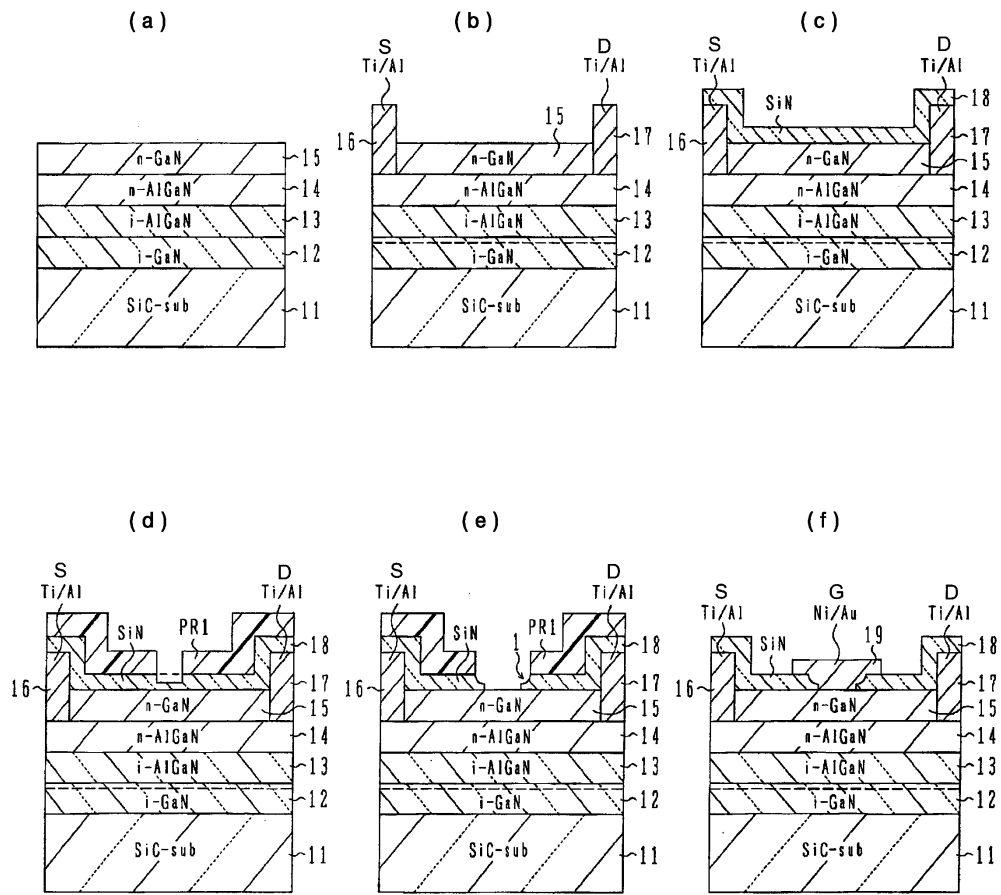
- [0053] 도 1의 (a)~(c)는 발명자가 작성한 제 1, 제 2 샘플(비교예의 HEMT) 및 제 3 샘플(제 1 실시예의 샘플)의 구성을 나타내는 단면도.
- [0054] 도 2의 (a)~(f)는 제 3 샘플(제 1 실시예에 의한 HEMT)의 제조 공정을 나타내는 단면도.
- [0055] 도 3의 (a), (b)는 제 1 샘플의 제조 공정을 나타내는 단면도.
- [0056] 도 4의 (a), (b)는 제 2 샘플의 제조 공정을 나타내는 단면도.
- [0057] 도 5의 (a)~(d)는 제 2 실시예에 의한 HEMT의 제조 공정을 나타내는 단면도.
- [0058] 도 6의 (a)~(d)는 제 3 실시예에 의한 HEMT의 제조 공정을 나타내는 단면도.
- [0059] 도 7의 (a), (b)는 제 4 실시예에 의한 HEMT의 제조 공정을 나타내는 단면도.
- [0060] 도 8은 다른 실시예에 의한 전계 효과 트랜지스터(FET)의 구성을 나타내는 단면도.
- [0061] *도면의 주요 부분에 대한 부호의 설명*
- [0062] 1, 2, 3 : 개구
- [0063] 11 : SiC 기판
- [0064] 12 : i형 GaN 전자 주행층
- [0065] 13 : i형 AlGaIn 스페이서층
- [0066] 14 : n형 AlGaIn 전자 공급층
- [0067] 15 : n형 GaN 캡층
- [0068] 16 : 소스 전극
- [0069] 17 : 드레인 전극
- [0070] 18 : SiN층
- [0071] 19 : 게이트 전극
- [0072] 2DEG : 2차원 전자가스

도면

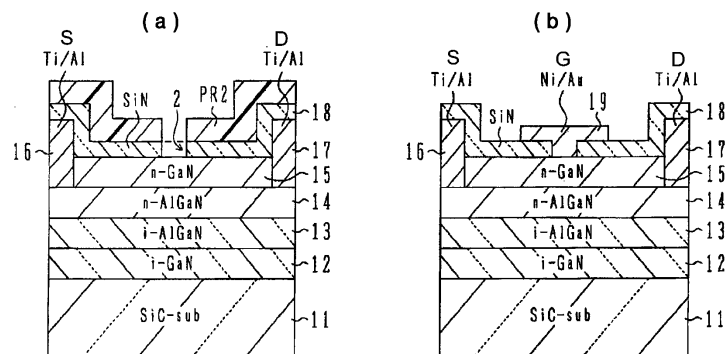
도면1



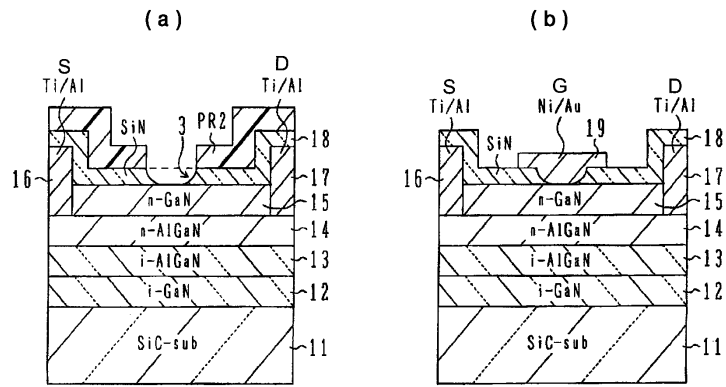
도면2



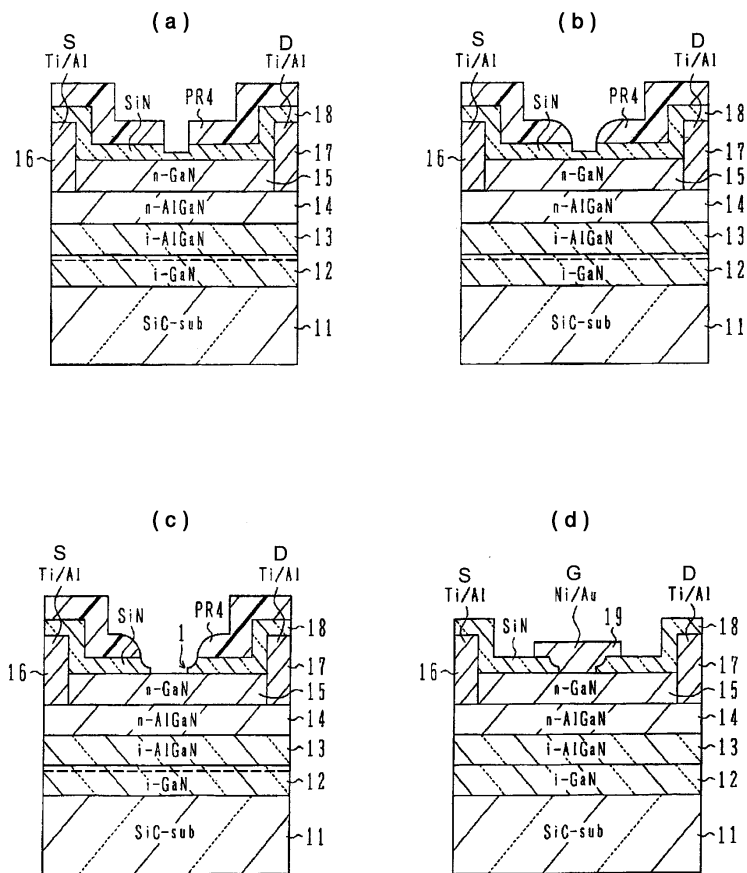
도면3



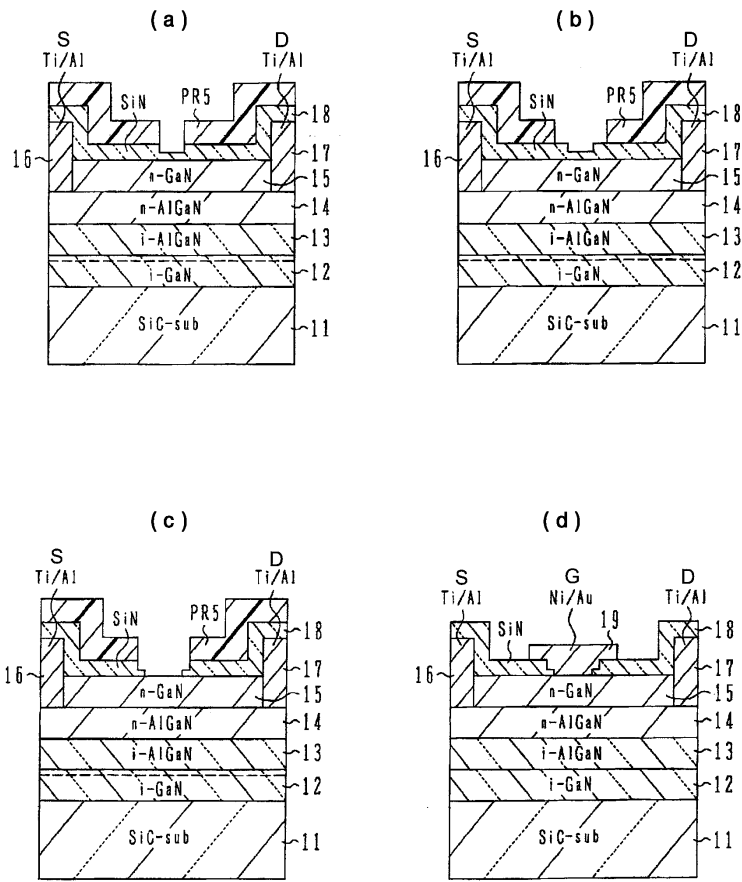
도면4



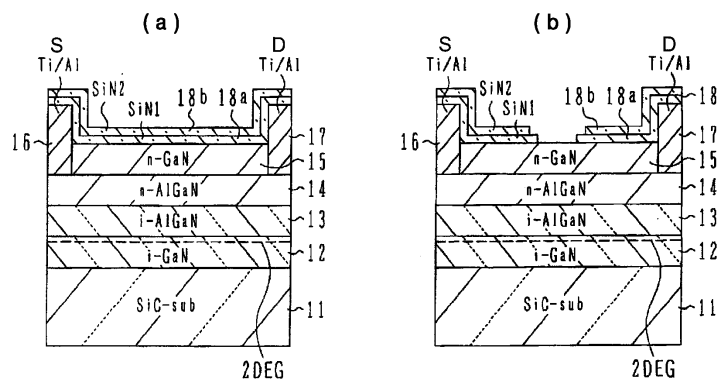
도면5



도면6



도면7



도면8

