



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년01월04일
(11) 등록번호 10-0792043
(24) 등록일자 2007년12월28일

(51) Int. Cl.

H03L 7/18 (2006.01)

(21) 출원번호 10-2007-0043308

(22) 출원일자 2007년05월04일

심사청구일자 2007년05월04일

(56) 선행기술조사문헌

JP05191398 A

JP2003124802 A

JP2006245794 A

JP2007082001 A

(73) 특허권자

인하대학교 산학협력단

인천 남구 용현동 253 인하대학교

(72) 발명자

강진구

서울 서초구 잠원동 한신 18차 335-201호

이정용

충북 청주시 흥덕구 복대1동 주은 아파트 101동 602호

임완식

강원 동해시 부곡동 미성 아파트 C동 402호

(74) 대리인

김전우

전체 청구항 수 : 총 1 항

심사관 : 김기완

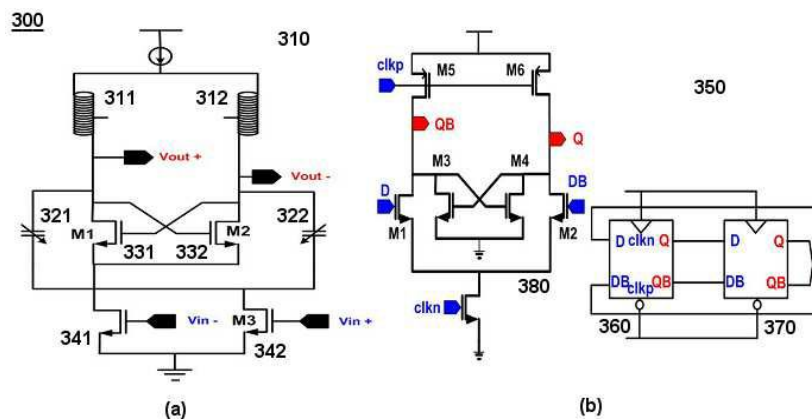
(54) 10기가 헤르츠 이상의 초고주파용 4-분주 프리스케일러

(57) 요약

본 발명은 10GHz 이상의 고주파수 신호를 분주(frequency divider)하는 4-분주 프리스케일러(divide-by-4 prescaler)에 관한 것으로서, 본 발명에 따른 4-분주 프리스케일러는, 한 쌍의 인덕터, 한 쌍의 가변 커패시터(varactor), 공통 소스(common source) 타입의 한 쌍의 NMOS FET, 및 한 쌍의 고주파 입력 신호가 입력되는 한 쌍의 NMOS FET을 포함하며, 10 GHz 이상의 고주파수 신호를 입력받아 2분주된 출력 신호를 생성하는, 전하 주입 고정 분주기(charge injection locked frequency divider) 타입의 제1 2-분주 회로(divide-by-2 circuit)와; 인덕터를 포함하지 않으며, 상기 제1 2-분주 회로의 출력 신호를 입력받아 추가로 2분주된 출력 신호를 생성하는, 전류 모드 로직(Current Mode Logic; CML)의 마스터-슬레이브(master-slave) 타입의 제2 2-분주 회로를 포함하는 것을 그 특징으로 한다.

본 발명에 따르면, 인덕터를 포함하여 10GHz 이상의 고주파수 신호를 2분주시킬 수 있는 전하 주입 고정 분주기 타입의 제1 2-분주 회로와, 제1 2-분주 회로로부터 입력받은 신호를 추가로 2분주시키는 인덕터를 포함하지 않는 전류 모드 로직(CML)의 마스터-슬레이브 타입의 제2 2-분주회로를 포함함으로써, 소요 면적을 대폭 줄일 수 있는 4-분주 프리스케일러를 제공할 수 있다.

대표도 - 도3



특허청구의 범위

청구항 1

한 쌍의 인덕터, 그 일단이 상기 한 쌍의 인덕터의 각 일단과 접속하는 한 쌍의 가변 커패시터(varactor), 그 드레인 측이 상기 한 쌍의 인덕터의 상기 각 일단과 접속하는 공통 소스(common source) 타입의 한 쌍의 NMOS FET, 및 그 드레인 측이 공통 소스 타입의 상기 한 쌍의 NMOS FET의 공통 소스 측 및 상기 한 쌍의 가변 커패시터의 타단과 접속하며, 한 쌍의 고주파 입력 신호가 입력되는 한 쌍의 NMOS FET을 포함하며, 고주파수 신호를 입력받아 2분주된 출력 신호를 생성하는, 전하 주입 고정 분주기(charge injection locked frequency divider) 타입의 제1 2-분주 회로(divide-by-2 circuit); 및

인덕터를 포함하지 않으며, 상기 제1 2분주 회로의 출력 신호를 입력받아 추가로 2분주된 출력 신호를 생성하는, 전류 모드 로직(Current Mode Logic; CML)의 마스터-슬레이브(master-slave) 타입의 제2 2-분주 회로

를 포함하는 4-분주 프리스케일러(divide-by-4 prescaler).

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <20> 본 발명은 10GHz 이상의 초고주파(superhigh frequency)의 분주에 사용되는 프리스케일러(Prescaler)에 관한 것으로서, 보다 구체적으로는 인덕터를 포함하여 10GHz 이상의 고주파수 신호를 2분주시킬 수 있는 전하 주입 고정 분주기(charge injection locked frequency divider) 타입의 제1 2-분주 회로와, 제1 2-분주 회로로부터 입력받은 신호를 추가로 2분주시키는 인덕터를 포함하지 않는 전류 모드 로직(Current Mode Logic; CML)의 마스터-슬레이브(master-slave) 타입의 제2 2-분주 회로를 포함함으로써, 소요 면적을 대폭 줄일 수 있는 4-분주 프리스케일러에 관한 것이다.
- <21> 분주기(frequency divider)라고 함은, 예컨대 주파수가 100 MHz인 신호를 주파수가 50 MHz인 신호로 바꾸는 장치(이 경우 2-분주기)를 말한다. 그런데, 일반적인 디지털 분주기 회로를 사용하는 경우, 입력 신호의 주파수가 어느 범위 이상으로 올라가면 제대로 분주를 할 수 없는 경우가 발생한다.
- <22> 도 1은 일반적인 DFF 분주기(D Flip-Flop Frequency Divider)가 분주 동작을 실패하는 경우를 나타내는 도면이다. 도 1에 예시된 바와 같이, 한 주기의 길이가 100ps(피코세컨드, 10조분의 1초)인 10GHz의 신호가 일반적인 DFF 분주기에 입력될 경우, DFF 분주기는 입력된 신호의 주파수가 너무 높아서 상승 시간(rising time)과 하강 시간(falling time)을 인식하지 못하게 되고, 그 결과 입력된 신호를 VDD 또는 GND 신호로 인식하게 되어 결과 파형에 큰 오차를 발생시키게 된다. 이와 같은 문제를 해결하기 위해서는, 입력된 고주파수의 신호를 검출한 후 이를 분주하여 일반적인 디지털 회로가 동작할 수 있는 주파수 범위로 내려야 한다. 이와 같은 역할을 수행하는 것이 프리스케일러(prescaler)이다.
- <23> 이와 같은 프리스케일러는, 분주기 회로가 흔히 사용되는 위상 고정 루프(Phase Locked Loop; PLL)의 전압 제어 발진기(Voltage Control Oscillator; VCO)에서 생성되는 발진 주파수가 10GHz 이상이 되어 감에 따라 그 중요성이 점점 강조되고 있다.
- <24> 도 2는 출력 신호의 주파수가 10GHz인 PLL에서 프리스케일러가 사용되는 예를 나타내는 도면이다. 도 2를 참조하면, 도시된 PLL(200)은, 위상 주파수 검출기(Phase Frequency Detector; PFD)(240), 전하 펌프(Charge Pump; CP)(250), 전압 제어 발진기(Voltage Control Oscillator; VCO)(210) 및 분주기(Divider)(220, 230)를 포함한다. 전압 제어 발진기(210)의 출력 신호의 주파수는 10GHz이므로, 위상 주파수 검출기(240)에서 기준 주파수인 62.5MHz와 비교하려면 전압 제어 발진기(210)의 출력 신호를 10GHz/62.5MHz = 160분주를 해야만 한다. 이때 일반적인 디지털 분주기는 10GHz의 신호를 분주할 수 없으므로, 일반적인 디지털 분주기가 동작할 수 있는 주파수 범위, 도 2에서는 2.5GHz로 프리스케일러를 사용하여 주파수를 분주할 필요가 있다. 따라서, 도 2에서 160-분주는 프리스케일러(220)에 의한 4-분주와 일반적인 디지털 분주기(230)에 의한 40-분주에 의해 이루어지게

된다.

- <25> 고가의 공정이 아니라면, 프리스케일러는 회로의 부하 단이 인덕터로 이루어진 전하 주입 고정 분주기(charge injection locked frequency divider)를 통해 일반 디지털 회로가 동작 가능한 주파수 범위로 주파수를 떨어뜨린다. 하지만 전하 주입 고정 분주기는 회로의 부하 단이 인덕터로 이루어져 있기 때문에 면적의 효율성이 떨어지게 된다. 특히, 4-분주 프리스케일러를 2개의 전하 주입 고정 분주기를 사용하여 구현할 경우 요구되는 면적이 너무 커진다는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

- <26> 본 발명은 상기와 같은 문제점을 해결하기 위해 제안된 것으로서, 인덕터를 포함하여 10GHz 이상의 고주파수 신호를 2분주시킬 수 있는 전하 주입 고정 분주기 타입의 제1 2-분주 회로와, 제1 2-분주 회로로부터 입력받은 신호를 추가로 2분주시키는 인덕터를 포함하지 않는 전류 모드 로직(CML)의 마스터-슬레이브 타입의 제2 2-분주 회로를 포함함으로써, 소요 면적을 대폭 줄일 수 있는 4-분주 프리스케일러를 제공하는 것을 그 목적으로 한다.

발명의 구성 및 작용

- <27> 상기한 목적을 달성하기 위한 본 발명의 특징에 따른 10GHz 이상의 초고주파용 4-분주 프리스케일러(divide-by-4 prescaler)는,
- <28> 한 쌍의 인덕터, 그 일단이 상기 한 쌍의 인덕터의 각 일단과 접속하는 한 쌍의 가변 커패시터(varactor), 그 드레인 측이 상기 한 쌍의 인덕터의 상기 각 일단과 접속하는 공통 소스(common source) 타입의 한 쌍의 NMOS FET, 및 그 드레인 측이 공통 소스 타입의 상기 한 쌍의 NMOS FET의 공통 소스 측 및 상기 한 쌍의 가변 커패시터의 타단과 접속하며, 한 쌍의 고주파 입력 신호가 입력되는 한 쌍의 NMOS FET을 포함하며, 10 GHz 이상의 고주파수 신호를 입력받아 2분주된 출력 신호를 생성하는, 전하 주입 고정 분주기(charge injection locked frequency divider) 타입의 제1 2-분주 회로(divide-by-2 circuit); 및
- <29> 인덕터를 포함하지 않으며, 상기 제1 2-분주 회로의 출력 신호를 입력받아 추가로 2분주된 출력 신호를 생성하는, 전류 모드 로직(Current Mode Logic; CML)의 마스터-슬레이브(master-slave) 타입의 제2 2-분주 회로를 포함하는 것을 그 특징으로 한다.
- <30> 이하에서는 첨부된 도면들을 참조하여, 본 발명에 따른 실시예에 대하여 상세하게 설명하기로 한다.
- <31> 도 3은 본 발명의 일 실시예에 따른 4-분주 프리스케일러를 나타내는 도면으로서, 도 3a 및 도 3b는 각각 전하 주입 고정 분주기 타입의 제1 2-분주 회로의 구성과, 전류 모드 로직(CML)의 마스터-슬레이브 타입의 제2 2-분주 회로의 구성을 나타내는 도면이다. 도 3을 참조하면, 본 발명에 따른 4-분주 프리스케일러(300)는 전하 주입 고정 분주기 타입의 제1 2-분주 회로(310)와 전류 모드 로직(CML)의 마스터-슬레이브 타입의 제2 2-분주 회로(350)를 포함한다. 전하 주입 고정 분주기 타입의 제1 2-분주 회로(310)는, 한 쌍의 인덕터(311, 312), 한 쌍의 가변 커패시터(321, 322), 공통 소스 타입의 한 쌍의 NMOS FET(331(M1), 332(M2)), 및 한 쌍의 고주파 입력 신호가 입력되는 한 쌍의 NMOS FET(341, 342(M3))을 포함하며, NMOS FET(341, 342(M3))의 게이트를 통해 10 GHz 이상의 한 쌍의 고주파수 신호(Vin+, Vin-)를 입력받아 2분주된 출력 신호(Vout+, Vout-)를 생성한다. 전류 모드 로직(CML)의 마스터-슬레이브 타입의 제2 2-분주 회로(350)는 참조번호 380과 같은 회로 구성을 갖는 2단의 D 래치(D latch)로 구성되며, 제1 2분주 회로(310)의 출력 신호(Vout+, Vout-)를 입력받아 추가로 2분주된 출력 신호를 생성한다.
- <32> 예컨대, 도 3a의 회로는, 10GHz의 신호를 5GHz로 분주하는 분주기로서 입력 신호의 주파수가 10GHz이기 때문에 인덕터를 부하로 사용하는 전하 주입 고정 분주기의 사용이 불가피하다. 이때, 뒷단에 위치할 분주기, 즉 전류 모드 로직(CML)의 마스터-슬레이브 타입의 분주기가 동작할 수 있도록, 앞단의 전하 주입 고정 분주기가 일정한 동작 전압을 가지며 그 출력 전압의 스윙이 피크-투-피크 0.5V로서 일정하게 되도록 설계하는 것이 중요하다.
- <33> 도 4는 본 발명에 따른 4-분주 프리스케일러의 시뮬레이션 결과를 나타내는 도면이다. 도 4를 참조하면, 10GHz의 주파수를 갖는 전압 제어 발진기(VCO)로 생성된 VCO 출력(맨 아래)이, 제1 2-분주 회로를 통해 5GHz로(가운데), 다시 제2 2-분주 회로를 통해 2.5GHz로(맨 위) 정확히 분주되고 있는 것을 확인할 수 있다.
- <34> 한 단의 전하 주입 고정 분주기가 차지하는 면적은 $320\ \mu\text{m} \times 730\ \mu\text{m}$ 인데 반하여, 한 단의 CML의 마스터-슬레이브 타입의 분주기가 차지하는 면적은 $110\ \mu\text{m} \times 140\ \mu\text{m}$ 에 불과하므로, 본 발명에 따라 4-분주 프리스케일러를 설계할 경우 전체 면적이 대폭 축소될 수 있다.

<35> 이상 설명한 본 발명은 본 발명이 속한 기술분야에서 통상의 지식을 가진 자에 의하여 다양한 변형이나 응용이 가능하며, 본 발명에 따른 기술적 사상의 범위는 아래의 특허청구범위에 의하여 정해져야 할 것이다.

발명의 효과

<36> 본 발명에 따르면, 인덕터를 포함하여 10GHz 이상의 고주파수 신호를 2분주시킬 수 있는 전하 주입 고정 분주기 타입의 제1 2-분주 회로와, 제1 2-분주 회로로부터 입력받은 신호를 추가로 2분주시키는 인덕터를 포함하지 않는 전류 모드 로직(CML)의 마스터-슬레이브 타입의 제2 2-분주 회로를 포함함으로써, 소요 면적을 대폭 줄일 수 있는 4-분주 프리스케일러를 제공할 수 있다.

도면의 간단한 설명

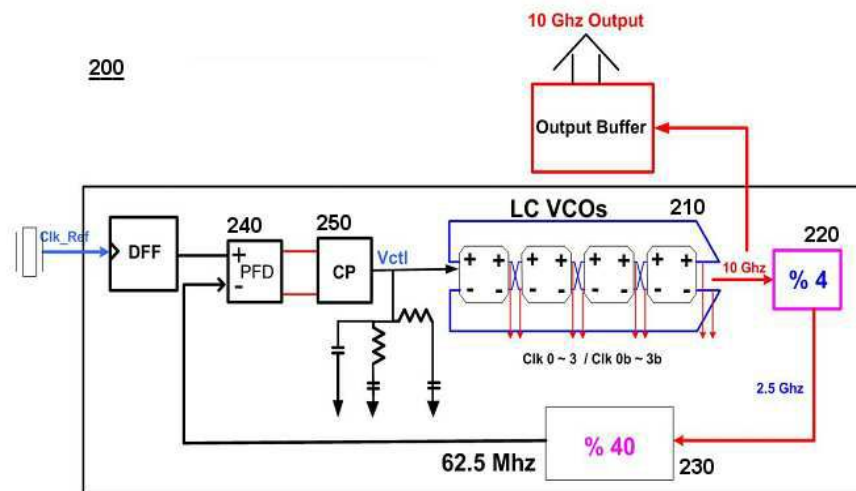
- <1> 도 1은 일반적인 DFF 분주기(D Flip-Flop Frequency Divider)가 분주 동작을 실패하는 경우를 나타내는 도면.
- <2> 도 2는 출력 신호의 주파수가 10GHz인 PLL에서 프리스케일러가 사용되는 예를 나타내는 도면.
- <3> 도 3은 본 발명의 일 실시예에 따른 4-분주 프리스케일러를 나타내는 도면으로서, 도 3a 및 도 3b는 각각 전하 주입 고정 분주기 타입의 제1 2-분주 회로의 구성과, 전류 모드 로직(CML)의 마스터-슬레이브 타입의 제2 2-분주 회로의 구성을 나타내는 도면.
- <4> 도 4는 본 발명에 따른 4-분주 프리스케일러의 시뮬레이션 결과를 나타내는 도면.
- <5> <도면 중 주요 부분에 대한 부호의 설명>
- <6> 200 : 위상 고정 루프(PLL)
- <7> 210 : 전압 제어 발진기(VCO)
- <8> 220 : 프리스케일러(4-분주)
- <9> 230 : 디지털 분주기(40-분주)
- <10> 240 : 위상 주파수 검출기(PDF)
- <11> 250 : 전하 펌프(CP)
- <12> 300 : (본 발명에 따른) 4-분주 프리스케일러
- <13> 310 : 제1 2-분주 회로
- <14> 311, 312 : 인덕터
- <15> 321, 322 : 가변 커패시터
- <16> 331, 332, 341, 342 : NMOS FET
- <17> 350 : 제2 2-분주 회로
- <18> 360, 370 : D-latch
- <19> 380 : D-latch 한 단의 회로 구성

도면

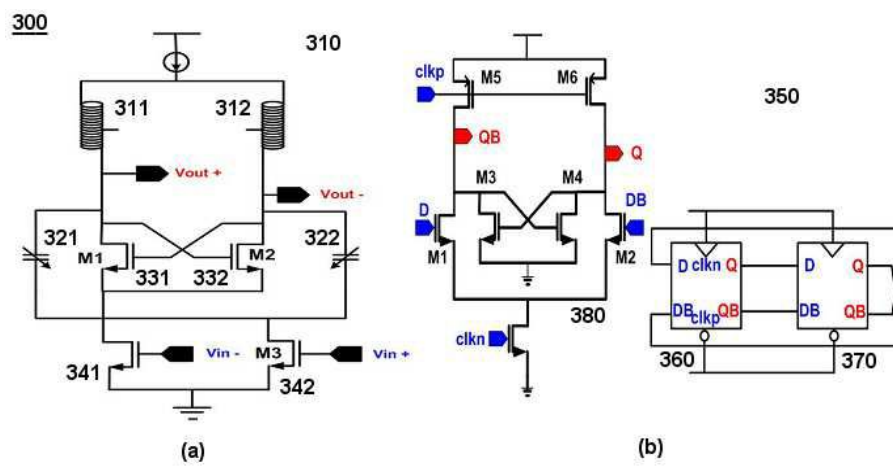
도면1



도면2



도면3



도면4

