

(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.⁵

H01L 27/04

H01L 27/06

H01L 29/78

(45) 공고일자 1990년05월 12일

(11) 공고번호 특허1990-0003257

(21) 출원번호	특 1984-0002606	(65) 공개번호	특 1985-0000803
(22) 출원일자	1984년05월 14일	(43) 공개일자	1985년03월 09일
(30) 우선권주장	58-119083 1983년06월30일 일본(JP)		
(71) 출원인	후지쓰가부시끼가이샤 야마모토 다쿠마		
	일본국 가나가와켄 가와자끼시 나가하라구 가미고다나까 1015반찌		
(72) 발명자	시라도 다케히데		
	일본국 가나가와켄 가와자끼시 나가하라구 가미고다나까 1015반찌		
(74) 대리인	문기상, 조기호		

심사관 : 유환열 (책자공보 제1867호)

(54) 보호회로를 갖는 반도체장치

요약

내용 없음.

대표도

도1

명세서

[발명의 명칭]

보호회로를 갖는 반도체장치

[도면의 간단한 설명]

제 1 도는 본 발명에 의한 반도체장치(IC)의 개략 평면도.

제 2 도는 제 1 도에 보인 반도체장치(IC)의 개략 횡단면도.

제 3 도는 제조방법의 특정단계에 대응하는 제 1 도에 보인 반도체의 개략 횡단면도.

제 3(a) 도는 전계산화물층과 채널커트가 형성된 후 IC장치의 부분구조도.

제 3(b) 도는 게이트산화물층이 형성된 후 IC장치의 부분구조도.

제 3(c) 도는 FET의 게이트전극이 형성된 후 IC장치의 부분구조도.

제 3(d) 도는 포토레지스트층이 형성되고 또한 제 1 보호소자의 확산영역에 대한 도판트 이온들이 주입된 후 IC장치의 부분 구조도.

제 3(e) 도는 인-실리케이트 글라스층의 형성 후 IC장치의 부분 구조도.

제 3(f) 도는 알미늄 배선층이 패턴되어 회로배선이 형성된 후 IC장치의 부분 구조도.

[발명의 상세한 설명]

본 발명은 전기 서지(serge) 또는 펄스잡음에 의해 유도되는 과잉전압으로 인해 파괴로부터 장치를 보호하도록 보호회로를 갖는 반도체 장치에 관한 것이며, 특히, 과잉 입력전압을 지탱할 수 있는 능력이 더 크며 또한 장치의 내부소자들을 적당히 낮은 보호전압으로 보호되도록 해주는 보호회로에 관한 것이다.

반도체 장치내에는 그의 신뢰성을 개선하기 위해서 반도체 다이오드와 같은 보호소자들을 갖는 보호회로가 반도체 기관상의 MOS FET들과 같은 내부소자들과 함께 형성된다. 보호회로는 외부펄스 잡음 또는 충전된 인체등으로부터 유도되는 고압으로 인한 파괴로부터 내부소자들을 보호해준다. 메모리 IC와 같은 IC는 집적도와 고속정보처리 능력이 크게 발전 됨에 따라 IC내에 형성되는 소자의 구조가 미세하고도 섬세해졌다.

구체적으로, 장치내에 형성된 MOS FET(금속산화 반도체형 전계효과 트랜지스터)의 게이트 전극 밑의 절연층이 너무 얇아서 충전된 인체와 같은 외부전원에 의해 공급되는 비교적 소량의 전하에 의해 형성되는

전계에 의해 절연층이 종종 파괴된다.

그밖에, 내부소자들의 불순물 영역의 크기와 깊이는 상술한 발전에 따라 점점 작아져 왔다. 이는 장치내에 형성되는 보호소자들의 과잉전압에 대한 내성을 더욱 감소시키는 경향이 있다.

반도체 장치의 소자들의 불순물 영역은 통상적으로 불순물 재료(도판트)를 기관내의 특정 영역으로 확산시켜줌으로써 형성되므로 이후 이것을 "확산영역"으로 호칭한다.

보호회로 소자들은 또한 내부소자들을 형성하기 위한 동일한 확산공정에서 형성되는 확산영역을 갖고 있다.

따라서 보호소자들에 대한 확산영역의 깊이는 내부소자들의 것과 함께 얇고 작아진다.

일반적으로, 다이오드 또는 다이오드 연결 트랜지스터등과 같은 역방향 바이어스 반도체 정류기들에서는 확산영역의 깊이가 얇기 때문에 브레이크다운(breakdown)전압이 감소한다. 브레이크다운 전압은 역방향 바이어스 p-n접합이 중단되어 충분한 임피던스를 가질 정도의 전압으로서 한정된다. 통상적으로, 열확산 공정에 의해 형성되는 불순물 영역은 단면도에서 측벽을 볼때 곡률반경 r_2 을 갖는 측벽을 갖는다.

이 반경 r_1 는 확산 깊이와 거의 동일하다. 따라서 확산영역이 깊을 수록 영역의 경계를 따라서 곡률반경이 커진다. 반경이 크면 전계의 농도가 완화되므로 소자의 브레이크다운 전압을 증가시킨다.

브레이크전압에서 역방향 전류가 임계값을 초과하면, 다이오드의 접합은 전류가 집중되는 부위에서 국부적으로 용융 손상된다. 접합의 손상을 주도하는 에너지는 다이오드의 번아웃(burn out)에너지로서 정의되므로 이후 "번아웃 에너지"로 약칭한다. 확산영역의 측벽의 곡률반경 r_1 이 크면 다이오드 전류의 집중이 감소되어 접합부위의 열발생분포가 비교적 균일하다. 그러므로, 번아웃 에너지는 확산영역의 깊이와 더불어 증가한다.

서지 용량은 다이오드의 정격초과의 과도전압 또는 전류를 지탱하는 능력으로서 정의된다. 서지용량은 많은 요인들에 의해 영향을 받지만 번아웃 에너지가 주역할을 한다. 따라서, 번아웃 에너지가 증가하면 보호소자들의 서지용량이 개선되는 것으로 간주한다.

이러한 것을 감안하여, 내부소자의 것보다 더욱 깊은 확산영역을 갖는 보호소자들을 갖는 반도체장치가 1980년 일본특허청에 특허원 소 55-11864로 티. 야마나카에 의해 제안되었다. 이 제안에서는, 장치의 보호회로내의 소자들이 더 큰 번아웃 에너지와 증가된 서지용량을 가질 것으로 기대하고 있다.

그러나, 그렇게함으로서 상술한 바와같이 브레이크다운 전압 자체는 상승하였다. 이는 장치의 내부소자들을 보호하기 위해 바람직스럽지 못하다. 왜냐하면 보호소자의 브레이크다운 전압이 상승할수록 내부소자들에 더 높은 전압이 나타나기 때문이다.

전술한 바와 같이, 보호소자의 확산영역이 깊이는 보다 낮은 보호전압을 제공하도록 더욱 얇아야 할 필요가 있다. 이는 보호회로의 보호소자에 대한 필요조건들에 있어 보다 높은 서지용량을 실현시켜야 됨과 동시에 보호전압을 감소시켜야 되는 점에서 모순이 있음을 뜻한다.

그러므로, 상기 제안에 따른 종래의 보호소자들은 보호회로에 대해 만족스럽지 못하다.

출력회로에는 통상적으로 대출력용 반도체 소자들이 내포되고, 또한 일반적으로 출력단자는 그러한 큰소자들의 확산영역에 연결되므로 그 소자들 자체는 보호다이오드로서 작용한다. 그러므로 출력회로용 보호회로를 특별히 배치할 필요가 없다. 그밖에, 출력 회로에는, 출력레벨의 감소를 피하기 위해 저항을 만들기 위한 확산영역이 삽입되지 않는다. 그러나 형광표시관용 구동회로를 위한 것과 같은 고출력전압 회로에서는 내부소자들에 대한 보호소자가 필요하다.

최근에, 원칩 마이크로컴퓨터 또는 기타 IC장치들내에 입/출력 단자들이 자주 사용되고 있다. 그러한 장치에도 또한 IC장치의 신뢰성을 보장하기 위해 출력회로용 보호회로가 필요하다.

상술한 문제점을 해결하기 위해 종래의 보호회로의 몇가지 개량을 기대하여 왔다.

본 발명의 목적은 개선된 보호회로를 갖는 MOS FET와 같은 고도로 집적된 내부소자들을 갖는 반도체 장치를 제공하는데 있다.

본 발명의 다른 목적은 내부소자들을 보호하기에 충분할 정도로 보호전압이 낮고 또한 전기서지, 인체의 정전하등과 같은 비교적 높은 에너지 입력을 지탱할 정도로 서지용량(번아웃 에너지)이 더 큰 내부소자용 보호회로를 갖는 반도체장치를 제공하는데 있다.

전술한 목적들은 다음과 같은 방식으로 성취된다. 보호회로는 내부소자들 예를들어 금속산화물 반도체 전계효과 트랜지스터(MOS FET)를 갖는 IC메모리와 같은 종래의 반도체장치내에 형성된다. 보호회로는 2 타입의 소자 즉, 고펄스전류를 지탱할 수 있는 높은 서지 용량을 제공하도록 비교적 깊은 확산 영역을 갖는 타입의 것과 내부 소자들을 보호할 정도로 충분히 낮은 보호전압을 제공하도록 내부소자들의 것과 동일 또는 그 이하의 비교적 얇은 확산영역을 갖는 타입의 것을 포함한다.

IC장치에는 보호해야될 입력, 출력 또는 입/출력단자, 제 1 타입 보호소자, 제 2 타입 보호소자 및 내부소자들이 나열순서로 직렬로 위치되어 있다. 통상적으로, 보호소자들은 장치의 단자에 걸리는 과잉전압을 보호소자들에 의해 접지로 바이패스시키도록 전기적으로 연결되는 접합아이오드와 측면트랜지스터로 구성된다.

장치의 단자에 걸리는 전하 또는 전기 서지는 통상적으로 단기간의 펄스형태를 갖는다. 그것은 제 1 타입의 보호회로 소자에 대한 역방향 전압을 충전 상승시키지만 상승전압은 다이오드의 브레이크다운에 의해 클램프되고, 입력전하의 대부분을 접지로 방전시킨다. 제 1 타입의 다이오드의 번아웃 에너지는 아이

오드에 걸리는 입력에너지를 지탱하기에 충분히 크므로 결국 다이오드가 번아웃 파괴되지 않는다.

일반적으로, 제 1 보호소자(다이오드)와 인접 배선은 기생용량을 갖고 있다. 제 1 보호소자의 확산영역의 한지점에는 단자가 연결되고 또한 확산영역의 또다른 지점에는 제 2 보호다이오드 즉, 측면트랜지스터의 콜렉터 단자가 연결된다. 따라서 확산영역은 측면 트랜지스터의 콜렉터와 단자간에서 저항으로 작용한다.

확산영역의 저항률과 기생용량은 C-R회로망을 형성하여 피이크전압을 감소시켜주고 또한 제 2 보호소자에 대한 충격의 시간지연을 제공해준다. 이시간 지연동안 가해진 펄스에너지의 대부분은 방전되고 또한 제 2 보호소자에 걸리는 전류는 감소한다. 이는 제 2 보호소자들이 번아웃되어 파괴되는 것을 방지해준다.

따라서, IC장치의 단자에 걸리는 과잉 펄스 전압은 제 1 보호소자에 의해 방전되고 또한 제 2 보호소자에 의해 특정한 낮은 전압으로 클램프된다. 보호회로는 과잉입력 펄스에너지에 대해 강력한 지탱능력을 가지므로 장치의 신뢰성을 향상시켜준다.

본 발명에 의한 구체적인 양호한 실시예를 첨부 도면을 참조하여 이하에 후술한다.

제 1 도에는 일실시예의 평면도가 그리고 제 2 도에는 그의 개략 횡단면도가 도시되어 있다.

약 20 Ω cm의 저항률을 갖는 p-형 실리콘 기판 10상에는 입력회로용 내부소자들 13통상적으로, MOS FET들이 형성되는데 이들은 얇은 확산영역(소오스영역 35와 드레인영역 36)을 갖고 있다. 입/출력 단자 12와 내부소자 13의 게이트 전극 34시간에는 깊은 확산영역 38을 갖는 제 1 보호소자 14와 제 2 보호소자 15, 얇은 확산영역들 즉, 콜렉터 영역 45와 에미터 영역 46을 갖는 측면 트랜지스터를 포함하는 입력보호회로가 배열된다. 내부소자 13의 확산영역 35와 36을 비교하면 확산영역 38은 비교적 더 깊고 또한 확산영역 45와 46은 거의 동일한 깊이이다.

제 1 보호소자 14는 n-형 확산영역 38과 p-형 기판 10에 의해 형성되는 n-p접합을 갖고 있으며 또한 브레이크다운 전압 V_{b1} 을 갖는 다이오드로서 작용한다. 회로의 배선용 상호연결수단, 통상적으로 알미늄 배선층 41은 장치상에 형성되는 인-실리케이트 글라스(PSG)층인 절연층 40상에 배치된다.

제 2 보호소자 15는 p형 기판(베이스용)과 분리된 n-형 확산영역 45(콜렉터용) 및 46(에미터용)을 포함하는 n-p-n형 측면트랜지스터이다. 전술한 바와같이, 깊은 확산영역 38을 갖는 제 1 보호소자 4는 브레이크 다운 전류(에너지)에 대한 높은 지구력을 갖고 있지만 그의 브레이크 다운 전압 V_{b1} 은 비교적 높으므로 그러한 고압은 내부소자 13에 직접 입력될 수 없다.

제 1 보호소자에 의해 클램프되는 서지전압은 낮은 서지 용량을 갖는 제 2 보호소자 15에 입력되기전에 특정전압 이하로 감소되어야 한다.

입/출력 단자 12는 알미늄 배선층 41에 의해 확산영역 38의 지점 38m에 연결된다. 확산영역 38의 다른 지점 38n에는 측면 트랜지스터 15의 콜렉터 즉, 확산영역 45가 연결되어 확산영역 38의 저항성분(예, 약 1K Ω)이 입/출력단자 12와 측면 트랜지스터 15간에 삽입된다. 확산영역 38과 기판 10에 의해 형성되는 n-p접합은 3pF정도의 큰 기생용량을 갖는다. 콜렉터 45는 MOS FET 13의 게이트 전극 34에 연결되며(제 2 도에는 연결경로가 도시안됐지만 제 1 도에는 도시되어 있음), 기판 10과 또다른 확산영역 46(트랜지스터 15의 에미터)은 접지되어 있다.

그러므로, 걸리는 서지전압은 그것이 내부 소자의 게이트전극에 도달할때 얇은 확산영역을 갖는 측면 트랜지스터 15의 브레이크다운 전압 V_{b2} 에 클램프된다. 전압 V_{b2} 는 MOS FET 13의 게이트 절연체 33이 파괴되지 않을 정도로 충분히 낮지만 트랜지스터의 15의 번아웃 에너지가 작아서 높은 브레이크다운 에너지를 지탱할 수 없다. 즉, 트랜지스터의 15의 서지용량이 낮다. 이는 다음과 같이 확보된다.

입/출력 단자 12에 걸리는 통상적으로 펄스형의 과잉 입력전압은 고서지 용량을 갖는 제 1 보호소자(다이오드)의 파괴에 의해 방전된다. 다이오드 14의 브레이크다운 전압 V_{b1} 은 확산영역 38의 저항성분 R_1 과 그의 기생용량 C_1 으로 구성된 C-R회로망을 통해 점지로 이송된다. 이송된 전압과 에너지는 보다 낮은 레벨 V_2 로 떨어져 제 2 보호소자 15 즉, 측면 트랜지스터에 걸린다. 이 전압 V_2 가 측면 트랜지스터 15의 파괴전압 V_{b2} 보다 높으면, 트랜지스터 15는 브레이크다운 되지만 번아웃되지 않는다. 왜냐하면 이송에너지는 이미 충분히 감소됐기 때문이다. 물론 브레이크다운 전압 V_{b2} 는 FET 13의 게이트 절연체 33을 브레이크다운으로부터 보호하기에 충분한 정도로 낮게 선택된다.

여기서, 입력회로 11에 대한 보호회로를 설명했지만 본 발명은 출력회로 21에 대해서도 적용할 수 있다.

깊은 확산영역 22를 갖는 제 1 보호소자 26과 제 2 보호소자 24 ; 즉, 얇은 확산영역 23을 갖는 측면 트랜지스터는 기판 10상에 형성된다. 확산영역 22와 23의 깊이는 출력회로(도면에 도시안됨)내의 내부소자들의 확산영역의 깊이와 거의 동일 또는 그보다 크도록 선택된다. 회로의 적용과 효과는 입력회로의 것과 동일하므로 더 이상 설명은 생략한다.

또한 제 2 소자의 확산영역의 깊이는 내부소자들의 것보다 작게 선택된다.

그다음, 제 1 도에 보인 보호회로를 포함하는 입력회로의 제조방법을 제 3 도를 참조하여 설명한다. 구체적인 제조단계들 제 3(a)~(f) 도에 나타낸다. 각 도면은 부분 개략 확대 단면도들이다.

p-형 단결정 실리콘 기판 10은 약 6.5×10^{14} atm/cm²범위의 도우핑 농도를 갖는다. 제조는 사전에 채널컷(channel-cut)층 32에 대해 선택적인 약 1.2×10^{13} atm/cm²의 P⁺이온 주입으로 시작한다. 종래의 LOCOS(Local Oxidation of Silicon ; 실리콘의 국부산화)를 사용하는 전계산화물층 31(이산화실리콘,

SiO₂)이 형성된다. 전계산화물층 31의 형성은 종래의 열산화법과 종래의 사진석판술을 사용하여 형성되는 질화실리콘(Si₃N₄)막의 마스크 패턴에 의해 수행된다. 이 공정동안 선택적으로 이온주입된 P⁺도판트가 전계산화물층 31 밑에서 0.5~0.6 μ m 두께로 확산되어 채널커트층 32가 형성된다.

전계산화물층 31이 성장된후, 제 3(b) 도에 보인 바와같이, 400~500Å의 두께를 갖는 또다른 산화실리콘층 33이 전계산화물층 31을 포함하는 기판 10위 전체에 형성된다. 이층은 제 3(c) 도에 보인 바와같이 추후게이트 산화물층을 형성한다. 이 단계뒤에 4000~5000Å이 두께와 30 Ω /cm²의 박판저항성분을 갖는 도전성 다결정 실리콘층이 형성된다. 이층은 종래의 화학증기증착(CVD)에 의해 형성되며 또한 n-형도판트(예, 인)로서 농후하게 도우프된다.

그다음, n-형 다결정 실리콘층이 종래의 사진석판술에 의해 형성되는 실리콘 게이트 마스크를 사용하여 제 3 도에 보인 바와같이 실리콘게이트 전극 34를 남기고 식각제거 된다. 이산화실리콘층 33은 잠시동안 표면을 보호해주기 위해 남아 있다.

이제 전계효과 트랜지스터 13의 소오스 영역 35과 드레인 영역 36 그리고 측면 트랜지스터 15의 컬렉터 영역 45와 에미터 영역 46의 형성이 시작된다. 이 영역들은 전계산화물층 31과 게이트전극 34에 의해 한정된다. 이온주입 공정에서 그 장치는 예를들어 약 120Kev의 가속에너지를 갖는 비소이온빔과 4×10^{15} atm/cm²의 고도오즈량에 노출된다. 도판트는 이산화실리콘층 33을 통해 기판 10내로 침투되어 도면에서 점선으로 나타낸 농축된 n⁺형 비소도판트의 박층 35a, 36a, 45a 및 46a를 형성한다.

상술한 제조단계들은 통상의 IC제조공정이다.

이제 본 발명에 따른 좀더 깊은 불순물 확산영역을 갖는 보호회로용 제 1 보호소자 14로서 시작한다. 장치의 모든 표면을 포토레지스트층 37로 피복한 다음 종래의 사진석판술을 사용하여 제 1 보호소자 14를 형성한 부분상에 창을 형성한다. 제 3(d) 도에 보인 바와 같이, 그창과 이산화실리콘층 33을 통해 기판 10 속으로 10^{15} atm/cm²의 인 이온(P⁺)을 이온주입하여 인이 농축된층 38a(점선으로 나타냄)를 형성한다.

그후, 포토레지스트층 37를 형성하고 게이트 전극 34 밑을 제외한 이산화실리콘층 33을 식각 제거한다.

이 단계후, 이산화실리콘(SiO₂)의 차폐 산화물층 39를 새로 형성하여 장치의 표면을 피복한다. 차폐 산화물층 39는 인실리게이트글라스(PSG)내에 함유된 인이 후속단계에서 소오스영역 35, 드레인영역 36등과 같은 여러 확산영역들 속으로 확산되지 않도록 해준다. 차폐산화물층 39상에는 PSG층 40을 형성하여 모든 표면을 피복한다. 기형성된 모든 확산영역에 대한 접촉 구멍들을 위한 창들을 종래의 사진 석판술에 의해 형성한 다음, 로내에서 약 1050°C로 열처리한다. 이 온도에서 PSG층이 연화(반정도 재용융됨)되어 창들의 연부가 둥글게 되므로 연부상에 형성된 배선층의 파괴가 방지된다. 이 열처리에 의해 부분 38a내에 농축된 인(P⁺)가 기판 10속으로 확산되어 약 0.8 μ m깊이의 확산영역 38을 형성한다. 그와 동시에, 농축된 비소(As⁺)도판트를 확산시켜 FET44의 소오스확산영역 35 및 드레인 확산영역 36과 측면 트랜지스터 15의 컬렉터 영역 45 및 에미터 영역 46 즉, 제 2 보호소자를 형성한다. 실리콘 기판내에서 인은 비소보다 확산계수가 더 높다. 따라서, 확산영역 38은 확산영역 32의 것보다 훨씬 더 얇은 약 0.4 μ m의 깊이를 갖는다. 결국 제 1 보호소자를 제공하기 위한 좀더 깊은 확산영역 38이 형성됨으로서 추후 입력 전압에 대해 고서지 용량을 갖도록 할 수 있다. 확산영역의 깊이는 확산온도 또는 사전에 농축되는 도판트농도와 같은 기타 방법에 의해 제어될 수 있다.

제 3(f) 도에 보인 바와같이, 확산영역 형성후, 알미늄층과 같은 도체층이 PSG층 40내에 기형성된 창들을 통하여 확산영역들에 연결된다. 종래의 사진석판술에 의해, 도체층, 즉 알미늄층을 패턴하여 미세배선층 41을 형성한후, 마지막으로 입/출력 접속패드(도면에 도시안됨)용 구멍들을 갖는 PSG의 보호층이 형성된다. 제 3(f) 도에 보인 단계후의 제조단계들에 대한 상세한 설명은 본 발명의 요지가 아니므로 생략한다.

동일한 방식으로 출력회로(제 1 도에서 21로 나타냄)용 보호회로로 제조할 수 있다. 상술한 예에서 단자는 출력/입력용이지만 본 발명은 입력단자와 출력단자를 개별적으로 갖는 IC장치에도 적용될 수 있다.

본 발명에 의한 보호회로의 효과를 평가하기 위해, 종래의 구조와 비교하는 실험을 했다.

조건과 결과는 표 1에 나타낸 바와같다.

[표 1]

	종래	발명
FET의 확산영역 깊이	0.4 μ m	0.4 μ m
FET의 게이트절연체두께	400Å	400Å
게이트의 브레이크다운전압	30V(DC)	30V(DC)
(제2)보호소자의 확산영역깊이	0.4 μ m	0.5 μ m
앞에서와같은 브레이크다운 전압	30V(DC)	30V(DC)
제1 보호소자의 확산영역깊이	없음	0.6~0.7 μ m
앞에서와같은 브레이크다운 전압	없음	35~36V(DC)

용량 200pF의 콘덴서내에 여러 테스트전압(DC)의 테스트 에너지를 테스트할 IC장치의 입력 또는 출력 단자에 걸었다. 걸어주는 전압은 IC 장치가 손상될때까지 낮은 전압으로부터 서서히 증가시켰다.

종래의 IC 장치는 약 200볼트에서 지탱한 반면 본 발명의 IC장치는 약 350볼트에서 지탱함으로서 과잉

입력 에너지에 대한 지구능력이 현저히 개선됐음이 입증되었다. 따라서, 본 발명은 본 분야에서 훨씬 더 신뢰성이 개선된 반도체장치가 제공할 수 있다는 결론을 얻었다.

(57) 청구의 범위

청구항 1

입출력단자(12), 보호회로 및 내부소자(13)를 갖는 제 1 도전형의 반도체기판(10)상에 형성되는 반도체 장치에서, 상기 보호회로는, 상기 제 1 도전형의 반대인 제 2 도전형의 제 1 불순물 확산영역(38)을 갖는 제 1 보호소자(14)와, 상기 제 1 불순물 영역(38)보다 낮으면 또한 상기 제 2 도전형의 제 2 불순물 확산 영역을 갖는 제 2 보호소자(15)를 포함하며, 상기 입력 및/또는 출력단자(12), 상기 제 1 보호소자(14), 상기 제 2 보호소자(15) 및 상기 내부소자(13)이 나열된 순서로 직렬로 작동가능하게 연결되며, 상기 제 1 보호소자(14)는 상기 제 2 보호소자(15)이 서지용량보다 상기 제 1 확산불순물영역(38)로부터 유도되는 더높은 서지 용량을 가지며, 상기 제 2 보호소자(15)는 상기 내부소자(13)용 상기 보호회로의 보호전압을 제공하는 상기 제 1 보호소자(14)의 것보다 낮은 접합 브레이크 다운 전압을 가지는 것이 특징인 보호회로를 갖는 반도체장치.

청구항 2

제 1 항에서, 상기 제 1 보호소자(14)의 상기 제 1 불순물영역(38)은 상기 제 1 불순물(38)상에서 서로 분리된 제 1 지점(38m)과 제 2 지점(38n)을 가지며, 상기 제 1 보호소자(14)의 상기 제 1 불순물 영역(38)은 상기 제 1 지점(38m)으로부터 상기 입력 및/또는 출력단자(12)까지 그리고 상기 제 2 지점(38n)으로부터 상기 제 2 보호소자(15)까지 각각 연결되어, 상기 제 1 불순물 확산영역(38)의 저항 성분은 상기 단자(12)와 상기 제 2 보호소자(15)간에 직렬로 삽입되는 것이 특징인 보호회로를 갖는 반도체 장치.

청구항 3

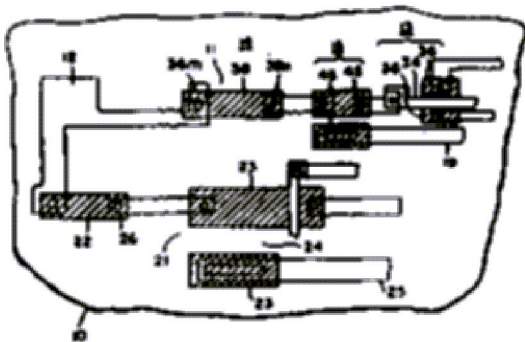
제 1 항에서, 상기 제 2 보호소자(15)는 측면 트랜지스터로서, 상기 제 2 도전형의 상기 제 2 불순물 확산영역으로 형성되는 컬렉터(45), 상기 제 2 도전형의 상기 제 2 불순물 확산영역으로 형성되는 에미터(46), 상기 컬렉터(45)와 에미터(46)간에 존재하는 상기 제 1 도전형의 상기 기판(10)으로 형성되는 베이스를 갖는 것이 특징인 보호회로를 갖는 반도체 장치.

청구항 4

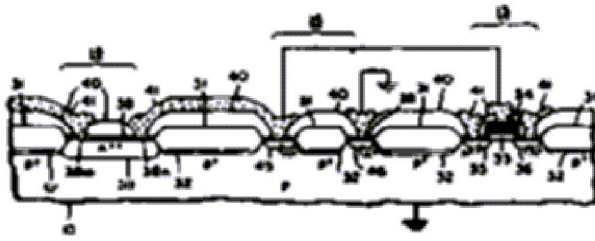
제 1 항에 의한 상기 반도체장치의 상기 제 1 보호소자(14)를 형성하는 방법에 있어서, 상기 내부소자(13)과 상기 제 2 보호소자(15)를 형성한후 상기 반도체장치의 전표면을 포토레지스트층(37)으로 피복하는 단계와, 상기 제 1 불순물 영역(38)이 형성될 부분위의 상기 포토레지스트층(37)내에 창을 형성하는 단계와, 상기 제 2 도전형의 불순물이온을 주입하는 단계와, 상기 이온주입된 불순물을 상기 기판내로 확산시키는 단계를 포함하는 것이 특징인 반도체장치의 제 1 보호소자 형성방법.

도면

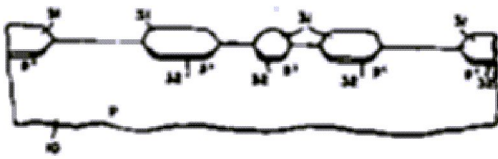
도면1



도면2



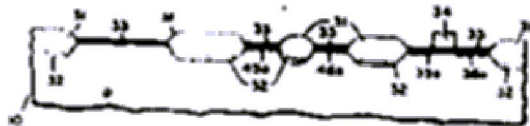
도면3a



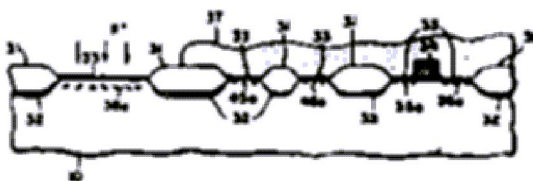
도면3b



도면3c



도면3d



도면3e

