

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017年5月11日(11.05.2017)



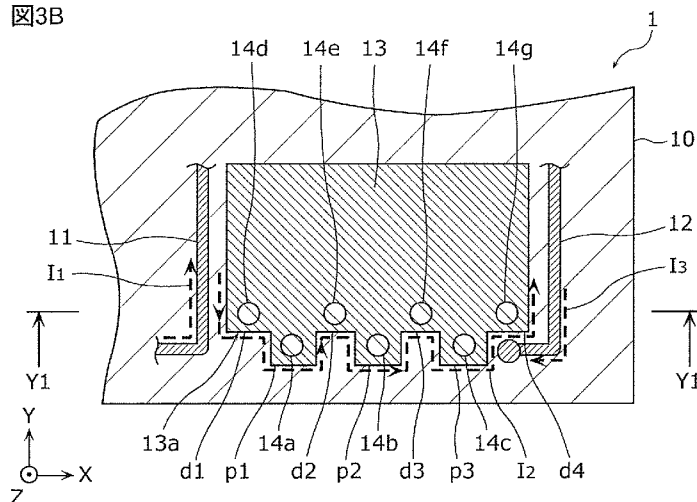
(10) 国際公開番号
WO 2017/077853 A1

- (51) 国際特許分類:
H04B 1/38 (2015.01) *H05K 3/46* (2006.01)
- (21) 国際出願番号: PCT/JP2016/080811
- (22) 国際出願日: 2016年10月18日(18.10.2016)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2015-217129 2015年11月4日(04.11.2015) JP
- (71) 出願人: 株式会社村田製作所(MURATA MANUFACTURING CO., LTD.) [JP/JP]; 〒6178555 京都府長岡京市東神足1丁目10番1号 Kyoto (JP).
- (72) 発明者: 小暮 武(KOGURE, Takeshi); 〒6178555 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内 Kyoto (JP).
- (74) 代理人: 吉川 修一, 外(YOSHIKAWA, Shuichi et al.); 〒5320011 大阪府大阪市淀川区西中島5丁目3番10号タナカ・イトーピア新大阪ビル6階 新居国際特許事務所内 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第21条(3))

(54) Title: CIRCUIT BOARD

(54) 発明の名称: 回路基板

図3B



(57) Abstract: A circuit board having a plurality of signal lines that transmit high frequency signals, wherein isolation between the signal lines is increased. The circuit board (1) is provided with: a plurality of signal lines (11, 12) for transmitting high frequency signals; a ground electrode (13) disposed between the plurality of signal lines (11, 12), spaced apart from each of the plurality of signal lines (11, 12); and a plurality of via conductors (14 (14a to 14g)) connected to the ground electrode (13), wherein, in a plan view of the circuit board (1), an outwardly protruding and inwardly recessed relief portion (13a) is formed in at least a part of the outer edge of the ground electrode (13). The plurality of via conductors (14 (14a to 14g)) are provided in the irregular portion (13a) so as to accommodate the protruding and recessed shape of the relief portion (13a).

(57) 要約:

[続葉有]

WO 2017/077853 A1



高周波信号を伝送する複数の信号ラインを有する回路基板において、信号ライン間のアイソレーション性を高める。高周波信号を伝送する複数の信号ライン（１１、１２）と、複数の信号ライン（１１、１２）の間にて、複数の信号ライン（１１、１２）のそれぞれに対して間隔をあけて設けられているグラウンド電極（１３）と、グラウンド電極（１３）に接続されている複数のビア導体（１４（１４ａ～１４ｇ））とを備える回路基板（１）であって、回路基板（１）を平面視した場合に、グラウンド電極（１３）の外縁の少なくとも一部に、外側に突出し内側に窪む凹凸部（１３ａ）が形成されている。複数のビア導体（１４（１４ａ～１４ｇ））は、凹凸部（１３ａ）の凹凸形状に対応して、凹凸部（１３ａ）に設けられている。

明 細 書

発明の名称： 回路基板

技術分野

[0001] 本発明は、回路基板に関し、特に、高周波信号を伝送する信号ラインを有する回路基板に関する。

背景技術

[0002] 携帯電話や携帯情報端末には、各種チップ部品、フィルタ、半導体素子などを搭載した高周波モジュールが内蔵されている。そして、この高周波モジュールの一部である回路基板には、高周波信号を伝送する信号ラインが設けられている（例えば、特許文献１）。

[0003] 特許文献１に記載された回路基板は、信号ラインである送信電極および受信電極を備えている。この送信電極と受信電極との間には、接地電極（グラウンド電極）が設けられ、そして、この接地電極の端縁と重なるように、複数のビア導体が形成されている。

先行技術文献

特許文献

[0004] 特許文献１：国際公開第２０１２／１７６４０１号

発明の概要

発明が解決しようとする課題

[0005] 回路基板の高集積化が進む中で、従来技術に示す回路基板では以下の問題がある。図１は、従来技術の問題点を説明するための、比較例における回路基板１０１の一部の平面図である。

[0006] 比較例における回路基板１０１は、基板本体１１０と、高周波信号を伝送する２つの信号ライン１１１、１１２と、２つの信号ライン１１１、１１２の間に設けられているグラウンド電極１１３と、グラウンド電極１１３に接続されている複数のビア導体１１４とを備えている。

[0007] グラウンド電極１１３は、略四角形状の導体であり、向かい合う２つの信号

ライン 111、112 のそれぞれに対して間隔をあけて設けられている。

[0008] ビア導体 114 は、柱状の層間導体である。ビア導体 114 のそれぞれの一端は、グランド電極 113 の外縁の一辺に沿ってグランド電極 113 に接続されている。ビア導体 114 のそれぞれの他端は、図中の奥行き方向にて接地されている（図示省略）。

[0009] このような構造を有する回路基板 101 では、例えば、一方の信号ライン 111 に高周波信号による電流 I_{101} が流れた場合に、グランド電極 113 の縁（エッジ）に沿って励起電流 I_{102} が流れる。また、この励起電流 I_{102} によって、他方の信号ライン 112 にも励起電流 I_{103} が流れる。

[0010] そして、比較例における回路基板 101 では、この励起電流 I_{102} の伝搬を抑制するため、グランド電極 113 に複数のビア導体 114 を接続することで、励起電流 I_{102} の一部を接地側に逃がしている。この構造により、信号ライン 111、112 間のアイソレーション性を高めている。

[0011] しかしながら、回路基板 101 の高集積化が進む中で、2つの信号ライン 111、112 間に、より高いアイソレーション性が求められている。それに対し、比較例や従来技術に示す構造の回路基板では、励起電流 I_{102} の伝搬を抑制することが不十分であった。そのため、信号ライン 111、112 間の高いアイソレーション性を実現することが困難であった。

[0012] 本発明は、高周波信号を伝送する複数の信号ラインを有する回路基板において、信号ライン間のアイソレーション性を高めた回路基板を提供する。

課題を解決するための手段

[0013] 上記目的を達成するために、本発明の一態様に係る回路基板は、高周波信号を伝送する複数の信号ラインと、前記複数の信号ラインの間にて、前記複数の信号ラインのそれぞれに対して間隔をあけて設けられているグランド電極と、前記グランド電極に接続されている複数のビア導体とを備える回路基板であって、前記回路基板を平面視した場合に、前記グランド電極の外縁の少なくとも一部に、外側に突出し内側に窪む凹凸部が形成されており、前記複数のビア導体は、前記凹凸部の凹凸形状に対応して前記凹凸部に設けられ

ている。

[0014] このように、グラウンド電極の外縁に凹凸部が設けられているので、グラウンド電極の縁（エッジ）の長さが長くなる。そのため、複数の信号ラインのうちの一方の信号ラインの電流に伴って発生する、グラウンド電極の励起電流の電流経路が長くなる。これにより、グラウンド電極を流れる励起電流を小さくすることができ、他方の信号ラインに発生する励起電流も小さくできる。また、ビア導体が、凹凸部の凹凸形状に対応して設けられているので、グラウンド電極の縁の、ビア導体に近接する部分が増える。そのため、励起電流の電流経路からビア導体を通して電流を逃がして、グラウンド電極に流れる励起電流を減らし、他方の信号ラインに発生する励起電流を減らすことができる。これらの結果、一方の信号ラインと他方の信号ラインとのアイソレーション性を高めることができる。

[0015] また、前記複数のビア導体は、平面視で、前記凹凸部の凸部内、および、凹部より内側にそれぞれ設けられていてもよい。

[0016] これによれば、グラウンド電極に流れる励起電流の電流経路のうちの、ビア導体に近接する経路が長くなる。そのため、ビア導体を通して電流を逃がして、グラウンド電極に流れる励起電流を減らし、他方の信号ラインに発生する励起電流を減らすことができる。その結果、信号ライン間のアイソレーション性を高めることができる。

[0017] また、さらに、前記複数のビア導体は、平面視で、前記凸部よりも内側に設けられていてもよい。

[0018] これによれば、グラウンド電極に流れる励起電流の電流経路のうちの、ビア導体に近接する部分が増え、ビア導体に近接する経路がさらに長くなる。そのため、ビア導体を通して電流を逃がして、グラウンド電極に流れる励起電流を減らし、信号ラインに発生する励起電流を減らすことができる。その結果、信号ライン間のアイソレーション性を高めることができる。

[0019] また、前記複数のビア導体は、前記グラウンド電極の外縁に沿って多列状に設けられていてもよい。

[0020] これによれば、グランド電極を流れる励起電流の電流経路のうちの、多列状のビア導体に近接する経路がさらに長くなる。そのため、ビア導体を通して電流を逃がして、グランド電極に流れる励起電流を減らし、信号ラインに発生する励起電流を減らすことができる。その結果、信号ライン間のアイソレーション性を高めることができる。

[0021] また、前記グランド電極の前記凹凸部の凸部と凹部とが、交互に等ピッチで形成されていてもよい。

[0022] これによれば、励起電流を適切に分散して減らすことができる。

[0023] また、前記複数の信号ラインは、所定面内において対向しており、前記グランド電極の前記凹凸部は、前記外縁のうちの、前記複数の信号ラインの対向方向に沿う部分に設けられていてもよい。

[0024] グランド電極の外縁のうち、複数の信号ラインの対向方向に沿う部分には励起電流が集中しやすいので、上記構成とすることにより、励起電流を減らし、信号ライン間のアイソレーション性を高めることができる。

[0025] また、前記グランド電極および前記複数の信号ラインは、前記回路基板の電子部品実装面に設けられていてもよい。

[0026] これによれば、回路基板の電子部品実装面において、高周波信号の回り込みを抑制し、一方の信号ラインを起因とする他方の信号ラインに発生する励起電流を減らすことができる。その結果、信号ライン間のアイソレーション性を高めることができる。

発明の効果

[0027] 本発明によれば、回路基板に形成された複数の信号ライン間のアイソレーション性を高めることができる。

図面の簡単な説明

[0028] [図1]図1は、比較例における回路基板の一部の平面図である。

[図2]図2は、実施の形態1に係る回路基板を用いた高周波モジュールの概略斜視図である。

[図3A]図3Aは、実施の形態1に係る回路基板の一部を正面から見たときの

断面図（図 2 における Y 1－Y 1 断面図）である。

[図3B]図 3 B は、実施の形態 1 に係る回路基板の一部を上から見たときの断面図（図 3 A における Z 1－Z 1 断面図）である。

[図4]図 4 は、実施の形態 1 の変形例に係る回路基板の一部を正面から見たときの断面図である。

[図5]図 5 は、実施の形態 2 に係る回路基板の一部を上から見たときの断面図である。

[図6]図 6 は、実施の形態 2 の変形例 1 に係る回路基板の一部を上から見たときの断面図である。

[図7]図 7 は、実施の形態 2 の変形例 2 に係る回路基板の一部を上から見たときの断面図である。

発明を実施するための形態

[0029] 以下、本発明の実施の形態について、図面を用いて詳細に説明する。なお、以下で説明する実施の形態は、いずれも包括的または具体的な例を示すものである。以下の実施の形態で示される数値、形状、材料、構成要素、構成要素の配置および接続形態、製造工程、および製造工程の順序などは、一例であり、本発明を限定する主旨ではない。以下の実施の形態における構成要素のうち、独立請求項に記載されていない構成要素については、任意の構成要素として説明される。また、図面に示される構成要素の大きさまたは大きさの比は、必ずしも厳密ではない。また、以下の実施の形態において、「接続される」とは、直接接続される場合だけでなく、他の素子等を介して電氣的に接続される場合も含まれる。

[0030] （実施の形態 1）

図 2 は、携帯電話や携帯情報端末などに内蔵される高周波モジュール 5 の概略斜視図である。回路基板 1 は、高周波モジュール 5 の一部の構成要素であり、高周波信号を伝送する信号ラインを有している。回路基板 1 には、各種チップ部品、高周波フィルタ、ディプレクサとしての送信用フィルタおよび受信用フィルタ、電力増幅用半導体素子などの実装用電子部品 6 が搭載さ

れる。

[0031] 図3Aは、本実施の形態に係る回路基板1の一部を正面から見たときの断面図（図2におけるY1-Y1断面図）であり、図3Bは、回路基板1の一部を上から見たときの断面図（図3AにおけるZ1-Z1断面図）である。なお、図3Aおよび図3Bは、回路基板1の端部を抜き出して示した図である。図3A以下では、簡明のため、同種の構成要素を同じ模様で示して符号を適宜省略し、また、厳密には別断面にある構成要素を同一図面内に示して説明することがある。

[0032] 本実施の形態に係る回路基板1は、多層構造体であり、基板本体10と、高周波信号を伝送する複数の信号ライン11、12と、複数の信号ライン11、12の間に設けられているグラウンド電極13と、グラウンド電極13に接続されている複数のビア導体14（14a～14g）とを備えている。グラウンド電極13は、複数のビア導体14、中間グラウンド16および中間ビア17を介して基板グラウンド15に接続されている。

[0033] 基板本体10の内部には、例えば、インダクタ、キャパシタ、抵抗などの電気素子や、これらの電気素子を接続する引き回し配線が形成されている（図示省略）。基板本体10の材料は、例えば、LTCCセラミックス（Low Temperature Co-fired Ceramics）である。

[0034] 複数の信号ライン11、12は、前述した電気素子や実装用電子部品6を電氣的に接続するため、基板本体10の内部に設けられている導体線路である。本実施の形態では、一例として、2つの信号ライン11、12が、所定面（XY面）内において対向するとともに、X方向に平行に設けられている。

[0035] グラウンド電極13は、2つの信号ライン11、12に対してそれぞれ間隔をあけて設けられている。グラウンド電極13は、所定の厚みを有する平面状（平坦形状）の導体であり、多層構造体である回路基板1の積層方向に対して垂直方向に広がるように形成されている。また、グラウンド電極13は、向かい合う信号ライン11、12の距離が最も小さくなる箇所に設けられる。

回路基板 1 を平面視した場合、グラウンド電極 13 の外縁の一部には、外側に突出し内側に窪む凹凸部 13 a が形成されている。なお、ここで示す外側又は内側とは、例えば、グラウンド電極 13 の外縁が延びている方向に沿って直線が形成されていると仮定した場合に、その直線を基準にしてグラウンド電極 13 の面積を小さくする方向が内側であり、面積を大きくする方向が外側である。

[0036] 具体的には、グラウンド電極 13 は略矩形状の外形をしており、その外縁のうちの、信号ライン 11、12 の対向方向に沿って延びている外縁が、方形波状の凹凸形状となっている。すなわち、グラウンド電極 13 は、Y 方向マイナス側に突出する凸部 p (p1、p2、p3) と、Y 方向プラス側に窪む凹部 d (d1、d2、d3、d4) とを有している。凸部 p と凹部 d は、交互に等ピッチで形成されている。例えば、凸部 p の突出寸法は 0.15 mm、凸部 p の幅は 0.15 mm、凹部 d の幅は 0.15 mm、凸部 p と凹部 d とのピッチは、0.15 mm である。

[0037] ビア導体 14 (14a~14g) は、基板本体 10 に設けられている柱状の層間導体である。ビア導体 14 のそれぞれの一端は、グラウンド電極 13 に接続されている。ビア導体 14 のそれぞれの他端は、基板本体 10 の内部に設けられた中間グラウンド 16、および、中間ビア 17 を介して、基板本体 10 の底面側に設けられた基板グラウンド 15 に接続されている。基板グラウンド 15 は、図示しない配線により接地される。

[0038] 本実施の形態では、回路基板 1 を平面視した場合に、ビア導体 14 のそれぞれの一端は、凹凸部 13 a の凹凸形状に対応して、グラウンド電極 13 の凹凸部 13 a に接続されている。具体的には、ビア導体 14 a、14 b、14 c の一端は、グラウンド電極 13 の凸部 p 内であって、対応する凸部 p1、p2、p3 の中央にそれぞれ設けられている。また、ビア導体 14 d、14 e、14 f、14 g の一端は、グラウンド電極 13 の凹部 d よりも内側 (Y 方向プラス側) であって、対応する凹部 d1、d2、d3、d4 の X 方向の中央にそれぞれ設けられている。ビア導体 14 は円形状であり、その直径は凸部

pの突出寸法や幅よりも小さい。ビア導体14の直径は、例えば、0.10mmである。

[0039] なお、本実施の形態では、グラウンド電極13の凸部pと凹部dとが、交互に等ピッチで形成されているので、ビア導体14も、X方向に等ピッチで、かつ、Y方向に交互に位置を替えて千鳥状に形成されている。

[0040] 次に、回路基板1の製造方法について説明する。

[0041] まず、複数のセラミックグリーンシートを準備した後、それぞれのセラミックグリーンシートに複数のビア孔を形成し、これらのビア孔に導電ペーストを充填することで、複数のビア導体パターンを有するセラミックグリーンシートを形成する。

[0042] 次に、ビア導体パターンが形成された1つのセラミックグリーンシートに、導電ペーストを所定パターンで印刷して、グラウンド電極パターンおよび複数の信号ラインパターンを形成する。なお、ビア孔に導電ペーストを充填する際に、同時に、グラウンド電極パターンや信号ラインパターンを形成してもよい。

[0043] 一方、ビア導体パターンが形成された他のセラミックグリーンシートの表裏に、導電ペーストを所定パターンで印刷して、基板グラウンドパターン、中間ビアパターンおよび中間グラウンドパターンを形成する。

[0044] 次に、これら複数種類のセラミックグリーンシートを所定の順序で積み重ねて一体化し、未焼成積層体ブロックを形成する。その後、未焼成積層体ブロックを一括して焼成することで、信号ライン11、12、グラウンド電極13、ビア導体14、基板グラウンド15、中間グラウンド16および中間ビア17を有する回路基板1を作製する。

[0045] なお、これら信号ライン11、12、グラウンド電極13、ビア導体14、基板グラウンド15、中間グラウンド16および中間ビア17の材料としては、導電率の高い材料が用いられ、例えば、銀、銅、錫、ニッケル、金、または、これらの材料から選択される合金などが用いられる。

[0046] 本実施の形態は、前述したように、グラウンド電極13の外縁に凹凸部13

aが設けられているので、グランド電極13の縁（エッジ）の長さが長くなる。そのため、信号ライン11の電流 I_1 に伴って発生する、グランド電極13の励起電流 I_2 の電流経路が長くなる。

[0047] また、ビア導体14が、凹凸部13aの凹凸形状に対応して設けられているので、グランド電極13の縁の、ビア導体14に近接する部分が増える。そのため、励起電流 I_2 の電流経路からビア導体14を通して電流を逃がして、グランド電極13に流れる励起電流 I_2 を減らし、信号ライン12に発生する励起電流 I_3 を減らすことができる。

[0048] これらの結果、信号ライン11と信号ライン12とのアイソレーション性を高めることができる。

[0049] また、複数のビア導体14が、グランド電極13の凸部p内、および、凹部dより内側にそれぞれ接続されているので、励起電流 I_2 の電流経路のうちの、ビア導体14に近接する経路長が長くなる。そのため、ビア導体14を通して電流を逃がし、グランド電極13に流れる励起電流 I_2 を減らすことができる。その結果、信号ライン12に発生する励起電流 I_3 が減り、信号ライン11と信号ライン12とのアイソレーション性を高めることができる。

[0050] また、グランド電極13の凸部pと凹部dが、交互に等ピッチで形成されているので、励起電流 I_2 を適切に分散して減らすことができる。また、励起電流 I_2 に起因する放射ノイズ等の発生を抑制することができる。

[0051] また、グランド電極13の外縁のうち、信号ライン11、12の対向方向に沿う部分には励起電流が集中しやすいので、信号ライン11、12の対向方向に沿う部分に凹凸部13aを設けることで、励起電流 I_2 を減らすことができる。その結果、信号ライン11、12間のアイソレーション性を高めることができる。

[0052] 図4は、実施の形態1の変形例における回路基板1Aの一部を正面から見たときの断面図である。この回路基板1Aには、2つの信号ライン11、12、および、グランド電極13が基板本体10の主面10aに形成されている。グランド電極13は、複数のビア導体14、中間グランド16および中

間ビア１７を介して基板グラウンド１５に接続されている。

[0053] 基板本体１０の主面１０ａには、実装用電子部品６が搭載され、高周波信号の回り込みが発生しやすくなるが、電子部品実装面（主面１０ａ）にグラウンド電極１３を設けることで、回路基板１Ａの電子部品実装面における、高周波信号の回り込みを抑制することができる。その結果、信号ライン１１、１２間のアイソレーション性を高めることができる。

[0054] なお、回路基板１の内部に位置する中間グラウンド１６の外縁には、凹凸部１３ａを形成しないことが好ましい。中間グラウンド１６の外縁を凹凸形状とせず、中間グラウンド１６を四角形状とすることで、設計変更する際のビア導体の配置制約が少なくなる。

[0055] （実施の形態２）

図５は、実施の形態２に係る回路基板１Ｂの一部を上から見たときの断面図である。回路基板１Ｂには、ビア導体１４が、凸部ｐの内側にも形成されている。なお、実施の形態１と共通する構成については、同じ符号を記し、説明を省略する。

[0056] この回路基板１Ｂは、基板本体１０と、複数の信号ライン１１、１２と、グラウンド電極１３と、複数のビア導体１４（１４ａ～１４ｊ）とを備えている。

[0057] 本実施の形態の回路基板１Ｂは、前述したビア導体１４ａ～１４ｇに加え、ビア導体１４ｈ～１４ｊを有している。そして、回路基板１Ｂを平面視した場合に、これらビア導体１４ｈ～１４ｊが、グラウンド電極１３の凸部ｐよりも内側に接続されている。具体的には、ビア導体１４ｈ、１４ｉ、１４ｊが、凸部ｐ１、ｐ２、ｐ３よりもそれぞれ内側（Ｙ方向プラス側）に、かつ、凹部ｄの内側に位置するビア導体１４ｄ、１４ｅ、１４ｆ、１４ｇのそれぞれの間に設けられている。

[0058] また、ビア導体１４が、グラウンド電極１３の外縁の一部に沿って多列状に設けられている。具体的には、信号ライン１１、１２の対向方向に延びているグラウンド電極１３の一辺において、ビア導体１４ａ～１４ｊが２列となっ

て設けられている。

[0059] この構造により、グランド電極 13 を流れる励起電流 I_2 の電流経路のうち、ビア導体 14 に近接する経路長がさらに長くなる。そのため、ビア導体 14 を通して電流を逃がし、グランド電極 13 に流れる励起電流 I_2 を減らすことができる。その結果、信号ライン 12 に発生する励起電流 I_3 が減り、信号ライン 11、12 間のアイソレーション性を高めることができる。

[0060] 次に、実施の形態 2 に関する変形例について説明する。

[0061] 図 6 は、実施の形態 2 の変形例 1 における回路基板 1C の一部を上から見たときの断面図である。回路基板 1C は、グランド電極 13 の凸部 p1、p2 の先端の Y 方向マイナス側に、錨状の出っ張り部 b1、b2 をそれぞれ有している。

[0062] この回路基板 1C は、基板本体 10 と、複数の信号ライン 11、12 と、グランド電極 13 と、複数のビア導体 24 (24a~24k) とを備えている。

[0063] そして、グランド電極 13 の凸部 p1 の先端に出っ張り部 b1 が接続され、凸部 p2 の先端に出っ張り部 b2 が接続されている。これらの接続構造により、グランド電極 13 の外縁の一部に凹凸部 13a が形成されている。

[0064] ビア導体 24a、24b は、出っ張り部 b1 内に並んで設けられ、ビア導体 24c、24d は、出っ張り部 b2 内に並んで設けられている。ビア導体 24e、24f は、凸部 p1、p2 内にそれぞれ設けられ、ビア導体 24g~24k は、凹部 d1~d3 の内側にそれぞれ設けられている。

[0065] この回路基板 1C においても、実施形態 1 と同様に、信号ライン 11、12 間のアイソレーション性を高めることができる。

[0066] 図 7 は、実施の形態 2 の変形例 2 における回路基板 1D の一部を上から見たときの断面図である。回路基板 1D のグランド電極 13 は、円弧状の切り欠きを有している。

[0067] この回路基板 1D は、基板本体 10 と、複数の信号ライン 11、12 と、グランド電極 13 と、複数のビア導体 34 (34a~34g) とを備えてい

る。

[0068] グランド電極 1 3 には、円弧状の 2 つの切り欠きが形成されている。これらの切り欠きにより、グランド電極 1 3 の外縁の一部に凹凸部 1 3 a が形成されている。そして、グランド電極 1 3 の凸部 p 1、p 2、p 3 内には、ビア導体 3 4 a、3 4 b、3 4 c がそれぞれ接続されている。凹部 d 1 の内側には 2 つのビア導体 3 4 d、3 4 e が接続され、凹部 d 2 の内側には 2 つのビア導体 3 4 f、3 4 g が接続されている。

[0069] この回路基板 1 D においても、実施形態 1 と同様に、信号ライン 1 1、1 2 間のアイソレーション性を高めることができる。

[0070] 以上、本発明の実施の形態及びその変形例に係る回路基板について説明したが、本発明は、個々の実施の形態及びその変形例には限定されない。本発明の趣旨を逸脱しない限り、当業者が思いつく各種変形を本実施の形態及びその変形例に施したものや、異なる実施の形態及びその変形例における構成要素を組み合わせる構築される形態も、本発明の一つ又は複数の態様の範囲内に含まれてもよい。

[0071] 例えば、本実施の形態では、2 つの信号ラインの対向方向（X 方向）にグランド電極の凹凸部を形成し、それに対応して複数のビア導体を配列したが、それに限られず、2 つの信号ラインの延びる方向（Y 方向）にグランド電極の凹凸部を形成し、それに対応して複数のビア導体を配列してもよい。

[0072] また、1 つの凸部内に複数のビア導体を形成してもよい。複数のビア導体を配置するピッチは、異なってもよい。

[0073] また、2 つの信号ラインおよびグランド電極は、回路基板の端部に限られず、回路基板の中央に設けられていてもよい。2 つの信号ラインの間にグランド電極が配置されていれば、2 つの信号ラインおよびグランド電極は、回路基板の厚み方向（Z 方向）の異なる位置にそれぞれ設けられていてもよい。回路基板内に 3 以上の信号ラインが設けられている場合は、互いに向かい合う信号ラインの間にグランド電極を設ければよい。

産業上の利用可能性

[0074] 本発明は、無線通信装置などに内蔵される高周波モジュールの回路基板として広く利用できる。

符号の説明

- [0075] 1、1 A、1 B、1 C、1 D 回路基板
- 5 高周波モジュール
- 6 実装用電子部品
- 1 0 基板本体
- 1 0 a 基板本体の主面
- 1 1、1 2 信号ライン
- 1 3 グランド電極
- 1 3 a グランド電極の凹凸部
- 1 4、1 4 a～1 4 j、2 4、2 4 a～2 4 k、3 4、3 4 a～3 4 g
- ビア導体
- 1 5 基板グランド
- 1 6 中間グランド
- 1 7 中間ビア
- p、p 1～p 4 グランド電極の凸部
- d、d 1～d 5 グランド電極の凹部

請求の範囲

- [請求項1] 高周波信号を伝送する複数の信号ラインと、
前記複数の信号ラインの間にて、前記複数の信号ラインのそれぞれ
に対して間隔をあけて設けられているグラウンド電極と、
前記グラウンド電極に接続されている複数のビア導体と
を備える回路基板であって、
前記回路基板を平面視した場合に、
前記グラウンド電極の外縁の少なくとも一部に、外側に突出し内側に
窪む凹凸部が形成されており、
前記複数のビア導体は、前記凹凸部の凹凸形状に対応して前記凹凸
部に設けられている
回路基板。
- [請求項2] 前記複数のビア導体は、平面視で、前記凹凸部の凸部内、および、
凹部より内側にそれぞれ設けられている
請求項1に記載の回路基板。
- [請求項3] さらに、
前記複数のビア導体は、平面視で、前記凸部よりも内側に設けられ
ている
請求項2に記載の回路基板。
- [請求項4] 前記複数のビア導体は、前記グラウンド電極の前記外縁に沿って多列
状に設けられている
請求項1～3のいずれか1項に記載の回路基板。
- [請求項5] 前記グラウンド電極の前記凹凸部の凸部と凹部とが、交互に等ピッチ
で形成されている
請求項1～4のいずれか1項に記載の回路基板。
- [請求項6] 前記複数の信号ラインは、所定面内において対向しており、
前記グラウンド電極の前記凹凸部は、前記外縁のうちの、前記複数の
信号ラインの対向方向に沿う部分に設けられている

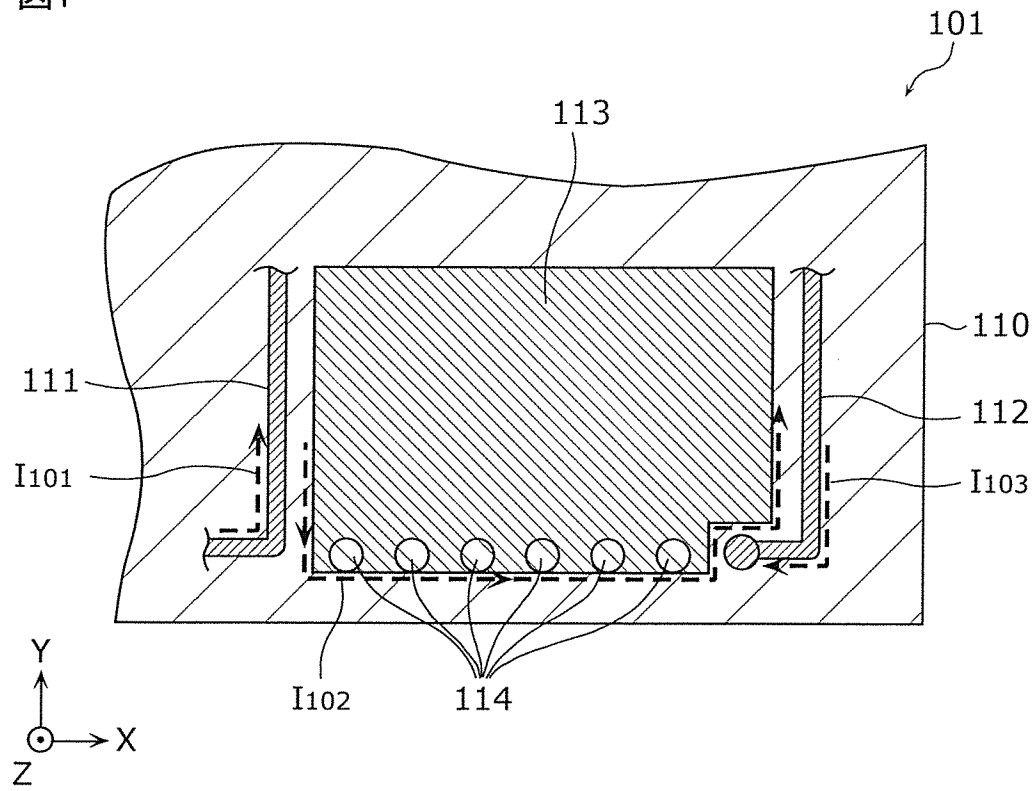
請求項 1 ～ 5 のいずれか 1 項に記載の回路基板。

[請求項7] 前記グランド電極および前記複数の信号ラインは、前記回路基板の電子部品実装面に設けられている

請求項 1 ～ 6 のいずれか 1 項に記載の回路基板。

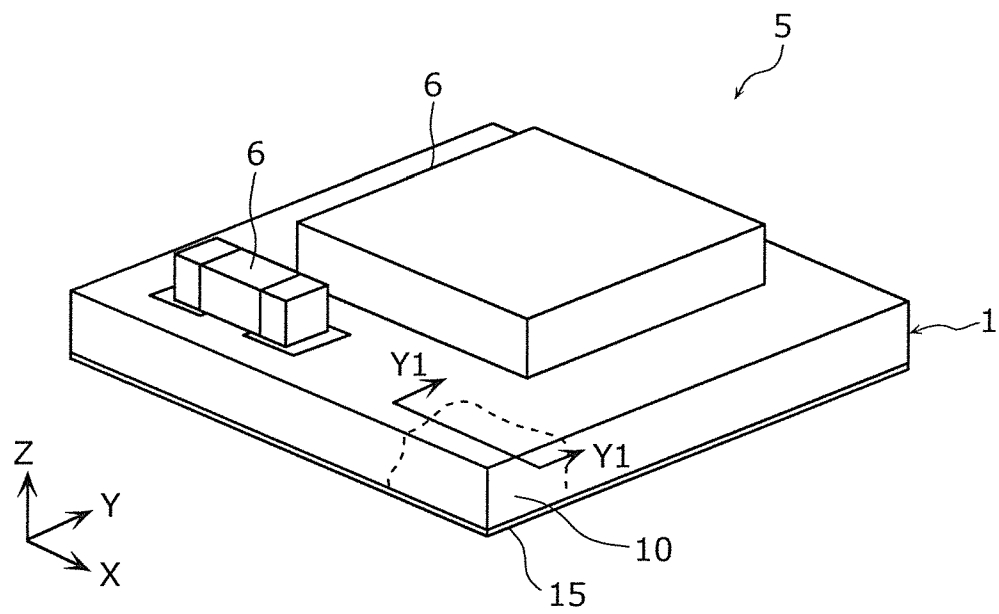
[図1]

図1



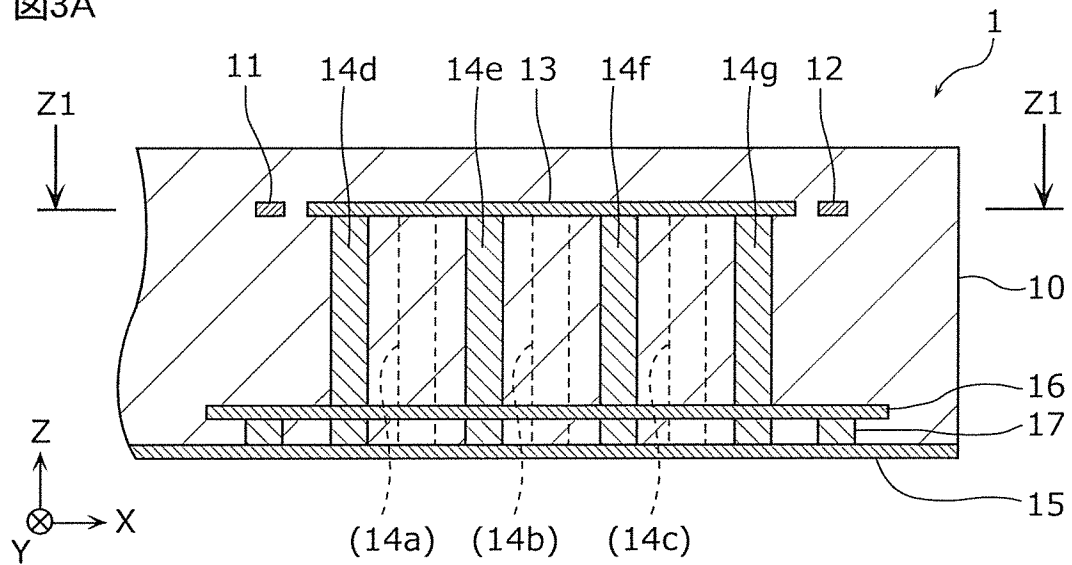
[図2]

図2



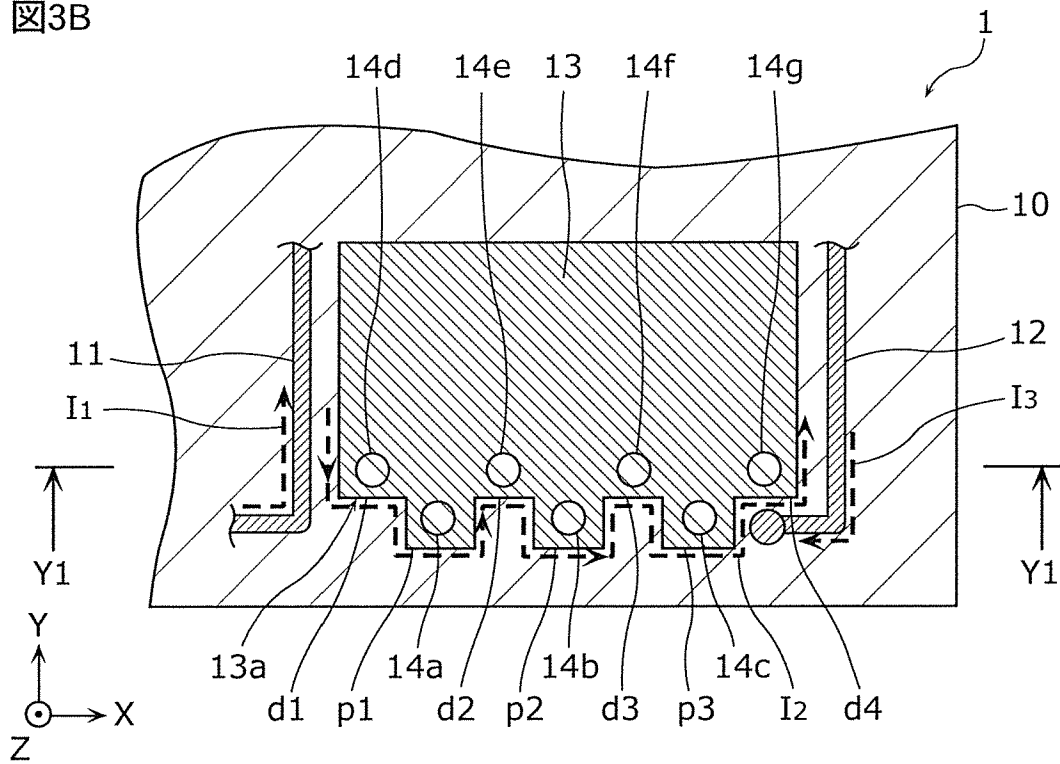
[図3A]

図3A



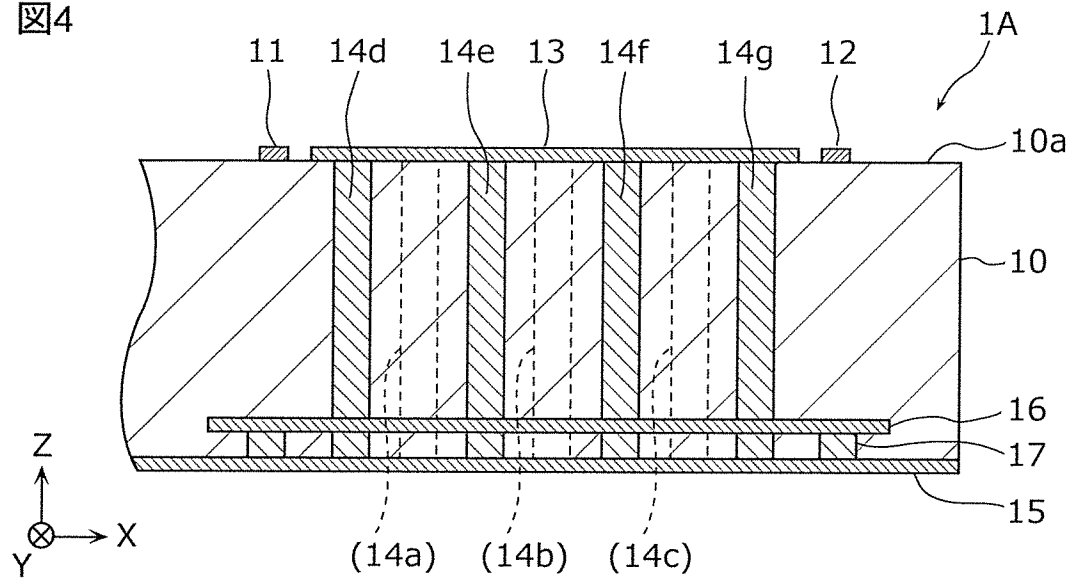
[図3B]

図3B



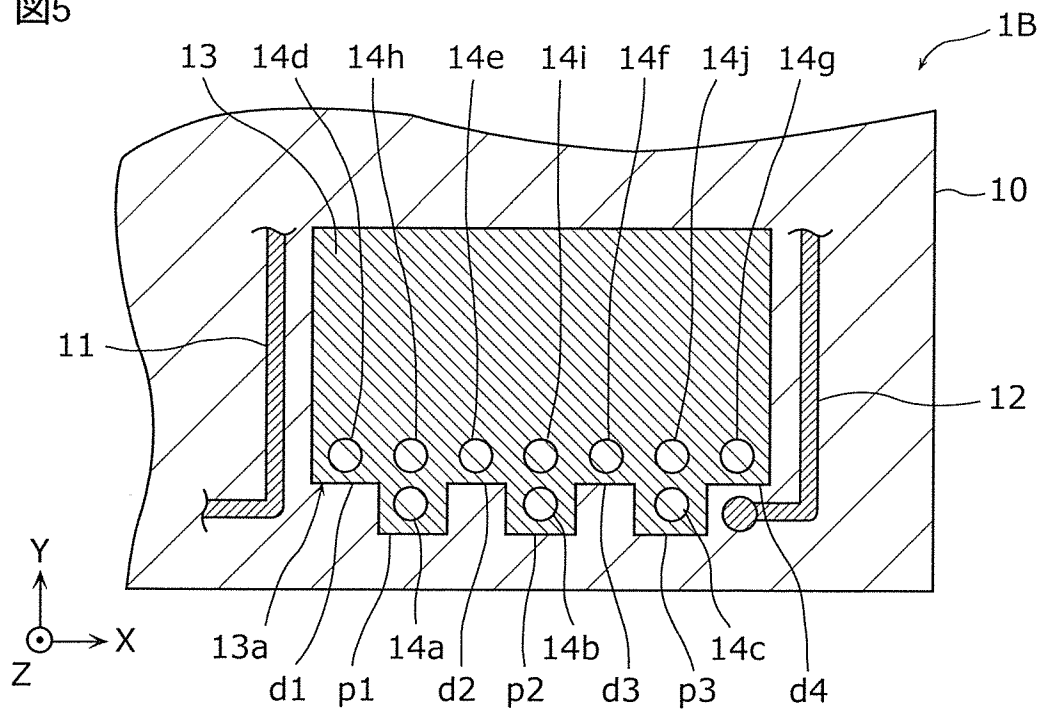
[図4]

図4



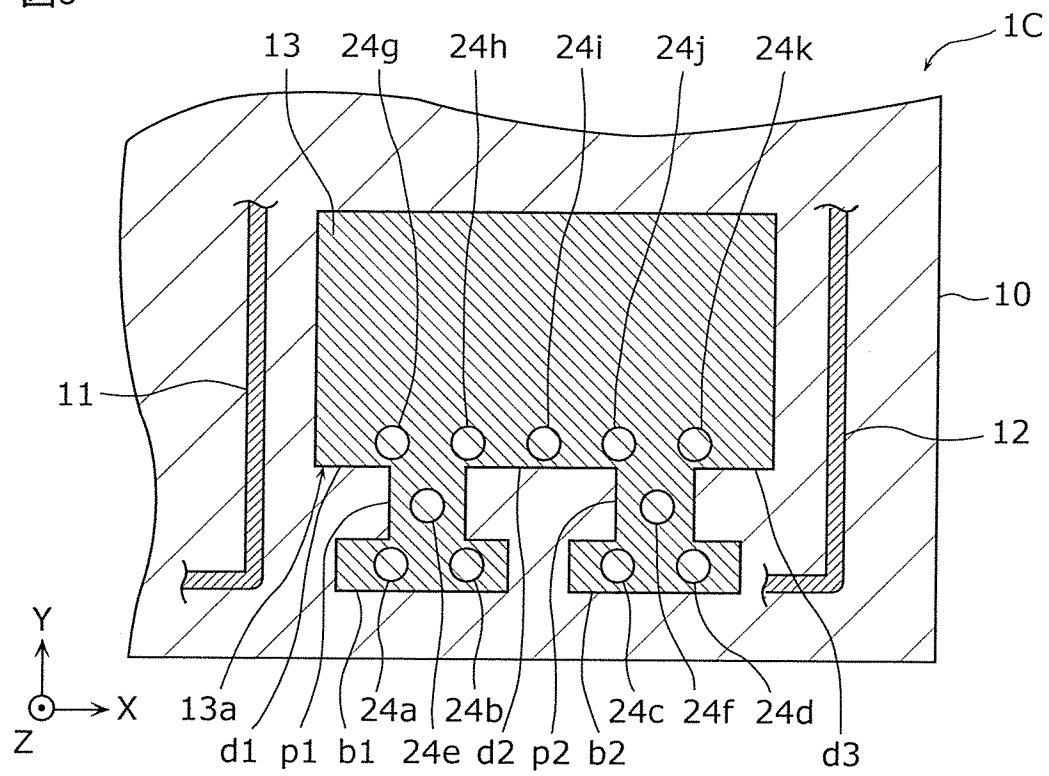
[図5]

図5



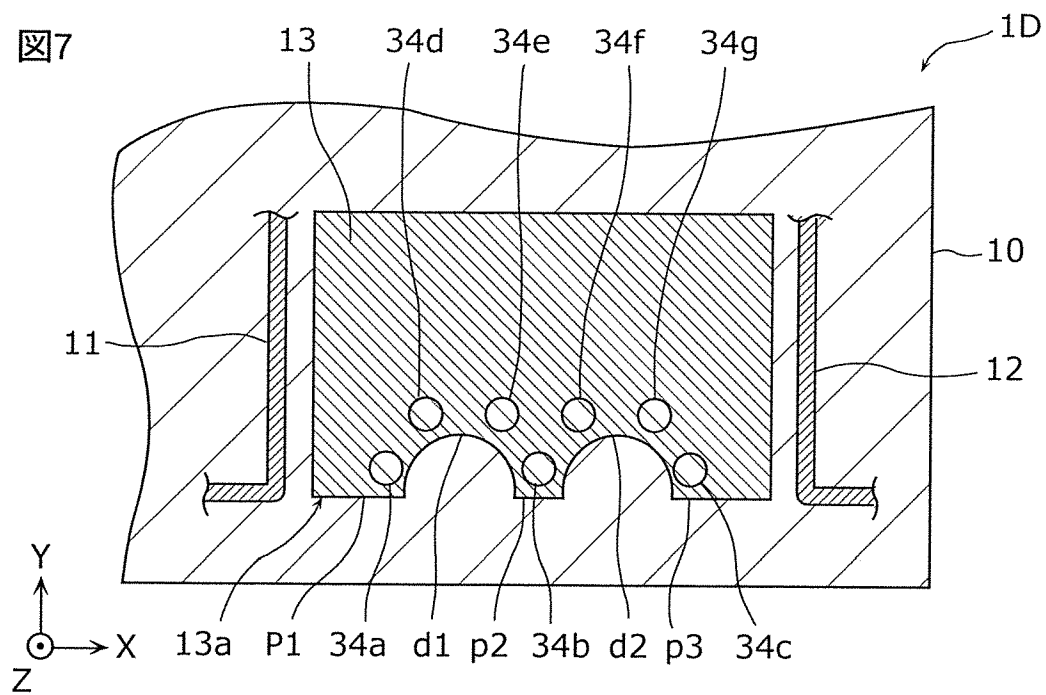
[図6]

図6



[図7]

図7



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/080811

A. CLASSIFICATION OF SUBJECT MATTER

H04B1/38(2015.01)i, H05K3/46(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04B1/38, H05K3/46

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2012/176401 A1 (Murata Mfg. Co., Ltd.), 27 December 2012 (27.12.2012), & JP 5618003 B2 & US 2014/0179364 A1 & CN 103620958 A	1-7
A	WO 2011/136100 A1 (Murata Mfg. Co., Ltd.), 03 November 2011 (03.11.2011), & JP 5545363 B2 & US 2013/0278350 A1 & CN 102870324 A	1-7
A	JP 11-330298 A (Murata Mfg. Co., Ltd.), 30 November 1999 (30.11.1999), (Family: none)	1-7

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
21 December 2016 (21.12.16)

Date of mailing of the international search report
10 January 2017 (10.01.17)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H04B1/38(2015.01)i, H05K3/46(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H04B1/38, H05K3/46

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2016年
日本国実用新案登録公報	1996-2016年
日本国登録実用新案公報	1994-2016年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	W0 2012/176401 A1（株式会社村田製作所）2012.12.27, & JP 5618003 B2 & US 2014/0179364 A1 & CN 103620958 A	1-7
A	W0 2011/136100 A1（株式会社村田製作所）2011.11.03, & JP 5545363 B2 & US 2013/0278350 A1 & CN 102870324 A	1-7
A	JP 11-330298 A（株式会社村田製作所）1999.11.30,（ファミリーなし）	1-7

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

21.12.2016

国際調査報告の発送日

10.01.2017

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

佐藤 敬介

5 K

9196

電話番号 03-3581-1101 内線 3556