



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2011년06월24일
(11) 등록번호 10-1043980
(24) 등록일자 2011년06월17일

(51) Int. Cl.

G11C 16/06 (2006.01) G11C 16/02 (2006.01)
H01L 21/8247 (2006.01) H01L 27/10 (2006.01)

(21) 출원번호 10-2009-7004858

(22) 출원일자(국제출원일자) 2006년09월29일

심사청구일자 2009년03월09일

(85) 번역문제출일자 2009년03월09일

(65) 공개번호 10-2009-0051206

(43) 공개일자 2009년05월21일

(86) 국제출원번호 PCT/JP2006/319598

(87) 국제공개번호 WO 2008/041306

국제공개일자 2008년04월10일

(56) 선행기술조사문헌

WO2006085373 A1*

JP2003100092 A*

JP06077437 A*

JP05167044 A*

*는 심사관에 의하여 인용된 문헌

전체 청구항 수 : 총 8 항

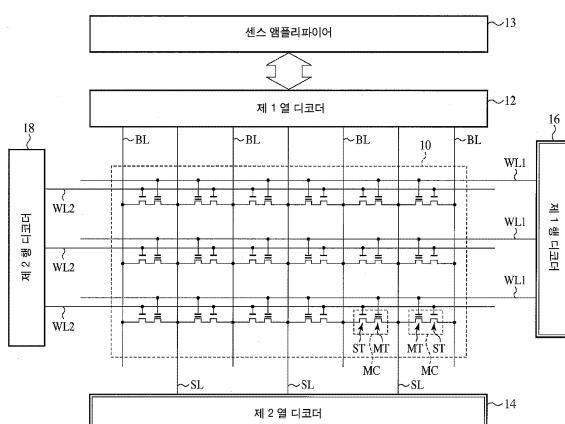
심사관 : 손윤식

(54) 불휘발성 반도체 기억 장치 및 그 판독 방법, 기입 방법 및 소거 방법

(57) 요 약

선택 트랜지스터(ST)와 메모리 셀 트랜지스터(MT)를 갖는 메모리 셀(MC)이 매트릭스 형상으로 배열되어서 이루어지는 메모리 셀 어레이(10)와, 비트 선(BL) 및 소스 선(SL)의 전위를 제어하는 제 1 열 디코더(12)와, 제 1 워드 선(WL1)의 전위를 제어하는 제 1 행 디코더(16)와, 제 2 워드 선(WL2)의 전위를 제어하는 제 2 행 디코더(14)와, 소스 선(SL)의 전위를 제어하는 제 2 열 디코더(18)를 갖고, 제 1 열 디코더는 제 1 행 디코더 및 제 2 열 디코더보다 내압이 낮은 회로에 의해 구성되어 있고, 제 2 행 디코더는 제 1 행 디코더 및 제 2 열 디코더보다 내압이 낮은 회로에 의해 구성되어 있다. 비트 선과 소스 선과 제 2 워드 선이 고속으로 제어될 수 있기 때문에, 메모리 셀 트랜지스터에 기입된 정보를 고속으로 판독할 수 있다.

대 표 도



특허청구의 범위

청구항 1

선택 트랜지스터와, 상기 선택 트랜지스터에 접속된 메모리 셀 트랜지스터를 갖는 메모리 셀이 매트릭스 형상으로 복수 배열되어서 이루어지는 메모리 셀 어레이와,

서로 인접하는 2개의 열에 존재하는 복수의 상기 선택 트랜지스터의 드레인을 공통 접속하는 비트 선과,

동일한 행에 존재하는 복수의 상기 메모리 셀 트랜지스터의 컨트롤 게이트를 공통 접속하는 제 1 워드 선과,

동일한 행에 존재하는 복수의 상기 선택 트랜지스터의 셀렉트 게이트를 공통 접속하는 제 2 워드 선과,

서로 인접하는 2개의 행에 존재하는 복수의 상기 메모리 셀 트랜지스터의 소스를 공통 접속하는 소스 선과,

복수의 상기 비트 선 및 복수의 상기 소스 선에 접속되고, 상기 복수의 비트 선 및 상기 복수의 소스 선의 전위를 제어하는 제 1 열 디코더와,

복수의 상기 제 1 워드 선에 접속되고, 상기 복수의 제 1 워드 선의 전위를 제어하는 제 1 행 디코더와,

복수의 상기 소스 선에 접속되고, 상기 복수의 소스 선의 전위를 제어하는 제 2 열 디코더를 갖고,

상기 제 1 열 디코더는 상기 제 1 행 디코더 및 상기 제 2 열 디코더보다 내압(耐壓)이 낮은 회로에 의해 구성되어 있으며,

상기 제 2 행 디코더는 상기 제 1 행 디코더 및 상기 제 2 열 디코더보다 내압이 낮은 회로에 의해 구성되어 있고,

상기 복수의 비트 선은 제 1 보호 트랜지스터를 통하여 각각 상기 제 1 열 디코더에 접속되어 있고,

상기 복수의 소스 선은 제 2 보호 트랜지스터를 통하여 각각 상기 제 1 열 디코더에 접속되어 있으며,

상기 복수의 제 2 워드 선은 제 3 보호 트랜지스터를 통하여 각각 상기 제 2 행 디코더에 접속되어 있고,

복수의 상기 제 1 보호 트랜지스터, 복수의 상기 제 2 보호 트랜지스터 및 복수의 상기 제 3 보호 트랜지스터를 제어하는 제어 회로를 갖는 것을 특징으로 하는 불휘발성 반도체 기억 장치.

청구항 2

삭제

청구항 3

제 1 항에 있어서,

상기 메모리 셀 트랜지스터는 반도체 기판 상에 터널 절연막을 통하여 형성된 플로팅 게이트와, 상기 플로팅 게이트 상에 절연막을 통하여 형성된 상기 컨트롤 게이트와, 상기 플로팅 게이트의 일방(一方)측의 상기 반도체 기판 내에 형성되고, 상기 소스를 구성하는 N형의 제 1 불순물 확산층과, 상기 플로팅 게이트의 타방(他方)측의 상기 반도체 기판 내에 형성된 N형의 제 2 불순물 확산층을 갖고,

상기 제 1 불순물 확산층이 형성된 영역을 포함하는 영역에 P형의 도편트(dopant) 불순물이 도입되어 있는 것을 특징으로 하는 불휘발성 반도체 기억 장치.

청구항 4

삭제

청구항 5

선택 트랜지스터와, 상기 선택 트랜지스터에 접속된 메모리 셀 트랜지스터를 갖는 메모리 셀이 매트릭스 형상으로 복수 배열되어서 이루어지는 메모리 셀 어레이와, 서로 인접하는 2개의 열에 존재하는 복수의 상기 선택 트

랜지스터의 드레인을 공통 접속하는 비트 선과, 동일한 행에 존재하는 복수의 상기 메모리 셀 트랜지스터의 컨트롤 게이트를 공통 접속하는 제 1 워드 선과, 동일한 행에 존재하는 복수의 상기 선택 트랜지스터의 셀렉트 게이트를 공통 접속하는 제 2 워드 선과, 서로 인접하는 2개의 행에 존재하는 복수의 상기 메모리 셀 트랜지스터의 소스를 공통 접속하는 소스 선과, 복수의 상기 비트 선 및 복수의 상기 소스 선에 접속되고, 상기 복수의 비트 선 및 상기 복수의 소스 선의 전위를 제어하는 제 1 열 디코더와, 복수의 상기 제 1 워드 선에 접속되고, 상기 복수의 제 2 워드 선의 전위를 제어하는 제 2 행 디코더와, 복수의 상기 제 2 워드 선에 접속되고, 상기 복수의 제 2 워드 선의 전위를 제어하는 제 2 열 디코더를 갖고, 상기 제 1 열 디코더는 상기 제 1 행 디코더 및 상기 제 2 행 디코더보다 내압이 낮은 회로에 의해 구성되어 있고, 상기 제 2 행 디코더는 상기 제 1 행 디코더 및 상기 제 2 열 디코더보다 내압이 낮은 회로에 의해 구성되어 있는 불휘발성 반도체 기억 장치의 판독 방법으로서,

상기 복수의 제 1 워드 선에 상기 제 1 행 디코더에 의해 제 1 전압을 인가하고, 상기 복수의 비트 선 및 상기 복수의 소스 선에 상기 제 1 열 디코더에 의해 제 2 전압을 인가하는 스텝과,

하나의 상기 메모리 셀의 상기 선택 트랜지스터의 상기 드레인에 접속된 하나의 상기 비트 선에, 상기 제 2 전압과 동등한 전압 또는 상기 제 2 전압보다 높은 전압인 제 3 전압을 상기 제 1 열 디코더에 의해 선택적으로 인가하고, 상기 하나의 메모리 셀의 상기 메모리 셀 트랜지스터의 상기 소스에 접속된 하나의 상기 소스 선을 상기 제 1 열 디코더에 의해 접지하는 스텝과,

상기 하나의 메모리 셀의 상기 선택 트랜지스터의 상기 셀렉트 게이트에 접속된 하나의 상기 제 2 워드 선에, 상기 제 2 행 디코더에 의해 제 4 전압을 인가하고, 상기 하나의 메모리 셀에 기입된 정보를 상기 하나의 비트 선의 전위에 근거해서 판독하는 스텝을 갖는 것을 특징으로 하는 불휘발성 반도체 기억 장치의 판독 방법.

청구항 6

선택 트랜지스터와, 상기 선택 트랜지스터에 접속된 메모리 셀 트랜지스터를 갖는 메모리 셀이 매트릭스 형상으로 복수 배열되어서 이루어지는 메모리 셀 어레이와, 서로 인접하는 2개의 열에 존재하는 복수의 상기 선택 트랜지스터의 드레인을 공통 접속하는 비트 선과, 동일한 행에 존재하는 복수의 상기 메모리 셀 트랜지스터의 컨트롤 게이트를 공통 접속하는 제 1 워드 선과, 동일한 행에 존재하는 복수의 상기 선택 트랜지스터의 셀렉트 게이트를 공통 접속하는 제 2 워드 선과, 서로 인접하는 2개의 행에 존재하는 복수의 상기 메모리 셀 트랜지스터의 소스를 공통 접속하는 소스 선과, 복수의 상기 비트 선 및 복수의 상기 소스 선에 접속되고, 상기 복수의 비트 선 및 상기 복수의 소스 선의 전위를 제어하는 제 1 열 디코더와, 복수의 상기 제 1 워드 선에 접속되고, 상기 복수의 제 2 워드 선의 전위를 제어하는 제 1 행 디코더와, 복수의 상기 제 2 워드 선에 접속되고, 상기 복수의 제 2 워드 선의 전위를 제어하는 제 2 행 디코더와, 복수의 상기 소스 선에 접속되고, 상기 복수의 소스 선의 전위를 제어하는 제 2 열 디코더를 갖고, 상기 제 1 열 디코더는 상기 제 1 행 디코더 및 상기 제 2 행 디코더보다 내압이 낮은 회로에 의해 구성되어 있고, 상기 제 2 행 디코더는 상기 제 1 행 디코더 및 상기 제 2 열 디코더보다 내압이 낮은 회로에 의해 구성되어 있는 불휘발성 반도체 기억 장치의 판독 방법으로서,

상기 복수의 제 1 워드 선에 상기 제 1 행 디코더에 의해 제 1 전압을 인가하고, 상기 복수의 비트 선 및 상기 복수의 소스 선에 상기 제 1 열 디코더에 의해 제 2 전압을 인가하는 스텝과,

하나의 상기 메모리 셀의 상기 선택 트랜지스터의 상기 드레인에 접속된 하나의 상기 비트 선에, 상기 제 2 전압보다 높은 전압인 제 3 전압을 상기 제 1 열 디코더에 의해 선택적으로 인가하고, 상기 하나의 비트 선에 대하여 제 1 측에 위치하고, 상기 하나의 메모리 셀의 상기 메모리 셀 트랜지스터의 상기 소스에 접속된 하나의 상기 소스 선을 상기 제 1 열 디코더에 의해 접지하는 스텝과,

상기 하나의 메모리 셀의 상기 선택 트랜지스터의 상기 셀렉트 게이트에 접속된 하나의 상기 제 2 워드 선에 상기 제 2 행 디코더에 의해 제 4 전압을 인가하고, 상기 하나의 소스 선과 상이한 다른 상기 소스 선의 전위와 상기 하나의 비트 선의 전위를 비교함으로써, 상기 하나의 메모리 셀에 기입된 정보를 판독하는 스텝을 갖는 것을 특징으로 하는 불휘발성 반도체 기억 장치의 판독 방법.

청구항 7

선택 트랜지스터와, 상기 선택 트랜지스터에 접속된 메모리 셀 트랜지스터를 갖는 메모리 셀이 매트릭스 형상으로 복수 배열되어서 이루어지는 메모리 셀 어레이와, 서로 인접하는 2개의 열에 존재하는 복수의 상기 선택 트랜지스터의 드레인을 공통 접속하는 비트 선과, 동일한 행에 존재하는 복수의 상기 메모리 셀 트랜지스터의 컨

트롤 게이트를 공통 접속하는 제 1 워드 선과, 동일한 행에 존재하는 복수의 상기 선택 트랜지스터의 셀렉트 게이트를 공통 접속하는 제 2 워드 선과, 서로 인접하는 2개의 행에 존재하는 복수의 상기 메모리 셀 트랜지스터의 소스를 공통 접속하는 소스 선과, 복수의 상기 비트 선 및 복수의 상기 소스 선에 접속되고, 상기 복수의 비트 선 및 상기 복수의 소스 선의 전위를 제어하는 제 1 열 디코더와, 복수의 상기 제 1 워드 선에 접속되고, 상기 복수의 제 1 워드 선의 전위를 제어하는 제 1 행 디코더와, 복수의 상기 제 2 워드 선에 접속되고, 상기 복수의 제 2 워드 선의 전위를 제어하는 제 2 행 디코더와, 복수의 상기 소스 선에 접속되고, 상기 복수의 소스 선의 전위를 제어하는 제 2 열 디코더를 갖고, 상기 제 1 열 디코더는 상기 제 1 행 디코더 및 상기 제 2 열 디코더보다 내압이 낮은 회로에 의해 구성되어 있고, 상기 제 2 행 디코더는 상기 제 1 행 디코더 및 상기 제 2 열 디코더보다 내압이 낮은 회로에 의해 구성되어 있는 불휘발성 반도체 기억 장치의 기입 방법으로서,

하나의 상기 메모리 셀의 상기 선택 트랜지스터의 상기 드레인에 접속된 하나의 상기 비트 선을 상기 제 1 열 디코더에 의해 접지하고,

상기 하나의 비트 선에 대하여 제 1 측에 위치하고, 상기 하나의 메모리 셀의 메모리 셀 트랜지스터의 상기 소스에 접속된 하나의 상기 소스 선에 상기 제 2 열 디코더에 의해 제 1 전압을 인가하며,

상기 하나의 소스 선에 대하여 상기 제 1 측에 위치하고, 상기 하나의 소스 선에 인접하는 다른 비트 선에 상기 제 1 열 디코더에 의해 제 2 전압을 인가하고,

상기 하나의 메모리 셀의 상기 메모리 셀 트랜지스터의 상기 컨트롤 게이트에 접속된 하나의 상기 제 1 워드 선에 제 3 전압을 상기 제 1 행 디코더에 의해 인가하며,

상기 하나의 메모리 셀의 상기 선택 트랜지스터의 상기 셀렉트 게이트에 접속된 하나의 상기 제 2 워드 선에 상기 제 2 행 디코더에 의해 제 4 전압을 인가함으로써,

상기 하나의 메모리 셀에 정보를 기입하는 것을 특징으로 하는 불휘발성 반도체 기억 장치의 기입 방법.

청구항 8

제 7 항에 있어서,

상기 하나의 비트 선을 접지하고, 상기 다른 비트 선에 상기 제 2 전압을 인가한 후에, 상기 하나의 제 2 워드 선에 상기 제 4 전압을 인가하고,

상기 하나의 제 2 워드 선에 상기 제 4 전압을 인가한 후에, 상기 하나의 제 1 워드 선에 상기 제 3 전압을 선택적으로 인가하며,

상기 하나의 제 1 워드 선에 상기 제 3 전압을 인가한 후에, 상기 하나의 소스 선에 상기 제 1 전압을 인가함으로써, 상기 하나의 메모리 셀에 정보를 기입하는 것을 특징으로 하는 불휘발성 반도체 기억 장치의 기입 방법.

청구항 9

선택 트랜지스터와, 상기 선택 트랜지스터에 접속된 메모리 셀 트랜지스터를 갖는 메모리 셀이 매트릭스 형상으로 복수 배열되어서 이루어지는 메모리 셀 어레이와, 서로 인접하는 2개의 열에 존재하는 복수의 상기 선택 트랜지스터의 드레인을 공통 접속하는 비트 선과, 동일한 행에 존재하는 복수의 상기 메모리 셀 트랜지스터의 컨트롤 게이트를 공통 접속하는 제 1 워드 선과, 동일한 행에 존재하는 복수의 상기 선택 트랜지스터의 셀렉트 게이트를 공통 접속하는 제 2 워드 선과, 서로 인접하는 2개의 행에 존재하는 복수의 상기 메모리 셀 트랜지스터의 소스를 공통 접속하는 소스 선과, 복수의 상기 비트 선에 제 1 보호 트랜지스터를 통하여 접속되고, 복수의 상기 소스 선에 제 2 보호 트랜지스터를 통하여 접속되며, 상기 복수의 비트 선 및 상기 복수의 소스 선의 전위를 제어하는 제 1 열 디코더와, 복수의 상기 제 1 워드 선에 접속되고, 상기 복수의 제 1 워드 선의 전위를 제어하는 제 1 행 디코더와, 복수의 상기 제 2 워드 선에 제 3 보호 트랜지스터를 통하여 접속되고, 상기 복수의 제 2 워드 선의 전위를 제어하는 제 2 행 디코더와, 복수의 상기 소스 선에 접속되고, 상기 복수의 소스 선의 전위를 제어하는 제 2 열 디코더와, 복수의 상기 제 1 보호 트랜지스터, 복수의 상기 제 2 보호 트랜지스터 및 복수의 상기 제 3 보호 트랜지스터를 제어하는 제어 회로를 가지며, 상기 제 1 열 디코더는 상기 제 1 행 디코더 및 상기 제 2 열 디코더보다 내압이 낮은 회로에 의해 구성되어 있고, 상기 제 2 행 디코더는 상기 제 1 행 디코더 및 상기 제 2 열 디코더보다 내압이 낮은 회로에 의해 구성되어 있는 불휘발성 반도체 기억 장치의 기입 방법으로서,

상기 제어 회로에 의해 상기 제 2 보호 트랜지스터를 제어함으로써 상기 복수의 소스 선을 상기 제 1 행 디코더로부터 전기적으로 분리하고,

하나의 상기 메모리 셀의 상기 선택 트랜지스터의 상기 드레인에 접속된 하나의 상기 비트 선을 상기 제 1 열 디코더에 의해 접지하며,

상기 하나의 비트 선에 대하여 제 1 측에 위치하고, 상기 하나의 메모리 셀의 메모리 셀 트랜지스터의 상기 소스에 접속된 하나의 상기 소스 선에 상기 제 2 열 디코더에 의해 제 1 전압을 인가하고,

상기 하나의 소스 선에 대하여 상기 제 1 측에 위치하고, 상기 하나의 소스 선에 인접하는 다른 비트 선에 상기 제 1 열 디코더에 의해 제 2 전압을 인가하며,

상기 하나의 메모리 셀의 상기 메모리 셀 트랜지스터의 상기 컨트롤 게이트에 접속된 하나의 상기 제 1 워드 선에 제 3 전압을 상기 제 1 행 디코더에 의해 인가하고,

상기 하나의 메모리 셀의 상기 선택 트랜지스터의 상기 셀렉트 게이트에 접속된 하나의 상기 제 2 워드 선에 상기 제 2 행 디코더에 의해 제 4 전압을 인가함으로써,

상기 하나의 메모리 셀에 정보를 기입하는 것을 특징으로 하는 불휘발성 반도체 기억 장치의 기입 방법.

청구항 10

선택 트랜지스터와, 상기 선택 트랜지스터에 접속된 메모리 셀 트랜지스터를 갖는 메모리 셀이 매트릭스 형상으로 복수 배열되어서 이루어지는 메모리 셀 어레이와, 서로 인접하는 2개의 열에 존재하는 복수의 상기 선택 트랜지스터의 드레인을 공통 접속하는 비트 선과, 동일한 행에 존재하는 복수의 상기 메모리 셀 트랜지스터의 컨트롤 게이트를 공통 접속하는 제 1 워드 선과, 동일한 행에 존재하는 복수의 상기 선택 트랜지스터의 셀렉트 게이트를 공통 접속하는 제 2 워드 선과, 서로 인접하는 2개의 행에 존재하는 복수의 상기 메모리 셀 트랜지스터의 소스를 공통 접속하는 소스 선과, 복수의 상기 비트 선에 제 1 보호 트랜지스터를 통하여 접속되고, 복수의 상기 소스 선에 제 2 보호 트랜지스터를 통하여 접속되며, 상기 복수의 비트 선 및 상기 복수의 소스 선의 전위를 제어하는 제 1 열 디코더와, 복수의 상기 제 1 워드 선에 접속되고, 상기 복수의 제 1 워드 선의 전위를 제어하는 제 1 행 디코더와, 복수의 상기 제 2 워드 선에 제 3 보호 트랜지스터를 통하여 접속되고, 상기 복수의 제 2 워드 선의 전위를 제어하는 제 2 행 디코더와, 복수의 상기 소스 선에 접속되고, 상기 복수의 소스 선의 전위를 제어하는 제 2 열 디코더와, 복수의 상기 제 1 보호 트랜지스터, 복수의 상기 제 2 보호 트랜지스터 및 복수의 상기 제 3 보호 트랜지스터를 제어하는 제어 회로를 가지며, 상기 제 1 열 디코더는 상기 제 1 행 디코더 및 상기 제 2 열 디코더보다 내압이 낮은 회로에 의해 구성되어 있고, 상기 제 2 행 디코더는 상기 제 1 행 디코더 및 상기 제 2 열 디코더보다 내압이 낮은 회로에 의해 구성되어 있는 불휘발성 반도체 기억 장치의 소거 방법으로서,

상기 제어 회로에 의해 상기 제 1 보호 트랜지스터를 제어함으로써, 상기 복수의 비트 선을 상기 제 1 행 디코더로부터 전기적으로 분리하고,

상기 제어 회로에 의해 상기 제 2 보호 트랜지스터를 제어함으로써, 상기 복수의 소스 선을 상기 제 1 행 디코더로부터 전기적으로 분리하며,

상기 제어 회로에 의해 상기 제 3 보호 트랜지스터를 제어함으로써, 상기 제 2 행 디코더를 상기 복수의 제 2 워드 선으로부터 전기적으로 분리하고,

상기 제 1 행 디코더에 의해 상기 복수의 제 1 워드 선에 전압을 인가함으로써, 상기 메모리 셀에 기입된 정보를 소거하는 것을 특징으로 하는 불휘발성 반도체 기억 장치의 소거 방법.

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

명세서

기술 분야

[0001] 본 발명은 불휘발성 반도체 기억 장치 및 그 판독 방법, 기입 방법 및 소거 방법에 관한 것이다.

배경기술

[0002] 최근, 선택 트랜지스터와 메모리 셀 트랜지스터에 의해 메모리 셀을 구성한 불휘발성 반도체 기억 장치가 제안되고 있다(특허문헌 1, 2 참조).

[0003] 이러한 불휘발성 반도체 기억 장치에서는, 비트 선, 워드 선, 소스 선 등을 열 디코더나 행 디코더에 의해 적절히 선택함으로써, 메모리 셀이 선택되고, 선택된 메모리 셀에 대하여 정보의 판독, 기입, 소거 등이 행해진다.

[0004] 또한, 본원발명의 배경기술로서는 이하와 같은 것이 있다.

[0005] 특허문헌 1: 일본국 공개특허 2005-116970호 공보

[0006] 특허문헌 2: 일본국 공개특허 2005-122772호 공보

[0007] 특허문헌 3: 일본국 공개특허 평11-177068호 공보

발명의 상세한 설명

[0008] 그러나, 제안되어 있는 불휘발성 반도체 기억 장치에서는, 열 디코더와 행 디코더 모두에 고내압 회로(고전압 회로)가 사용되어 있었다. 고내압 회로에는 두꺼운 게이트 절연막을 갖는 고내압 트랜지스터가 사용되고 있기 때문에, 메모리 셀에 기입된 정보를 고속으로 판독하는 것이 곤란했다.

[0009] 본 발명은 고속으로 동작할 수 있는 불휘발성 반도체 기억 장치 및 그 판독 방법, 기입 방법 및 소거 방법을 제공하는 것을 목적으로 한다.

[0010] 본 발명의 일 관점에 의하면, 선택 트랜지스터와, 상기 선택 트랜지스터에 접속된 메모리 셀 트랜지스터를 갖는 메모리 셀이 매트릭스 형상으로 복수 배열되어서 이루어지는 메모리 셀 어레이와, 서로 인접하는 2개의 열에 존재하는 복수의 상기 선택 트랜지스터의 드레인을 공통 접속하는 비트 선과, 동일한 행에 존재하는 복수의 상기 메모리 셀 트랜지스터의 컨트롤 게이트를 공통 접속하는 제 1 워드 선과, 동일한 행에 존재하는 복수의 상기 선택 트랜지스터의 셀렉트 게이트를 공통 접속하는 제 2 워드 선과, 서로 인접하는 2개의 행에 존재하는 복수의 상기 메모리 셀 트랜지스터의 소스를 공통 접속하는 소스 선과, 복수의 상기 비트 선 및 복수의 상기 소스 선에 접속되고, 상기 복수의 비트 선 및 상기 복수의 소스 선의 전위를 제어하는 제 1 열 디코더와, 복수의 상기 제 1 워드 선에 접속되고, 상기 복수의 제 1 워드 선의 전위를 제어하는 제 1 행 디코더와, 복수의 상기 제 2 워드 선에 접속되고, 상기 복수의 제 2 워드 선의 전위를 제어하는 제 2 행 디코더와, 복수의 상기 소스 선에 접속되고, 상기 복수의 소스 선의 전위를 제어하는 제 2 열 디코더를 갖고, 상기 제 1 열 디코더는 상기 제 1 행 디코더 및 상기 제 2 열 디코더보다 내압(耐壓)이 낮은 회로에 의해 구성되어 있으며, 상기 제 2 행 디코더는 상기 제 1 행 디코더 및 상기 제 2 열 디코더보다 내압이 낮은 회로에 의해 구성되어 있는 것을 특징으로 하는 불휘발성 반도체 기억 장치가 제공된다.

[0011] 본 발명의 다른 관점에 의하면, 선택 트랜지스터와, 상기 선택 트랜지스터에 접속된 메모리 셀 트랜지스터를 갖는 메모리 셀이 매트릭스 형상으로 복수 배열되어서 이루어지는 메모리 셀 어레이와, 서로 인접하는 2개의 열에 존재하는 복수의 상기 선택 트랜지스터의 드레인을 공통 접속하는 비트 선과, 동일한 행에 존재하는 복수의 상기 메모리 셀 트랜지스터의 컨트롤 게이트를 공통 접속하는 제 1 워드 선과, 동일한 행에 존재하는 복수의 상기 선택 트랜지스터의 셀렉트 게이트를 공통 접속하는 제 2 워드 선과, 서로 인접하는 2개의 행에 존재하는 복수의

상기 메모리 셀 트랜지스터의 소스를 공통 접속하는 소스 선과, 복수의 상기 비트 선 및 복수의 상기 소스 선에 접속되고, 상기 복수의 비트 선 및 상기 복수의 소스 선의 전위를 제어하는 제 1 열 디코더와, 복수의 상기 제 1 워드 선에 접속되고, 상기 복수의 제 1 워드 선의 전위를 제어하는 제 1 행 디코더와, 복수의 상기 제 2 워드 선에 접속되고, 상기 복수의 제 2 워드 선의 전위를 제어하는 제 2 행 디코더와, 복수의 상기 소스 선에 접속되고, 상기 복수의 소스 선의 전위를 제어하는 제 2 열 디코더를 갖고, 상기 제 1 열 디코더는 상기 제 1 행 디코더 및 상기 제 2 열 디코더보다 내압이 낮은 회로에 의해 구성되어 있으며, 상기 제 2 행 디코더는 상기 제 1 행 디코더 및 상기 제 2 열 디코더보다 내압이 낮은 회로에 의해 구성되어 있는 불휘발성 반도체 기억 장치의 판독 방법으로서, 하나의 상기 메모리 셀의 상기 선택 트랜지스터의 상기 드레인에 접속된 하나의 상기 비트 선에, 상기 제 1 열 디코더에 의해 제 1 전압을 인가하고, 상기 하나의 비트 선에 대하여 제 1 측에 위치하고, 상기 하나의 메모리 셀의 상기 메모리 셀 트랜지스터의 상기 소스에 접속된 하나의 상기 소스 선을, 상기 제 1 열 디코더에 의해 접지하며, 상기 하나의 메모리 셀의 상기 메모리 셀 트랜지스터의 상기 컨트롤 게이트에 접속된 하나의 상기 제 1 워드 선에 상기 제 1 행 디코더에 의해 제 2 전압을 인가하고, 상기 하나의 메모리 셀의 상기 선택 트랜지스터의 상기 셀렉트 게이트에 접속된 하나의 상기 제 2 워드 선에 상기 제 2 행 디코더에 의해 제 3 전압을 인가함으로써, 상기 하나의 비트 선의 전위에 의거하여 상기 하나의 메모리 셀에 기입된 정보를 판독하는 것을 특징으로 하는 불휘발성 반도체 기억 장치의 판독 방법이 제공된다.

[0012] 본 발명의 또 다른 관점에 의하면, 선택 트랜지스터와, 상기 선택 트랜지스터에 접속된 메모리 셀 트랜지스터를 갖는 메모리 셀이 매트릭스 형상으로 복수 배열되어서 이루어지는 메모리 셀 어레이와, 서로 인접하는 2개의 열에 존재하는 복수의 상기 선택 트랜지스터의 드레인을 공통 접속하는 비트 선과, 동일한 행에 존재하는 복수의 상기 메모리 셀 트랜지스터의 컨트롤 게이트를 공통 접속하는 제 1 워드 선과, 동일한 행에 존재하는 복수의 상기 선택 트랜지스터의 셀렉트 게이트를 공통 접속하는 제 2 워드 선과, 서로 인접하는 2개의 행에 존재하는 복수의 상기 메모리 셀 트랜지스터의 소스를 공통 접속하는 소스 선과, 복수의 상기 비트 선 및 복수의 상기 소스 선에 접속되고, 상기 복수의 비트 선 및 상기 복수의 소스 선의 전위를 제어하는 제 1 열 디코더와, 복수의 상기 제 1 워드 선에 접속되고, 상기 복수의 제 1 워드 선의 전위를 제어하는 제 1 행 디코더와, 복수의 상기 소스 선에 접속되고, 상기 복수의 소스 선의 전위를 제어하는 제 2 열 디코더를 갖고, 상기 제 1 열 디코더는 상기 제 1 행 디코더 및 상기 제 2 열 디코더보다 내압이 낮은 회로에 의해 구성되어 있고, 상기 제 2 행 디코더는 상기 제 1 행 디코더 및 상기 제 2 열 디코더보다 내압이 낮은 회로에 의해 구성되어 있는 불휘발성 반도체 기억 장치의 판독 방법으로서, 상기 복수의 제 1 워드 선에 상기 제 1 행 디코더에 의해 제 1 전압을 인가하고, 상기 복수의 비트 선 및 상기 복수의 소스 선에 상기 제 1 열 디코더에 의해 제 2 전압을 인가하는 스텝파, 하나의 상기 메모리 셀의 상기 선택 트랜지스터의 상기 드레인에 접속된 하나의 상기 비트 선에, 상기 제 2 전압과 동등한 전압 또는 상기 제 2 전압보다 높은 전압인 제 3 전압을 상기 제 1 열 디코더에 의해 선택적으로 인가하고, 상기 하나의 메모리 셀의 상기 메모리 셀 트랜지스터의 상기 소스에 접속된 하나의 상기 소스 선을 상기 제 1 열 디코더에 의해 접지하는 스텝파, 상기 하나의 메모리 셀의 상기 선택 트랜지스터의 상기 셀렉트 게이트에 접속된 하나의 상기 제 2 워드 선에, 상기 제 2 행 디코더에 의해 제 4 전압을 인가하고, 상기 하나의 메모리 셀에 기입된 정보를 상기 하나의 비트 선의 전위에 근거해서 판독하는 스텝을 갖는 것을 특징으로 하는 불휘발성 반도체 기억 장치의 판독 방법이 제공된다.

[0013] 본 발명의 또 다른 관점에 의하면, 선택 트랜지스터와, 상기 선택 트랜지스터에 접속된 메모리 셀 트랜지스터를 갖는 메모리 셀이 매트릭스 형상으로 복수 배열되어서 이루어지는 메모리 셀 어레이와, 서로 인접하는 2개의 열에 존재하는 복수의 상기 선택 트랜지스터의 드레인을 공통 접속하는 비트 선과, 동일한 행에 존재하는 복수의 상기 메모리 셀 트랜지스터의 컨트롤 게이트를 공통 접속하는 제 1 워드 선과, 동일한 행에 존재하는 복수의 상기 선택 트랜지스터의 셀렉트 게이트를 공통 접속하는 제 2 워드 선과, 서로 인접하는 2개의 행에 존재하는 복수의 상기 메모리 셀 트랜지스터의 소스를 공통 접속하는 소스 선과, 복수의 상기 비트 선 및 복수의 상기 소스 선에 접속되고, 상기 복수의 비트 선 및 상기 복수의 소스 선의 전위를 제어하는 제 1 열 디코더와, 복수의 상기 제 1 워드 선에 접속되고, 상기 복수의 제 1 워드 선의 전위를 제어하는 제 1 행 디코더와, 복수의 상기 제 2 워드 선에 접속되고, 상기 복수의 제 2 워드 선의 전위를 제어하는 제 2 행 디코더와, 복수의 상기 소스 선에 접속되고, 상기 복수의 소스 선의 전위를 제어하는 제 2 열 디코더를 갖고, 상기 제 1 열 디코더는, 상기 제 1 행 디코더 및 상기 제 2 열 디코더보다 내압이 낮은 회로에 의해 구성되어 있고, 상기 제 2 행 디코더는, 상기 제 1 행 디코더 및 상기 제 2 열 디코더보다 내압이 낮은 회로에 의해 구성되어 있는 불휘발성 반도체 기억 장치의 판독 방법으로서, 상기 복수의 제 1 워드 선에 상기 제 1 행 디코더에 의해 제 1 전압을 인가하고, 상기 복수의 비트 선 및 상기 복수의 소스 선에 상기 제 1 열 디코더에 의해 제 2 전압을 인가하는 스텝파, 하나의

상기 메모리 셀의 상기 선택 트랜지스터의 상기 드레인에 접속된 하나의 상기 비트 선에, 상기 제 2 전압보다 높은 전압인 제 3 전압을 상기 제 1 열 디코더에 의해 선택적으로 인가하고, 상기 하나의 비트 선에 대하여 제 1 측에 위치하고, 상기 하나의 메모리 셀의 상기 메모리 셀 트랜지스터의 상기 소스에 접속된 하나의 상기 소스 선을 상기 제 1 열 디코더에 의해 접지하는 스텝과, 상기 하나의 메모리 셀의 상기 선택 트랜지스터의 상기 셀렉트 게이트에 접속된 하나의 상기 제 2 워드 선에 상기 제 2 행 디코더에 의해 제 4 전압을 인가하고, 상기 하나의 소스 선과 상이한 다른 상기 소스 선의 전위와 상기 하나의 비트 선의 전위를 비교함으로써, 상기 하나의 메모리 셀에 기입된 정보를 판독하는 스텝을 갖는 것을 특징으로 하는 불휘발성 반도체 기억 장치의 판독 방법이 제공된다.

[0014] 본 발명의 또 다른 관점에 의하면, 선택 트랜지스터와, 상기 선택 트랜지스터에 접속된 메모리 셀 트랜지스터를 갖는 메모리 셀이 매트릭스 형상으로 복수 배열되어서 이루어지는 메모리 셀 어레이와, 서로 인접하는 2개의 열에 존재하는 복수의 상기 선택 트랜지스터의 드레인을 공통 접속하는 비트 선과, 동일한 행에 존재하는 복수의 상기 메모리 셀 트랜지스터의 컨트롤 게이트를 공통 접속하는 제 1 워드 선과, 동일한 행에 존재하는 복수의 상기 선택 트랜지스터의 셀렉트 게이트를 공통 접속하는 제 2 워드 선과, 서로 인접하는 2개의 행에 존재하는 복수의 상기 메모리 셀 트랜지스터의 소스를 공통 접속하는 소스 선과, 복수의 상기 비트 선 및 복수의 상기 소스 선에 접속되고, 상기 복수의 비트 선 및 상기 복수의 소스 선의 전위를 제어하는 제 1 열 디코더와, 복수의 상기 제 1 워드 선에 접속되고, 상기 복수의 제 1 워드 선의 전위를 제어하는 제 1 행 디코더와, 복수의 상기 제 2 워드 선에 접속되고, 상기 복수의 제 2 워드 선의 전위를 제어하는 제 2 행 디코더와, 복수의 상기 소스 선에 접속되고, 상기 복수의 소스 선의 전위를 제어하는 제 2 열 디코더를 갖고, 상기 제 1 열 디코더는 상기 제 1 행 디코더 및 상기 제 2 열 디코더보다 내압이 낮은 회로에 의해 구성되어 있고, 상기 제 2 행 디코더는 상기 제 1 행 디코더 및 상기 제 2 열 디코더보다 내압이 낮은 회로에 의해 구성되어 있는 불휘발성 반도체 기억 장치의 기입 방법으로서, 하나의 상기 메모리 셀의 상기 선택 트랜지스터의 상기 드레인에 접속된 하나의 상기 비트 선을 상기 제 1 열 디코더에 의해 접지하고, 상기 하나의 비트 선에 대하여 제 1 측에 위치하고, 상기 하나의 메모리 셀의 메모리 셀 트랜지스터의 상기 소스에 접속된 하나의 상기 소스 선에 상기 제 2 열 디코더에 의해 제 1 전압을 인가하며, 상기 하나의 소스 선에 대하여 상기 제 1 측에 위치하고, 상기 하나의 소스 선에 인접하는 다른 비트 선에 상기 제 1 열 디코더에 의해 제 2 전압을 인가하고, 상기 하나의 메모리 셀의 상기 메모리 셀 트랜지스터의 상기 컨트롤 게이트에 접속된 하나의 상기 제 1 워드 선에 제 3 전압을 상기 제 1 행 디코더에 의해 인가하며, 상기 하나의 메모리 셀의 상기 선택 트랜지스터의 상기 셀렉트 게이트에 접속된 하나의 상기 제 2 워드 선에 상기 제 2 행 디코더에 의해 제 4 전압을 인가함으로써, 상기 하나의 메모리 셀에 정보를 기입하는 것을 특징으로 하는 불휘발성 반도체 기억 장치의 기입 방법이 제공된다.

[0015] 본 발명의 또 다른 관점에 의하면, 선택 트랜지스터와, 상기 선택 트랜지스터에 접속된 메모리 셀 트랜지스터를 갖는 메모리 셀이 매트릭스 형상으로 복수 배열되어서 이루어지는 메모리 셀 어레이와, 서로 인접하는 2개의 열에 존재하는 복수의 상기 선택 트랜지스터의 드레인을 공통 접속하는 비트 선과, 동일한 행에 존재하는 복수의 상기 메모리 셀 트랜지스터의 컨트롤 게이트를 공통 접속하는 제 1 워드 선과, 동일한 행에 존재하는 복수의 상기 선택 트랜지스터의 셀렉트 게이트를 공통 접속하는 제 2 워드 선과, 서로 인접하는 2개의 행에 존재하는 복수의 상기 메모리 셀 트랜지스터의 소스를 공통 접속하는 소스 선과, 복수의 상기 비트 선에 제 1 보호 트랜지스터를 통하여 접속되고, 복수의 상기 소스 선에 제 2 보호 트랜지스터를 통하여 접속되며, 상기 복수의 비트 선 및 상기 복수의 소스 선의 전위를 제어하는 제 1 열 디코더와, 복수의 상기 제 1 워드 선에 접속되고, 상기 복수의 제 1 워드 선의 전위를 제어하는 제 1 행 디코더와, 복수의 상기 제 2 워드 선에 제 3 보호 트랜지스터를 통하여 접속되고, 상기 복수의 제 2 워드 선의 전위를 제어하는 제 2 행 디코더와, 복수의 상기 소스 선에 접속되고, 상기 복수의 소스 선의 전위를 제어하는 제 2 열 디코더와, 복수의 상기 제 1 보호 트랜지스터, 복수의 상기 제 2 보호 트랜지스터 및 복수의 상기 제 3 보호 트랜지스터를 제어하는 제어 회로를 가지며, 상기 제 1 열 디코더는 상기 제 1 행 디코더 및 상기 제 2 열 디코더보다 내압이 낮은 회로에 의해 구성되어 있고, 상기 제 2 행 디코더는 상기 제 1 행 디코더 및 상기 제 2 열 디코더보다 내압이 낮은 회로에 의해 구성되어 있는 불휘발성 반도체 기억 장치의 기입 방법으로서, 상기 제어 회로에 의해 상기 제 2 보호 트랜지스터를 제어함으로써 상기 복수의 소스 선을 상기 제 1 행 디코더로부터 전기적으로 분리하고, 하나의 상기 메모리 셀의 상기 선택 트랜지스터의 상기 드레인에 접속된 하나의 상기 비트 선을 상기 제 1 열 디코더에 의해 접지하며, 상기 하나의 비트 선에 대하여 제 1 측에 위치하고, 상기 하나의 메모리 셀의 메모리 셀 트랜지스터의 상기 소스에 접속된 하나의 상기 소스 선에 상기 제 2 열 디코더에 의해 제 1 전압을 인가하고, 상기 하나의 소스 선에 대하여 상기 제 1 측에 위치하고, 상기 하나의 소스 선에 인접하는 다른 비트 선에 상기 제 1 열 디코더에 의해 제 2 전압을 인가하며, 상기 하나의 메모리 셀의 상기 메모리 셀 트랜지스터의 상기 컨트롤 게이트에 접속된 하나의

상기 제 1 워드 선에 제 3 전압을 상기 제 1 행 디코더에 의해 인가하고, 상기 하나의 메모리 셀의 상기 선택 트랜지스터의 상기 셀렉트 게이트에 접속된 하나의 상기 제 2 워드 선에 상기 제 2 행 디코더에 의해 제 4 전압을 인가함으로써, 상기 하나의 메모리 셀에 정보를 기입하는 것을 특징으로 하는 불휘발성 반도체 기억 장치의 기입 방법이 제공된다.

[0016] 본 발명의 또 다른 관점에 의하면, 선택 트랜지스터와, 상기 선택 트랜지스터에 접속된 메모리 셀 트랜지스터를 갖는 메모리 셀이 매트릭스 형상으로 복수 배열되어서 이루어지는 메모리 셀 어레이와, 서로 인접하는 2개의 열에 존재하는 복수의 상기 선택 트랜지스터의 드레인을 공통 접속하는 비트 선과, 동일한 행에 존재하는 복수의 상기 메모리 셀 트랜지스터의 컨트롤 게이트를 공통 접속하는 제 1 워드 선과, 동일한 행에 존재하는 복수의 상기 선택 트랜지스터의 셀렉트 게이트를 공통 접속하는 제 2 워드 선과, 서로 인접하는 2개의 행에 존재하는 복수의 상기 메모리 셀 트랜지스터의 소스를 공통 접속하는 소스 선과, 복수의 상기 비트 선에 제 1 보호 트랜지스터를 통하여 접속되고, 복수의 상기 소스 선에 제 2 보호 트랜지스터를 통하여 접속되며, 상기 복수의 비트 선 및 상기 복수의 소스 선의 전위를 제어하는 제 1 열 디코더와, 복수의 상기 제 1 워드 선에 접속되고, 상기 복수의 제 1 워드 선의 전위를 제어하는 제 1 행 디코더와, 복수의 상기 제 2 워드 선에 제 3 보호 트랜지스터를 통하여 접속되고, 상기 복수의 소스 선의 전위를 제어하는 제 2 열 디코더와, 복수의 상기 제 1 보호 트랜지스터, 복수의 상기 제 2 보호 트랜지스터 및 복수의 상기 제 3 보호 트랜지스터를 제어 회로를 가지며, 상기 제 1 열 디코더는 상기 제 1 행 디코더 및 상기 제 2 열 디코더보다 내압이 낮은 회로에 의해 구성되어 있고, 상기 제 2 행 디코더는 상기 제 1 행 디코더 및 상기 제 2 열 디코더보다 내압이 낮은 회로에 의해 구성되어 있는 불휘발성 반도체 기억 장치의 소거 방법으로서, 상기 제어 회로에 의해 상기 제 1 보호 트랜지스터를 제어함으로써, 상기 복수의 비트 선을 상기 제 1 행 디코더로부터 전기적으로 분리하고, 상기 제어 회로에 의해 상기 제 2 보호 트랜지스터를 제어함으로써, 상기 복수의 소스 선을 상기 제 1 행 디코더로부터 전기적으로 분리하며, 상기 제어 회로에 의해 상기 제 3 보호 트랜지스터를 제어함으로써, 상기 제 2 행 디코더를 상기 복수의 제 2 워드 선으로부터 전기적으로 분리하고, 상기 제 1 행 디코더에 의해 상기 복수의 제 1 워드 선에 전압을 인가함으로써, 상기 메모리 셀에 기입된 정보를 소거하는 것을 특징으로 하는 불휘발성 반도체 기억 장치의 소거 방법이 제공된다.

<효과>

[0018] 본 발명에 의하면, 선택 트랜지스터의 드레인을 공통 접속하는 비트 선의 전위를 제어하는 제 1 열 디코더가 고속 동작이 가능한 저전압 회로에 의해 구성되어 있고, 선택 트랜지스터의 셀렉트 게이트를 공통 접속하는 제 2 워드 선의 전위를 제어하는 제 2 행 디코더가 고속 동작이 가능한 저전압 회로에 의해 구성되어 있으며, 메모리 셀 트랜지스터에 기입된 정보를 판독할 때에는, 메모리 셀 트랜지스터의 소스를 공통 접속하는 소스 선이 제 1 열 디코더에 의해 제어된다. 본 발명에 의하면, 메모리 셀 트랜지스터에 기입된 정보를 판독할 때에, 비트 선과, 소스 선과, 제 2 워드 선이 고속으로 제어될 수 있기 때문에, 메모리 셀 트랜지스터에 기입된 정보를 고속으로 판독할 수 있는 불휘발성 반도체 기억 장치를 제공할 수 있다.

[0019] 또한, 본 발명에서는, 선택 트랜지스터가 NMOS 트랜지스터에 의해 구성되어 있기 때문에, PMOS 트랜지스터에 의해 선택 트랜지스터를 구성하는 경우와 비교하여, 동작 속도의 고속화에 기여할 수 있다.

실시 예

[제 1 실시 형태]

[0130] 본 발명의 제 1 실시 형태에 의한 불휘발성 반도체 기억 장치 및 그 판독 방법, 기입 방법, 소거 방법, 및, 그 불휘발성 반도체 기억 장치의 제조 방법을 도 1 내지 도 26을 사용하여 설명한다.

(불휘발성 반도체 기억 장치)

[0132] 우선, 본 실시 형태에 의한 불휘발성 반도체 기억 장치에 대해서 도 1 내지 도 5를 사용하여 설명한다. 도 1은 본 실시 형태에 의한 불휘발성 반도체 기억 장치를 나타내는 회로도이다.

[0133] 도 1에 나타낸 바와 같이, 본 실시 형태에 의한 불휘발성 반도체 기억 장치는, 선택 트랜지스터(ST)와, 선택 트랜지스터(ST)에 접속된 메모리 셀 트랜지스터(MT)에 의해 메모리 셀(MC)이 구성되어 있다. 선택 트랜지스터(ST)의 소스는 메모리 셀 트랜지스터(MT)의 드레인에 접속되어 있다. 더 구체적으로는, 선택 트랜지스터(ST)의 소스와 메모리 셀 트랜지스터(MT)의 드레인은 하나의 불순물 확산층에 의해 일체로 형성되어 있다.

- [0134] 복수의 메모리 셀(MC)은 매트릭스 형상으로 배열되어 있다. 매트릭스 형상으로 배열된 복수의 메모리 셀(MC)에 의해, 메모리 셀 어레이(10)가 구성되어 있다.
- [0135] 임의의 열의 메모리 셀(MC)의 메모리 셀 트랜지스터(MT)의 소스와, 이러한 열에 인접하는 다른 열의 메모리 셀(MC)의 메모리 셀 트랜지스터(MT)의 소스는 서로 전기적으로 접속되어 있다. 즉, 서로 인접하는 2개의 열에 존재하는 복수의 메모리 셀 트랜지스터(MT)의 소스는 서로 전기적으로 접속되어 있다.
- [0136] 또한, 임의의 열의 메모리 셀(MC)의 선택 트랜지스터(ST)의 드레인과, 이러한 열에 인접하는 다른 열의 메모리 셀(MC)의 선택 트랜지스터(ST)의 드레인은 서로 전기적으로 접속되어 있다. 즉, 서로 인접하는 2개의 열에 존재하는 복수의 선택 트랜지스터(ST)의 드레인은 서로 전기적으로 접속되어 있다.
- [0137] 소스 선(SL)과 비트 선(BL)은 교대로 설치되어 있다. 소스 선(SL)과 비트 선(BL)은 병행하도록 설치되어 있다.
- [0138] 서로 인접하는 2개의 열에 존재하는 복수의 선택 트랜지스터(ST)의 드레인은 비트 선(BL)에 의해 공통 접속되어 있다.
- [0139] 서로 인접하는 2개의 열에 존재하는 복수의 메모리 셀 트랜지스터(MT)의 소스는 소스 선(SL)에 의해 공통 접속되어 있다.
- [0140] 제 1 워드 선(WL1)과 제 2 워드 선(WL2)은 소스 선(SL) 및 비트 선(BL)에 교차하도록 설치되어 있다. 또한, 제 1 워드 선(WL1)과 제 2 워드 선(WL2)은 병행하도록 설치되어 있다.
- [0141] 동일한 행에 존재하는 복수의 메모리 셀 트랜지스터(MT)의 컨트롤 게이트는 제 1 워드 선(WL1)에 의해 공통 접속되어 있다.
- [0142] 동일한 행에 존재하는 복수의 선택 트랜지스터(ST)의 셀렉트 게이트는 제 2 워드 선(WL2)에 의해 공통 접속되어 있다.
- [0143] 선택 트랜지스터(ST)의 드레인을 공통 접속하는 복수의 비트 선(BL)은 제 1 열 디코더(12)에 접속되어 있다. 열 디코더(12)는 선택 트랜지스터(ST)의 드레인을 공통 접속하는 복수의 비트 선(BL)의 전위를 제어하기 위한 것이다. 또한, 열 디코더(12)는 메모리 셀 트랜지스터(MT)에 기입된 정보를 판독할 때에는, 메모리 셀 트랜지스터(MT)의 소스를 공통 접속하는 복수의 소스 선(SL)의 전위도 제어한다. 열 디코더(12)에는 비트 선(BL)에 흐르는 전류를 검출하기 위한 센스 앰플리파이어(sense amplifier)(13)가 접속되어 있다. 열 디코더(12)는 비교적 낮은 전압에서 동작하는 저전압 회로(저내압 회로)에 의해 구성되어 있다. 저전압 회로는 내압이 비교적 낮은 한편, 고속으로 동작할 수 있는 회로이다. 저전압 회로의 트랜지스터(도시 생략)의 게이트 절연막(도시 생략)은 비교적 얇게 형성되어 있다. 따라서, 열 디코더(12)에 사용되고 있는 저전압 회로의 트랜지스터는 비교적 고속으로 동작할 수 있다. 본 실시 형태에서 열 디코더(12)에 저전압 회로를 사용하고 있는 것은, 선택 트랜지스터(ST)의 드레인에는 고전압을 인가할 필요가 없는 한편, 메모리 셀 트랜지스터(MT)에 기입된 정보를 판독할 때에 선택 트랜지스터(ST)를 고속으로 동작시키는 것이 필요하기 때문이다. 본 실시 형태에서는, 열 디코더(12)에 저전압 회로가 사용되고 있기 때문에, 선택 트랜지스터(ST)를 비교적 고속으로 동작시킬 수 있고, 나아가서는 판독 속도가 빠른 불휘발성 반도체 기억 장치를 제공하는 것이 가능해진다.
- [0144] 메모리 셀 트랜지스터(MT)의 소스를 공통 접속하는 복수의 소스 선(SL)은 제 1 열 디코더(12)와 제 2 열 디코더(14)의 양방(兩方)에 접속되어 있다. 제 2 열 디코더(14)는 메모리 셀 트랜지스터(MT)에 정보를 기입할 때에, 메모리 셀 트랜지스터(MT)의 소스를 공통 접속하는 복수의 소스 선(SL)의 전위를 제어하기 위한 것이다.
- [0145] 또한, 상술한 바와 같이, 메모리 셀(MC)에 기입된 정보를 판독할 때에는, 소스 선(SL)은 제 1 열 디코더(12)에 의해 제어된다.
- [0146] 제 2 열 디코더(14)는 고전압 회로(고내압 회로)에 의해 구성되어 있다. 본 실시 형태에서 제 2 열 디코더(14)에 고전압 회로를 사용하고 있는 것은, 메모리 셀 트랜지스터(MT)에 정보를 기입할 때에, 소스 선(SL)에 고전압을 인가할 필요가 있기 때문이다. 또한, 상술한 바와 같이, 메모리 셀 트랜지스터(MT)에 기입된 정보를 판독할 때에는, 소스 선(SL)은 제 1 열 디코더(12)에 의해 제어된다. 따라서, 제 2 열 디코더(14)의 동작 속도가 비교적 느려도 특별한 문제는 없다.
- [0147] 메모리 셀 트랜지스터(MT)의 컨트롤 게이트를 공통 접속하는 복수의 제 1 워드 선(WL1)은 제 1 행 디코더(16)에 접속되어 있다. 제 1 행 디코더(16)는 메모리 셀 트랜지스터(MT)의 컨트롤 게이트를 공통 접속하는 복수의 제 1 워드 선(WL1)의 전위를 제어하기 위한 것이다. 제 1 행 디코더(16)는 고전압 회로(고내압 회로)에 의해 구성

되어 있다. 고전압 회로는 동작 속도가 비교적 느린 한편, 내압이 비교적 높은 회로이다. 고전압 회로의 트랜지스터(도시 생략)의 게이트 절연막(도시 생략)은 충분한 내압을 확보하기 위해 비교적 두껍게 형성되어 있다. 따라서, 고전압 회로의 트랜지스터는 저전압 회로의 트랜지스터와 비교하여, 동작 속도가 느리다. 본 실시 형태에서 제 1 행 디코더(16)에 고전압 회로를 사용하고 있는 것은 메모리 셀 트랜지스터(MT)에 정보를 기입할 때나 메모리 셀 트랜지스터(MT)에 기입된 정보를 소거할 때에, 제 1 워드 선(WL1)에 고전압을 인가할 필요가 있기 때문이다. 또한, 후술하는 바와 같이, 메모리 셀 트랜지스터(MT)에 기입된 정보를 판독할 때에는, 제 1 워드 선(WL1)에 전원 전압(V_{CC})을 항상 인가해둔다. 따라서, 제 1행 디코더(16)에 사용되고 있는 고전압 회로의 동작 속도가 비교적 느려도, 특별한 문제는 없다.

[0148] 선택 트랜지스터(ST)의 셀렉트 게이트를 공통 접속하는 복수의 제 2 워드 선(WL2)은 제 2 행 디코더(18)에 접속되어 있다. 제 2 행 디코더(18)는 선택 트랜지스터(ST)의 셀렉트 게이트를 공통 접속하는 복수의 제 2 워드 선(WL2)의 전위를 제어하기 위한 것이다. 제 2 행 디코더(18)는 저전압 회로(저내압 회로)에 의해 구성되어 있다. 본 실시 형태에서 제 2 행 디코더(18)에 저전압 회로를 사용하고 있는 것은, 선택 트랜지스터(ST)의 셀렉트 게이트에는 고전압을 인가할 필요가 없는 한편, 선택 트랜지스터(ST)를 고속으로 동작시키는 것이 중요하기 때문이다. 본 실시 형태에서는 제 2 행 디코더(18)에 저전압 회로가 사용되고 있기 때문에, 선택 트랜지스터(ST)를 비교적 고속으로 동작시킬 수 있고, 나아가서는 판독 속도가 빠른 불휘발성 반도체 기억 장치를 제공하는 것이 가능해진다.

[0149] 다음으로, 본 실시 형태에 의한 불휘발성 반도체 기억 장치의 메모리 셀 어레이의 구조를 도 2 내지 도 5를 사용하여 설명한다. 도 2는 본 실시 형태에 의한 불휘발성 반도체 기억 장치의 메모리 셀 어레이를 나타내는 평면도이다. 도 3은 도 2의 A-A' 단면도이다. 도 4는 도 2의 B-B' 단면도이다. 도 5는 도 2의 C-C' 단면도이다.

[0150] 반도체 기판(20)에는, 소자 영역(21)을 획정(劃定)하는 소자 분리 영역(22)이 형성되어 있다. 반도체 기판(20)으로서는, 예를 들어 P형의 실리콘 기판이 사용되고 있다. 소자 분리 영역(22)은 예를 들어, STI(Shallow Trench Isolation)법에 의해 형성되어 있다.

[0151] 소자 분리 영역(22)이 형성된 반도체 기판(20) 내에는, N형의 매립 확산층(24)이 형성되어 있다. N형의 매립 확산층(24)의 상측(上側)의 부분은 P형 웨爾(26)로 되어 있다.

[0152] 반도체 기판(20) 상에는, 터널 절연막(28a)을 통하여 플로팅 게이트(30a)가 형성되어 있다. 플로팅 게이트(30a)는 각각의 소자 영역(21)마다 전기적으로 분리되어 있다.

[0153] 플로팅 게이트(30a) 상에는, 절연막(32a)을 통하여 컨트롤 게이트(34a)가 형성되어 있다. 동일한 행에 존재하는 메모리 셀 트랜지스터(MT)의 컨트롤 게이트(34a)는 공통 접속되어 있다. 환연하면, 플로팅 게이트(30) 상에는, 절연막(32a)을 통하여, 컨트롤 게이트(34a)를 공통 접속하는 제 1 워드 선(WL1)이 형성되어 있다.

[0154] 반도체 기판(20) 상에는, 플로팅 게이트(30a)와 병행하여, 선택 트랜지스터(ST)의 셀렉트 게이트(30b)가 형성되어 있다. 동일한 행에 존재하는 선택 트랜지스터(ST)의 셀렉트 게이트(30b)는 공통 접속되어 있다. 환연하면, 반도체 기판(20) 상에는, 게이트 절연막(28b)을 통해서, 셀렉트 게이트(30b)를 공통 접속하는 제 2 워드 선(WL2)이 형성되어 있다. 선택 트랜지스터(ST)의 게이트 절연막(28b)의 막 두께는 메모리 셀 트랜지스터(MT)의 터널 절연막(28a)의 막 두께와 동일하게 되어 있다.

[0155] 셀렉트 게이트(30b) 상에는, 절연막(32b)을 통해서, 폴리실리콘 층(34b)이 형성되어 있다.

[0156] 플로팅 게이트(30a)의 양측의 반도체 기판(20) 내, 및, 셀렉트 게이트(30b)의 양측의 반도체 기판(20) 내에는, N형의 불순물 확산층(36a, 36b, 36c)이 형성되어 있다.

[0157] 메모리 셀 트랜지스터(MT)의 드레인을 구성하는 불순물 확산층(36b)과 선택 트랜지스터(ST)의 소스를 구성하는 불순물 확산층(36b)은 동일한 불순물 확산층(36b)에 의해 구성되어 있다.

[0158] 플로팅 게이트(30a)와 컨트롤 게이트(34a)를 갖는 적층체의 측벽 부분에는, 사이드월 절연막(37)이 형성되어 있다.

[0159] 또한, 셀렉트 게이트(30b)와 폴리실리콘 층(34b)을 갖는 적층체의 측벽 부분에는, 사이드월 절연막(37)이 형성되어 있다.

[0160] 메모리 셀 트랜지스터(MT)의 소스 영역(36a) 위, 선택 트랜지스터(ST)의 드레인 영역(36c) 위, 컨트롤 게이트

(34a)의 상부, 및, 폴리실리콘 층(34b)의 상부에는, 예를 들어 코발트 실리사이드로 이루어지는 실리사이드 층(38a~38d)이 각각 형성되어 있다. 소스 영역(36a) 상의 실리사이드 층(38a)은 소스 전극으로서 기능한다. 드레인 영역(36c) 상의 실리사이드 층(38c)은 드레인 전극으로서 기능한다.

[0161] 이와 같이 하여, 플로팅 게이트(30a)와 컨트롤 게이트(34a)와 소스/드레인 확산층(38a, 38b)을 갖는 메모리 셀 트랜지스터(MT)가 구성되어 있다.

[0162] 또한, 셀렉트 게이트(30b)와 소스/드레인 확산층(36b, 36c)을 갖는 선택 트랜지스터(ST)가 구성되어 있다. 선택 트랜지스터(ST)는 NMOS 트랜지스터이다. 본 실시 형태에서는, 선택 트랜지스터(ST)로서, PMOS 트랜지스터보다 동작 속도가 빠른 NMOS 트랜지스터가 사용되어 있기 때문에, 동작 속도의 향상에 기여할 수 있다.

[0163] 메모리 셀 트랜지스터(MT) 및 선택 트랜지스터(ST)가 형성된 반도체 기판(20) 상에는, 실리콘 질화막(도시 생략)과 실리콘 산화막(도시 생략)으로 이루어지는 충간 절연막(40)이 형성되어 있다.

[0164] 충간 절연막(40)에는, 소스 전극(38a), 드레인 전극(38b)에 각각 이르는 콘택트 홀(42)이 형성되어 있다.

[0165] 콘택트 홀(42) 내에는, 예를 들어 텅스텐으로 이루어지는 도체 플러그(44)가 매립되어 있다.

[0166] 도체 플러그(44)가 매립된 충간 절연막(40) 상에는, 배선(제 1 금속 배선층)(46)이 형성되어 있다.

[0167] 배선(46)이 형성된 충간 절연막(40) 상에는, 충간 절연막(48)이 형성되어 있다.

[0168] 충간 절연막(48)에는, 배선(46)에 이르는 콘택트 홀(50)이 형성되어 있다.

[0169] 콘택트 홀(50) 내에는, 예를 들어 텅스텐으로 이루어지는 도체 플러그(52)가 매립되어 있다.

[0170] 도체 플러그(52)가 매립된 충간 절연막(48) 상에는, 배선(제 2 금속 배선층)(54)이 형성되어 있다.

[0171] 배선(54)이 형성된 충간 절연막(48) 상에는, 충간 절연막(56)이 형성되어 있다.

[0172] 충간 절연막(56)에는, 배선(54)에 이르는 콘택트 홀(58)이 형성되어 있다.

[0173] 콘택트 홀(58) 내에는, 예를 들어 텅스텐으로 이루어지는 도체 플러그(60)가 매립되어 있다.

[0174] 도체 플러그(60)가 매립된 충간 절연막(56) 상에는, 배선(제 3 금속 배선층)(62)이 형성되어 있다.

[0175] 이와 같이 하여, 본 실시 형태에 의한 불휘발성 반도체 기억 장치의 메모리 셀 어레이(10)(도 1 참조)가 구성되어 있다.

[0176] (불휘발성 반도체 기억 장치의 동작)

[0177] 다음으로, 본 실시 형태에 의한 불휘발성 반도체 기억 장치의 동작 방법을 도 6 내지 도 10을 사용하여 설명한다. 도 6은 본 실시 형태에 의한 불휘발성 반도체 기억 장치의 판독 방법, 기입 방법 및 소거 방법을 나타내는 도면이다. 도 6에서 괄호 안은 비선택 선의 전위를 나타내고 있다. 또한, 도 6에서 F는 플로팅을 나타내고 있다.

[0178] (판독 방법)

[0179] 우선, 본 실시 형태에 의한 불휘발성 반도체 기억 장치의 판독 방법을 도 6 내지 도 8을 사용하여 설명한다. 도 7은 본 실시 형태에 의한 불휘발성 반도체 기억 장치의 판독 방법을 나타내는 회로도이다. 도 8은 본 실시 형태에 의한 불휘발성 반도체 기억 장치의 판독 방법을 나타내는 타임 차트이다.

[0180] 메모리 셀 트랜지스터(MT)에 기입된 정보를 판독할 때에는, 도 8에 나타내는 타임 차트에 따라, 각 부의 전위를 도 6 및 도 7에 나타낸 바와 같이 설정한다.

[0181] 우선, 선택해야 할 메모리 셀(선택 셀)(MC_(SELECT))의 어드레스를 확정한다(도 8 참조).

[0182] 다음으로, 선택 셀(MC_(SELECT))에 접속되어 있는 비트 선(선택 비트 선)(BL_(SELECT))의 전위를 V_{CC}로 한다. 한편, 선택 비트 선(BL_(SELECT)) 이외의 비트 선(BL)의 전위를 플로팅으로 한다. 또한, 선택 셀(MC_(SELECT))에 접속되어 있는 소스 선(선택 소스 선)(SL_(SELECT))의 전위를 0V(접지)로 한다. 또한, 선택 소스 선(SL_(SELECT))은 선택 비트 선(BL_(SELECT))에 대하여 제 1 측에 위치하고 있다. 또한, 선택 셀(MC_(SELECT))에 인접하는 메모리 셀(인접 셀)(MC_(ADJACENT))에 접속된 소스 선(인접 소스 선)(SL_(ADJACENT))의 전위를 V_{CC}로 한다. 또한, 인접 소스 선

(SL_(ADJACENT))은 선택 비트 선(BL_(SELECT))에 대하여, 제 1 측과 반대측의 제 2 측에 위치하고 있다. 또한, 선택 셀(MC_(SELECT))의 선택 트랜지스터(ST)의 드레인과 인접 셀(MC_(ADJACENT))의 선택 트랜지스터(ST)의 드레인은 선택 비트 선(BL_(SELECT))에 의해 공통 접속되어 있다. 또한, 그 밖의 소스 선(SL)의 전위, 즉 선택 소스 선(SL_(SELECT)) 및 인접 소스 선(SL_(ADJACENT))을 제외하는 소스 선(SL)의 전위는 플로팅으로 한다. 또한, 모든 제 1 워드 선(WL1)의 전위는, 판독 대기 시에, 항상 V_{CC}로 한다. 웨(26)의 전위는 모두 0V로 한다.

[0183]

다음으로, 선택 비트 선(BL_(SELECT))을 센스 앰플리파이어(13)에 접속한다(도 8 참조).

[0184]

다음으로, 선택 셀(MC_(SELECT))에 접속되어 있는 제 2 워드 선(WL2_(SELECT))의 전위를 V_{CC}로 한다(도 8 참조). 한편, 선택된 제 2 워드 선(WL2_(SELECT))을 제외하는 복수의 제 2의 워드 선(WL2)의 전위를 0V로 한다.

[0185]

선택 셀(MC_(SELECT))의 메모리 셀 트랜지스터(MT)에 정보가 기입되어 있을 경우, 즉, 선택 셀(MC_(SELECT))의 메모리 셀 트랜지스터(MT)의 정보가 "1"인 경우에는, 메모리 셀 트랜지스터(MT)의 플로팅 게이트(30a)에 전하가 축적되어 있다. 이 경우에는, 메모리 셀 트랜지스터(MT)의 소스 확산층(36a)과 선택 트랜지스터(ST)의 드레인 확산층(36c) 사이에 전류가 흐르지 않고, 선택된 하나의 비트 선(선택 비트 선)(BL_(SELECT))에는 전류가 흐르지 않는다. 따라서, 선택 비트 선(BL_(SELECT))의 전위는 V_{CC}인 채로 된다. 선택 비트 선(BL_(SELECT))의 전위는 센스 앰플리파이어(13)에 의해 검출된다. 선택 비트 선(BL_(SELECT))의 전위가 V_{CC}인 채의 경우에는, 선택 셀(MC_(SELECT))의 메모리 셀 트랜지스터(MT)의 정보는 "1"이라고 판단된다(도 8 참조).

[0186]

한편, 선택 셀(MC_(SELECT))의 메모리 셀 트랜지스터(MT)에 기입된 정보가 소거되어 있을 경우, 즉, 선택 셀(MC_(SELECT))의 메모리 셀의 정보가 "0"인 경우에는, 메모리 셀 트랜지스터(MT)의 플로팅 게이트(30a)에 전하가 축적되어 있지 않다. 이 경우에는, 메모리 셀 트랜지스터(MT)의 소스 확산층(36a)과 선택 트랜지스터(ST)의 드레인 확산층(36c) 사이에 전류가 흐르고, 선택된 하나의 비트 선(BL)에 전류가 흐른다. 따라서, 선택 비트 선(BL_(SELECT))의 전위는 서서히 저하하고, 이후 0V로 된다. 선택 비트 선(BL_(SELECT))의 전위가 V_{CC}보다 낮아졌을 경우에는, 선택 셀(MC_(SELECT))의 메모리 셀 트랜지스터(MT)의 정보가 "0"이라고 판단된다(도 8 참조).

[0187]

이와 같이 하여, 메모리 셀 트랜지스터(MT)에 기입된 정보가 판독된다.

[0188]

본 실시 형태에서는, 제 1 워드 선(WL1)의 전위가 판독 대기 시에서 항상 V_{CC}로 설정되어 있기 때문에, 소스 선(SL)의 전위와 비트 선(BL)의 전위와 제 2 워드 선(WL2)의 전위를 제어함으로써, 메모리 셀 트랜지스터(MT)에 기입된 정보를 판독하는 것이 가능하다. 본 실시 형태에서는, 비트 선(BL)의 전위를 제어하는 제 1 열 디코더(12)가 상술한 바와 같이 저전압 회로에 의해 구성되어 있기 때문에, 비트 선(BL)이 고속으로 제어된다. 또한, 메모리 셀 트랜지스터(MT)에 기입된 정보를 판독할 때에는, 소스 선(SL)의 전위는 제 1 열 디코더(12)에 의해 제어되기 때문에, 소스 선(SL)도 고속으로 제어된다. 또한, 제 2 워드 선(WL2)의 전위를 제어하는 제 2 행 디코더(18)가 상술한 바와 같이 저전압 회로에 의해 구성되어 있기 때문에, 제 2 워드 선(WL2)도 고속으로 제어된다. 따라서, 본 실시 형태에 의하면, 선택 셀(MC_(SELECT))의 메모리 셀 트랜지스터(MT)에 기입된 정보를 고속으로 판독할 수 있다.

[0189]

또한, 본 실시 형태에서, 인접 소스 선(SL_(ADJACENT))의 전위를 V_{CC}로 하는 것은 이하와 같은 이유에 의한 것이다.

[0190]

즉, 인접 소스 선(SL_(ADJACENT))의 전위를 플로팅으로 했을 경우에는, 인접 셀(MC_(ADJACENT))을 선택하지 않았는데도 불구하고, 인접 셀(MC_(ADJACENT))에서, 메모리 셀 트랜지스터(MT)의 소스 확산층(36a)과 선택 트랜지스터(ST)의 드레인 확산층(36c) 사이에 의도하지 않은 전류가 흐를 우려가 있다. 이 경우에는, 선택 셀(MC_(SELECT))에서, 메모리 셀 트랜지스터(MT)의 소스 확산층(36a)과 선택 트랜지스터(ST)의 드레인 확산층(36c) 사이에 전류가 흐르는지의 여부에 관계없이, 선택 비트 선(BL_(SELECT))에 전류가 흐르게 된다. 선택 셀(MC_(SELECT))에서, 메모리 셀 트랜지스터(MT)의 소스 확산층(36a)과 선택 트랜지스터(ST)의 드레인 확산층(36c) 사이에 전류가 흐르지 않는데도 불구하고, 인접 셀(MC_(ADJACENT))에서, 메모리 셀 트랜지스터(MT)의 소스 확산층(36a)과 선택 트랜지스터(ST)의 드레인 확산층(36c) 사이에 전류가 흐른 경우에는, 선택 셀(MC_(SELECT))의 메모리 셀 트랜지스터(MT)의 정보가 잘못

판단된다.

[0191] 이에 대하여, 본 실시 형태에서는 선택 셀($MC_{(SELECT)}$)의 메모리 셀 트랜지스터(MT)에 기입된 정보를 판독할 때에, 인접 소스 선($SL_{(ADJACENT)}$)의 전위를 V_{CC} 로 한다. 따라서, 본 실시 형태에서는 인접 셀($MC_{(ADJACENT)}$)에서, 메모리 셀 트랜지스터(MT)의 소스 확산층(36a)과 선택 트랜지스터(ST)의 드레인 확산층(36c) 사이에 의도하지 않은 전류가 흐르는 경우가 없다. 따라서, 본 실시 형태에 의하면, 선택 셀($MC_{(SELECT)}$)의 메모리 셀 트랜지스터(MT)의 정보가 잘못 판단되는 것을 방지하는 것이 가능해진다.

[0192] (기입 방법)

[0193] 다음으로, 본 실시 형태에 의한 불휘발성 반도체 기억 장치의 기입 방법을 도 6, 도 9 및 도 10을 사용하여 설명한다. 도 9는 본 실시 형태에 의한 불휘발성 반도체 기억 장치의 기입 방법을 나타내는 회로도이다. 도 10은 본 실시 형태에 의한 불휘발성 반도체 기억 장치의 기입 방법을 나타내는 타임 차트이다.

[0194] 메모리 셀 트랜지스터(MT)에 정보를 기입할 때에는, 도 10에 나타내는 타임 차트에 따라서, 각 부의 전위를 도 6 및 도 9에 나타낸 바와 같이 설정한다.

[0195] 우선, 선택 셀($MC_{(SELECT)}$)의 선택 트랜지스터(ST)의 드레인에 접속된 선택 비트 선($BL_{(SELECT)}$)의 전위를 0V로 한다. 또한, 선택 셀($MC_{(SELECT)}$)에 인접하는 인접 셀($MC_{(ADJACENT)}$)의 선택 트랜지스터(ST)의 드레인에 접속된 비트 선(인접 비트 선)($BL_{(ADJACENT)}$)의 전위를 V_{CC} 로 한다. 또한, 인접 비트 선($BL_{(ADJACENT)}$)은 선택 소스 선($SL_{(SELECT)}$)에 대하여 제 1 측에 위치하고 있고, 선택 셀($MC_{(SELECT)}$)의 메모리 셀 트랜지스터(MT)의 소스에 접속된 소스 선(선택 소스 선)($SL_{(SELECT)}$)에 인접하고 있다. 또한, 선택 소스 선($SL_{(SELECT)}$)은 선택 비트 선($BL_{(SELECT)}$)에 대하여 제 1 측에 위치하고 있고, 선택 비트 선($BL_{(SELECT)}$)에 인접하고 있다. 또한, 선택 비트 선($BL_{(SELECT)}$) 및 인접 비트 선($BL_{(ADJACENT)}$)을 제외하는 다른 소스 선(SL)의 전위를 0V(접지)로 한다.

[0196] 다음으로, 선택 셀($MC_{(SELECT)}$)에 접속된 제 2 워드 선($WL2_{(SELECT)}$)의 전위를 V_{CC} 로 한다. 한편, 선택된 제 2 워드 선($WL2_{(SELECT)}$) 이외의 제 2 워드 선($WL2$)의 전위, 즉, 비선택의 제 2 워드 선($WL2$)의 전위를 0V(접지)로 한다.

[0197] 다음으로, 선택 셀($MC_{(SELECT)}$)에 접속되어 있는 제 1 워드 선($WL1_{(SELECT)}$)의 전위를, 예를 들어 9V로 한다. 선택된 제 1 워드 선($WL1_{(SELECT)}$)의 전위는, 후술하는 선택된 소스 선($SL_{(SELECT)}$)의 전위보다 높은 전위로 한다. 한편, 선택된 제 1 워드 선($WL1_{(SELECT)}$) 이외의 제 1 워드 선($WL1$)의 전위, 즉 비선택의 제 1 워드 선($WL1$)의 전위를 0V 또는 플로팅으로 한다.

[0198] 다음으로, 선택해야 할 메모리 셀(MC)에 접속되어 있는 소스 선($SL_{(SELECT)}$)의 전위를, 예를 들어 5V로 한다. 한편, 선택된 소스 선($SL_{(SELECT)}$) 이외의 소스 선(SL)의 전위, 즉, 비선택의 소스 선(SL)의 전위를 플로팅으로 한다.

[0199] 또한, 웨일(26)의 전위는 항상 0V(접지)로 한다.

[0200] 각 부의 전위를 상기한 바와 같이 설정하면, 메모리 셀 트랜지스터(MT)의 소스 확산층(36a)과 선택 트랜지스터(ST)의 드레인 확산층(36c) 사이에 전자가 흐르고, 메모리 셀 트랜지스터(MT)의 플로팅 게이트(30a) 내에 전자가 도입된다. 따라서, 메모리 셀 트랜지스터(MT)의 플로팅 게이트(30a)에 전하가 축적되고, 메모리 셀 트랜지스터(MT)에 정보가 기입되게 된다.

[0201] 또한, 본 실시 형태에서, 인접 비트 선($BL_{(ADJACENT)}$)의 전위를 V_{CC} 로 하는 것은, 이하와 같은 이유에 의한 것이다.

[0202] 즉, 인접 비트 선($BL_{(ADJACENT)}$)의 전위를 0V(접지)로 했을 경우에는, 선택 셀($MC_{(SELECT)}$)의 메모리 셀 트랜지스터(MT)에 정보를 기입할 때에, 선택 셀($MC_{(SELECT)}$)의 선택 트랜지스터(ST)가 온(on) 상태로 될 뿐만 아니라, 인접 셀($MC_{(ADJACENT)}$)의 선택 트랜지스터(ST)까지도 온 상태로 된다. 그러면, 선택 셀($MC_{(SELECT)}$)의 메모리 셀 트랜지스터(MT)에 정보가 기입될 뿐만 아니라, 인접 셀($MC_{(ADJACENT)}$)의 메모리 셀 트랜지스터(MT)에도 정보가 잘못 기입된다.

[0203] 이에 대하여, 본 실시 형태에서는 인접 비트 선(BL_(ADJACENT))의 전위를 V_{CC}로 하기 때문에, 선택 셀(MC_(SELECT))의 메모리 셀 트랜지스터(MT)에 정보를 기입할 때에, 인접 셀(MC_(ADJACENT))의 선택 트랜지스터(ST)가 오프(off) 상태로 된다. 따라서, 본 실시 형태에 의하면, 인접 셀(MC_(ADJACENT))의 메모리 셀 트랜지스터(MT)에 정보가 잘못 기입되는 것을 방지할 수 있다.

[0204] (소거 방법)

[0205] 다음으로, 본 실시 형태에 의한 불휘발성 반도체 기억 장치의 소거 방법을 도 6을 사용하여 설명한다.

[0206] 메모리 셀 어레이(10)에 기입된 정보를 소거할 때에는, 각 부의 전위를 이하와 같이 설정한다. 즉, 비트 선(BL)의 전위는 모두 플로팅으로 한다. 소스 선(SL)의 전위는 모두 플로팅으로 한다. 제 1 워드 선(WL1)의 전위는 모두 예를 들어, -9V로 한다. 제 2 워드 선(WL2)의 전위는 모두 플로팅으로 한다. 웨일(26)의 전위는 모두 예를 들어, +9V로 한다.

[0207] 각 부의 전위를 상기한 바와 같이 설정하면, 메모리 셀 트랜지스터(MT)의 플로팅 게이트(30a)로부터 전하가 인출된다. 이에 따라, 메모리 셀 트랜지스터(MT)의 플로팅 게이트(30a)에 전하가 축적되어 있지 않은 상태로 되고, 메모리 셀 트랜지스터(MT)의 정보가 소거되게 된다.

[0208] 이와 같이, 본 실시 형태에 의하면, 선택 트랜지스터(ST)의 드레인 확산층(36c)을 공통 접속하는 비트 선(BL)의 전위를 제어하는 제 1 열 디코더(12)가, 고속 동작이 가능한 저전압 회로에 의해 구성되어 있고, 선택 트랜지스터(ST)의 셀렉트 게이트(30b)를 공통 접속하는 제 2 워드 선(WL2)의 전위를 제어하는 제 2 행 디코더(18)가, 고속 동작이 가능한 저전압 회로에 의해 구성되어 있으며, 메모리 셀 트랜지스터(MT)에 기입된 정보를 판독할 때에는, 메모리 셀 트랜지스터(MT)의 소스(36a)를 공통 접속 하는 소스 선(SL)이 제 1 열 디코더(12)에 의해 제어된다. 본 실시 형태에 의하면, 메모리 셀 트랜지스터(MT)에 기입된 정보를 판독할 때에, 비트 선(BL)과 제 2 워드 선(WL2)과 소스 선(SL)이 고속으로 제어될 수 있기 때문에, 메모리 셀 트랜지스터(MT)에 기입된 정보를 고속으로 판독할 수 있는 불휘발성 반도체 기억 장치를 제공할 수 있다.

[0209] 또한, 본 실시 형태에서는, 선택 트랜지스터(ST)가 NMOS 트랜지스터에 의해 구성되어 있기 때문에, PMOS 트랜지스터에 의해 선택 트랜지스터를 구성하는 경우와 비교하여, 동작 속도의 고속화에 기여할 수 있다.

[0210] (불휘발성 반도체 기억 장치의 제조 방법)

[0211] 다음으로, 본 실시 형태에 의한 불휘발성 반도체 기억 장치의 제조 방법을 도 11 내지 도 26을 사용하여 설명한다. 도 11 내지 도 26은 본 실시 형태에 의한 불휘발성 반도체 기억 장치의 제조 방법을 나타내는 공정 단면도이다. 도 11의 (a), 도 12의 (a), 도 13의 (a), 도 14의 (a), 도 15의 (a), 도 16의 (a), 도 17의 (a), 도 18의 (a), 도 19의 (a) 및 도 20의 (a), 도 21, 도 23 및 도 25는 메모리 셀 어레이 영역(코어 영역)(2)을 나타내고 있다. 도 11의 (a), 도 12의 (a), 도 13의 (a), 도 14의 (a), 도 15의 (a), 도 16의 (a), 도 17의 (a), 도 18의 (a), 도 19의 (a), 도 20의 (a), 도 21, 도 23 및 도 25의 지면(紙面) 좌측의 도면은 도 2의 C-C' 단면에 대응하고 있다. 도 11의 (a), 도 12의 (a), 도 13의 (a), 도 14의 (a), 도 15의 (a), 도 16의 (a), 도 17의 (a), 도 18의 (a), 도 19의 (a), 도 20의 (a), 도 21, 도 23 및 도 25의 지면 우측은 도 2의 A-A' 단면에 대응하고 있다. 도 11의 (b), 도 12의 (b), 도 13의 (b), 도 14의 (b), 도 15의 (b), 도 16의 (b), 도 17의 (b), 도 18의 (b), 도 19의 (b), 도 20의 (b), 도 21, 도 23 및 도 25의 지면 좌측은 고내압 트랜지스터가 형성되는 영역(6)을 나타내고 있다. 고내압 트랜지스터가 형성되는 영역(6) 중 지면 좌측은 고내압 N채널 트랜지스터가 형성되는 영역(6N)을 나타내고 있고, 고내압 트랜지스터가 형성되는 영역(6) 중 지면 우측은 고내압 P채널 트랜지스터가 형성되는 영역(6P)을 나타내고 있다. 도 11의 (b), 도 12의 (b), 도 13의 (b), 도 14의 (b), 도 15의 (b), 도 16의 (b), 도 17의 (b), 도 18의 (b), 도 19의 (b), 도 20의 (b), 도 21, 도 23 및 도 25의 지면 우측은 저전압 트랜지스터가 형성되는 영역(8)을 나타내고 있다. 저전압 트랜지스터가 형성되는 영역(8) 중 지면 좌측은 저전압 N채널 트랜지스터가 형성되는 영역(8N)을 나타내고 있고, 저전압 트랜지스터가 형성되는 영역(8) 중 지면 우측은 저전압 P채널 트랜지스터가 형성되는 영역(8P)을 나타내고 있다.

[0212] 우선, 반도체 기판(20)을 준비한다. 이러한 반도체 기판(20)으로서는, 예를 들어 P형의 실리콘 기판을 준비한다.

- [0213] 다음으로, 전체 면에, 예를 들어 열 산화법에 의해, 막 두께 15nm의 열 산화막(64)을 형성한다.
- [0214] 다음으로, 전체 면에, 예를 들어 CVD법에 의해, 막 두께 150nm의 실리콘 질화막(66)을 형성한다.
- [0215] 다음으로, 전체 면에, 예를 들어 스판 코팅법에 의해, 포토레지스트 막(도시 생략)을 형성한다.
- [0216] 다음으로, 포토리소그래피 기술을 사용하여, 포토레지스트 막에 개구부(도시 생략)를 형성한다. 이러한 개구부는 실리콘 질화막(66)을 패터닝하기 위한 것이다.
- [0217] 다음으로, 포토레지스트 막을 마스크로 하여, 실리콘 질화막(66)을 패터닝한다. 이에 따라, 실리콘 질화막으로 이루어지는 하드 마스크(66)가 형성된다.
- [0218] 다음으로, 건식 에칭에 의해, 하드 마스크(66)를 마스크로 하여, 반도체 기판(20)을 에칭한다. 이에 따라, 반도체 기판(20)에 홈(68)이 형성된다(도 11 참조). 반도체 기판(20)에 형성하는 홈(68)의 깊이는 반도체 기판(20)의 표면으로부터 예를 들어, 400nm로 한다.
- [0219] 다음으로, 열 산화법에 의해, 반도체 기판(20) 중 노출되어 있는 부분을 산화한다. 이에 따라, 반도체 기판(20) 중 노출되어 있는 부분에 실리콘 산화막(도시 생략)이 형성된다.
- [0220] 다음으로, 도 12에 나타낸 바와 같이, 전체 면에, 고밀도 플라스마 CVD법에 의해, 막 두께 700nm의 실리콘 산화막(22)을 형성한다.
- [0221] 다음으로, 도 13에 나타낸 바와 같이, CMP(Chemical Mechanical Polishing, 화학적 기계적 연마)법에 의해, 실리콘 질화막(66)의 표면이 노출될 때까지 실리콘 산화막(22)을 연마한다. 이와 같이 하여, 실리콘 산화막으로 이루어지는 소자 분리 영역(22)이 형성된다.
- [0222] 다음으로, 소자 분리 영역(22)을 경화시키기 위한 열 처리를 행한다. 열 처리 조건은 예를 들어, 질소 분위기 중에서 900°C, 30분으로 한다.
- [0223] 다음으로, 습식 에칭에 의해, 실리콘 질화막(66)을 제거한다.
- [0224] 다음으로, 도 14에 나타낸 바와 같이, 열 산화법에 의해, 반도체 기판(20)의 표면에 희생 산화막(68)을 성장한다.
- [0225] 다음으로, 도 15에 나타낸 바와 같이, 메모리 셀 어레이 영역(2)에, N형의 도편트(dopant) 불순물을 깊게 주입함으로써, N형의 매립 확산층(24)을 형성한다. 매립 확산층(24)의 상부는 P형의 웰(26)로 된다. 이 때, 고내압 N채널 트랜지스터가 형성되는 영역(6N)에도, N형의 도편트 불순물을 깊게 주입함으로써, N형의 매립 확산층(24)을 형성한다.
- [0226] 다음으로, 고내압 N채널 트랜지스터가 형성되는 영역(6N)에, N형의 매립 확산층(70)을 프레임 형상으로 형성한다. 이러한 프레임 형상의 매립 확산층(70)은 반도체 기판(20)의 표면으로부터 매립 확산층(24)의 가장자리부에 이르도록 형성한다. 매립 확산층(24)과 매립 확산층(70)에 의해 둘러싸인 영역은 P형의 웰(72P)로 된다.
- [0227] 다음으로, 고내압 P채널 트랜지스터가 형성되는 영역(6P)에, N형의 도편트 불순물을 도입함으로써, N형의 웰(72N)을 형성한다.
- [0228] 다음으로, 고내압 N채널 트랜지스터가 형성되는 영역(6N)과, 고내압 P채널 트랜지스터가 형성되는 영역(6P)에, 채널 도핑을 행한다(도시 생략).
- [0229] 다음으로, 반도체 기판(20)의 표면에 존재하는 희생 산화막(68)을 에칭 제거한다.
- [0230] 다음으로, 전체 면에, 열 산화법에 의해, 막 두께 10nm의 터널 절연막(28)을 형성한다.
- [0231] 다음으로, 전체 면에, 예를 들어 CVD법에 의해, 막 두께 90nm의 폴리실리콘 막(30)을 형성한다. 이러한 폴리실리콘 막(30)으로서는, 불순물이 도프된 폴리실리콘 막을 형성한다.
- [0232] 다음으로, 주변 회로 영역(4)에 존재하는 폴리실리콘 막(30)을 에칭 제거한다.
- [0233] 다음으로, 전체 면에, 실리콘 산화막과 실리콘 질화막과 실리콘 산화막을 순차 적층하여 이루어지는 절연막(ONO 막)(32)을 형성한다. 이러한 절연막(32)은 플로팅 게이트(30a)와 컨트롤 게이트(34a)를 절연하기 위한 것이다.
- [0234] 다음으로, 도 16에 나타낸 바와 같이, 저전압 N채널 트랜지스터가 형성되는 영역(8N)에, P형 도편트 불순물을 도입함으로써, P형의 웰(74P)을 형성한다.

- [0235] 다음으로, 저전압 P채널 트랜지스터가 형성되는 영역(8P)에, N형의 도편트 불순물을 도입함으로써, N형의 웨爾(74N)을 형성한다.
- [0236] 다음으로, 저전압 N채널 트랜지스터가 형성되는 영역(8N)과, 저전압 P채널 트랜지스터가 형성되는 영역(8P)에 채널 도핑을 행한다(도시 생략).
- [0237] 다음으로, 주변 회로 영역(4)에 존재하는 절연막(ONO막)(32)을 에칭 제거한다.
- [0238] 다음으로, 전체 면에, 열 산화법에 의해, 예를 들어 막 두께 15nm의 게이트 절연막(76)을 형성한다.
- [0239] 다음으로, 습식 에칭에 의해, 저전압 트랜지스터가 형성되는 영역(8)에 존재하는 게이트 절연막(76)을 제거한다.
- [0240] 다음으로, 전체 면에, 열 산화법에 의해, 예를 들어 막 두께 3nm의 게이트 절연막(78)을 형성한다. 이에 따라, 저전압 트랜지스터가 형성되는 영역(8)에서는, 예를 들어, 막 두께 3nm의 게이트 절연막이 형성된다. 한편, 고내압 트랜지스터가 형성되는 영역(6)에서는, 게이트 절연막(76)의 막 두께는 예를 들어, 16nm정도로 된다.
- [0241] 다음으로, 전체 면에, 예를 들어 CVD법에 의해, 예를 들어 막 두께 180nm의 폴리실리콘 막(34)을 형성한다.
- [0242] 다음으로, 전체 면에, 반사 방지막(80)을 형성한다.
- [0243] 다음으로, 도 17에 나타낸 바와 같이, 포토리소그래피 기술을 사용하여, 반사 방지막(80), 폴리실리콘 막(34), 절연막(32) 및 폴리실리콘 막(30)을 건식 에칭 한다. 이에 따라, 폴리실리콘으로 이루어지는 플로팅 게이트(30a)와, 폴리실리콘으로 이루어지는 컨트롤 게이트(34a)를 갖는 적층체가 메모리 셀 어레이 영역(2) 내에 형성된다. 또한, 폴리실리콘으로 이루어지는 셀렉트 게이트(30b)와, 폴리실리콘 막(34b)을 갖는 적층체가 메모리 셀 어레이 영역(2) 내에 형성된다.
- [0244] 다음으로, 배선(제 1 금속 배선)(46)과 셀렉트 게이트(30b)를 접속해야 하는 영역에서, 폴리실리콘 막(34b)을 에칭 제거한다(도시 생략).
- [0245] 다음으로, 도 18에 나타낸 바와 같이, 열 산화법에 의해, 플로팅 게이트(30a)의 측벽 부분, 컨트롤 게이트(34a)의 측벽 부분, 셀렉트 게이트(30b)의 측벽 부분 및 폴리실리콘 막(34b)의 측벽 부분에, 실리콘 산화막(도시 생략)을 형성한다.
- [0246] 다음으로, 전체 면에, 스펀 코팅법에 의해, 포토레지스트 막(도시 생략)을 형성한다.
- [0247] 다음으로, 포토리소그래피 기술을 사용하여, 메모리 셀 어레이 영역(2)을 노출하는 개구부(도시 생략)를 포토레지스트막에 형성한다.
- [0248] 다음으로, 포토레지스트 막을 마스크로 하여, N형의 도편트 불순물을 반도체 기판(20) 내에 도입한다. 이에 따라, 플로팅 게이트(30a)의 양측의 반도체 기판(20) 내, 및, 셀렉트 게이트(30b)의 양측의 반도체 기판(20) 내에, 불순물 확산층(36a~36c)이 형성된다. 이 후, 포토레지스트 막을 박리한다.
- [0249] 이와 같이 하여, 플로팅 게이트(30a)와 컨트롤 게이트(34a)와 소스/드레인 확산층(36a, 36b)을 갖는 메모리 셀 트랜지스터(MT)가 형성된다. 또한, 컨트롤 게이트(30b)와 소스/드레인 확산층(36b, 36c)을 갖는 선택 트랜지스터(ST)가 형성된다.
- [0250] 다음으로, 열 산화법에 의해, 플로팅 게이트(30a)의 측벽 부분, 컨트롤 게이트(34b)의 측벽 부분, 셀렉트 게이트(30b)의 측벽 부분 및 폴리실리콘 막(34b)의 측벽 부분에, 실리콘 산화막(82)을 형성한다.
- [0251] 다음으로, 예를 들어 CVD법에 의해, 막 두께 50nm의 실리콘 질화막(84)을 형성한다.
- [0252] 다음으로, 건식 에칭에 의해, 실리콘 질화막(84)을 이방성(異方性) 에칭함으로써, 실리콘 질화막으로 이루어지는 사이드월 절연막(84)을 형성한다. 이 때, 반사 방지막(80)이 에칭 제거되게 된다.
- [0253] 다음으로, 포토리소그래피 기술을 사용하여, 고내압 트랜지스터가 형성되는 영역(6)과 저전압 트랜지스터가 형성되는 영역(8)의 폴리실리콘 막(34)을 패터닝한다. 이에 따라, 폴리실리콘 막(34)으로 이루어지는 고내압 트랜지스터의 게이트 전극(34c)이 형성된다. 또한, 폴리실리콘 막(34)으로 이루어지는 저전압 트랜지스터의 게이트 전극(34d)이 형성된다.
- [0254] 다음으로, 전체 면에, 스펀 코팅법에 의해, 포토레지스트 막(도시 생략)을 형성한다.

- [0255] 다음으로, 포토리소그래피 기술을 사용하여, 고내압 N채널 트랜지스터가 형성되는 영역(6N)을 노출하는 개구부(도시 생략)를 포토레지스트 막에 형성한다.
- [0256] 다음으로, 포토레지스트 막을 마스크로 하여, N형의 도편트 불순물을 반도체 기판(20) 내에 도입한다. 이에 따라, 고내압 N채널 트랜지스터의 게이트 전극(34c)의 양측의 반도체 기판(20) 내에, N형의 저농도 확산층(86)이 형성된다. 이 후, 포토레지스트 막을 박리한다.
- [0257] 다음으로, 전체 면에, 스펀 코팅법에 의해, 포토레지스트 막(도시 생략)을 형성한다.
- [0258] 다음으로, 포토리소그래피 기술을 사용하여, 고내압 P채널 트랜지스터가 형성되는 영역(6P)을 노출하는 개구부(도시 생략)를 포토레지스트 막에 형성한다.
- [0259] 다음으로, 포토레지스트 막을 마스크로 하여, P형의 도편트 불순물을 반도체 기판(20) 내에 도입한다. 이에 따라, 고내압 P채널 트랜지스터의 게이트 전극(34c)의 양측의 반도체 기판(20) 내에, P형의 저농도 확산층(88)이 형성된다. 이 후, 포토레지스트 막을 박리한다.
- [0260] 다음으로, 전체 면에, 스펀 코팅법에 의해, 포토레지스트 막(도시 생략)을 형성한다.
- [0261] 다음으로, 포토리소그래피 기술을 사용하여, 저전압 N채널 트랜지스터가 형성되는 영역(8N)을 노출하는 개구부(도시 생략)를 포토레지스트 막에 형성한다.
- [0262] 다음으로, 포토레지스트 막을 마스크로 하여, N형의 도편트 불순물을 반도체 기판(20) 내에 도입한다. 이에 따라, 저전압 N채널 트랜지스터의 게이트 전극(34d)의 양측의 반도체 기판(20) 내에, N형의 저농도 확산층(90)이 형성된다. 이 후, 포토레지스트 막을 박리한다.
- [0263] 다음으로, 전체 면에, 스펀 코팅법에 의해, 포토레지스트 막(도시 생략)을 형성한다.
- [0264] 다음으로, 포토리소그래피 기술을 사용하여, 저전압 P채널 트랜지스터가 형성되는 영역(8P)을 노출하는 개구부(도시 생략)를 포토레지스트 막에 형성한다.
- [0265] 다음으로, 포토레지스트 막을 마스크로 하여, P형의 도편트 불순물을 반도체 기판(20) 내에 도입한다. 이에 따라, 저전압 P채널 트랜지스터의 게이트 전극(34d)의 양측의 반도체 기판(20) 내에, P형의 저농도 확산층(92)이 형성된다. 이 후, 포토레지스트 막을 박리한다.
- [0266] 다음으로, 예를 들어 CVD법에 의해, 막 두께 100nm의 실리콘 산화막(93)을 형성한다.
- [0267] 다음으로, 건식 예칭에 의해, 실리콘 산화막(93)을 이방성 예칭한다. 이에 따라, 플로팅 게이트(30a)와 컨트롤 게이트(34a)를 갖는 적층체의 측벽 부분에, 실리콘 산화막으로 이루어지는 사이드월 절연막(93)이 형성된다(도 19 참조). 또한, 셀렉트 게이트(30b)와 폴리실리콘 막(34b)을 갖는 적층체의 측벽 부분에, 실리콘 산화막으로 이루어지는 사이드월 절연막(93)이 형성된다. 또한, 게이트 전극(34c)의 측벽 부분에 실리콘 산화막으로 이루어지는 사이드월 절연막(93)이 형성된다. 또한, 게이트 전극(34d)의 측벽 부분에 실리콘 산화막으로 이루어지는 사이드월 절연막(93)이 형성된다.
- [0268] 다음으로, 전체 면에, 스펀 코팅법에 의해, 포토레지스트 막(도시 생략)을 형성한다.
- [0269] 다음으로, 포토리소그래피 기술을 사용하여, 고내압 N채널 트랜지스터가 형성되는 영역(6N)을 노출하는 개구부(도시 생략)를 포토레지스트 막에 형성한다.
- [0270] 다음으로, 포토레지스트 막을 마스크로 하여, N형의 도편트 불순물을 반도체 기판(20) 내에 도입한다. 이에 따라, 고내압 N채널 트랜지스터의 게이트 전극(34c)의 양측의 반도체 기판(20) 내에, N형의 고농도 확산층(94)이 형성된다. N형의 저농도 확산층(86)과 N형의 고농도 확산층(94)에 의해, LDD 구조의 N형의 소스/드레인 확산층(96)이 형성된다. 이와 같이 하여, 게이트 전극(34c)과 소스/드레인 확산층(96)을 갖는 고내압 N채널 트랜지스터(110N)가 형성된다. 고내압 N채널 트랜지스터(110N)는 고전압 회로(고내압 회로)에 사용된다. 이 후, 포토레지스트 막을 박리한다.
- [0271] 다음으로, 전체 면에, 스펀 코팅법에 의해, 포토레지스트 막(도시 생략)을 형성한다.
- [0272] 다음으로, 포토리소그래피 기술을 사용하여, 고내압 P채널 트랜지스터가 형성되는 영역(6P)을 노출하는 개구부(도시 생략)를 포토레지스트 막에 형성한다.
- [0273] 다음으로, 포토레지스트 막을 마스크로 하여, P형의 도편트 불순물을 반도체 기판(20) 내에 도입한다. 이에 따

라, 고내압 P채널 트랜지스터의 게이트 전극(34c)의 양측의 반도체 기판(20) 내에, P형의 고농도 확산층(98)이 형성된다. P형의 저농도 확산층(88)과 P형의 고농도 확산층(98)에 의해, LDD 구조의 P형의 소스/드레인 확산층(100)이 형성된다. 이와 같이 하여, 게이트 전극(34c)과 소스/드레인 확산층(100)을 갖는 고내압 P채널 트랜지스터(110P)가 형성된다. 고내압 P채널 트랜지스터(110P)는 고전압 회로(고내압 회로)에 사용된다. 이 후, 포토레지스트 막을 박리한다.

[0274] 다음으로, 전체 면에, 스펀 코팅법에 의해, 포토레지스트 막(도시 생략)을 형성한다.

[0275] 다음으로, 포토리소그래피 기술을 사용하여, 저전압 N채널 트랜지스터가 형성되는 영역(8N)을 노출하는 개구부(도시 생략)를 포토레지스트 막에 형성한다.

[0276] 다음으로, 포토레지스트 막을 마스크로 하여, N형의 도편트 불순물을 반도체 기판(20) 내에 도입한다. 이에 따라, 저전압 N채널 트랜지스터의 게이트 전극(34d)의 양측의 반도체 기판(20) 내에, N형의 고농도 확산층(102)이 형성된다. N형의 저농도 확산층(90)과 N형의 고농도 확산층(102)에 의해, LDD 구조의 N형의 소스/드레인 확산층(104)이 형성된다. 이와 같이 하여, 게이트 전극(34d)과 소스/드레인 확산층(104)을 갖는 저전압 N채널 트랜지스터(112N)가 형성된다. 저전압 N채널 트랜지스터(112N)는 저전압 회로에 사용된다. 이 후, 포토레지스트 막을 박리한다.

[0277] 다음으로, 전체 면에, 스펀 코팅법에 의해, 포토레지스트 막(도시 생략)을 형성한다.

[0278] 다음으로, 포토리소그래피 기술을 사용하여, 저전압 P채널 트랜지스터가 형성되는 영역(8P)을 노출하는 개구부(도시 생략)를 포토레지스트 막에 형성한다.

[0279] 다음으로, 포토레지스트 막을 마스크로 하여, P형의 도편트 불순물을 반도체 기판(20) 내에 도입한다. 이에 따라, 저전압 P채널 트랜지스터의 게이트 전극(34d)의 양측의 반도체 기판(20) 내에, P형의 고농도 확산층(106)이 형성된다. P형의 저농도 확산층(92)과 P형의 고농도 확산층(106)에 의해, LDD 구조의 P형의 소스/드레인 확산층(108)이 형성된다. 이와 같이 하여, 게이트 전극(34d)과 소스/드레인 확산층(108)을 갖는 저전압 P채널 트랜지스터(112P)가 형성된다. 저전압 P채널 트랜지스터(112P)는 저전압 회로에 사용된다. 이 후, 포토레지스트 막을 박리한다.

[0280] 다음으로, 예를 들어 스퍼터링법에 의해, 전체 면에, 막 두께 10nm의 코발트 막을 형성한다.

[0281] 다음으로, 열처리를 행함으로써, 반도체 기판(20)의 표면의 실리콘 원자와 코발트 막 중의 코발트 원자를 반응시킨다. 또한, 컨트롤 게이트(34c)의 표면의 실리콘 원자와 코발트 막 중의 코발트 원자를 반응시킨다. 또한, 폴리실리콘 막(34d)의 표면의 실리콘 원자와 코발트 막 중의 코발트 원자를 반응시킨다. 또한, 게이트 전극(34c, 34d)의 표면의 실리콘 원자와 코발트 막 중의 코발트 원자를 반응시킨다. 이와 같이 하여, 소스/드레인 확산층(36a, 36c) 상에 코발트 실리사이드 막(38a, 38b)이 형성된다(도 20 참조). 또한, 컨트롤 게이트(34a) 상에 코발트 실리사이드 막(38c)이 형성된다. 또한, 폴리실리콘 막(34b) 상에 코발트 실리사이드 막(38d)이 형성된다. 또한, 소스/드레인 확산층(96, 100, 104, 108) 상에 코발트 실리사이드 막(38e)이 형성된다. 또한, 게이트 전극(34c, 34d) 상에 코발트 실리사이드 막(38f)이 형성된다.

[0282] 다음으로, 미반응의 코발트 막을 에칭 제거한다.

[0283] 선택 트랜지스터(ST)의 드레인 확산층(36c) 상에 형성된 코발트 실리사이드 막(38b)은 드레인 전극으로서 기능한다.

[0284] 메모리 셀 트랜지스터(MT)의 소스 확산층(36a) 상에 형성된 코발트 실리사이드 막(38a)은 소스 전극으로서 기능한다.

[0285] 고내압 트랜지스터(110N, 110P)의 소스/드레인 확산층(96, 100) 상에 형성된 코발트 실리사이드 막(38e)은 소스/드레인 전극으로서 기능한다.

[0286] 저전압 트랜지스터(112N, 112P)의 소스/드레인 확산층(104, 108) 상에 형성된 코발트 실리사이드 막(38e)은 소스/드레인 전극으로서 기능한다.

[0287] 다음으로, 도 21 및 도 22에 나타낸 바와 같이, 전체 면에, 예를 들어 CVD법에 의해, 막 두께 100nm의 실리콘 질화막(114)을 형성한다. 실리콘 질화막(114)은 에칭 스토퍼로서 기능하는 것이다.

[0288] 다음으로, 전체 면에, CVD법에 의해, 막 두께 1.6μm의 실리콘 산화막(116)을 형성한다. 이와 같이 하여, 실리

콘 질화막(114)과 실리콘 산화막(116)으로 이루어지는 층간 절연막(40)이 형성된다.

[0289] 다음으로, CMP법에 의해, 층간 절연막(40)의 표면을 평탄화한다.

[0290] 다음으로, 포토리소그래피 기술을 사용하여, 소스/드레인 전극(38a, 38b)에 이르는 콘택트 홀(42), 소스/드레인 확산층(38e)에 이르는 콘택트 홀(42), 및, 코발트 실리사이드 막(38f)에 이르는 콘택트 홀(42)을 형성한다(도 23, 도 24 참조).

[0291] 다음으로, 전체 면에, 스퍼터링법에 의해, Ti막과 TiN막으로 이루어지는 배리어 층(도시 생략)을 형성한다.

[0292] 다음으로, 전체 면에, 예를 들어 CVD법에 의해, 막 두께 300nm의 텅스텐 막(44)을 형성한다

[0293] 다음으로, CMP법에 의해, 층간 절연막(40)의 표면이 노출될 때까지 텅스텐 막(44) 및 배리어 막을 연마한다. 이와 같이 하여, 콘택트 홀(42) 내에, 예를 들어 텅스텐으로 이루어지는 도체 플러그(44)가 매립된다.

[0294] 다음으로, 예를 들어 스퍼터링법에 의해, 도체 플러그(44)가 매립된 층간 절연막(40) 상에, Ti막, TiN막, Al막, Ti막 및 TiN막을 순차 적층하여 이루어지는 적층막(46)을 형성한다.

[0295] 다음으로, 포토리소그래피 기술을 사용하여, 적층막(46)을 패터닝한다. 이에 따라, 적층막으로 이루어지는 배선(제 1 금속 배선층)(46)이 형성된다.

[0296] 다음으로, 도 25 및 도 26에 나타낸 바와 같이, 예를 들어 고밀도 플라스마 CVD법에 의해, 막 두께 700nm의 실리콘 산화막(118)을 형성한다.

[0297] 다음으로, TEOSCVD법에 의해, 실리콘 산화막(120)을 형성한다. 실리콘 산화막(118)과 실리콘 산화막(120)에 의해 층간 절연막(48)이 형성된다.

[0298] 다음으로, 포토리소그래피 기술을 사용하여, 배선(46)에 이르는 콘택트 홀(50)을 층간 절연막(48)에 형성한다.

[0299] 다음으로, 전체 면에, 스퍼터링법에 의해, Ti막과 TiN막으로 이루어지는 배리어 층(도시 생략)을 형성한다.

[0300] 다음으로, 전체 면에, 예를 들어 CVD법에 의해, 막 두께 300nm의 텅스텐 막(52)을 형성한다

[0301] 다음으로, CMP법에 의해, 층간 절연막(48)의 표면이 노출될 때까지 텅스텐 막(52) 및 배리어 막을 연마한다. 이와 같이 하여, 콘택트 홀(50) 내에, 예를 들어 텅스텐으로 이루어지는 도체 플러그(52)가 매립된다.

[0302] 다음으로, 예를 들어 스퍼터링법에 의해, 도체 플러그(52)가 매립된 층간 절연막(48) 상에, Ti막, TiN막, Al막, Ti막 및 TiN막을 순차 적층하여 이루어지는 적층막(54)을 형성한다.

[0303] 다음으로, 포토리소그래피 기술을 사용하여, 적층막(54)을 패터닝한다. 이에 따라, 적층막으로 이루어지는 배선(제 2 금속 배선층)(54)이 형성된다.

[0304] 다음으로, 예를 들어 고밀도 플라스마 CVD법에 의해, 실리콘 산화막(122)을 형성한다.

[0305] 다음으로, TEOSCVD법에 의해, 실리콘 산화막(124)을 형성한다. 실리콘 산화막(122)과 실리콘 산화막(124)에 의해 층간 절연막(56)이 형성된다.

[0306] 다음으로, 포토리소그래피 기술을 사용하여, 배선(54)에 이르는 콘택트 홀(58)을 층간 절연막(56)에 형성한다.

[0307] 다음으로, 전체 면에, 스퍼터링법에 의해, Ti막과 TiN막으로 이루어지는 배리어 층(도시 생략)을 형성한다.

[0308] 다음으로, 전체 면에, 예를 들어 CVD법에 의해, 막 두께 300nm의 텅스텐 막(60)을 형성한다

[0309] 다음으로, CMP법에 의해, 층간 절연막(56)의 표면이 노출될 때까지 텅스텐 막(60) 및 배리어 막을 연마한다. 이와 같이 하여, 콘택트 홀(58) 내에, 예를 들어 텅스텐으로 이루어지는 도체 플러그(60)(도 26 참조)가 매립된다.

[0310] 다음으로, 예를 들어 스퍼터링법에 의해, 도체 플러그(60)가 매립된 층간 절연막(56) 상에, 적층막(62)을 형성한다.

[0311] 다음으로, 포토리소그래피 기술을 사용하여, 적층막(62)을 패터닝한다. 이에 따라, 적층막으로 이루어지는 배선(제 3 금속 배선층)(62)이 형성된다.

[0312] 다음으로, 예를 들어 고밀도 플라스마 CVD법에 의해, 실리콘 산화막(126)을 형성한다.

- [0313] 다음으로, TEOSCVD법에 의해, 실리콘 산화막(128)을 형성한다. 실리콘 산화막(126)과 실리콘 산화막(128)에 의해 충간 절연막(130)이 형성된다.
- [0314] 다음으로, 포토리소그래피 기술을 사용하여, 배선(62)에 이르는 콘택트 홀(132)을 충간 절연막(130)에 형성한다.
- [0315] 다음으로, 전체 면에, 스퍼터링법에 의해, Ti막과 TiN막으로 이루어지는 배리어 층(도시 생략)을 형성한다.
- [0316] 다음으로, 전체 면에, 예를 들어 CVD법에 의해, 막 두께 300nm의 텅스텐 막(134)을 형성한다
- [0317] 다음으로, CMP법에 의해, 충간 절연막(130)의 표면이 노출될 때까지 텅스텐 막(134) 및 배리어 막을 연마한다. 이와 같이 하여, 콘택트 홀(132) 내에, 예를 들어 텅스텐으로 이루어지는 도체 플러그(도시 생략)(134)가 매립된다.
- [0318] 다음으로, 예를 들어 스퍼터링법에 의해, 도체 플러그(134)가 매립된 충간 절연막(130) 상에, 적층막(136)을 형성한다.
- [0319] 다음으로, 포토리소그래피 기술을 사용하여, 적층막(136)을 패터닝한다. 이에 따라, 적층막으로 이루어지는 배선(제 4 금속 배선층)(136)이 형성된다.
- [0320] 다음으로, 예를 들어 고밀도 플라스마 CVD법에 의해, 실리콘 산화막(138)을 형성한다.
- [0321] 다음으로, TEOSCVD법에 의해, 실리콘 산화막(140)을 형성한다. 실리콘 산화막(138)과 실리콘 산화막(140)에 의해 충간 절연막(142)이 형성된다.
- [0322] 다음으로, 포토리소그래피 기술을 사용하여, 배선(136)에 이르는 콘택트 홀(143)을 충간 절연막(142)에 형성한다.
- [0323] 다음으로, 전체 면에, 스퍼터링법에 의해, Ti막과 TiN막으로 이루어지는 배리어 층(도시 생략)을 형성한다.
- [0324] 다음으로, 전체 면에, 예를 들어 CVD법에 의해, 막 두께 300nm의 텅스텐 막(146)을 형성한다
- [0325] 다음으로, CMP법에 의해, 충간 절연막(142)의 표면이 노출될 때까지 텅스텐 막(146) 및 배리어 막을 연마한다. 이와 같이 하여, 콘택트 홀(143) 내에, 예를 들어 텅스텐으로 이루어지는 도체 플러그(144)가 매립된다.
- [0326] 다음으로, 예를 들어 스퍼터링법에 의해, 도체 플러그(144)가 매립된 충간 절연막(142) 상에, 적층막(145)을 형성한다.
- [0327] 다음으로, 포토리소그래피 기술을 사용하여, 적층막(145)을 패터닝한다. 이에 따라, 적층막으로 이루어지는 배선(제 5 금속 배선층)(145)이 형성된다.
- [0328] 다음으로, 예를 들어 고밀도 플라스마 CVD법에 의해, 실리콘 산화막(146)을 형성한다.
- [0329] 다음으로, 플라스마 CVD법에 의해, 막 두께 1μm의 실리콘 질화막(148)을 형성한다.
- [0330] 이와 같이 하여 본 실시 형태에 의한 불휘발성 반도체 기억 장치가 제조된다.
- [0331] [제 2 실시 형태]
- [0332] 본 발명의 제 2 실시 형태에 의한 불휘발성 반도체 기억 장치의 판독 방법을 도 27 내지 도 29를 사용하여 설명한다. 도 27은 본 실시 형태에 의한 불휘발성 반도체 기억 장치의 판독 방법, 기입 방법 및 소거 방법을 나타내는 도면이다. 도 27에서 괄호 안은 비선택 선의 전위를 나타내고 있다. 또한, 도 27에서 F는 플로팅을 나타내고 있다. 도 28은 본 실시 형태에 의한 불휘발성 반도체 기억 장치의 판독 방법을 나타내는 회로도이다. 도 29는 본 실시 형태에 의한 불휘발성 반도체 기억 장치의 판독 방법을 나타내는 타임 차트이다. 도 1 내지 도 26에 나타낸 제 1 실시 형태에 의한 불휘발성 반도체 기억 장치 등과 동일한 구성요소에는, 동일한 부호를 부여하여 설명을 생략 또는 간결하게 한다.
- [0333] 본 실시 형태에 의한 불휘발성 반도체 기억 장치의 구성은, 도 1을 사용하여 상술한 제 1 실시 형태에 의한 불휘발성 반도체 기억 장치의 구성과 동일하다.
- [0334] 본 실시 형태에 의한 불휘발성 반도체 기억 장치의 판독 방법은, 인접 비트 선(BL_(ADJACENT))의 전위를 V_{CC}로 설정하는 것에 주요한 특징이 있다.

- [0335] 메모리 셀 트랜지스터(MT)에 기입된 정보를 판독할 때에는, 도 29에 나타내는 타임 차트에 따라, 각 부의 전위를 도 27 및 도 28에 나타낸 바와 같이 설정한다.
- [0336] 우선, 선택해야 할 메모리 셀(선택 셀)(MC_(SELECT))의 어드레스를 확정한다.
- [0337] 다음으로, 선택 셀(MC_(SELECT))의 선택 트랜지스터(ST)의 드레인에 접속된 선택 비트 선(BL_(SELECT))의 전위를 V_{CC}로 한다. 또한, 인접 비트 선(BL_(ADJACENT))의 전위를 V_{CC}로 한다. 또한, 선택 비트 선(BL_(SELECT))과 인접 비트 선(BL_(ADJACENT))을 제외하는 다른 비트 선(BL)의 전위를 플로팅으로 한다. 또한, 후술하는 선택 소스 선(SL_(SELECT))은 선택 비트 선(BL_(SELECT))에 대하여 제 1 측에 위치하고 있다. 인접 소스 선(SL_(ADJACENT))은 선택 비트 선(BL_(SELECT))에 대하여, 제 1 측과 반대측의 제 2 측에 위치하고 있다. 인접 비트 선(BL_(ADJACENT))은 인접 소스 선(SL_(ADJACENT))에 대하여 제 2 측에 위치하고 있다. 또한, 선택 셀(MC_(SELECT))의 선택 트랜지스터(ST)의 드레인과 인접 셀(MC_(ADJACENT))의 선택 트랜지스터(ST)의 드레인은 선택 비트 선(BL_(SELECT))에 의해 공통 접속되어 있다. 또한, 인접 셀(MC_(ADJACENT))의 메모리 셀 트랜지스터(MT)의 소스와, 인접 셀(MC_(ADJACENT))에 인접하는 다른 인접 셀(MC_{(ADJACENT)'})의 메모리 셀 트랜지스터(MT)의 소스는 인접 소스 선(SL_(ADJACENT))에 의해 공통 접속되어 있다. 인접 비트 선(BL_(ADJACENT))은 다른 인접 셀(MC_{(ADJACENT)'})의 선택 트랜지스터(ST)의 드레인에 접속되어 있다. 또한, 인접 셀(MC_(ADJACENT))에 접속된 인접 소스 선(SL_(ADJACENT))의 전위를 V_{CC}로 한다. 또한, 선택 셀(MC_(SELECT))에 접속된 소스 선(선택 소스 선)(SL_(SELECT))의 전위를 OV(접지)로 한다. 또한, 그 밖의 소스 선(SL)의 전위, 즉, 선택 소스 선(SL_(SELECT)) 및 인접 소스 선(SL_(SELECT))을 제외하는 소스 선(SL)의 전위는 플로팅으로 한다. 또한, 모든 제 1 위드 선(WL1)의 전위는, 판독 대기 시에서, 항상 V_{CC}로 한다. 웨일(26)의 전위는 모두 OV로 한다.
- [0338] 다음으로, 선택 비트 선(BL_(SELECT))을 센스 앰플리파이어(13)에 접속한다(도 29 참조).
- [0339] 다음으로, 선택 셀(MC_(SELECT))에 접속되어 있는 제 2 워드 선(WL2_(SELECT))의 전위를 V_{CC}로 한다(도 29 참조). 한편, 선택된 제 2 워드 선(WL2_(SELECT))을 제외하는 복수의 제 2 워드 선(WL2)의 전위를 OV로 한다.
- [0340] 선택 셀(MC_(SELECT))의 메모리 셀 트랜지스터(MT)에 정보가 기입되어 있을 경우, 즉, 선택 셀(MC_(SELECT))의 메모리 셀 트랜지스터(MT)의 정보가 "1"인 경우에는, 메모리 셀 트랜지스터(MT)의 플로팅 게이트(30a)에 전하가 축적되어 있다. 이 경우에는, 메모리 셀 트랜지스터(MT)의 소스 확산층(36a)과 선택 트랜지스터(ST)의 드레인 확산층(36c) 사이에 전류가 흐르지 않고, 선택된 하나의 비트 선(선택 비트 선)(BL_(SELECT))에는 전류가 흐르지 않는다. 따라서, 선택 비트 선(BL_(SELECT))의 전위는 V_{CC}인 채로 된다. 선택 비트 선(BL_(SELECT))의 전위는 센스 앰플리파이어(13)에 의해 검출된다. 선택 비트 선(BL_(SELECT))의 전위가 V_{CC}인 채인 경우에는, 선택 셀(MC_(SELECT))의 메모리 셀 트랜지스터(MT)의 정보는 "1"이라고 판단된다(도 29 참조).
- [0341] 한편, 선택 셀(MC_(SELECT))의 메모리 셀 트랜지스터(MT)에 기입된 정보가 소거되어 있을 경우, 즉, 선택 셀(MC_(SELECT))의 메모리 셀의 정보가 "0"인 경우에는, 메모리 셀 트랜지스터(MT)의 플로팅 게이트(30a)에 전하가 축적되어 있지 않다. 이 경우에는, 메모리 셀 트랜지스터(MT)의 소스 확산층(36a)과 선택 트랜지스터(ST)의 드레인 확산층(36c) 사이에 전류가 흐르고, 선택된 하나의 비트 선(BL_(SELECT))에 전류가 흐른다. 따라서, 선택 비트 선(BL_(SELECT))의 전위는 서서히 저하하고, 이후 0V로 된다. 선택 비트 선(BL_(SELECT))의 전위가 V_{CC}보다 낮아졌을 경우에는, 선택 셀(MC_(SELECT))의 메모리 셀 트랜지스터(MT)의 정보가 "0"이라고 판단된다(도 29 참조).
- [0342] 이와 같이 하여, 메모리 셀 트랜지스터(MT)에 기입된 정보가 판독된다.
- [0343] 또한, 본 실시 형태에서, 인접 비트 선(BL_(ADJACENT))의 전위를 V_{CC}로 설정하는 것은 이하와 같은 이유에 의한 것이다.
- [0344] 즉, 인접 비트 선(BL_(ADJACENT))의 전위가 플로팅일 경우에는, 인접 소스 선(SL_(ADJACENT))의 전위를 V_{CC}로 설정했을 경우라도, 인접 셀(MC_(ADJACENT)) 및 다른 인접 셀(MC_{(ADJACENT)'})에서, 메모리 셀 트랜지스터(MT)의 소스 확산층(36a)과 선택 트랜지스터(ST)의 드레인 확산층(36c) 사이에 의도하지 않은 전류가 흐를 우려가 있다. 이 경우에는, 선

택 셀($MC_{(SELECT)}$)에서, 메모리 셀 트랜지스터(MT)의 소스 확산층(36a)과 선택 트랜지스터(ST)의 드레인 확산층(36c) 사이에 전류가 흐르는지의 여부에 관계없이, 선택 비트 선($BL_{(SELECT)}$)에 전류가 흐른다. 선택 셀($MC_{(SELECT)}$)에서, 메모리 셀 트랜지스터(MT)의 소스 확산층(36a)과 선택 트랜지스터(ST)의 드레인 확산층(36c) 사이에 전류가 흐르고 있지 않은데도 불구하고, 인접 셀($MC_{(ADJACENT)}$) 및 다른 인접 셀($MC_{(ADJACENT')}$)에서, 메모리 셀 트랜지스터(MT)의 소스 확산층(36a)과 선택 트랜지스터(ST)의 드레인 확산층(36c) 사이에 전류가 흘렀을 경우에는, 선택 셀($MC_{(SELECT)}$)의 메모리 셀 트랜지스터(MT)의 정보가 잘못 판단된다.

[0345] 이에 대하여, 본 실시 형태에서는 선택 셀($MC_{(SELECT)}$)의 메모리 셀 트랜지스터(MT)에 기입된 정보를 판독할 때에는, 인접 소스 선($SL_{(ADJACENT)}$)의 전위를 V_{CC} 로 하는 것뿐 아니라, 인접 비트 선($BL_{(ADJACENT)}$)의 전위도 V_{CC} 로 한다. 따라서, 본 실시 형태에 의하면, 인접 셀($MC_{(ADJACENT)}$) 및 다른 인접 셀($MC_{(ADJACENT')}$)에서, 메모리 셀 트랜지스터(MT)의 소스 확산층(36a)과 선택 트랜지스터(ST)의 드레인 확산층(36c) 사이에 의도하지 않은 전류가 흐르는 것을 더 확실하게 방지할 수 있다. 따라서, 본 실시 형태에 의하면, 선택 셀($MC_{(SELECT)}$)의 메모리 셀 트랜지스터(MT)의 정보가 잘못 판단되는 것을 더 확실하게 방지하는 것이 가능해진다.

[0346] 또한, 본 실시 형태에 의한 불휘발성 반도체 기억 장치의 기입 방법 및 소거 방법은 제 1 실시 형태에 의한 불휘발성 반도체 기억 장치의 기입 방법 및 소거 방법과 동일하다.

[제 3 실시 형태]

[0348] 본 발명의 제 3 실시 형태에 의한 불휘발성 반도체 기억 장치의 판독 방법을 도 30 내지 도 34를 사용하여 설명한다. 도 30은 본 실시 형태에 의한 불휘발성 반도체 기억 장치의 판독 방법, 기입 방법 및 소거 방법을 나타내는 도면이다. 도 30에서 팔호 안은 비선택 선의 전위를 나타내고 있다. 또한, 도 30에서 F는 플로팅을 나타내고 있다. 도 31은 본 실시 형태에 의한 불휘발성 반도체 기억 장치의 판독 방법을 나타내는 타임 차트이다. 도 32 내지 도 34는 본 실시 형태에 의한 불휘발성 반도체 기억 장치의 판독 방법을 나타내는 회로도이다. 도 1 내지 도 29에 나타낸 제 1 또는 제 2 실시 형태에 의한 불휘발성 반도체 기억 장치 등과 동일한 구성요소에는, 동일한 부호를 부여하여 설명을 생략 또는 간결하게 한다.

[0349] 본 실시 형태에 의한 불휘발성 반도체 기억 장치의 판독 방법은 모든 비트 선(BL)의 전위와 모든 소스 선(SL)의 전위를 V_{CC}' 로 설정하고, 이 후, 선택 비트 선($BL_{(SELECT)}$)의 전위를 V_{CC} 로 설정하며, 선택 소스 선(SL)의 전위를 0V로 함으로써, 메모리 셀 트랜지스터(MT)에 기입된 정보를 판독하는 것에 주요한 특징이 있다.

[0350] 본 실시 형태에 의한 불휘발성 반도체 기억 장치의 구성은 도 1을 사용하여 상술한 제 1 실시 형태에 의한 불휘발성 반도체 기억 장치의 구성과 동일하다.

[0351] 메모리 셀 트랜지스터(MT)에 기입된 정보를 판독할 때에는, 도 31에 나타내는 타임 차트에 따라, 각 부의 전위를 도 30 및 도 32 내지 도 34에 나타낸 바와 같이 설정한다.

[0352] 우선, 선택해야 할 메모리 셀(선택 셀)($MC_{(SELECT)}$)의 어드레스를 확정한다.

[0353] 다음으로, 모든 비트 선(BL)의 전위를 V_{CC}' 로 설정하는 동시에, 모든 소스 선(SL)의 전위를 V_{CC}' 로 설정한다(도 32 참조). V_{CC}' 는 전원 전압 V_{CC} 와 동등한 전압, 또는, 전원 전압 V_{CC} 보다 낮은 전압으로 한다. 이와 같이 하여, 모든 비트 선(BL) 및 모든 소스 선(SL)이 V_{CC}' 로 차지 업(charge up)된다. 또한, 모든 제 1 워드 선(WL1)의 전위는 판독 대기 시에, 항상 V_{CC} 로 한다. 웨(26)의 전위는 모두 0V로 한다.

[0354] 다음으로, 선택 셀($MC_{(SELECT)}$)의 선택 트랜지스터(ST)의 드레인에 접속된 선택 비트 선($BL_{(SELECT)}$)의 전위를 V_{CC} 로 한다. 또한, 선택 셀($MC_{(SELECT)}$)의 메모리 셀 트랜지스터(MT)의 소스에 접속된 선택 소스 선($SL_{(SELECT)}$)의 전위를 0V로 한다(도 33 참조).

[0355] 다음으로, 선택 비트 선($BL_{(SELECT)}$)을 센스 앰플리파이어(13)에 접속한다(도 31 참조).

[0356] 다음으로, 선택 셀($MC_{(SELECT)}$)에 접속되어 있는 제 2 워드 선(WL2($SELECT$))의 전위를 V_{CC} 로 한다(도 34 참조). 또한, 선택된 제 2 워드 선(WL2($SELECT$))을 제외하는 모든 제 2 워드 선(WL2)의 전위는 0V로 한다.

- [0357] 선택 셀(MC_(SELECT))의 메모리 셀 트랜지스터(MT)에 정보가 기입되어 있을 경우, 즉, 선택 셀(MC_(SELECT))의 메모리 셀 트랜지스터(MT)의 정보가 "1"인 경우에는, 메모리 셀 트랜지스터(MT)의 플로팅 게이트(30a)에 전하가 축적되어 있다. 이 경우에는, 메모리 셀 트랜지스터(MT)의 소스 확산층(36a)과 선택 트랜지스터(ST)의 드레인 확산층(36c) 사이에 전류가 흐르지 않고, 선택된 하나의 비트 선(선택 비트 선)(BL_(SELECT))에는 전류가 흐르지 않는다. 따라서, 선택 비트 선(BL_(SELECT))의 전위는 V_{CC}로 된다. 선택 셀(MC_(SELECT)) 이외의 메모리 셀(MC)에서 누설 전류가 생겼다고 해도, 선택 비트 선(BL_(SELECT))의 전위는 V_{CC}'보다 낮아지는 경우는 없다. 선택 비트 선(BL_(SELECT))의 전위는 센스 앰플리파이어(13)에 의해 검출된다. 선택 비트 선(BL_(SELECT))의 전위가 V_{CC}' 이상인 경우에는, 선택 셀(MC_(SELECT))의 메모리 셀 트랜지스터(MT)의 정보는 "1"이라고 판단된다(도 31 참조).
- [0358] 한편, 선택 셀(MC_(SELECT))의 메모리 셀 트랜지스터(MT)에 기입된 정보가 소거되어 있을 경우, 즉, 선택 셀(MC_(SELECT))의 메모리 셀 트랜지스터(MT)의 정보가 "0"인 경우에는, 메모리 셀 트랜지스터(MT)의 플로팅 게이트(30a)에 전하가 축적되어 있지 않다. 이 경우에는, 메모리 셀 트랜지스터(MT)의 소스 확산층(36a)과 선택 트랜지스터(ST)의 드레인 확산층(36c) 사이에 전류가 흐르고, 선택된 하나의 비트 선(선택 비트 선)(BL_(SELECT))에 전류가 흐른다. 따라서, 선택 비트 선(BL_(SELECT))의 전위는 서서히 저하하고, 이후 0V로 된다. 선택 비트 선(BL_(SELECT))의 전위가 V_{CC}'보다 낮아졌을 경우에는, 선택 셀(MC_(SELECT))의 메모리 셀 트랜지스터(MT)의 정보가 "0"이라고 판단된다(도 31 참조).
- [0359] 이와 같이 하여, 메모리 셀 트랜지스터(MT)에 기입된 정보가 판독된다.
- [0360] 또한, 본 실시 형태에서, 비선택의 비트 선(BL)의 전위를 V_{CC}'로 하고, 비선택의 소스 선의 전위를 V_{CC}'로 하는 것은, 이하와 같은 이유에 의한 것이다.
- [0361] 즉, 비선택의 비트 선(BL)의 전위나 비선택의 소스 선(SL)의 전위가 플로팅일 경우에는, 선택 셀(MC_(SELECT)) 이외의 메모리 셀(MC)에서, 메모리 셀 트랜지스터(MT)의 소스 확산층(36a)과 선택 트랜지스터(ST)의 드레인 확산층(36c) 사이에 의도하지 않은 전류가 흐를 우려가 있다. 이 경우에는, 선택 셀(MC_(SELECT))에서, 메모리 셀 트랜지스터(MT)의 소스 확산층(36a)과 선택 트랜지스터(ST)의 드레인 확산층(36c) 사이에 전류가 흐르는지의 여부에 관계없이, 선택 비트 선(BL_(SELECT))에 전류가 흐른다. 선택 셀(MC_(SELECT))에서, 메모리 셀 트랜지스터(MT)의 소스 확산층(36a)과 선택 트랜지스터(ST)의 드레인 확산층(36c) 사이에 전류가 흐르고 있지 않은데도 불구하고, 선택 셀(MC_(SELECT)) 이외의 메모리 셀(MC)에서, 메모리 셀 트랜지스터(MT)의 소스 확산층(36a)과 선택 트랜지스터(ST)의 드레인 확산층(36c) 사이에 전류가 흐른 경우에는, 선택 셀(MC_(SELECT))의 메모리 셀 트랜지스터(MT)의 정보가 잘못 판단된다.
- [0362] 이에 대하여, 본 실시 형태에서는, 선택 셀(MC_(SELECT))의 메모리 셀 트랜지스터(MT)에 기입된 정보를 판독할 때에는, 비선택의 비트 선(BL)과 비선택의 소스 선(SL)의 전위를 V_{CC}'로 한다. 따라서, 본 실시 형태에 의하면, 선택 셀(MC_(SELECT)) 이외의 메모리 셀(MC)에서, 메모리 셀 트랜지스터(MT)의 소스 확산층(36a)과 선택 트랜지스터(ST)의 드레인 확산층(36c) 사이에 의도하지 않은 전류가 흘렀을 경우라도, 선택 셀(MC_(SELECT))의 메모리 셀 트랜지스터(MT)의 정보가 "1"인 경우에는, 선택 비트 선(BL_(SELECT))의 전위는 V_{CC}' 이상으로 된다. 따라서, 본 실시 형태에 의하면, 선택 셀(MC_(SELECT))의 메모리 셀 트랜지스터(MT)의 정보가 잘못 판단되는 것을 더 확실하게 방지하는 것이 가능해진다.
- [0363] 또한, 본 실시 형태에 의한 불휘발성 반도체 기억 장치의 기입 방법 및 소거 방법은 제 1 실시 형태에 의한 불휘발성 반도체 기억 장치의 기입 방법 및 소거 방법과 동일하다.
- [0364] [제 4 실시 형태]
- [0365] 본 발명의 제 4 실시 형태에 의한 불휘발성 반도체 기억 장치의 판독 방법을 도 35 내지 도 40을 사용하여 설명한다. 도 35는 본 실시 형태에 의한 불휘발성 반도체 기억 장치를 나타내는 회로도이다. 도 36은 본 실시 형태에 의한 불휘발성 반도체 기억 장치의 판독 방법, 기입 방법 및 소거 방법을 나타내는 도면이다. 도 36에서 괄호 안은 비선택 선의 전위를 나타내고 있다. 또한, 도 36에서 F는 플로팅을 나타내고 있다. 도 37은 본 실

시 형태에 의한 불휘발성 반도체 기억 장치의 판독 방법을 나타내는 타임 차트이다. 도 38 내지 도 40은 본 실시 형태에 의한 불휘발성 반도체 기억 장치의 판독 방법을 나타내는 회로도이다. 도 1 내지 도 34에 나타낸 제 1 내지 제 3 실시 형태에 의한 불휘발성 반도체 기억 장치 등과 동일한 구성요소에는, 동일한 부호를 부여하여 설명을 생략 또는 간결하게 한다.

[0366] (불휘발성 반도체 기억 장치)

[0367] 우선, 본 실시 형태에 의한 불휘발성 반도체 기억 장치를 도 35를 사용하여 설명한다.

[0368] 본 실시 형태에 의한 불휘발성 반도체 기억 장치는 제 1 열 디코더(12)에 비교기(13a)가 접속되어 있는 것에 주요한 특징이 있다.

[0369] 도 35에 나타낸 바와 같이, 제 1 열 디코더(12)에는 비교기(13a)가 접속되어 있다. 비교기(13a)는 선택 비트 선(BL_(SELECT))의 전위와 비선택의 소스 선(SL)의 전위 V_{CC}'의 전위를 비교하기 위한 것이다.

[0370] 선택 비트 선(BL_(SELECT))의 전위가 비선택의 소스 선(SL)의 전위 V_{CC}'의 전위보다 높을 경우에는, 비교기(13a)의 출력은 예를 들어, "H" 레벨(하이 레벨)로 된다.

[0371] 한편, 선택 비트 선(BL_(SELECT))의 전위가 비선택의 소스 선(SL)의 전위 V_{CC}'의 전위보다 낮을 경우에는, 비교기(13a)의 출력은 예를 들어, "L" 레벨(ロー 레벨)로 된다.

[0372] 비교기(13a)의 출력은 비교기(13)에 접속된 외부 회로(도시 생략)에 의해 판독된다.

[0373] 이와 같이 하여, 본 실시 형태에 의한 불휘발성 반도체 기억 장치가 구성되어 있다.

[0374] (판독 방법)

[0375] 다음으로, 본 실시 형태에 의한 불휘발성 반도체 기억 장치의 판독 방법을 도 36 내지 도 40을 사용하여 설명한다.

[0376] 선택 셀(MC_(SELECT))의 메모리 셀 트랜지스터(MT)에 기입된 정보를 판독할 때에는, 도 37에 나타내는 타임 차트에 따라, 각 부의 전위를 도 36 및 도 38 내지 도 40에 나타낸 바와 같이 설정한다.

[0377] 우선, 선택해야 할 메모리 셀(선택 셀)(MC_(SELECT))의 어드레스를 확정한다.

[0378] 다음으로, 모든 비트 선(BL)의 전위를 V_{CC}'로 설정하는 동시에, 모든 소스 선(SL)의 전위를 V_{CC}'로 설정한다(도 38 참조). V_{CC}'는 전원 전압 V_{CC}와 동등한 전압, 또는, 전원 전압 V_{CC}보다 낮은 전압으로 한다. 이와 같이 하여, 모든 비트 선(BL) 및 모든 소스 선(SL)이 V_{CC}'로 차지 업된다. 또한, 모든 제 1 워드 선(WL1)의 전위는, 판독 대기 시에, 항상 V_{CC}로 한다. 웨(26)의 전위는 모두 0V로 한다.

[0379] 다음으로, 선택 셀(MC_(SELECT))의 선택 트랜지스터(ST)의 드레인에 접속된 선택 비트 선(BL_(SELECT))의 전위를 V_{CC}로 한다. 또한, 선택 셀(MC_(SELECT))의 메모리 셀 트랜지스터(MT)의 소스에 접속된 선택 소스 선(SL_(SELECT))의 전위를 0V로 한다(도 39 참조).

[0380] 다음으로, 선택 비트 선(BL_(SELECT))과 비선택의 소스 선(SL)을 비교기(13a)에 접속한다(도 37 참조). 구체적으로는, 비선택의 소스 선(SL)을 비교기(13a)의 일방(一方)의 입력 단자(기준 입력 단자)에 접속하고, 선택 비트 선(BL_(SELECT))을 비교기(13a)의 타방(他方)의 입력 단자에 접속한다.

[0381] 다음으로, 선택 셀(MC_(SELECT))에 접속되어 있는 제 2 워드 선(WL2)의 전위를 V_{CC}로 한다(도 40 참조). 또한, 선택된 제 2 워드 선(WL2_(SELECT))을 제외하는 모든 제 2 워드 선(WL2)의 전위는 0V로 한다.

[0382] 선택 셀(MC_(SELECT))의 메모리 셀 트랜지스터(MT)에 정보가 기입되어 있을 경우, 즉, 선택 셀(MC_(SELECT))의 메모리 셀 트랜지스터(MT)의 정보가 "1"인 경우에는, 메모리 셀 트랜지스터(MT)의 플로팅 게이트(30a)에 전하가 축적되어 있다. 이 경우에는, 메모리 셀 트랜지스터(MT)의 소스 확산층(36a)과 선택 트랜지스터(ST)의 드레인 확산층(36c) 사이에 전류가 흐르지 않고, 선택된 하나의 비트 선(선택 비트 선)(BL_(SELECT))에는 전류가 흐르지 않는다. 따라서, 선택 비트 선(BL_(SELECT))의 전위는 V_{CC}로 된다. 선택 셀(MC_(SELECT)) 이외의 메모리 셀(MC)에서 누설 전류

가 생겼다고 해도, 선택 비트 선(BL_(SELECT))의 전위는 V_{CC}'보다 낮아지는 경우는 없다. 선택 비트 선(BL_(SELECT))의 전위가 비선택의 소스 선(SL)의 전위 V_{CC}'의 전위보다 높을 경우에는, 비교기(13a)의 출력은 예를 들어, "H" 레벨로 된다. 비교기(13a)의 출력이 예를 들어 "H" 레벨인 경우에는, 선택 셀(MC_(SELECT))의 메모리 셀 트랜지스터(MT)의 정보는 "1"이라고 판단된다(도 37 참조).

[0383] 한편, 선택 셀(MC_(SELECT))의 메모리 셀 트랜지스터(MT)에 기입된 정보가 소거되어 있을 경우, 즉, 선택 셀(MC_(SELECT))의 메모리 셀 트랜지스터(MT)의 정보가 "0"인 경우에는, 메모리 셀 트랜지스터(MT)의 플로팅 게이트(30a)에 전하가 축적되어 있지 않다. 이 경우에는, 메모리 셀 트랜지스터(MT)의 소스 확산층(36a)과 선택 트랜지스터(ST)의 드레인 확산층(36c) 사이에 전류가 흐르고, 선택 비트 선(BL_(SELECT))에 전류가 흐른다. 따라서, 선택 비트 선(BL_(SELECT))의 전위는 서서히 저하하고, 이후 0V로 된다. 선택 비트 선(BL_(SELECT))의 전위가 비선택의 소스 선(SL)의 전위 V_{CC}'의 전위보다 낮을 경우에는, 비교기(13a)의 출력은 예를 들어, "L" 레벨로 된다. 비교기(13a)의 출력이 예를 들어, "L" 레벨일 경우에는, 선택 셀(MC_(SELECT))의 메모리 셀 트랜지스터(MT)의 정보가 "0"이라고 판단된다(도 37 참조).

[0384] 이와 같이 하여, 선택 셀(MC_(SELECT))의 메모리 셀 트랜지스터(MT)에 기입된 정보가 판독된다.

[0385] 또한, 본 실시 형태에 의한 불휘발성 반도체 기억 장치의 기입 방법 및 소거 방법은 제 1 실시 형태에 의한 불휘발성 반도체 기억 장치의 기입 방법 및 소거 방법과 동일하다.

[제 5 실시 형태]

[0387] 본 발명의 제 5 실시 형태에 의한 불휘발성 반도체 기억 장치 및 그 판독 방법, 기입 방법 및 소거 방법을 도 41 및 도 42를 사용하여 설명한다. 도 41은 본 실시 형태에 의한 불휘발성 반도체 기억 장치를 나타내는 회로도이다. 도 1 내지 도 40에 나타낸 제 1 내지 제 4 실시 형태에 의한 불휘발성 반도체 기억 장치 등과 동일한 구성요소에는, 동일한 부호를 부여하여 설명을 생략 또는 간결하게 한다.

[0388] (불휘발성 반도체 기억 장치)

[0389] 우선, 본 실시 형태에 의한 불휘발성 반도체 기억 장치에 대해서 도 41을 사용하여 설명한다.

[0390] 본 실시 형태에 의한 불휘발성 반도체 기억 장치는, 비트 선(BL)이 제 1 보호 트랜지스터(150)를 통하여 제 1 열 디코더(12)에 접속되어 있고, 소스 선(SL)이 제 2 보호 트랜지스터(151)를 통하여 제 1 열 디코더(12)에 접속되어 있으며, 제 2 워드 선(WL2)이 제 3 보호 트랜지스터(152)를 통하여 제 2 행 디코더(18)에 접속되어 있는 것에 주요한 특징이 있다.

[0391] 도 41에 나타낸 바와 같이, 각각의 비트 선(BL)은 제 1 보호 트랜지스터(150)를 통하여 행 디코더(12)에 접속되어 있다. 환언하면, 제 1 보호 트랜지스터(150)의 소스/드레인의 일방이 비트 선(BL)에 접속되어 있고, 제 1 보호 트랜지스터(150)의 소스/드레인의 타방이 열 디코더(12)에 접속되어 있다.

[0392] 각각의 제 1 보호 트랜지스터(150)의 게이트는, 제 1 제어 선(CL1)을 통하여 제어 회로(154)에 접속되어 있다. 각각의 제 1 보호 트랜지스터(150)는 제어 회로(154)에 의해 제어된다.

[0393] 제 1 보호 트랜지스터(150)의 게이트 절연막(도시 생략)의 막 두께는 선택 트랜지스터(SL)의 게이트 절연막(28b)의 막 두께와 동일하게 설정되어 있다. 제 1 보호 트랜지스터(150)의 게이트 절연막의 막 두께를, 선택 트랜지스터(ST)의 게이트 절연막(28b)의 막 두께와 마찬가지로 비교적 두껍게 설정하고 있는 것은 제 1 보호 트랜지스터(150)의 내압을 충분히 확보하기 위함이다.

[0394] 또한, 각각의 소스 선(SL)은 제 2 보호 트랜지스터(151)를 통하여 행 디코더(12)에 접속되어 있다. 환언하면, 제 2 보호 트랜지스터(151)의 소스/드레인의 일방이 소스 선(SL)에 접속되어 있고, 제 2 보호 트랜지스터(151)의 소스/드레인의 타방이 열 디코더(12)에 접속되어 있다.

[0395] 각각의 제 2 보호 트랜지스터(151)의 게이트는 제 2 제어 선(CL2)을 통하여 제어 회로(154)에 접속되어 있다. 각각의 제 2 보호 트랜지스터(151)는 제어 회로(154)에 의해 제어된다.

[0396] 제 2 보호 트랜지스터(151)의 게이트 절연막(도시 생략)의 막 두께는 선택 트랜지스터(ST)의 게이트 절연막(28b)의 막 두께와 동일하게 설정되어 있다. 제 2 보호 트랜지스터(151)의 게이트 절연막의 막 두께를, 선택

트랜지스터(ST)의 게이트 절연막(28b)의 막 두께와 마찬가지로 비교적 두껍게 설정하고 있는 것은 제 2 보호 트랜지스터(151)의 내압을 충분히 확보하기 위함이다.

[0397] 또한, 각각의 제 2 워드 선(WL2)은 제 3 보호 트랜지스터(152)를 통하여 제 2 행 디코더(18)에 접속되어 있다. 환언하면, 제 3 보호 트랜지스터(152)의 소스/드레인의 일방이 제 2 워드 선(WL2)에 접속되어 있고, 제 3 보호 트랜지스터(152)의 소스/드레인의 타방이 제 2 행 디코더(18)에 접속되어 있다.

[0398] 각각의 제 3 보호 트랜지스터(152)의 게이트는 제 3 제어 선(CL3)을 통하여 제어 회로(154)에 접속되어 있다. 각각의 제 3 보호 트랜지스터(152)는 제어 회로(154)에 의해 제어된다.

[0399] 제 3 보호 트랜지스터(152)의 게이트 절연막(도시 생략)의 막 두께는 선택 트랜지스터(ST)의 게이트 절연막(28b)의 막 두께와 동일하게 설정되어 있다. 제 3 보호 트랜지스터(152)의 게이트 절연막의 막 두께를 선택 트랜지스터(ST)의 게이트 절연막(28b)의 막 두께와 마찬가지로 비교적 두껍게 설정하고 있는 것은, 제 3 보호 트랜지스터(152)의 내압을 충분히 확보하기 위함이다.

[0400] 아와 같이 하여, 본 실시 형태에 의한 불휘발성 반도체 기억 장치가 구성되어 있다.

[0401] (불휘발성 반도체 기억 장치의 동작)

[0402] 다음으로, 본 실시 형태에 의한 불휘발성 반도체 기억 장치의 동작에 대해서 도 41 및 도 42를 사용하여 설명한다. 도 42는 본 실시 형태에 의한 불휘발성 반도체 기억 장치의 판독 방법, 기입 방법 및 소거 방법을 나타내는 도면이다. 도 42에서 팔호 안은 비선택 선의 전위를 나타내고 있다. 또한, 도 42에서 F는 플로팅을 나타내고 있다.

[0403] (판독 방법)

[0404] 우선, 본 실시 형태에 의한 불휘발성 반도체 기억 장치의 판독 방법을 도 42를 사용하여 설명한다.

[0405] 본 실시 형태에서는, 메모리 셀 트랜지스터(MT)에 기입된 정보를 판독할 때에는, 제 1 제어 선(CL1)의 전위를 5V로 하고, 제 2 제어 선(CL2)의 전위를 5V로 하며, 제 3 제어 선(CL3)의 전위를 5V로 한다. 즉, 본 실시 형태에서는, 메모리 셀 트랜지스터(MT)에 기입된 정보를 판독할 때에는, 제 1 보호 트랜지스터(150), 제 2 보호 트랜지스터(151) 및 제 3 보호 트랜지스터(152)를 온 상태로 한다. 또한, 비트 선(BL)의 전위, 소스 선(SL)의 전위, 제 1 워드 선(WL1)의 전위, 제 2 워드 선(WL2)의 전위, 및, 웨(26)의 전위는 제 1 내지 제 4 실시 형태 중 어느 하나에 의한 불휘발성 반도체 기억 장치의 판독 방법에서의 각 부의 전위와 동일하게 한다.

[0406] 제 1 보호 트랜지스터(150), 제 2 보호 트랜지스터(151) 및 제 3 보호 트랜지스터(152)가 온 상태로 되어 있기 때문에, 비트 선(BL)은 제 1 열 디코더(12)에 전기적으로 접속되어 있고, 소스 선(SL)은 제 1 열 디코더(12)에 전기적으로 접속되어 있으며, 제 2 워드 선(WL2)은 제 2 행 디코더(18)에 전기적으로 접속되어 있다. 따라서, 본 실시 형태에 의한 불휘발성 반도체 기억 장치는, 제 1 내지 제 4 실시 형태 중 어느 하나에 의한 불휘발성 반도체 기억 장치의 판독 방법과 마찬가지로, 메모리 셀 트랜지스터(MT)에 기입된 정보를 판독할 수 있다.

[0407] (기입 방법)

[0408] 다음으로, 본 실시 형태에 의한 불휘발성 반도체 기억 장치의 기입 방법에 대해서 도 41 및 42를 사용하여 설명한다.

[0409] 본 실시 형태에서는 메모리 셀 트랜지스터(MT)에 정보를 기입할 때에는, 제 1 제어선(CL1)의 전위를 5V로 하고, 제 2 제어 선(CL2)의 전위를 0V로 하며, 제 3 제어 선(CL3)의 전위를 5V로 한다. 즉, 본 실시 형태에서는, 메모리 셀 트랜지스터(MT)에 정보를 기입할 때에는, 제 1 보호 트랜지스터(150) 및 제 3 보호 트랜지스터(152)를 온 상태로 하는 한편, 제 2 보호 트랜지스터(151)를 오프 상태로 한다. 또한, 비트 선(BL)의 전위, 소스 선(SL)의 전위, 제 1 워드 선(WL1)의 전위, 제 2 워드 선(WL2)의 전위, 및, 웨(26)의 전위는 제 1 내지 제 4 실시 형태 중 어느 하나에 의한 불휘발성 반도체 기억 장치의 판독 방법에서의 각 부의 전위와 동일하게 한다.

[0410] 메모리 셀 트랜지스터(MT)에 정보를 기입할 때에는, 제 2 열 디코더(14)에 의해 선택 소스 선(SL_(SELECT))에 고전압이 인가된다. 제 1 열 디코더(12)는 저전압 회로(저내압 회로)에 의해 구성되어 있기 때문에, 선택 소스 선(SL_(SELECT))이 제 1 열 디코더(12)에 접속되어 있는 상태에서, 제 2 열 디코더(14)에 의해 선택 소스 선(SL_(SELECT))에 고전압을 인가했을 경우에는, 제 1 열 디코더(12)가 파괴될 우려가 있다. 본 실시 형태에서는, 메모리 셀 트랜지스터(MT)에 정보를 기입할 때에, 제 2 보호 트랜지스터(151)를 오프 상태로 하기 때문에, 저전압

회로로 이루어지는 제 1 열 디코더(12)가 소스 선(SL)으로부터 전기적으로 분리된다. 따라서, 본 실시 형태에 의하면, 메모리 셀 트랜지스터(MT)에 정보를 기입할 때에, 저전압 회로로 이루어지는 제 1 열 디코더(12)가 파괴되는 것을 방지할 수 있다.

[0411] (소거 방법)

[0412] 다음으로, 본 실시 형태에 의한 불휘발성 반도체 기억 장치의 소거 방법에 대해서 도 32를 사용하여 설명한다.

[0413] 메모리 셀 어레이(10)에 기입된 정보를 소거할 때에는, 제 1 제어 선(CL1)의 전위를 0V로 하고, 제 2 제어 선(CL2)의 전위를 0V로 하며, 제 3 제어 선(CL3)의 전위를 0V로 한다. 즉, 본 실시 형태에서는, 메모리 셀 트랜지스터(MT)에 정보를 기입할 때에는, 제 1 보호 트랜지스터(150), 제 2 보호 트랜지스터(151) 및 제 3 보호 트랜지스터(152)를 오프 상태로 한다. 또한, 비트 선(BL)의 전위, 소스 선(SL)의 전위, 제 1 워드 선(WL1)의 전위, 제 2 워드 선(WL2)의 전위, 및, 웨(26)의 전위는 제 1 내지 제 4 실시 형태 중 어느 하나에 의한 불휘발성 반도체 기억 장치의 소거 방법에서의 각 부의 전위와 동일하게 한다.

[0414] 메모리 셀 어레이(10)에 기입된 정보를 소거할 때에는, 제 1 워드 선(WL1)과 웨(26)에 고전압이 인가된다. 제 1 열 디코더(12) 및 제 2 행 디코더(18)는 저전압 회로에 의해 구성되어 있기 때문에, 제 1 열 디코더(12)나 제 2 행 디코더(18)가 메모리 셀 어레이(10)에 전기적으로 접속된 상태에서 메모리 셀 어레이(10)의 정보를 소거했을 경우에는, 제 1 열 디코더(12)나 제 2 행 디코더(18)가 파괴될 우려가 있다. 본 실시 형태에서는, 메모리 셀 어레이(10)에 기입된 정보를 소거할 때에, 제 1 보호 트랜지스터(150), 제 2 보호 트랜지스터(151) 및 제 3 보호 트랜지스터(152)를 오프 상태로 하기 때문에, 비트 선(BL)이 제 1 열 디코더(12)로부터 전기적으로 분리되고, 소스 선(SL)이 제 1 열 디코더(12)로부터 전기적으로 분리되며, 제 2 워드 선(WL2)이 제 2 행 디코더(18)로부터 전기적으로 분리된다. 즉, 본 실시 형태에서는, 메모리 셀 어레이(10)에 기입된 정보를 소거할 때에, 저전압 회로로 이루어지는 제 1 열 디코더(12) 및 제 2 행 디코더(18)가 메모리 셀 어레이(10)로부터 전기적으로 분리된다. 따라서, 본 실시 형태에 의하면, 메모리 셀 어레이(10)에 기입된 정보를 소거할 때에, 내압이 낮은 제 1 열 디코더(12) 및 제 2 행 디코더(18)가 파괴되는 것을 방지할 수 있다.

[0415] [제 6 실시 형태]

[0416] 본 발명의 제 6 실시 형태에 의한 불휘발성 반도체 기억 장치의 기입 방법을 도 43 내지 도 45를 사용하여 설명한다. 도 43은, 본 실시 형태에 의한 불휘발성 반도체 기억 장치의 판독 방법, 기입 방법 및 소거 방법을 나타내는 도면이다. 도 43에서 괄호 안은 비선택 선의 전위를 나타내고 있다. 또한, 도 43에서 F는 플로팅을 나타내고 있다. 도 44는 본 실시 형태에 의한 불휘발성 반도체 기억 장치의 기입 방법을 나타내는 타임 차트이다. 도 45는 컨트롤 게이트 전압과 임계값 전압의 차이와, 임계값 전압의 변화량의 관계를 나타내는 그래프이다. 도 1 내지 도 42에 나타낸 제 1 내지 제 5 실시 형태에 의한 불휘발성 반도체 기억 장치 등과 동일한 구성요소에는, 동일한 부호를 부여하여 설명을 생략 또는 간결하게 한다.

[0417] 본 실시 형태에 의한 불휘발성 반도체 기억 장치의 구성은 상술한 제 1 내지 제 5 실시 형태 중 어느 하나에 의한 불휘발성 반도체 기억 장치의 구성과 동일하다.

[0418] 본 실시 형태에 의한 불휘발성 반도체 기억 장치의 기입 방법은, 선택 셀(MC_(SELECT))에 접속된 제 1 워드 선(WL1_(SELECT))의 전위를 서서히 상승시키면서, 선택 소스 선(SL_(SELECT))에 전압을 펄스 형상으로 인가함으로써, 선택 셀(MC_(SELECT))의 메모리 셀 트랜지스터(MT)에 정보를 기입하는 것에 주요한 특징이 있다.

[0419] 메모리 셀 트랜지스터(MT)에 정보를 기입할 때에는, 도 43에 나타낸 바와 같이, 선택 비트선(BL_(SELECT))의 전위를 0V로 한다. 또한, 인접 비트 선(BL_(ADJACENT))의 전위를 V_{CC}로 한다. 또한, 그 밖의 비트 선(BL), 즉, 선택 비트 선(BL_(SELECT))과 인접 비트 선(BL_(ADJACENT)) 이외의 비트 선(BL)의 전위를 0V(접지)로 한다.

[0420] 또한, 선택 셀(MC_(SELECT))에 접속되어 있는 제 2 워드 선(WL2_(SELECT))의 전위를 V_{CC}로 한다. 한편, 선택된 제 2 워드 선(WL2_(SELECT)) 이외의 제 2 워드 선(WL2)의 전위를 0V(접지)로 한다.

[0421] 또한, 선택 셀(MC_(SELECT))에 접속되어 있는 제 1 워드 선(WL1_(SELECT))에, 도 44에 나타낸 바와 같이, 서서히 상승하는 전압 V_{step}을 인가한다. 한편, 선택된 제 1 워드 선(WL1_(SELECT)) 이외의 제 1 워드 선(WL1)의 전위를 0V(접지) 또는 플로팅으로 한다.

- [0422] 또한, 선택 셀($MC_{(SELECT)}$)에 접속되어 있는 선택 소스 선($SL_{(SELECT)}$)에, 도 44에 나타낸 바와 같이, 펠스 형상으로 전압을 인가한다. 선택 소스 선($SL_{(SELECT)}$)에 인가하는 펠스 형상의 전압은, 예를 들어 5V로 한다. 한편, 선택 소스 선($SL_{(SELECT)}$) 이외의 소스 선(SL)의 전위를 OV(접지) 또는 플로팅으로 한다.
- [0423] 또한, 웨尔(26)의 전위는 항상 OV(접지)로 한다.
- [0424] 본 실시 형태에서, 선택된 제 1 워드 선($WL1_{(SELECT)}$)에 인가하는 전압 V_{step} 을 서서히 상승시키면서, 선택된 소스 선($SL_{(SELECT)}$)에 전압을 펠스 형상으로 인가하는 것은 이하와 같은 이유에 의한 것이다. 즉, 메모리 셀 트랜지스터(MT)의 컨트롤 게이트(34b)에 고전압을 인가했을 경우에는, 메모리 셀 트랜지스터(MT)의 소스/드레인 사이에 서의 전기 저항이 작아진다. 그러면, 메모리 셀 트랜지스터(MT)의 소스/드레인 사이의 전기 저항이 선택 트랜지스터(ST)의 소스/드레인 사이의 전기 저항과 비교하여 작아진다. 그러면, 선택 트랜지스터(ST)의 소스/드레인 사이에 큰 횡 방향 전계가 인가되는 한편, 메모리 셀 트랜지스터(MT)의 소스/드레인 사이에는 충분한 횡 방향 전계가 인가되지 않으면, 메모리 셀 트랜지스터(MT)의 소스/드레인 사이에서 전자가 가속되지 않아, 기입 속도가 늦어진다. 본 실시 형태에서는, 기입의 초기 단계에서는, 선택된 제 1 워드 선($WL1_{(SELECT)}$)에 비교적 낮은 전압을 인가하기 때문에, 메모리 셀 트랜지스터(MT)의 소스/드레인 사이의 전기 저항이 과도하게 높아지는 경우는 없다. 그리고, 선택 소스 선($SL_{(SELECT)}$)에 전압을 펠스 형상으로 인가하면, 메모리 셀 트랜지스터(MT)의 플로팅 게이트(30a)에 전하가 주입된다. 이 후, 선택된 제 1 워드 선($WL1_{(SELECT)}$)의 전압을 서서히 상승시키면서, 선택 소스 선($SL_{(SELECT)}$)에 전압을 펠스 형상으로 인가하면, 메모리 셀 트랜지스터(MT)의 플로팅 게이트(30a)에 전하가 서서히 주입되어 간다. 선택된 제 1 워드 선($WL1_{(SELECT)}$)에 인가되는 전압 V_{step} 은 서서히 상승하여 하지만, 플로팅 게이트(30a)에 축적되는 전하도 서서히 증가해 가기 때문에, 메모리 셀 트랜지스터(MT)의 소스/드레인 사이에서의 전기 저항이 과도하게 커지는 경우는 없다. 따라서, 본 실시 형태에 의하면, 메모리 셀 트랜지스터(MT)에 정보를 기입할 때의 기입 속도를 고속화할 수 있다.
- [0425] 도 45는 컨트롤 게이트 전압과 임계값 전압의 차(差)와, 임계값 전압의 변화량의 관계를 나타내는 그래프이다. 도 45로부터 알 수 있는 바와 같이, 컨트롤 게이트 전압과 메모리 셀 트랜지스터(MT)의 임계값 전압의 차이가 2~3V로 되도록, 선택된 제 1 워드 선($WL1_{(SELECT)}$)의 전압을 상승시키면, 선택된 제 1 워드 선($WL1_{(SELECT)}$)의 전압이 상승할 때마다 변화하는 메모리 셀 트랜지스터(MT)의 임계값 전압의 변화량을 비교적 크게 설정하는 것이 가능하다. 선택된 제 1 워드 선($WL1_{(SELECT)}$)의 전압이 상승할 때마다 변화하는 메모리 셀 트랜지스터(MT)의 임계값 전압의 변화량이 크면, 메모리 셀 트랜지스터(MT)에 정보를 고속으로 기입하는 것이 가능해진다. 따라서, 컨트롤 게이트 전압과 메모리 셀 트랜지스터(MT)의 임계값 전압의 차이가 2~3V로 되도록, 선택된 제 1 워드 선($WL1_{(SELECT)}$)의 전압을 서서히 상승시키는 것이 바람직하다.
- [0426] 또한, 여기에서는, 도 44에 나타낸 바와 같이, 선택된 제 1 워드 선($WL1_{(SELECT)}$)에 인가하는 전압을 단계적으로 상승시킬 경우를 예로 들어 설명했지만, 선택된 제 1 워드 선($WL1_{(SELECT)}$)에 인가하는 전압은, 도 44에 나타낸 바와 같은 전압에 한정되는 것은 아니다. 예를 들어, 도 46에 과선으로 나타낸 바와 같이, 선택된 제 1 워드 선($WL1_{(SELECT)}$)에 인가하는 전압을 연속적으로 상승시켜도 된다. 도 46은 본 실시 형태에 의한 불휘발성 반도체 기억 장치의 기입 방법의 다른 예를 나타내는 타임 차트이다. 또한, 도 46에 실선으로 나타낸 바와 같이, 전압을 상승시킨 후에 일시적으로 전압을 저하시키고, 더 높은 전압을 인가하도록 해도 된다.
- [0427] [제 7 실시 형태]
- [0428] 본 발명의 제 7 실시 형태에 의한 불휘발성 반도체 기억 장치의 판독 방법을 도 47 및 도 48을 사용하여 설명한다. 도 47은 본 실시 형태에 의한 불휘발성 반도체 기억 장치를 나타내는 단면도이다. 도 48은 본 실시 형태에 의한 불휘발성 반도체 기억 장치의 판독 방법, 기입 방법 및 소거 방법을 나타내는 도면이다. 도 48에서 팔호 안은 비선택 선의 전위를 나타내고 있다. 또한, 도 48에서 F는 플로팅을 나타내고 있다. 도 1 내지 도 46에 나타낸 제 1 내지 제 6 실시 형태에 의한 불휘발성 반도체 기억 장치 등과 동일한 구성요소에는, 동일한 부호를 부여하여 설명을 생략 또는 간결하게 한다.
- [0429] (불휘발성 반도체 기억 장치)

- [0430] 우선, 본 실시 형태에 의한 불휘발성 반도체 기억 장치를 도 47을 사용하여 설명한다.
- [0431] 본 실시 형태에 의한 불휘발성 반도체 기억 장치는, N형의 소스 확산층(36a)이 형성된 영역에 P형의 도편트 불순물이 도입되고 있고, 이에 따라, P형의 불순물 확산층(35)이 형성되어 있는 것에 주요한 특징이 있다.
- [0432] 도 47에 나타낸 바와 같이, N형의 소스 확산층(36a)이 형성된 영역을 포함하는 영역에는 P형의 도편트 불순물이 도입되어 있다. 이에 따라, N형의 소스 확산층(36a)이 형성된 영역을 포함하는 영역에 P형의 불순물 확산층(35)이 형성되어 있다.
- [0433] 본 실시 형태에서, N형의 소스 확산층(36a)이 형성된 영역을 포함하는 영역에 P형의 불순물 확산층(35)을 형성하고 있는 것은 이하와 같은 이유에 의한 것이다.
- [0434] 즉, N형의 소스 확산층(36a)이 형성된 영역을 포함하는 영역에 P형의 불순물 확산층(35)을 형성하면, N형의 소스 확산층(36a)으로부터의 공핍층(空乏層)의 확장이 억제된다. N형의 소스 확산층(36a)으로부터의 공핍층의 확장이 억제되면, N형의 소스 확산층(36a)의 근방에서 전기장 강도가 강해져, N형의 소스 확산층(36a)의 근방에서 캐리어를 급격하게 가속하는 것이 가능해진다. 본 실시 형태에서는, 캐리어를 급격하게 가속할 수 있기 때문에, 메모리 셀 트랜지스터(MT)에 대한 정보의 기입 속도를 향상시킬 수 있다.
- [0435] 또한, 선택 트랜지스터(ST)의 소스/드레인 확산층(36b, 36c)이 형성되어 있는 영역에는 P형의 도편트 불순물이 도입되어 있지 않기 때문에, 선택 트랜지스터(ST)는 P형의 도편트 불순물의 영향을 받는 경우는 없다. 따라서, 선택 트랜지스터(ST)의 임계값 전압이 높아지는 경우가 없어, 선택 트랜지스터(ST)는 고속 동작하는 것이 가능하다.
- [0436] (관독 방법)
- [0437] 본 실시 형태에 의한 불휘발성 반도체 기억 장치의 관독 방법은, 제 1 워드 선(WL1)에 로직 회로의 전원 전압 V_{CC} 보다 높은 전압 V_r 을 인가하는 것에 주요한 특징이 있다.
- [0438] 본 실시 형태에서는, 메모리 셀 트랜지스터(MT)의 N형의 소스 확산층(36a)을 포함하는 영역에 P형의 불순물 확산층(35)이 형성되어 있기 때문에, 메모리 셀 트랜지스터(MT)의 임계값 전압이 비교적 높아져 있다. 따라서, 제 1 워드 선(WL1)에 비교적 낮은 전압인 V_{CC} 를 인가했을 경우에는, 메모리 셀 트랜지스터(MT)의 소스/드레인 사이에 충분한 전류가 흐르지 않을 우려가 있다.
- [0439] 따라서, 본 실시 형태에서는, 메모리 셀 트랜지스터(MT)에 기입된 정보를 관독할 때에는, 로직 회로의 전원 전압 V_{CC} 보다 높은 전압 V_r 을 제 1 워드 선(WL1)에 인가한다. 제 1 워드 선(WL1)에 비교적 높은 전압 V_r 이 인가되기 때문에, 메모리 셀 트랜지스터(MT)의 소스/드레인 사이에 충분한 전류를 흐르게 할 수 있어, 메모리 셀 트랜지스터(MT)에 기입된 정보를 안정적으로 관독하는 것이 가능해진다.
- [0440] [변형 실시 형태]
- [0441] 본 발명은 상기 실시 형태에 한하지 않고 다양한 변형이 가능하다.
- [0442] 예를 들어, 상기 실시 형태에서는 메모리 셀 트랜지스터(MT)에 정보를 기입할 때에, 선택 소스 선(SL_(SELECT))의 전위를 5V로 설정할 경우를 예로 들어 설명했지만, 메모리 셀 트랜지스터(MT)에 정보를 기입할 때의 선택 소스 선(SL_(SELECT))의 전위는 5V에 한정되는 것은 아니다. 메모리 셀 트랜지스터(MT)에 정보를 기입할 때의 선택 소스 선(SL_(SELECT))의 전위는 로직 회로의 전원 전압 V_{CC} 보다 높은 전압으로 하면 된다. 적어도 로직 회로의 전원 전압 V_{CC} 보다 높은 전압을 선택 소스 선(SL_(SELECT))에 인가하면, 선택 트랜지스터(ST)의 채널에 흐르는 전류를 증가시킬 수 있어, 기입 속도를 빠르게 하는 것이 가능하다.
- [0443] 또한, 상기 실시 형태에서는 메모리 셀 트랜지스터(MT)에 정보를 기입할 때에, 선택된 제 1 워드 선(WL1_(SELECT))의 전위를 9V로 설정할 경우를 예로 들어 설명했지만, 메모리 셀 트랜지스터(MT)에 정보를 기입할 때의 선택된 제 1 워드 선(WL1_(SELECT))의 전위는 9V에 한정되는 것은 아니다. 메모리 셀 트랜지스터(MT)에 정보를 기입할 때의 선택된 제 1 워드 선(WL1_(SELECT))의 전위는 선택 소스 선(SL_(SELECT))의 전위보다 높은 전위로 하면 된다.

산업상 이용 가능성

[0444] 본 발명에 의한 불휘발성 반도체 기억 장치 및 그 판독 방법, 기입 방법 및 소거 방법은, 고속으로 동작할 수 있는 불휘발성 반도체 기억 장치 및 그 판독 방법, 기입 방법 및 소거 방법을 제공하는 데 유용하다.

도면의 간단한 설명

- [0020] 도 1은 본 발명의 제 1 실시 형태에 의한 불휘발성 반도체 기억 장치를 나타내는 회로도.
- [0021] 도 2는 본 발명의 제 1 실시 형태에 의한 불휘발성 반도체 기억 장치의 메모리 셀 어레이를 나타내는 평면도.
- [0022] 도 3은 도 2의 A-A' 단면도.
- [0023] 도 4는 도 2의 B-B' 단면도.
- [0024] 도 5는 도 2의 C-C' 단면도.
- [0025] 도 6은 본 발명의 제 1 실시 형태에 의한 불휘발성 반도체 기억 장치의 판독 방법, 기입 방법 및 소거 방법을 나타내는 도면.
- [0026] 도 7은 본 발명의 제 1 실시 형태에 의한 불휘발성 반도체 기억 장치의 판독 방법을 나타내는 회로도.
- [0027] 도 8은 본 발명의 제 1 실시 형태에 의한 불휘발성 반도체 기억 장치의 판독 방법을 나타내는 타임 차트.
- [0028] 도 9는 본 발명의 제 1 실시 형태에 의한 불휘발성 반도체 기억 장치의 기입 방법을 나타내는 회로도.
- [0029] 도 10은 본 발명의 제 1 실시 형태에 의한 불휘발성 반도체 기억 장치의 기입 방법을 나타내는 타임 차트.
- [0030] 도 11은 본 발명의 제 1 실시 형태에 의한 불휘발성 반도체 기억 장치의 제조 방법을 나타내는 제 1 공정 단면도.
- [0031] 도 12는 본 발명의 제 1 실시 형태에 의한 불휘발성 반도체 기억 장치의 제조 방법을 나타내는 제 2 공정 단면도.
- [0032] 도 13은 본 발명의 제 1 실시 형태에 의한 불휘발성 반도체 기억 장치의 제조 방법을 나타내는 제 3 공정 단면도.
- [0033] 도 14는 본 발명의 제 1 실시 형태에 의한 불휘발성 반도체 기억 장치의 제조 방법을 나타내는 제 4 공정 단면도.
- [0034] 도 15는 본 발명의 제 1 실시 형태에 의한 불휘발성 반도체 기억 장치의 제조 방법을 나타내는 제 5 공정 단면도.
- [0035] 도 16은 본 발명의 제 1 실시 형태에 의한 불휘발성 반도체 기억 장치의 제조 방법을 나타내는 제 6 공정 단면도.
- [0036] 도 17은 본 발명의 제 1 실시 형태에 의한 불휘발성 반도체 기억 장치의 제조 방법을 나타내는 제 7 공정 단면도.
- [0037] 도 18은 본 발명의 제 1 실시 형태에 의한 불휘발성 반도체 기억 장치의 제조 방법을 나타내는 제 8 공정 단면도.
- [0038] 도 19는 본 발명의 제 1 실시 형태에 의한 불휘발성 반도체 기억 장치의 제조 방법을 나타내는 제 9 공정 단면도.
- [0039] 도 20은 본 발명의 제 1 실시 형태에 의한 불휘발성 반도체 기억 장치의 제조 방법을 나타내는 제 10 공정 단면도.
- [0040] 도 21은 본 발명의 제 1 실시 형태에 의한 불휘발성 반도체 기억 장치의 제조 방법을 나타내는 제 11 공정 단면도.
- [0041] 도 22는 본 발명의 제 1 실시 형태에 의한 불휘발성 반도체 기억 장치의 제조 방법을 나타내는 제 12 공정 단면도.
- [0042] 도 23은 본 발명의 제 1 실시 형태에 의한 불휘발성 반도체 기억 장치의 제조 방법을 나타내는 제 13 공정 단면도.

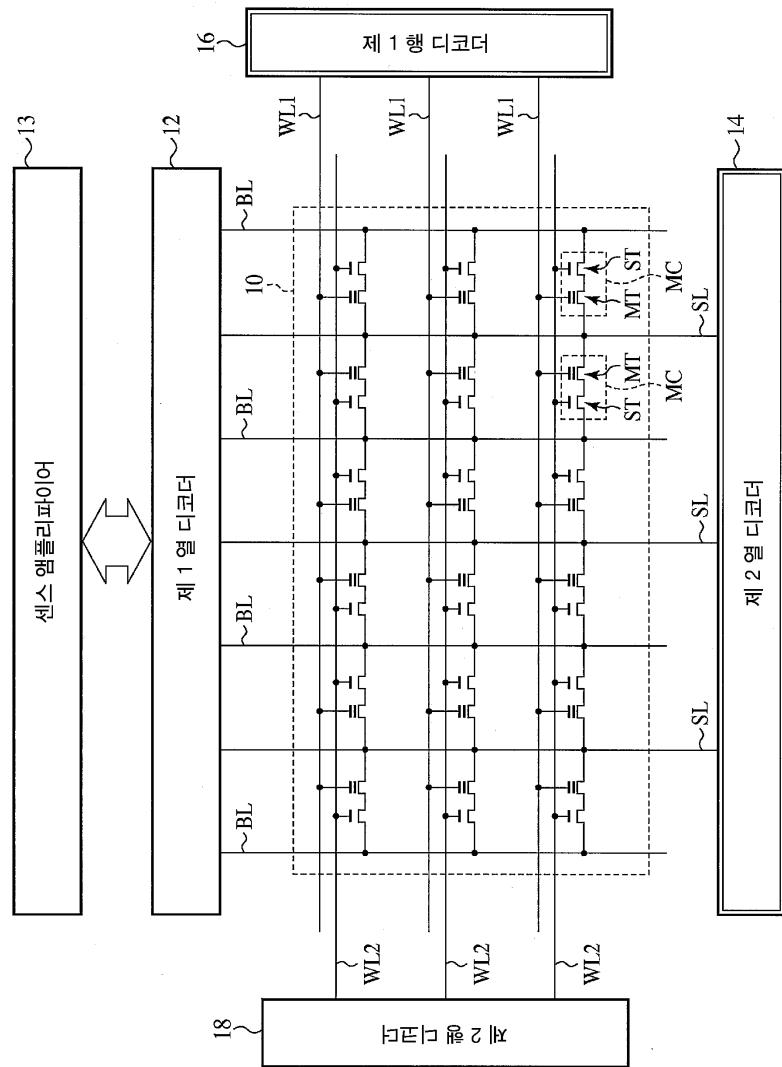
- [0043] 도 24는 본 발명의 제 1 실시 형태에 의한 불휘발성 반도체 기억 장치의 제조 방법을 나타내는 제 14 공정 단면도.
- [0044] 도 25는 본 발명의 제 1 실시 형태에 의한 불휘발성 반도체 기억 장치의 제조 방법을 나타내는 제 15 공정 단면도.
- [0045] 도 26은 본 발명의 제 1 실시 형태에 의한 불휘발성 반도체 기억 장치의 제조 방법을 나타내는 제 16 공정 단면도.
- [0046] 도 27은 본 발명의 제 2 실시 형태에 의한 불휘발성 반도체 기억 장치의 판독 방법, 기입 방법 및 소거 방법을 나타내는 도면.
- [0047] 도 28은 본 발명의 제 2 실시 형태에 의한 불휘발성 반도체 기억 장치의 판독 방법을 나타내는 회로도.
- [0048] 도 29는 본 발명의 제 2 실시 형태에 의한 불휘발성 반도체 기억 장치의 판독 방법을 나타내는 타임 차트.
- [0049] 도 30은 본 발명의 제 3 실시 형태에 의한 불휘발성 반도체 기억 장치의 판독 방법, 기입 방법 및 소거 방법을 나타내는 도면.
- [0050] 도 31은 본 발명의 제 3 실시 형태에 의한 불휘발성 반도체 기억 장치의 판독 방법을 나타내는 타임 차트.
- [0051] 도 32는 본 발명의 제 3 실시 형태에 의한 불휘발성 반도체 기억 장치의 판독 방법을 나타내는 제 1 회로도.
- [0052] 도 33은 본 발명의 제 3 실시 형태에 의한 불휘발성 반도체 기억 장치의 판독 방법을 나타내는 제 2 회로도.
- [0053] 도 34는 본 발명의 제 3 실시 형태에 의한 불휘발성 반도체 기억 장치의 판독 방법을 나타내는 제 3 회로도.
- [0054] 도 35는 본 발명의 제 4 실시 형태에 의한 불휘발성 반도체 기억 장치를 나타내는 회로도.
- [0055] 도 36은 본 발명의 제 4 실시 형태에 의한 불휘발성 반도체 기억 장치의 판독 방법, 기입 방법 및 소거 방법을 나타내는 도면.
- [0056] 도 37은 본 발명의 제 4 실시 형태에 의한 불휘발성 반도체 기억 장치의 판독 방법을 나타내는 타임 차트.
- [0057] 도 38은 본 발명의 제 4 실시 형태에 의한 불휘발성 반도체 기억 장치의 판독 방법을 나타내는 제 1 회로도.
- [0058] 도 39는 본 발명의 제 4 실시 형태에 의한 불휘발성 반도체 기억 장치의 판독 방법을 나타내는 제 2 회로도.
- [0059] 도 40은 본 발명의 제 4 실시 형태에 의한 불휘발성 반도체 기억 장치의 판독 방법을 나타내는 제 3 회로도.
- [0060] 도 41은 본 발명의 제 5 실시 형태에 의한 불휘발성 반도체 기억 장치를 나타내는 회로도.
- [0061] 도 42는 본 발명의 제 5 실시 형태에 의한 불휘발성 반도체 기억 장치의 판독 방법, 기입 방법 및 소거 방법을 나타내는 도면.
- [0062] 도 43은 본 발명의 제 6 실시 형태에 의한 불휘발성 반도체 기억 장치의 판독 방법, 기입 방법 및 소거 방법을 나타내는 도면.
- [0063] 도 44는 본 발명의 제 6 실시 형태에 의한 불휘발성 반도체 기억 장치의 기입 방법을 나타내는 타임 차트.
- [0064] 도 45는 컨트롤 게이트 전압과 임계값 전압의 차(差)와, 임계값 전압의 변화량의 관계를 나타내는 그래프.
- [0065] 도 46은 본 발명의 제 6 실시 형태에 의한 불휘발성 반도체 기억 장치의 기입 방법의 다른 예를 나타내는 타임 차트.
- [0066] 도 47은 본 발명의 제 7 실시 형태에 의한 불휘발성 반도체 기억 장치의 단면도.
- [0067] 도 48은 본 발명의 제 7 실시 형태에 의한 불휘발성 반도체 기억 장치의 판독 방법, 기입 방법 및 소거 방법을 나타내는 도면.
- [0068] 도면의 주요 부분에 대한 부호의 설명
- [0069] 2: 메모리 셀 어레이 영역 4: 주변 회로 영역
- [0070] 6: 고내압 트랜지스터가 형성되는 영역
- [0071] 6N: 고내압 N채널 트랜지스터가 형성되는 영역

[0072]	6P: 고내압 P채널 트랜지스터가 형성되는 영역	
[0073]	8: 저전압 트랜지스터가 형성되는 영역	
[0074]	8N: 저전압 N채널 트랜지스터가 형성되는 영역	
[0075]	8P: 저전압 P채널 트랜지스터가 형성되는 영역	
[0076]	10: 메모리 셀 어레이	12: 제 1 열 디코더
[0077]	13: 센스 앰플리파이어	13a: 비교기
[0078]	14: 제 2 열 디코더	16: 제 1 행 디코더
[0079]	18: 제 2 행 디코더	20: 반도체 기판
[0080]	21: 소자 영역	22: 소자 분리 영역
[0081]	24: 매립 확산층	26: 웨
[0082]	28: 터널 절연막	28a: 터널 절연막
[0083]	28b: 게이트 절연막	30a: 플로팅 게이트
[0084]	30b: 셀렉트 게이트	32a, 32b: 절연막
[0085]	34a: 컨트롤 게이트	34b: 폴리실리콘 막
[0086]	34c, 34d: 게이트 전극	35: 불순물 확산층
[0087]	36a: 불순물 확산층, 소스 확산층	36b: 불순물 확산층
[0088]	36c: 불순물 확산층, 드레인 확산층	37: 사이드월 절연막
[0089]	38a: 실리사이드 층, 소스 전극	38b: 실리사이드 층, 드레인 전극
[0090]	38c~38f: 실리사이드 층	40: 층간 절연막
[0091]	42: 콘택트 홀	44: 도체 플러그
[0092]	46: 배선(제 1 금속 배선층)	48: 층간 절연막
[0093]	50: 콘택트 홀	52: 도체 플러그
[0094]	54: 배선(제 2 금속 배선층)	56: 층간 절연막
[0095]	58: 콘택트 홀	60: 도체 플러그
[0096]	62: 배선(제 3 금속 배선층)	64: 열 산화막
[0097]	66: 실리콘 질화막	68: 흠
[0098]	69: 희생 산화막	70: 매립 확산층
[0099]	72P: P형 웨	72N: N형 웨
[0100]	74P: P형 웨	74N: N형 웨
[0101]	76: 게이트 절연막	78: 게이트 절연막
[0102]	80: 반사 방지막	82: 실리콘 산화막
[0103]	84: 실리콘 질화막, 사이드월 절연막	86: 저농도 확산층
[0104]	88: 저농도 확산층	90: 저농도 확산층
[0105]	92: 저농도 확산층	93: 실리콘 산화막, 사이드월 절연막
[0106]	94: 고농도 확산층	96: 소스/드레인 확산층
[0107]	98: 고농도 확산층	100: 소스/드레인 확산층

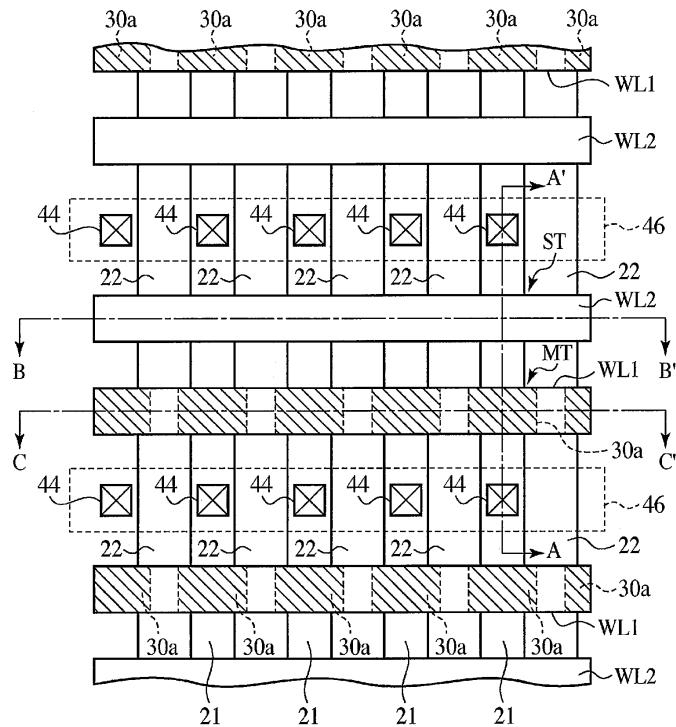
[0108]	102: 고농도 확산층	104: 소스/드레인 확산층
[0109]	106: 고농도 확산층	108: 소스/드레인 확산층
[0110]	110N: 고내압 N채널 트랜지스터	110P: 고내압 P채널 트랜지스터
[0111]	112N: 저전압 N채널 트랜지스터	112P: 저전압 P채널 트랜지스터
[0112]	114: 실리콘 질화막	116: 실리콘 산화막
[0113]	118: 실리콘 산화막	120: 실리콘 산화막
[0114]	122: 실리콘 산화막	124: 실리콘 산화막
[0115]	126: 실리콘 산화막	128: 실리콘 산화막
[0116]	130: 층간 절연막	132: 콘택트 홀
[0117]	134: 도체 플리그	136: 배선(제 4 금속 배선층)
[0118]	138: 실리콘 산화막	140: 실리콘 산화막
[0119]	142: 층간 절연막	143: 콘택트 홀
[0120]	144: 도체 플리그	145: 배선
[0121]	146: 실리콘 산화막	148: 실리콘 질화막
[0122]	150: 제 1 보호 트랜지스터	151: 제 2 보호 트랜지스터
[0123]	152: 제 3 보호 트랜지스터	154: 제어 회로
[0124]	ST: 선택 트랜지스터	MT: 메모리 셀 트랜지스터
[0125]	MC: 메모리 셀	BL: 비트 선
[0126]	WL1: 제 1 워드 선	WL2: 제 2 워드 선
[0127]	SL: 소스 선	CL1: 제 1 제어선
[0128]	CL2: 제 2 제어선	CL3: 제 3 제어선

도면

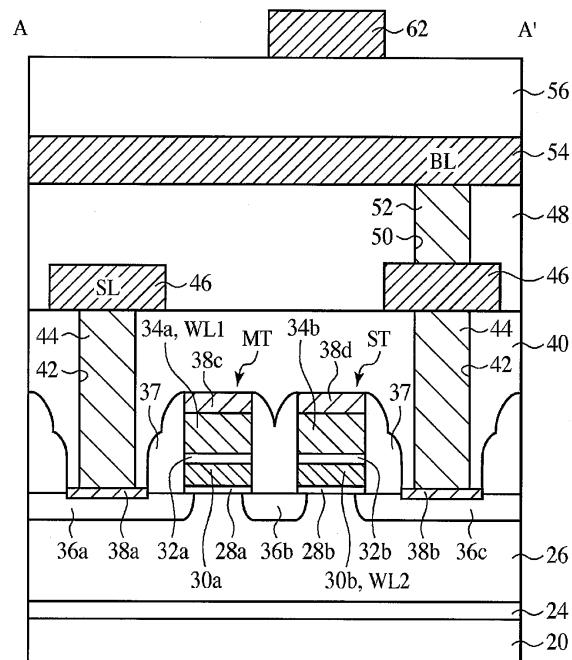
도면1



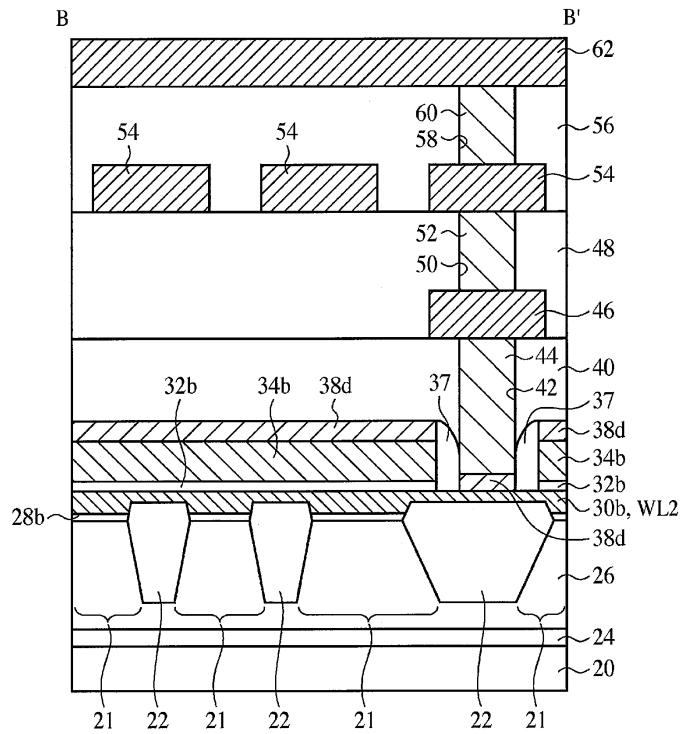
도면2



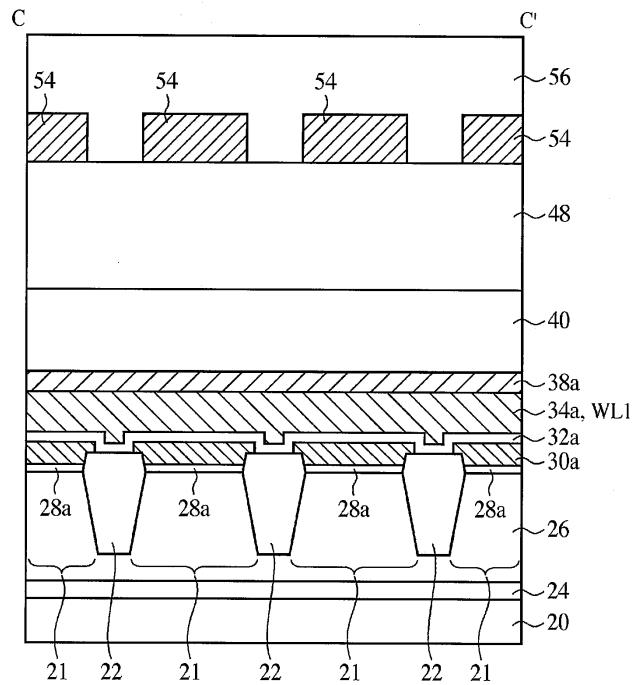
도면3



도면4



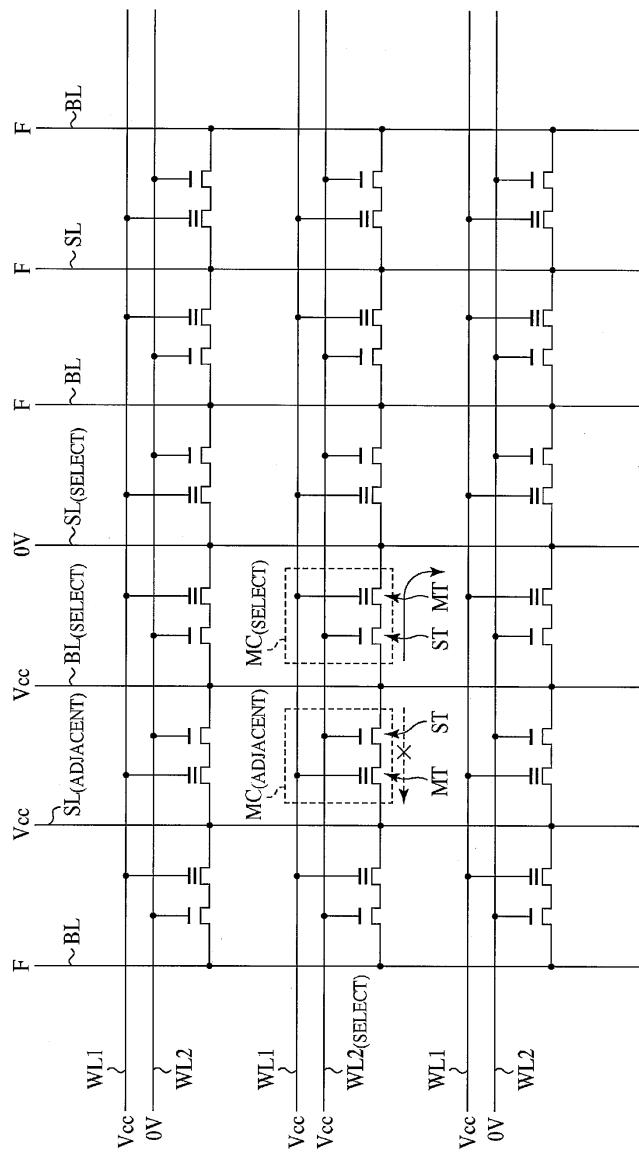
도면5



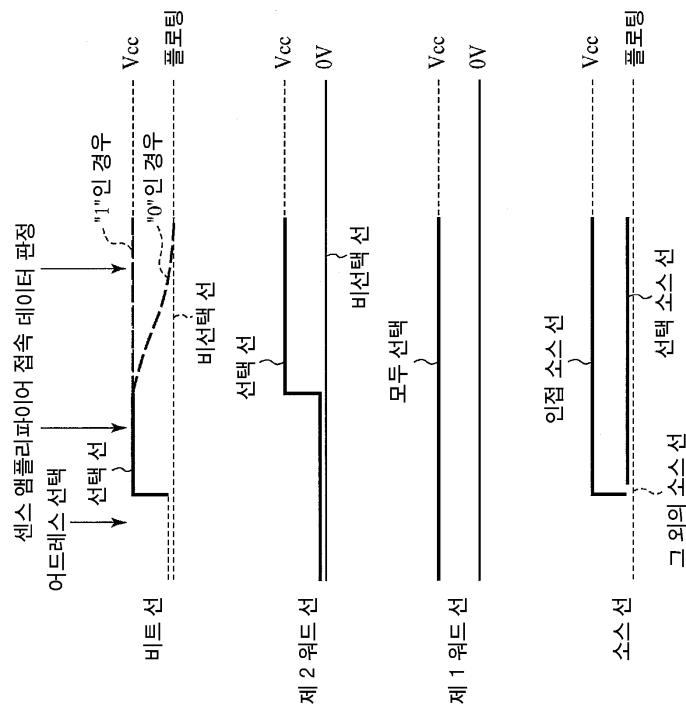
도면6

	비트 선 V_{cc} (F)	소스선 선택 소스선 : 0V 인접 소스선 : V_{cc} 그 외 : F	제 1 워드선 상시 V_{cc} (0V)	제 2 워드선 V_{cc} (0V)	월
판독					0V
기입	선택 비트 선 : 0V 인접 비트 선 : V_{cc} 그 외 : 0V	5V (0V or F)	9V (0V or F)	V_{cc} (0V)	0V
소거	풀로팅	풀로팅	-9V	풀로팅	+9V

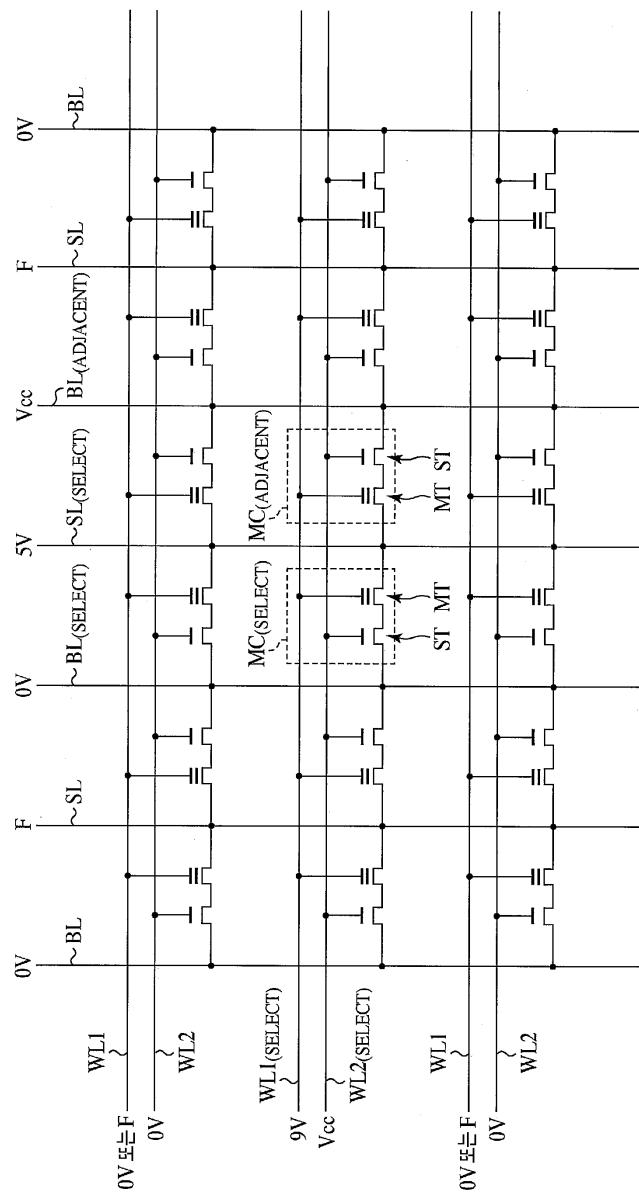
도면7



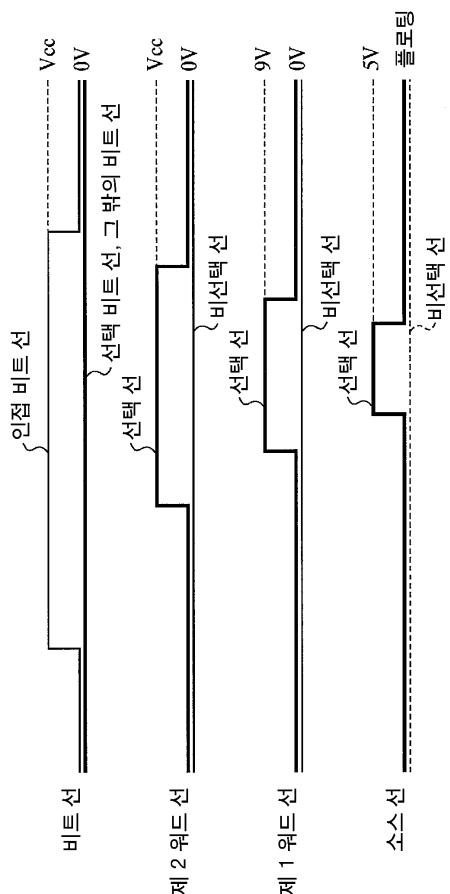
도면8



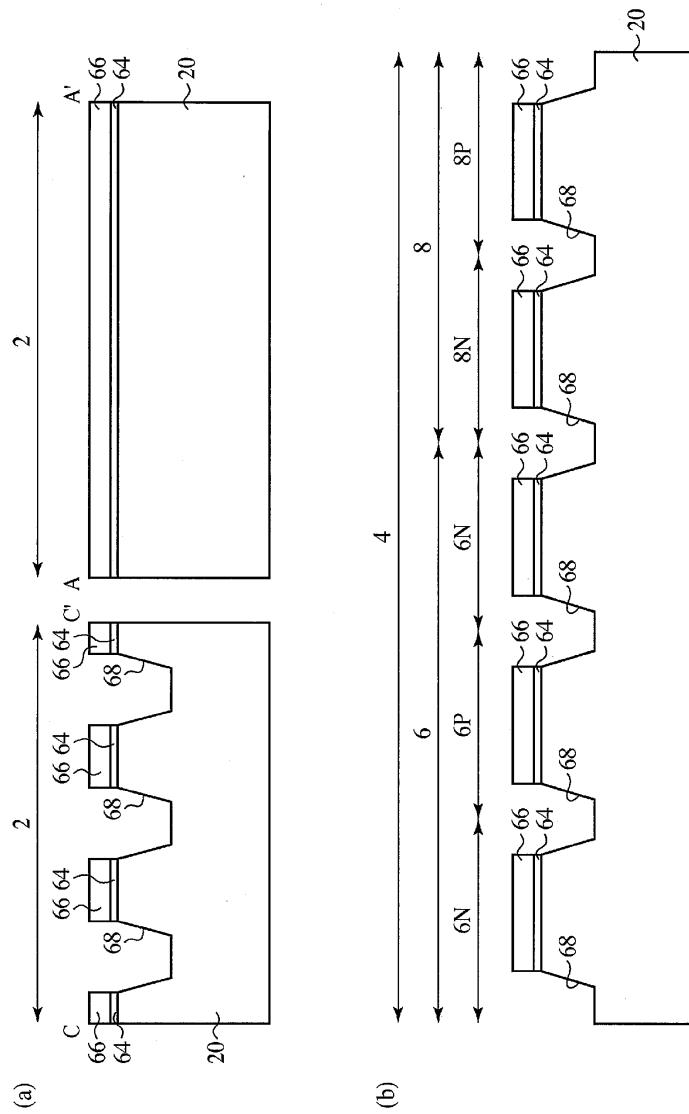
도면9



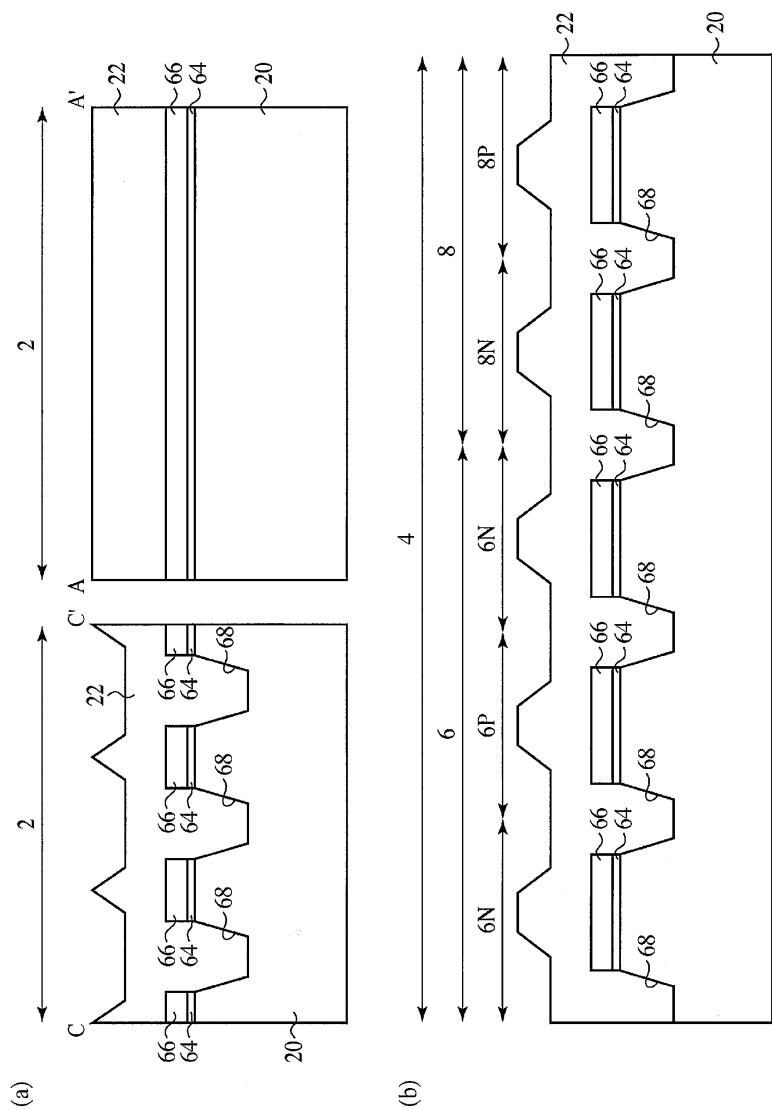
도면10



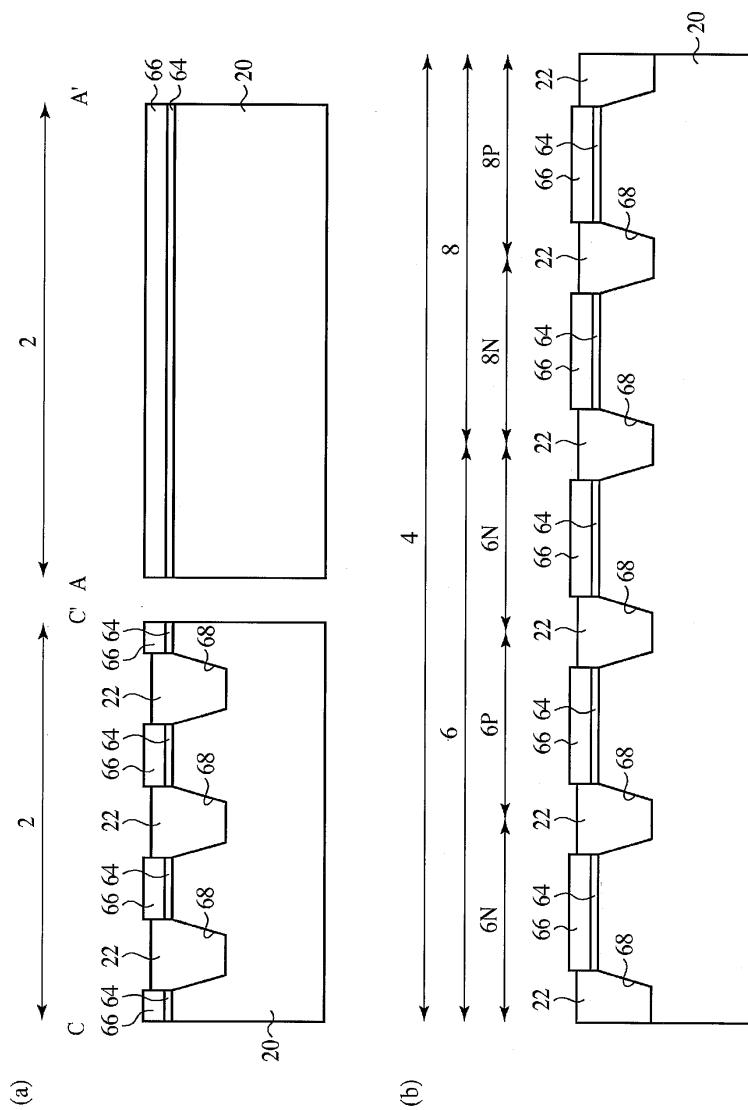
도면11



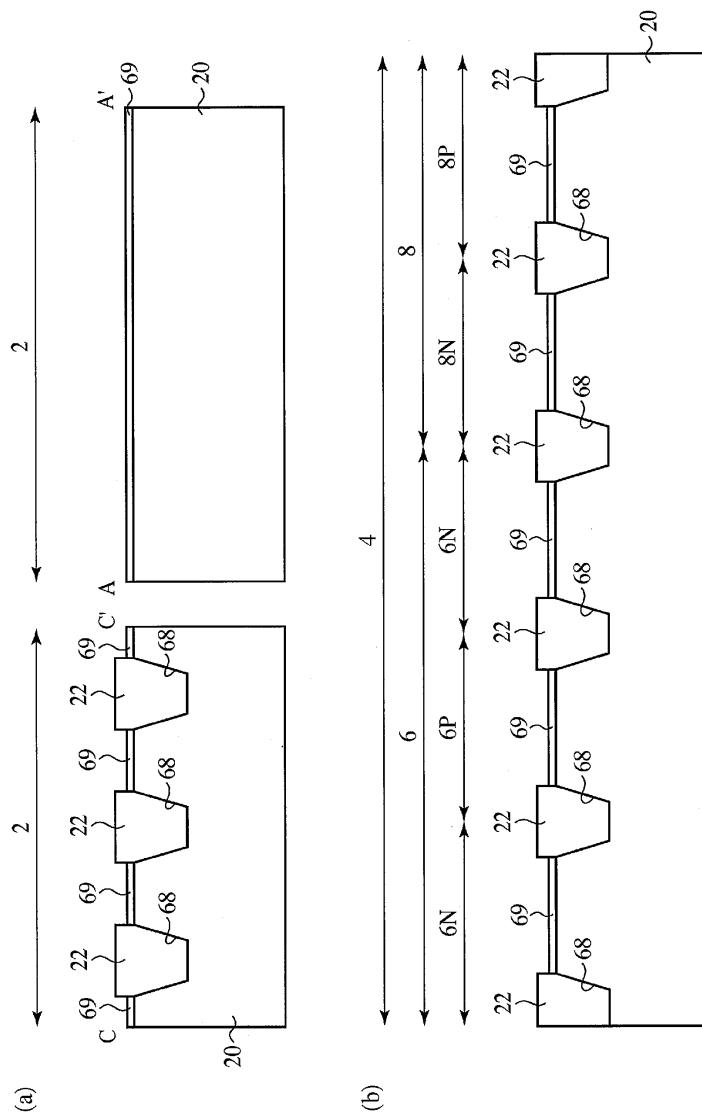
도면12



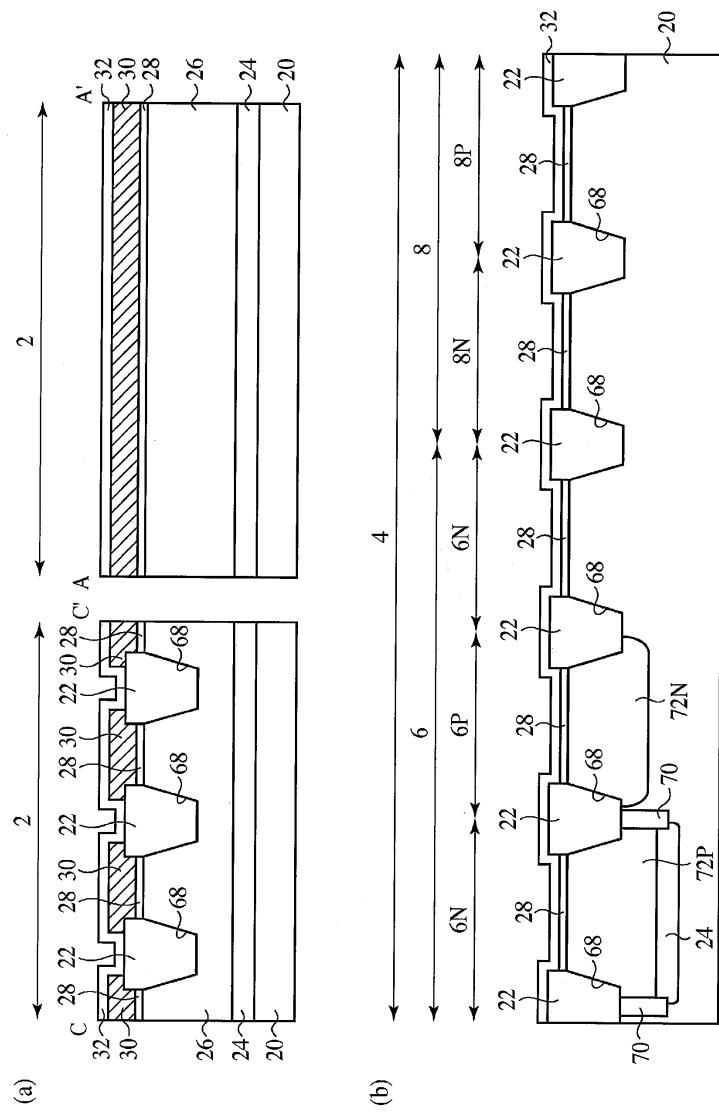
도면13



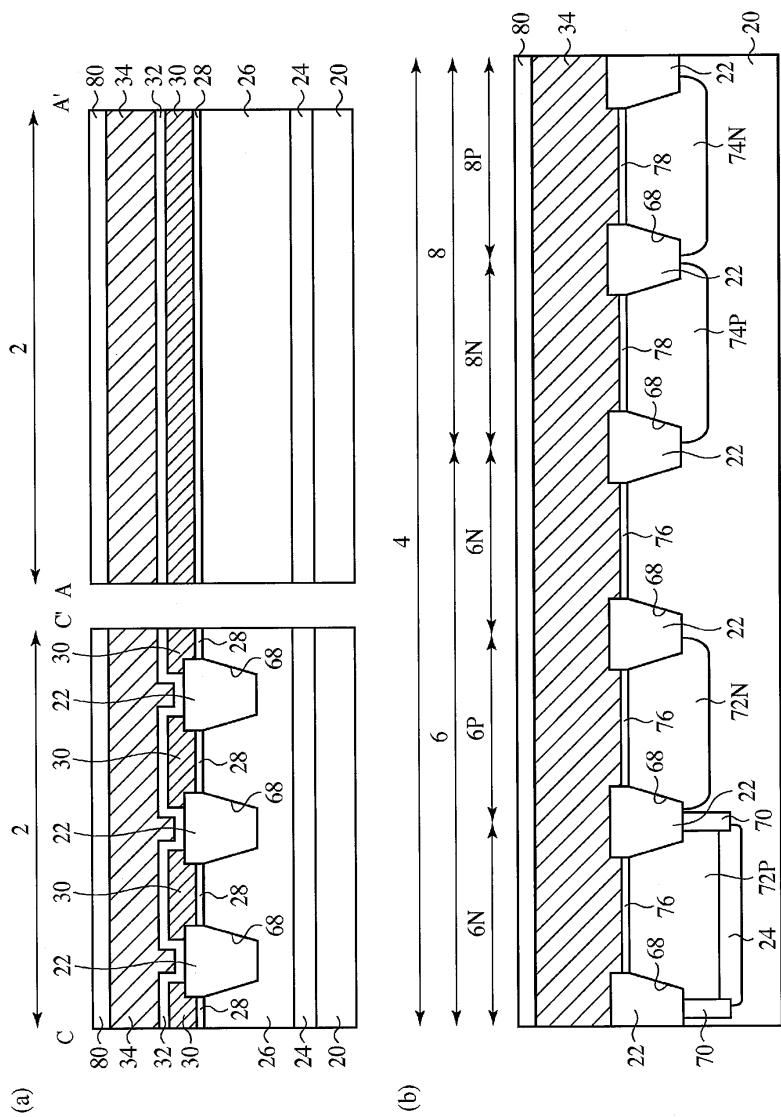
도면14



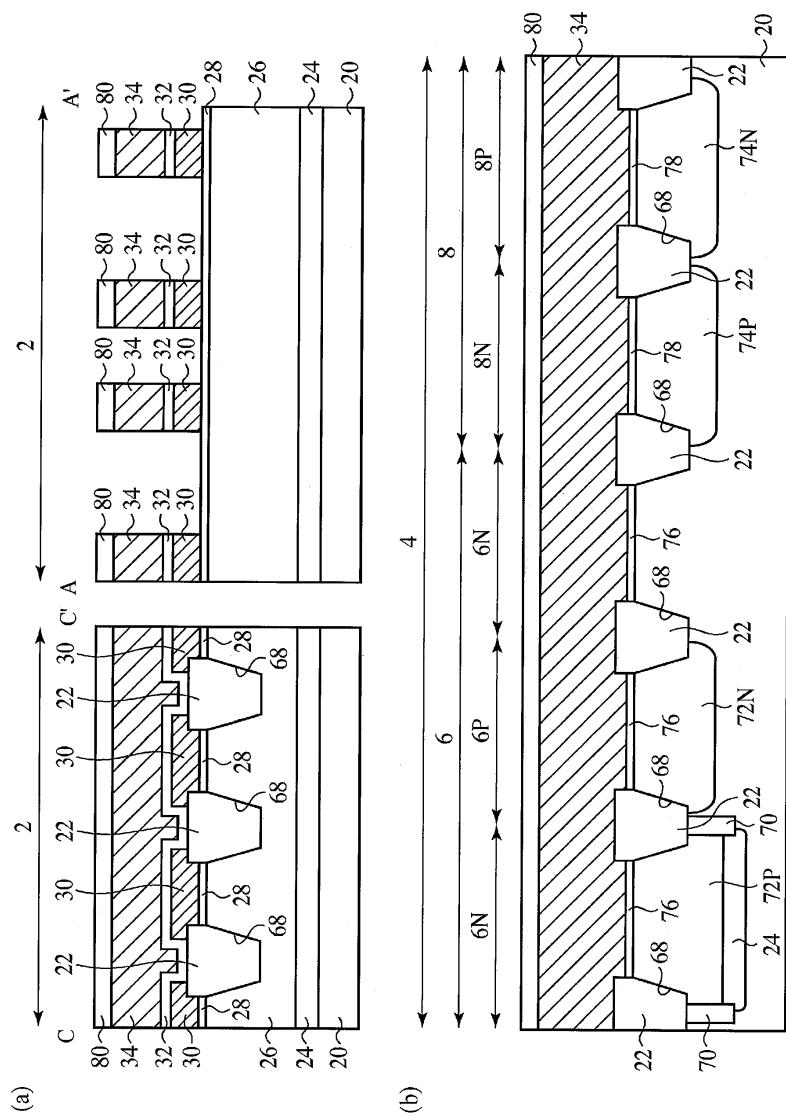
도면15



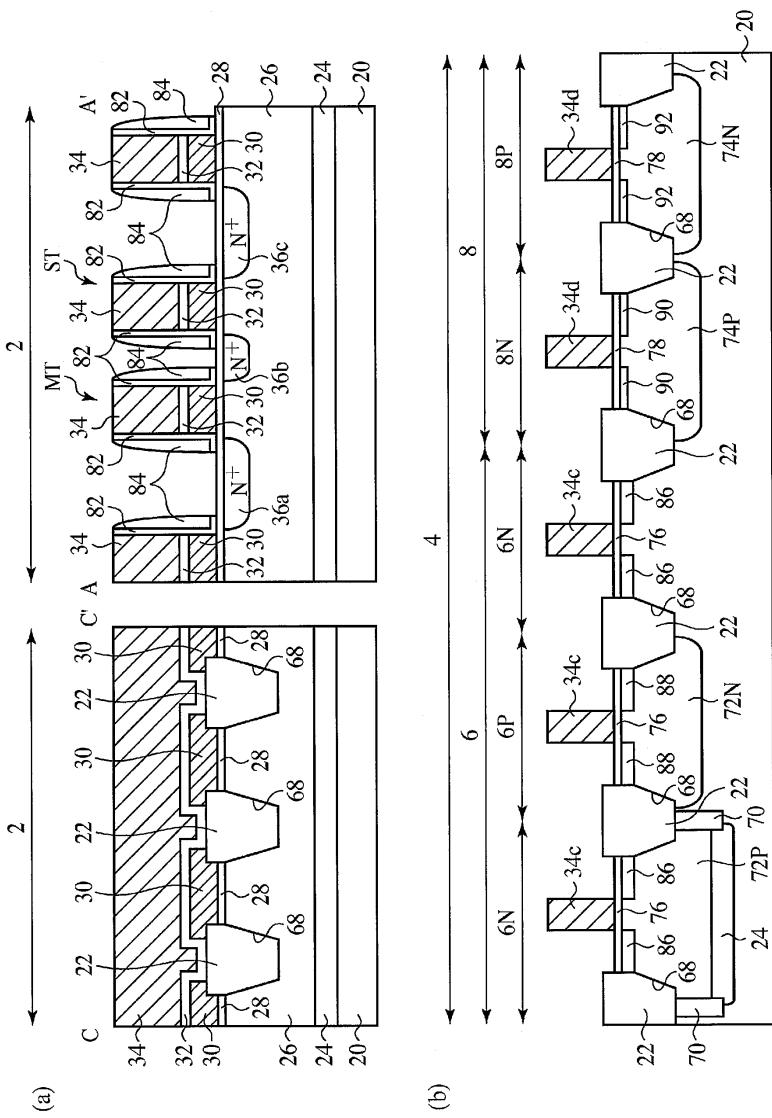
도면16



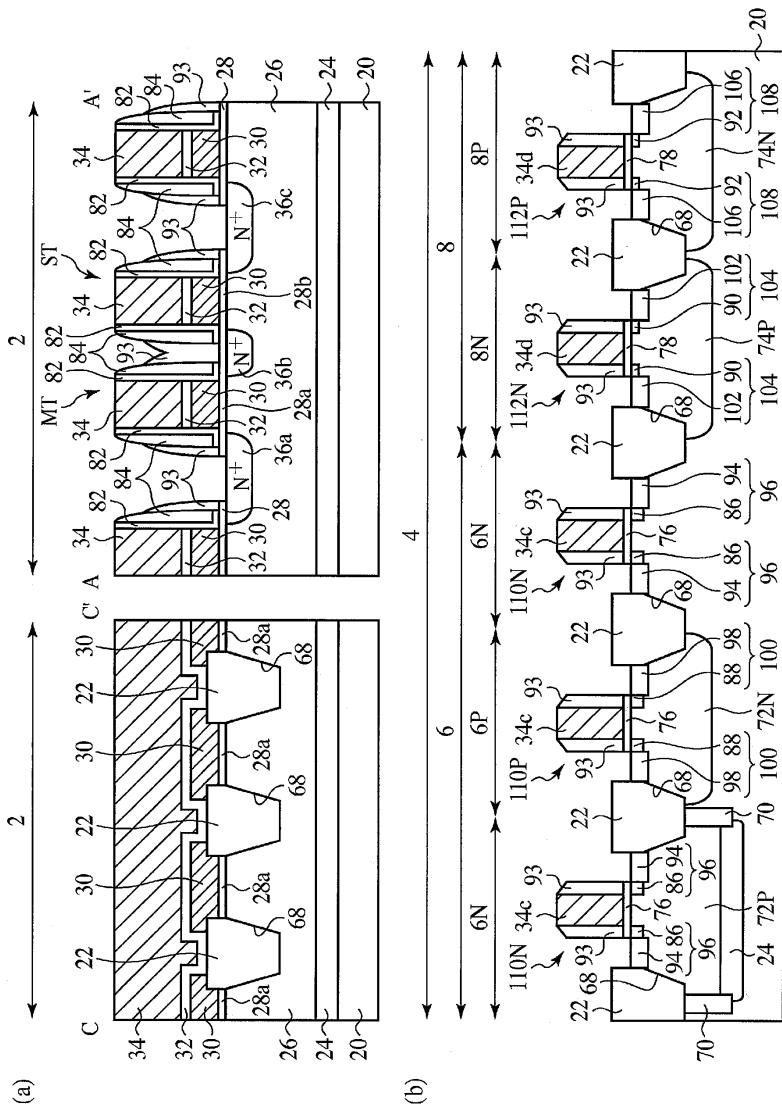
도면17



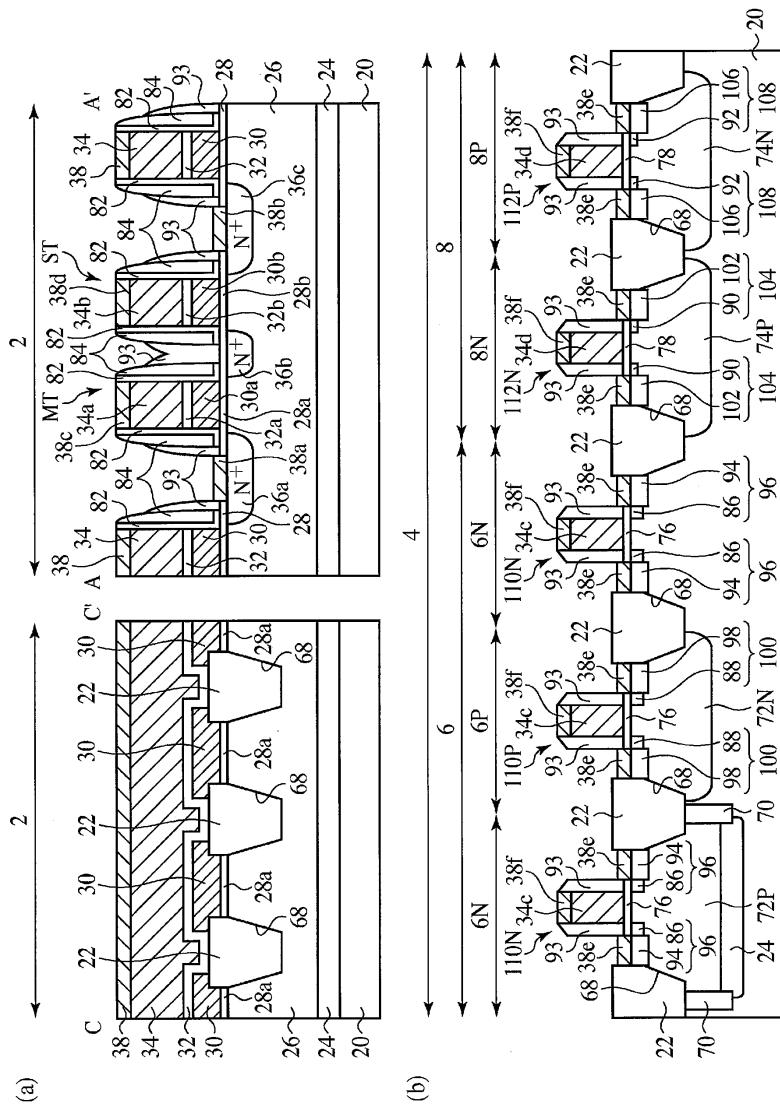
도면18



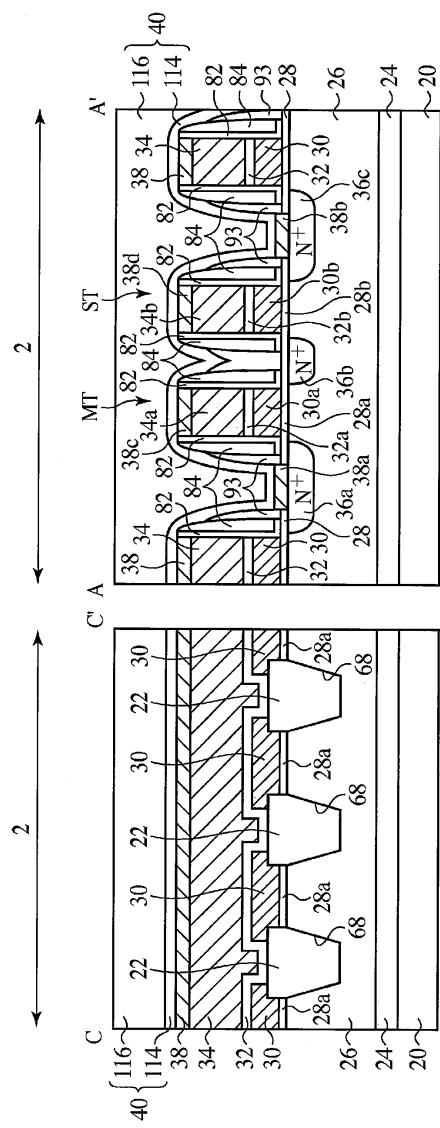
도면19



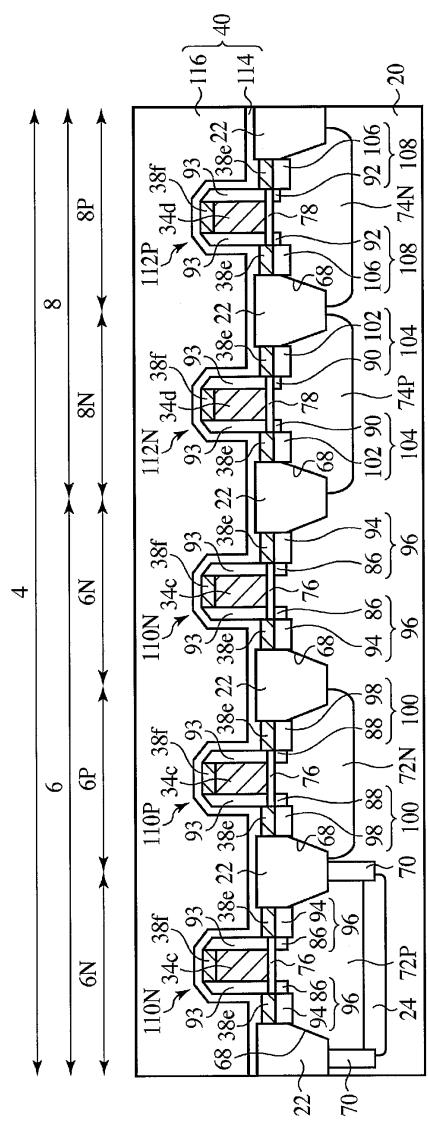
도면20



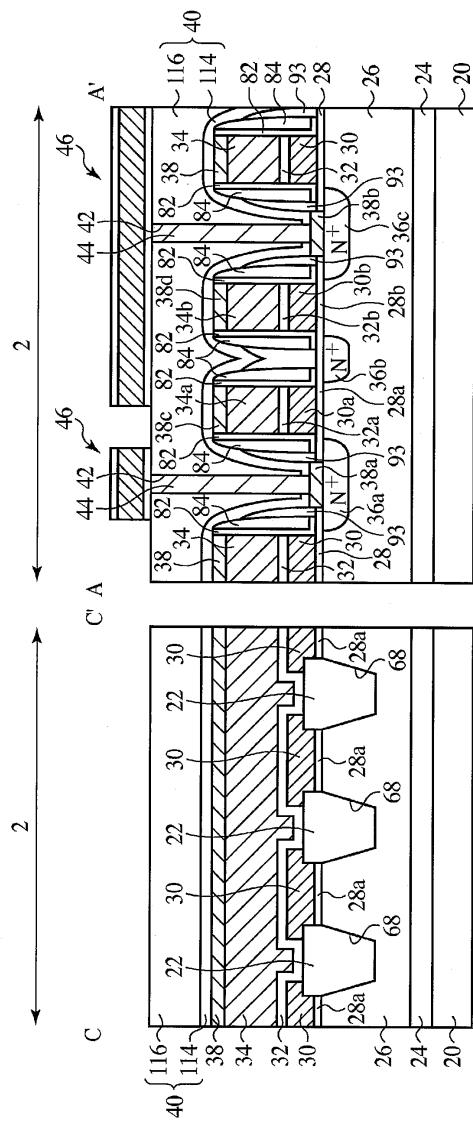
도면21



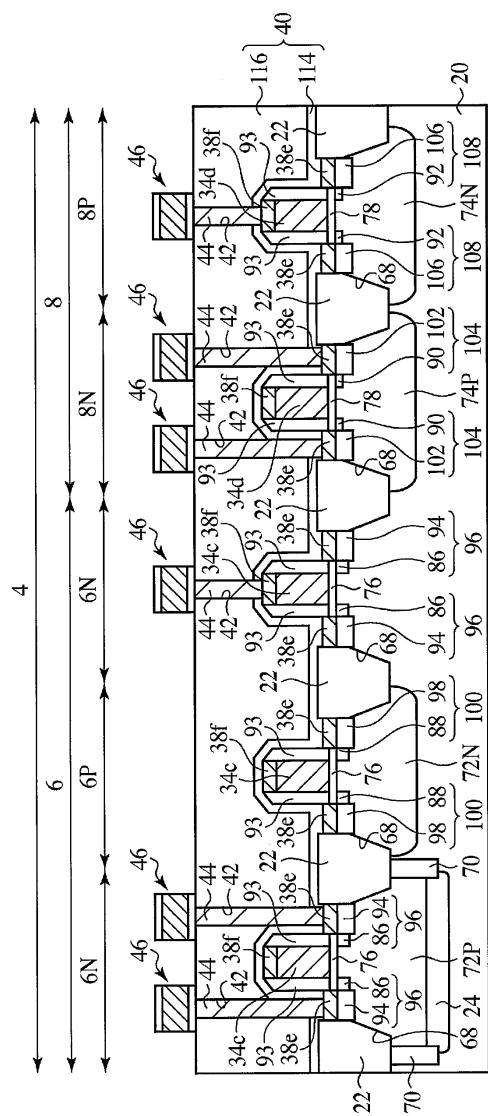
도면22



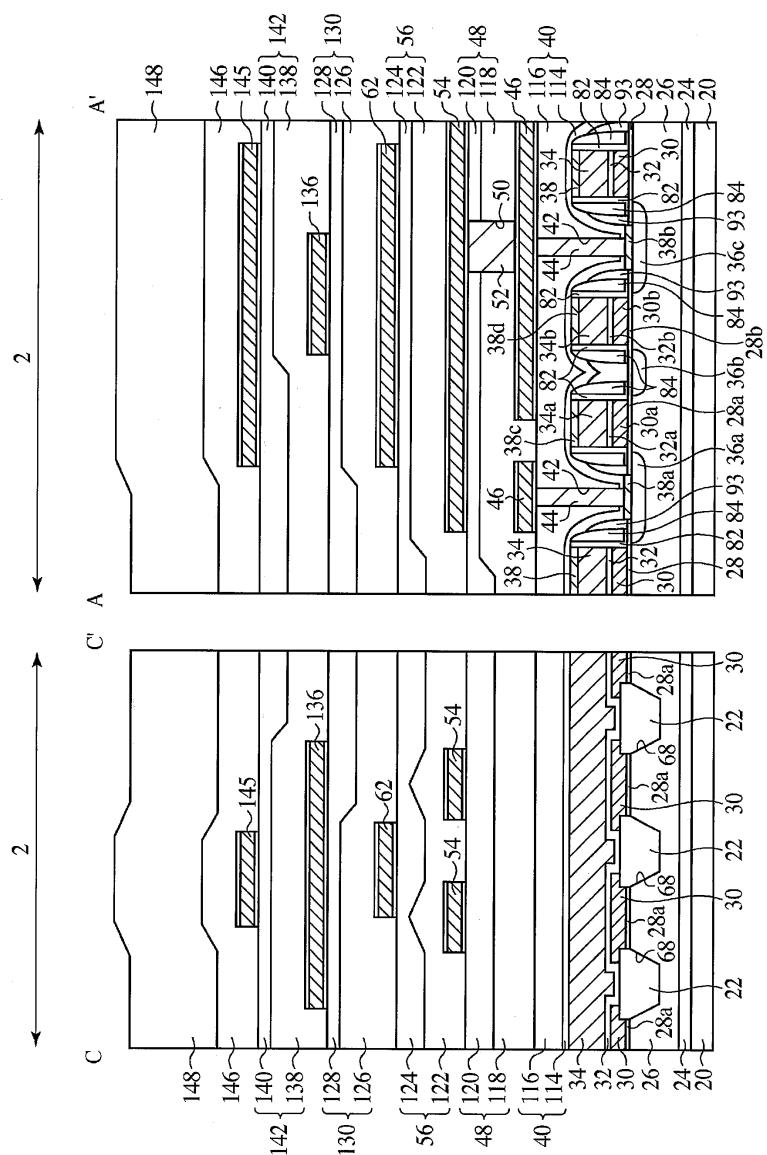
도면23



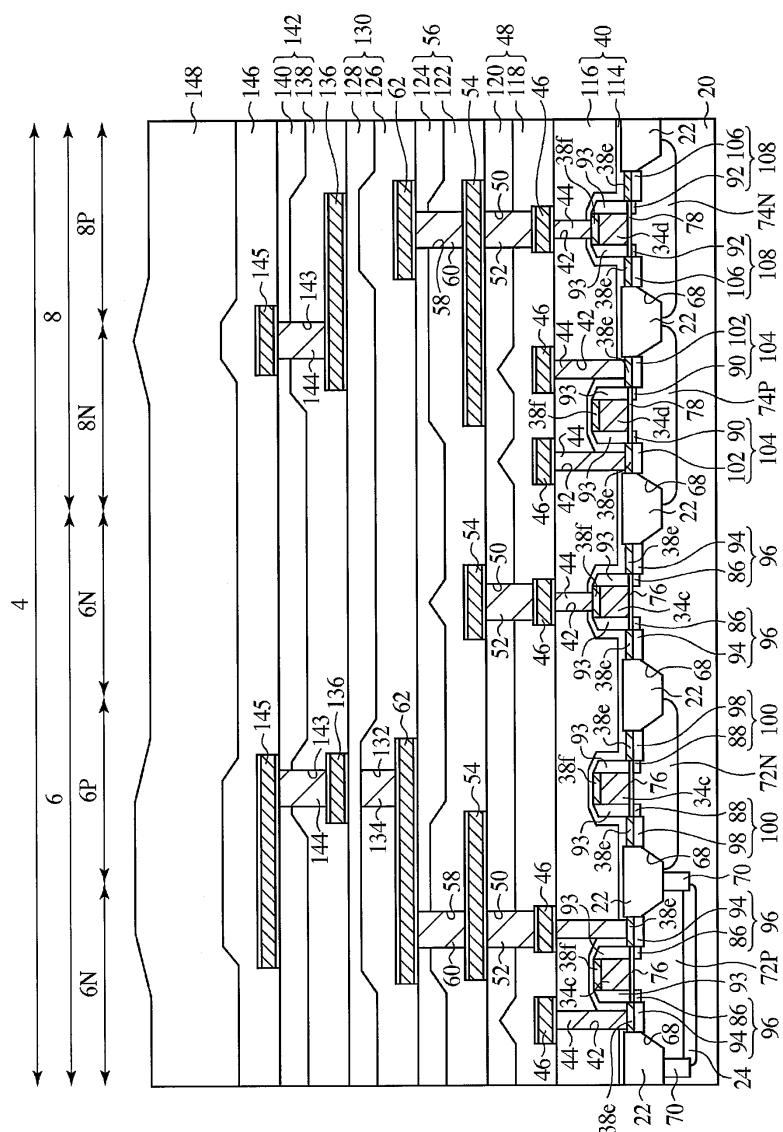
도면24



도면25



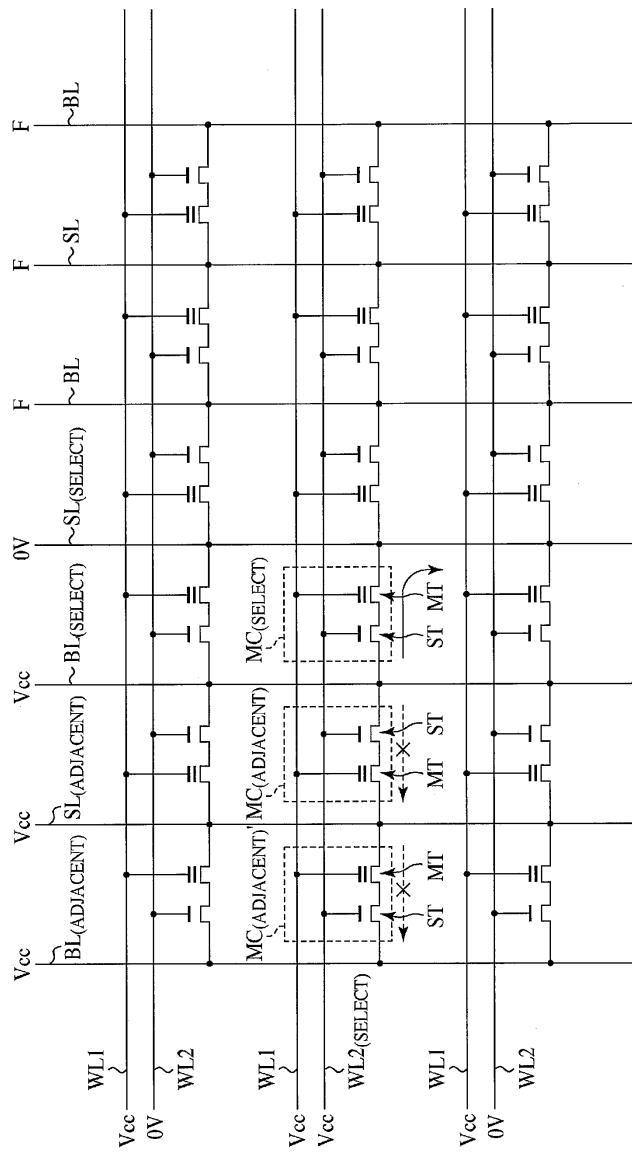
도면26



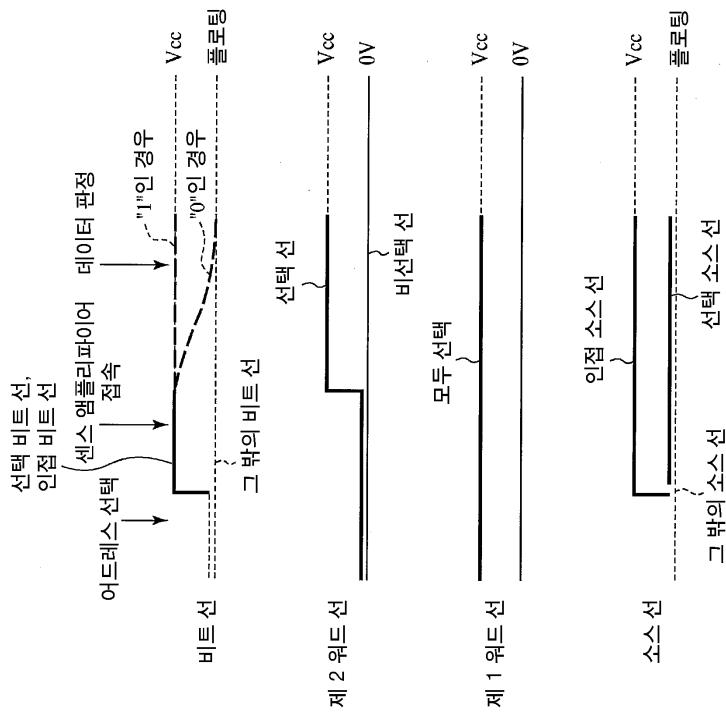
도면27

	비트 선	소스선	제 1 웨드 선	제 2 웨드 선	엘
판독	선택 비트 선: Vcc 인접 비트 선: Vcc 그 외 : F	선택 소스선: 0V 인접 소스선: Vcc	상시 Vcc (0V)	Vcc (0V)	0V
기입	선택 비트 선: 0V 인접 비트 선: Vcc (F) 그 외 : 0V	5V	9V (0V or F)	Vcc (0V)	0V
소거	풀로팅	풀로팅	-9V	풀로팅	+9V

도면28



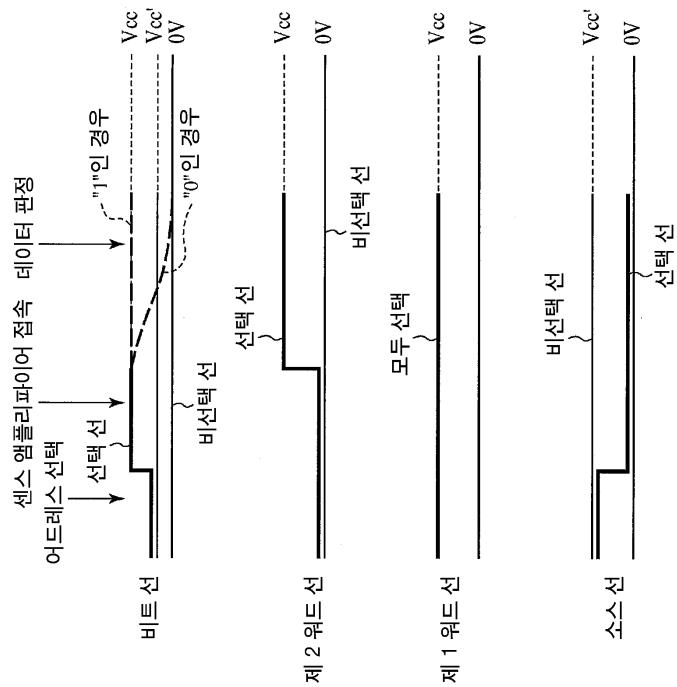
도면29



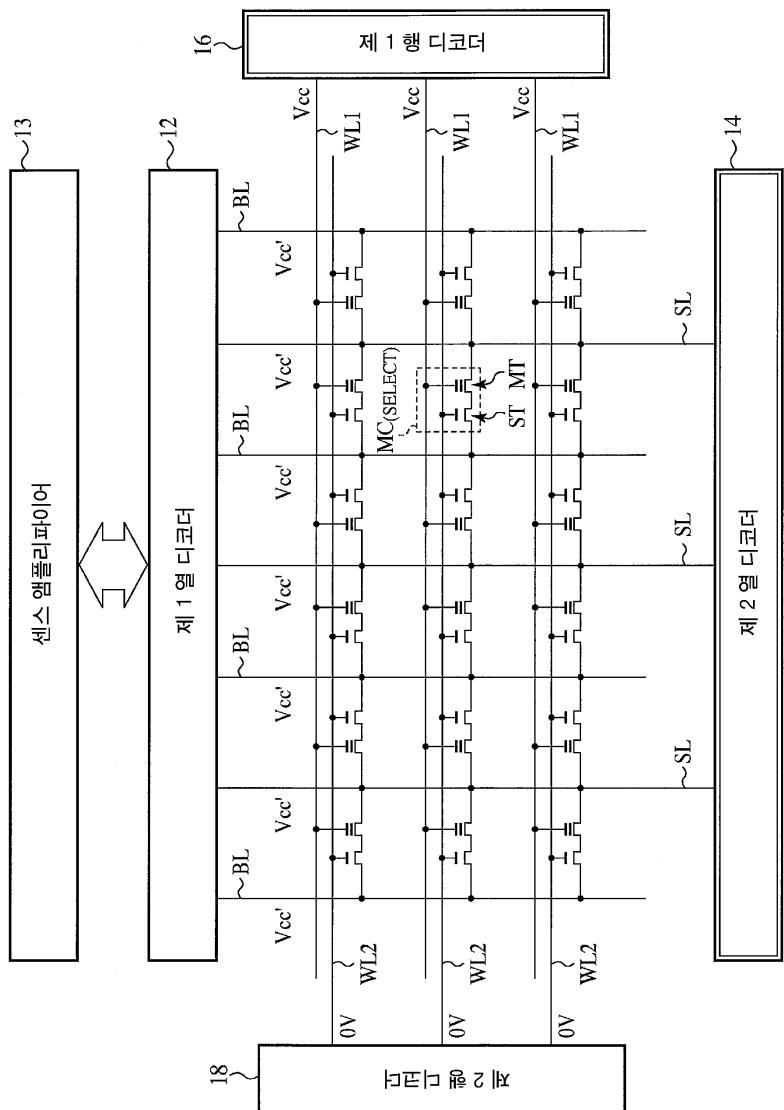
도면30

	비트 선 V_{cc} ($V_{cc'}$)	소스선 0V (V_{cc})	제 1 웨드 선 상시 V_{cc}	제 2 웨드 선 V_{cc} (0V)	웰
판독				0V	
기입	선택 비트 선 : 0V 인접 비트 선 : V_{cc} 그 외 : 0V	5V (F)	9V (0V or F)	V_{cc} (0V)	0V
소거	풀로팅	풀로팅	-9V	풀로팅	+9V

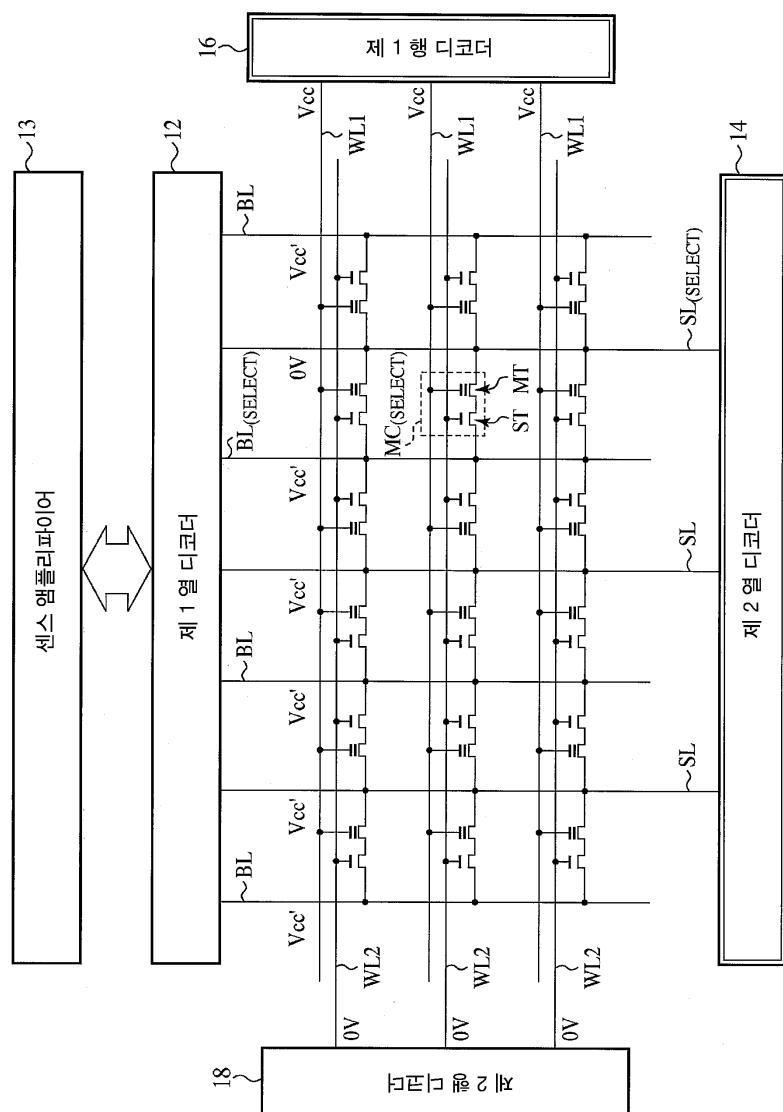
도면31



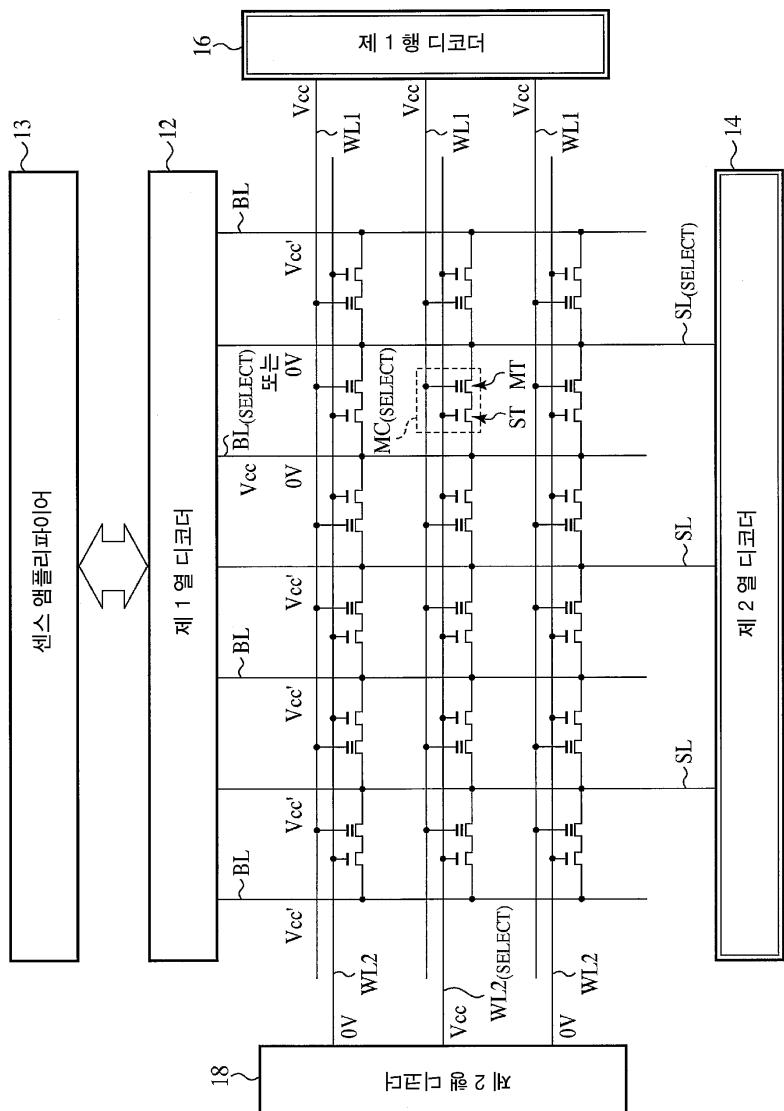
도면32



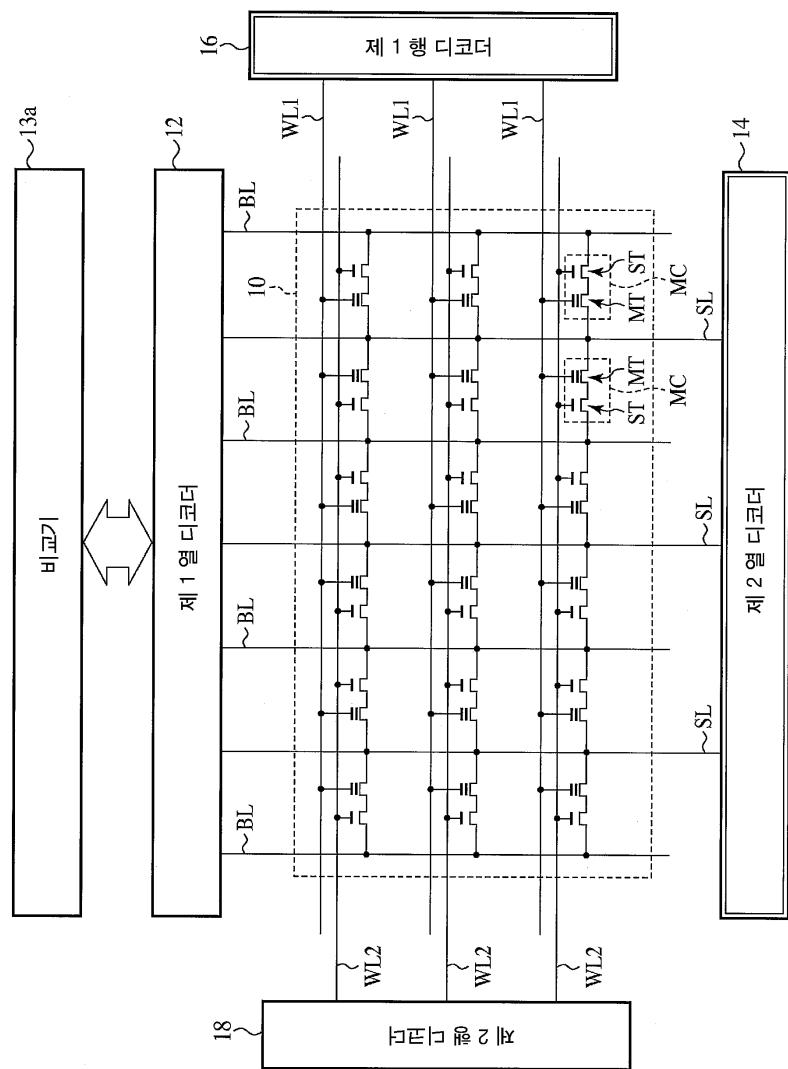
도면33



도면34



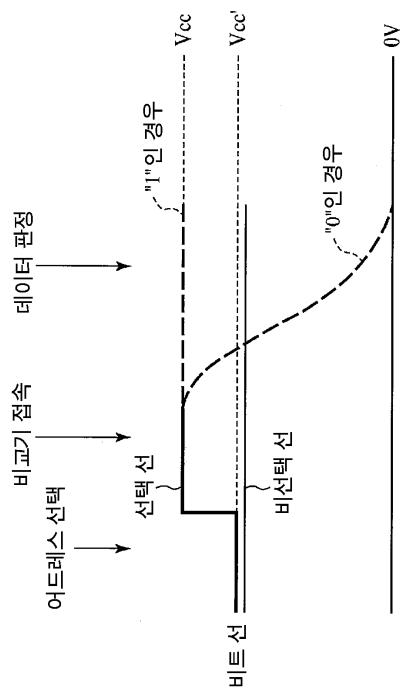
도면35



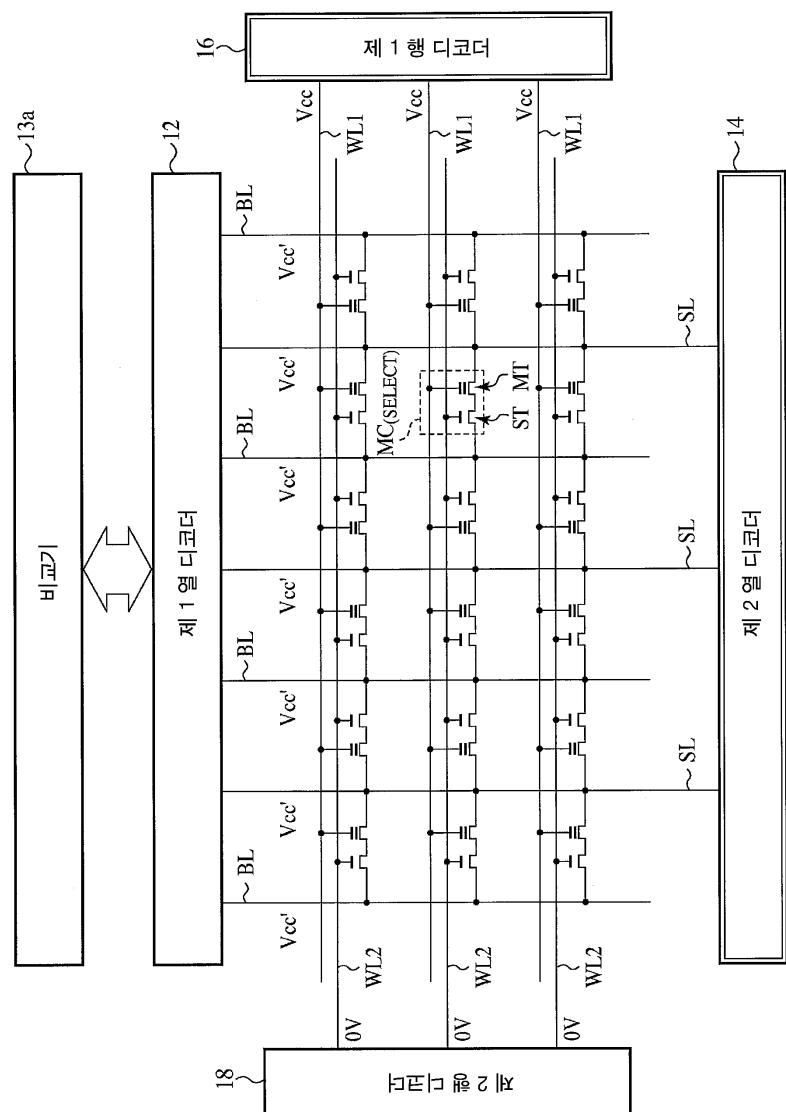
도면36

	비트 선 V _{cc} (V _{cc'})	소스선 0V (V _{cc'})	제 1 워드 선 상시 V _{cc}	제 2 워드 선 V _{cc} (0V)	월
판독					0V
기입	선택 비트 선 : 0V 인접 비트 선 : V _{cc} 그 외 : 0V	5V	9V (0V or F)	V _{cc} (0V)	0V
소거	풀로팅	풀로팅	-9V	풀로팅	+9V

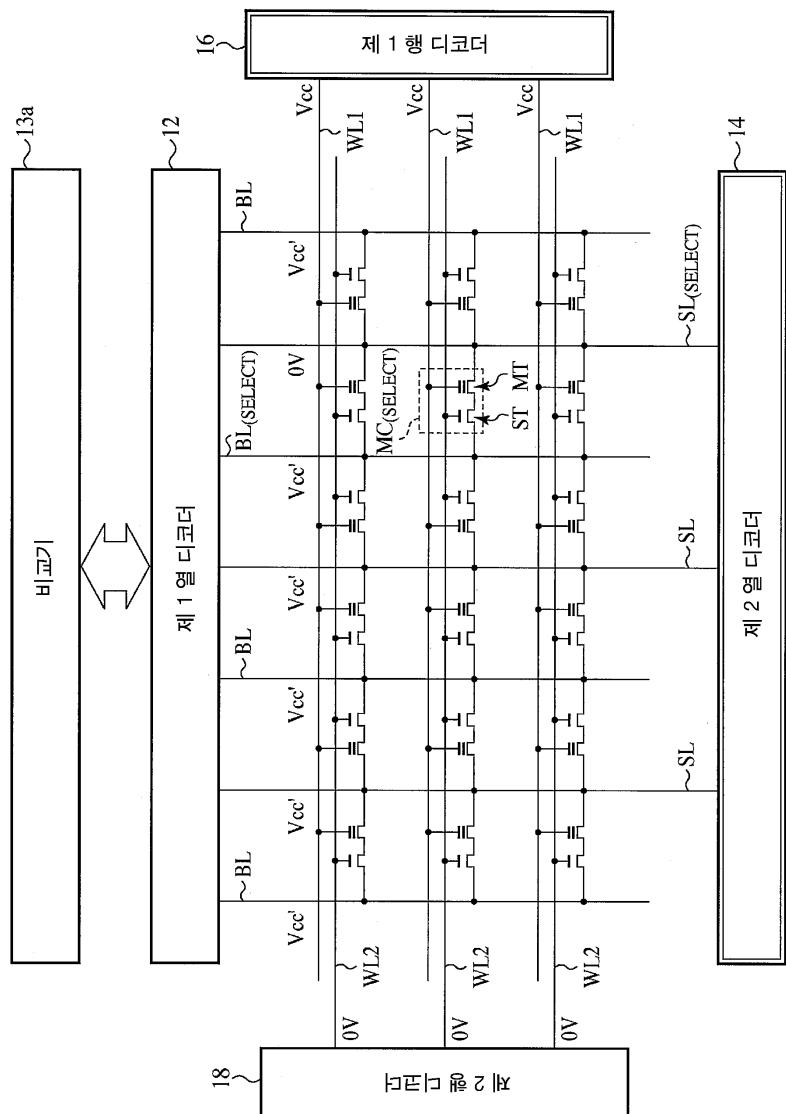
도면37



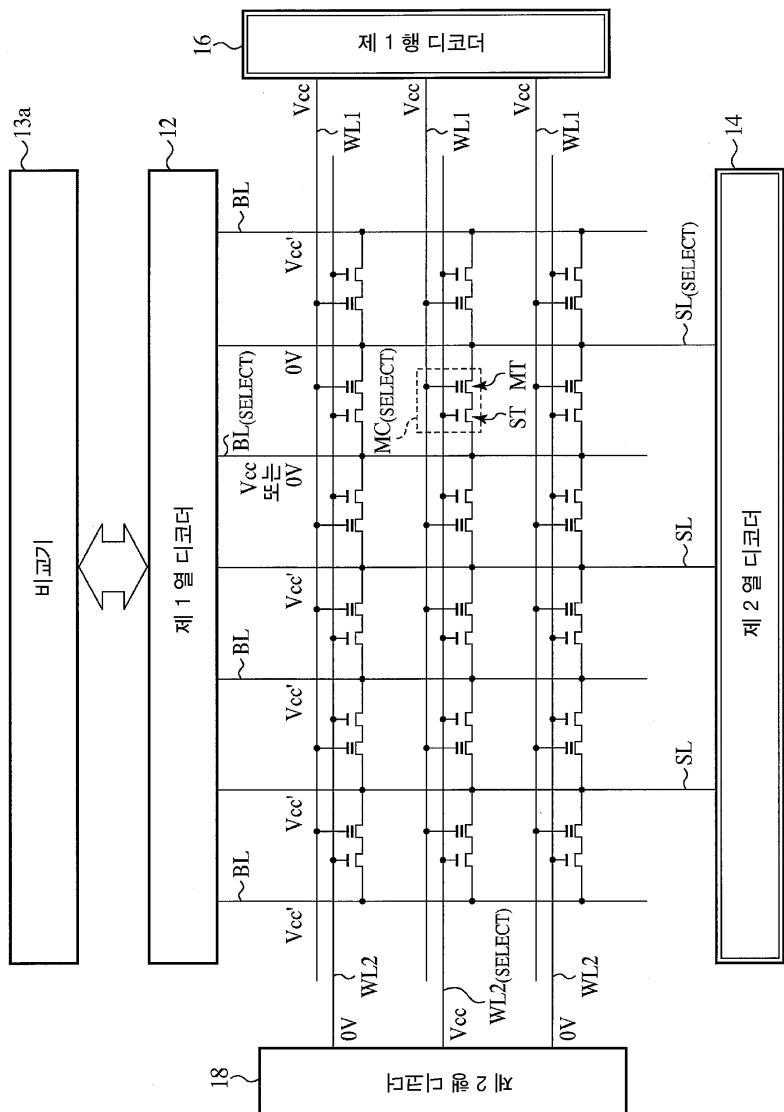
도면38



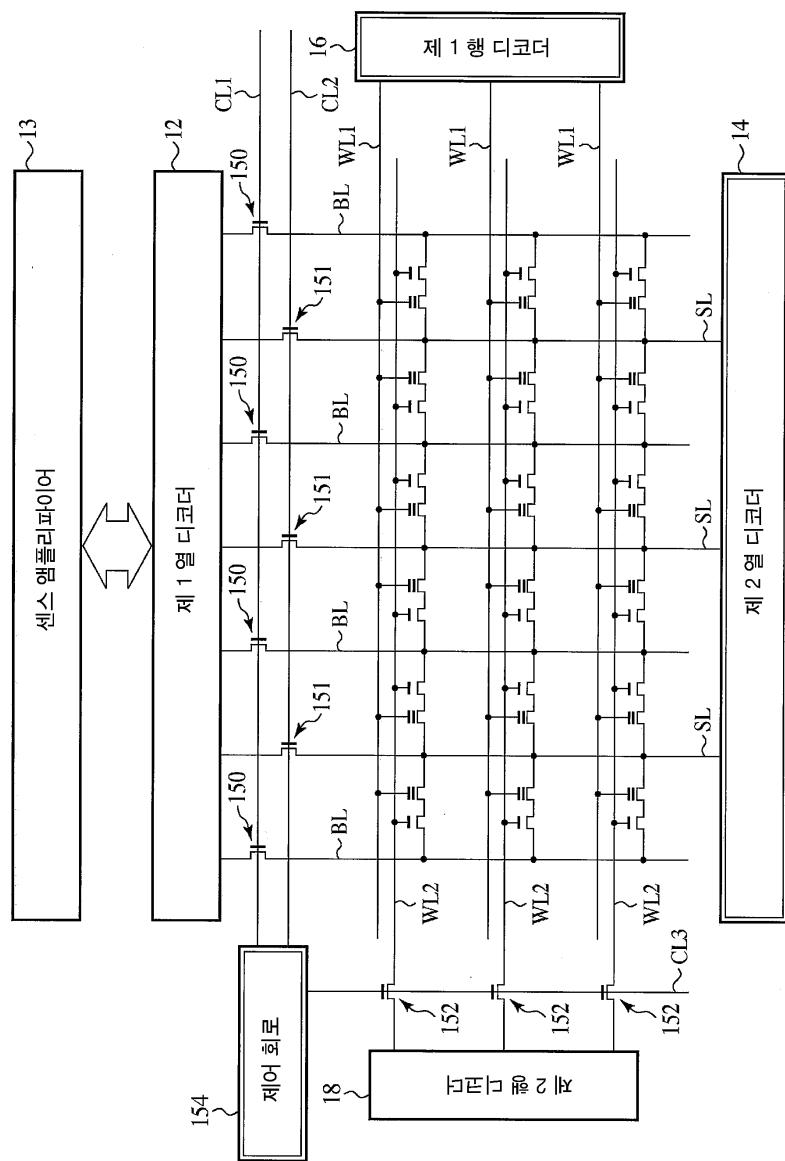
도면39



도면40



도면41



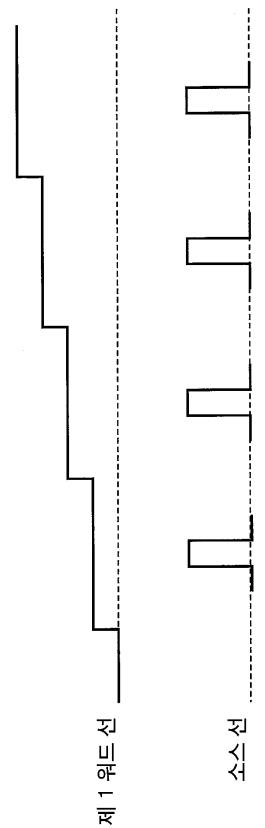
도면42

	비트선 V_{cc} (F)	소스선 선택 소스선 : 0V 인접 소스선 : V_{cc} 그 외 : F	제 1 웨드선 상시 V_{cc}	제 2 웨드선 V_{cc} (0V)	제 1 제어선 제 2 제어선 V	제 2 제어선 제 3 제어선 V
판독				5V	5V	0V
기입	선택 비트선 : 0V 인접 비트선 : V_{cc} 그 외 : 0V	5V (0V or F)	9V (0V or F)	5V	0V	5V
소거	F	F	-9V	F	0V	0V

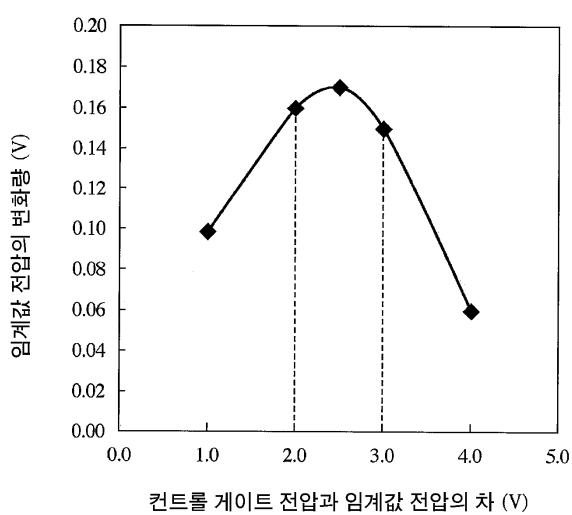
도면43

	비트 선	소스선	제 1 웨드 선	제 2 웨드 선	벨
판독	V_{cc} (F)	선택 소스선 : 0V 인접 소스선 : V_{cc} 그 외 : F	상시 V_{cc} (0V)	V_{cc} (0V)	0V
기입	선택 비트 선 : 0V 인접 비트 선 : V_{cc} 그 외 : 0V	5V (F)	V_{step} (0V or F)	V_{cc} (0V)	0V
소거	풀로팅	풀로팅	-9V	풀로팅	+9V

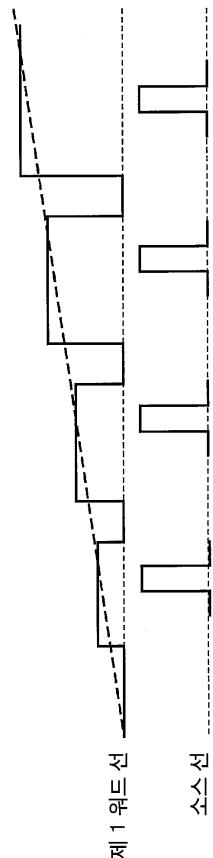
도면44



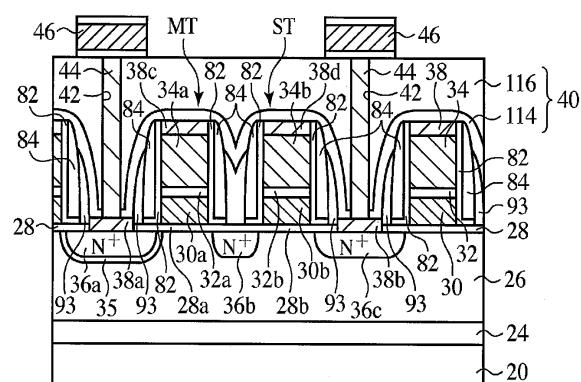
도면45



도면46



도면47



도면48

	비트 선 V_{cc} ($V_{cc'}$)	소스 선 선택 소스 선 : 0V 인접 소스 선 : V_{cc} 그 외 : $V_{cc'}$	제 1 웨드 선 상시 V_T	제 2 웨드 선 V_{cc} (0V)	제 1 제어 선 제 2 웨드 선 V	제 2 제어 선 제 3 제어 선 V
판독				5V	5V	0V
기입	선택 비트 선 : 0V 인접 비트 선 : V_{cc} 그 외 : 0V	5V V_{step} (0V or F)		5V V_{cc} (0V)	0V 5V	0V 5V
소거	F	F	-9V	F	0V 0V	+9V