(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第6882907号
(P6882907)

(45)発行日　令和3年6月2日(2021.6.2)　(24)登録日　令和3年5月11日(2021.5.11)

(51)Int.Cl.			F I		
H05K	3/34	(2006.01)	H05K	3/34	507A
H02M	3/155	(2006.01)	H02M	3/155	Z
H05K	1/18	(2006.01)	H02M	3/155	C
H01L	41/107	(2006.01)	H02M	3/155	Q
G03G	15/00	(2006.01)	H05K	1/18	S

請求項の数 18　(全 20 頁)　最終頁に続く

(21)出願番号　特願2017-24263(P2017-24263)
(22)出願日　平成29年2月13日(2017.2.13)
(65)公開番号　特開2018-133367(P2018-133367A)
(43)公開日　平成30年8月23日(2018.8.23)
審査請求日　令和2年2月4日(2020.2.4)

(73)特許権者　000001007
キヤノン株式会社
東京都大田区下丸子３丁目３０番２号
(74)代理人　110003281
特許業務法人大塚国際特許事務所
(72)発明者　美濃部　太郎
東京都大田区下丸子３丁目３０番２号　キヤノン株式会社内
(72)発明者　杉山　哲一
東京都大田区下丸子３丁目３０番２号　キヤノン株式会社内
(72)発明者　松村　亮
東京都大田区下丸子３丁目３０番２号　キヤノン株式会社内

最終頁に続く

(54)【発明の名称】電子部品の実装方法、プリント基板、電源装置および画像形成装置

(57)【特許請求の範囲】
【請求項１】
プリント基板の第一実装面に半田を塗布する工程と、
前記第一実装面に圧電トランスを表面実装し、かつ、前記第一実装面に当該圧電トランスの一次電極対に並列に接続される第一抵抗体を実装する工程と、
前記プリント基板をリフロー炉へ投入することで、前記第一実装面に前記圧電トランスと前記第一抵抗体とを半田付けする工程と、
前記プリント基板の第二実装面に半田を塗布する工程と、
前記第二実装面に前記圧電トランスを駆動する駆動回路を形成する半導体部品を実装する工程と、
前記プリント基板を前記リフロー炉へ投入することで、前記第二実装面に前記半導体部品を半田付けする工程と、
を有することを特徴とする電子部品の実装方法。
【請求項２】
前記第二実装面に前記圧電トランスを駆動する駆動回路を形成する半導体部品を実装する工程は、前記圧電トランスの一次電極対に並列に接続される第二抵抗体を前記第二実装面に実装する工程を含み、
前記プリント基板を前記リフロー炉へ投入することで前記第二実装面に前記半導体部品を半田付けする工程は、前記プリント基板を前記リフロー炉へ投入することで前記第二実装面に前記第二抵抗体を半田付けする工程を含むことを特徴とする請求項１に記載の電子

部品の実装方法。
【請求項３】
前記半導体部品は、前記圧電トランスを駆動するスイッチング素子であることを特徴とする請求項１または２に記載の電子部品の実装方法。
【請求項４】
前記第一抵抗体の抵抗値は、前記第二実装面に前記半導体部品を半田付けするために前記プリント基板が前記リフロー炉を通過しているときに圧電効果により前記圧電トランスの一次電極対に発生する焦電電圧を低減し、かつ、前記圧電トランスを含む電源回路の電源性能の低下が所定の範囲内となる値であることを特徴とする請求項１ないし３のいずれか一項に記載の電子部品の実装方法。
【請求項５】
前記第一抵抗体の抵抗値は６．０ｋΩ以上でかつ３．０ＭΩ以下であることを特徴とする請求項４に記載の電子部品の実装方法。
【請求項６】
前記第二抵抗体の抵抗値は、前記第二実装面に前記半導体部品を半田付けするために前記プリント基板が前記リフロー炉を通過しているときに圧電効果により前記圧電トランスの一次電極対に発生する焦電電圧を低減し、かつ、前記圧電トランスを含む電源回路の電源性能の低下が所定の範囲内となる値であることを特徴とする請求項２に記載の電子部品の実装方法。
【請求項７】
前記第二抵抗体の抵抗値は６．０ｋΩ以上でかつ３．０ＭΩ以下であることを特徴とする請求項６に記載の電子部品の実装方法。
【請求項８】
プリント基板の第一実装面に半田を塗布する工程と、
前記第一実装面に圧電トランスを表面実装する、かつ、前記第一実装面に当該圧電トランスの一次電極対に並列に接続される第一抵抗体を実装する工程と、
前記プリント基板をリフロー炉へ投入することで、前記第一実装面に前記圧電トランスと前記第一抵抗体とを半田付けする工程と、
前記プリント基板の第二実装面に半田を塗布する工程と、
前記第二実装面に前記圧電トランスを駆動する駆動回路を形成する半導体部品と前記圧電トランスの一次電極対に並列に接続される第二抵抗体とを実装する工程と、
前記プリント基板を前記リフロー炉へ投入することで、前記第二実装面に前記半導体部品と前記第二抵抗体とを半田付けする工程と、
を有することを特徴とする電子部品の実装方法。
【請求項９】
前記第一抵抗体の抵抗値は３．０ＭΩ以下であり、前記第二抵抗体の抵抗値は３．０ＭΩ以下であり、前記第一抵抗体と前記第二抵抗体との合成抵抗値は６．０ｋΩ以上であることを特徴とする請求項８に記載の電子部品の実装方法。
【請求項１０】
プリント基板の第二実装面に半田を塗布する工程と、
前記第二実装面に圧電トランスを駆動する駆動回路を形成する半導体部品と前記圧電トランスの一次電極対に並列に接続される第二抵抗体とを実装する工程と、
前記プリント基板をリフロー炉へ投入することで、前記第二実装面に前記半導体部品と前記第二抵抗体とを半田付けする工程と、
前記プリント基板の第一実装面に半田を塗布する工程と、
前記第一実装面に前記圧電トランスを表面実装する工程と、
前記プリント基板を前記リフロー炉へ投入することで、前記第一実装面に前記圧電トランスを半田付けする工程と、
を有することを特徴とする電子部品の実装方法。
【請求項１１】

第一実装面と第二実装面とのうち、前記第一実装面がリフローされることで前記第一実装面に電子部品が半田付けされ、前記第一実装面の後に前記第二実装面がリフローされることで前記第二実装面に電子部品が半田付けされるプリント基板であって、
前記第一実装面に表面実装される圧電トランスと、
前記第一実装面に実装され、前記圧電トランスの一次電極対に並列に接続される第一抵抗体と、
前記第二実装面に実装され、前記圧電トランスを駆動する駆動回路を形成する半導体部品と、
前記第二実装面に実装され、前記圧電トランスの一次電極対に並列に接続される第二抵抗体と、
を有することを特徴とするプリント基板。
【請求項１２】
前記半導体部品は、前記圧電トランスを駆動するスイッチング素子であることを特徴とする請求項１１に記載のプリント基板。
【請求項１３】
前記第一抵抗体の抵抗値は、前記第二実装面に前記半導体部品を半田付けするために前記プリント基板がリフロー炉を通過しているときに圧電効果により前記圧電トランスの一次電極対に発生する焦電電圧を低減し、かつ、前記圧電トランスを含む電源回路の電源性能の低下が所定の範囲内となる値であることを特徴とする請求項１１または１２に記載のプリント基板。
【請求項１４】
前記第一抵抗体の抵抗値は６．０ｋΩ以上でかつ３．０ＭΩ以下であることを特徴とする請求項１３に記載のプリント基板。
【請求項１５】
前記第二抵抗体の抵抗値は、前記第二実装面に前記半導体部品を半田付けするために前記プリント基板がリフロー炉を通過しているときに圧電効果により前記圧電トランスの一次電極対に発生する焦電電圧を低減し、かつ、前記圧電トランスを含む電源回路の電源性能の低下が所定の範囲内となる値であることを特徴とする請求項１１に記載のプリント基板。
【請求項１６】
前記第二抵抗体の抵抗値は６．０ｋΩ以上でかつ３．０ＭΩ以下であることを特徴とする請求項１５に記載のプリント基板。
【請求項１７】
請求項１１ないし１６のいずれか一項に記載のプリント基板と、
前記第一実装面に表面実装された圧電トランスと、前記圧電トランスを駆動する駆動回路とを含む電源回路と、を有することを特徴とする電源装置。
【請求項１８】
像担持体と、
前記像担持体を一様に帯電させる帯電手段と、
前記像担持体を露光して静電潜像を形成する露光手段と、
前記静電潜像を現像してトナー画像を形成する現像手段と、
前記トナー画像をシートに転写する転写手段と、
前記帯電手段に供給される帯電電圧、前記現像手段に供給される現像電圧または前記転写手段に供給される転写電圧を生成する、請求項１７に記載された電源装置と、を有することを特徴とする画像形成装置。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、電子部品の実装方法、プリント基板、電源装置および画像形成装置に関する。

【背景技術】
【０００２】
圧電トランスは電磁トランスの代わりに用いられ、電源装置の小型化に寄与している。圧電トランスをプリント基板に実装する方式としてフロー方式が一般的であった。フロー方式では、圧電トランスがプリント基板に載置され、高温の半田噴流の中を通過することで半田付けされる。ところで、圧電トランスは加熱されると焦電効果によって高電圧を発生する。この高電圧はプリント基板に載置された他の半導体部品などを破壊してしまうことがある。特許文献１によれば、プリント基板の搬送方向において圧電トランスの実装位置を半導体部品の実装位置よりも後方の位置にすることで焦電電圧の影響を軽減することが記載されている。特許文献２によれば、圧電トランスの二つの一次側電極の間に導電性塗料により抵抗体を形成することで、焦電電圧の影響を軽減することが記載されている。
【先行技術文献】
【特許文献】
【０００３】
【特許文献１】特開２００８－１９３８０４号公報
【特許文献２】特開２０１３－３３９２９号公報
【特許文献３】特開２０１６－７６５７７号公報
【発明の概要】
【発明が解決しようとする課題】
【０００４】
特許文献３が示すように圧電素子の表面実装部品（ＳＭＤ）化が進んでいる。ＳＭＤをプリント基板に表面実装する方式としてリフロー方式が存在する。リフロー方式では、フロー方式とは異なり、プリント基板全体が高温の空間を通過する。そのため、従来の手法では圧電素子の焦電電圧を十分に抑える事が困難である。そこで、本発明は、リフロー方式によりプリント基板へ表面実装される圧電素子の一次側に発生する焦電電圧から半導体部品を保護することを目的とする。
【課題を解決するための手段】
【０００５】
本発明によれば、たとえば、
プリント基板の第一実装面に半田を塗布する工程と、
前記第一実装面に圧電トランスを表面実装し、かつ、前記第一実装面に当該圧電トランスの一次電極対に並列に接続される第一抵抗体を実装する工程と、
前記プリント基板をリフロー炉へ投入することで、前記第一実装面に前記圧電トランスと前記第一抵抗体とを半田付けする工程と、
前記プリント基板の第二実装面に半田を塗布する工程と、
前記第二実装面に前記圧電トランスを駆動する駆動回路を形成する半導体部品を実装する工程と、
前記プリント基板を前記リフロー炉へ投入することで、前記第二実装面に前記半導体部品を半田付けする工程と、
を有することを特徴とする電子部品の実装方法が提供される。
【発明の効果】
【０００６】
本発明によれば、リフロー方式によりプリント基板へ表面実装される圧電素子の一次側に発生する焦電電圧から半導体部品が保護される。
【図面の簡単な説明】
【０００７】
【図１】圧電トランスの平面図
【図２】圧電トランスのＡ－Ａ断面図
【図３】圧電トランスのＢ－Ｂ断面図
【図４】圧電トランスのＢ－Ｂ断面図

【図５】圧電トランスの側面図
【図６】ヒートサイクル試験の結果を示す表
【図７】画像形成装置を示す断面図
【図８】エンジンコントローラと高圧電源を示す図
【図９】昇圧回路を示す回路図
【図１０】リフロー炉温度、圧電体の表面温度および焦電電圧の関係を示す図
【図１１】圧電トランスのＢ－Ｂ断面図
【図１２】リフローの各工程を示すフローチャート
【図１３】実験結果を示す表
【図１４】圧電トランスのＢ－Ｂ断面図
【発明を実施するための形態】
【０００８】
以下、本発明の実施例が図面に基づいて説明される。なお、以下に示される実施例は一例であって、この発明の技術的範囲をそれらのみに限定する趣旨のものではない。以下、添付図面を参照しながら、本発明を実施するための形態が実施例を用いて詳しく説明される。
【０００９】
＜実施例１＞
［圧電トランス］
図１は表面実装タイプの圧電トランスＰＴを示す平面図である。表面実装とは、ＳＭＴ（Ｓｕｒｆａｃｅ　ｍｏｕｎｔ　ｔｅｃｈｎｏｌｏｇｙ）とも呼ばれ、プリント基板の表面に電子部品を実装する技術である。表面実装ではリフローを用いて電子部品がプリント基板に実装される。なお、表面実装される電子部品はＳＭＤ　（Ｓｕｒｆａｃｅ　Ｍｏｕｎｔ　Ｄｅｖｉｃｅ）と呼ばれる。圧電体１００は概ね平板状の直方体であり、六つの外面を有している。とりわけ、厚み方向で一対をなす二つの外面のうち、一方の外面はプリント基板と対向する下面であり、他方の外面は第一入力電極１０１、第二入力電極１０２および出力電極１０３が形成される上面である。厚み方向とは、上面および下面の法線方向をいう。枠基板１０４は圧電体１００の四つの側面を包囲するように設けられた枠状の部材である。枠基板１０４は圧電体１００よりも厚い。つまり、圧電体１００は枠基板１０４よりも薄い。枠基板１０４の中央には矩形の孔１０５が設けられている。圧電体１００は孔１０５に収容される。平面視において矩形の孔１０５の面積は圧電体１００の面積よりも大きい。つまり、孔１０５の短手方向の長さは圧電体１００の短手方向の長さよりも長く、孔１０５の長手方向の長さは圧電体１００の長手方向の長さよりも長い。そのため、圧電体１００の四つの側面は枠基板１０４の内側面に接触しない。つまり、孔１０５に圧電体１００が配置された状態で、圧電体１００の外周面と孔１０５の内周面との間には適度なクリアランス（空間）が確保される。このように、孔１０５の大きさおよび形状は孔１０５に圧電体１００を配置可能となるような大きさおよび形状である。孔１０５は枠基板１０４となる平板状の基板を厚み方向に貫通（開口）して形成されている。
【００１０】
枠基板１０４は二つの長手部と二つの短手部とを有している。枠基板１０４の長手部の上面であって第一入力電極１０１の左右には、第一入力電極１０１に対して金糸線１０７ａを介してそれぞれ接続される基板電極１０６ａ、１０６ｂが設けられている。基板電極１０６ａ、１０６ｂは枠基板１０４の上面に導電パターンとして形成されたランドである。第一入力電極１０１は半田１０８ａによって金糸線１０７ａに半田付けされている。基板電極１０６ａ、１０６ｂはそれぞれ半田１０８ｂ、１０８ｃによって金糸線１０７ａに半田付けされている。
【００１１】
枠基板１０４の上面であって第二入力電極１０２の左右には、第二入力電極１０２に対して金糸線１０７ｂを介してそれぞれ接続される基板電極１０６ｃ、１０６ｄが設けられている。基板電極１０６ｃ、１０６ｄは枠基板１０４の上面に導電パターンとして形成さ

れたランドである。第二入力電極１０２は半田１０８ｄによって金糸線１０７ｂに半田付けされている。基板電極１０６ｃ、１０６ｄはそれぞれ半田１０８ｅ、１０８ｆによって金糸線１０７ｂに半田付けされている。

【００１２】

枠基板１０４の上面であって出力電極１０３の左右には、出力電極１０３に対して金糸線１０７ｃを介してそれぞれ接続される基板電極１０６ｅ、１０６ｆが設けられている。基板電極１０６ｅ、１０６ｆは枠基板１０４の上面に導電パターンとして形成されたランドである。出力電極１０３は半田１０８ｇによって金糸線１０７ｃに半田付けされている。基板電極１０６ｅ、１０６ｆはそれぞれ半田１０８ｈ、１０８ｉによって金糸線１０７ｃに半田付けされている。

【００１３】

図１が示すように、金糸線１０７ａ、１０７ｂ、１０７ｃは枠基板１０４を構成する二つの長手部（左部材と右部材）に架け渡され、圧電体１００を吊るようにして支持している。

【００１４】

図１が示すように、枠基板１０４の長手方向の両側にある二つの短手部の端面には外部電極１０９ａないし１０９ｄが形成されている。外部電極１０９ａないし１０９ｄは、枠基板１０４の内層に形成された配線パターンに接続されている。外部電極１０９ａは基板電極１０６ｃ、１０６ｄに接続される。外部電極１０９ｂは基板電極１０６ａ、１０６ｂに接続される。外部電極１０９ｃ、１０９ｄは基板電極１０６ｅ、１０６ｆに接続される。したがって、圧電トランスＰＴをプリント基板上に実装する際には、外部電極１０９ａないし１０９ｄがプリント基板上のランドに対して半田付けされる。

【００１５】

図２は図１におけるＡ－Ａ切断線で圧電トランスＰＴを切断して得られる断面図である。枠基板１０４は圧電体１００よりも厚い。圧電体１００を枠基板１０４の上面側だけで保持することで、枠基板１０４の下面から圧電体１００は浮く。このため、枠基板１０４をベースとして圧電トランスＰＴをプリント基板に表面実装すると、圧電体１００の下面はプリント基板に接触しない。

【００１６】

［高密度実装］

図３、図４を参照しながら両面プリント基板５０における電子部品の配置が説明される。図３、図４は図１におけるＢ－Ｂ切断線で圧電トランスＰＴを切断して得られる断面図である。両面プリント基板５０は、それぞれ電子部品を実装可能な第一実装面３０１と第二実装面３０２とを有している。圧電トランスＰＴの枠基板１０４の下面が第一実装面３０１と対向するように半田付けすることにより、圧電トランスＰＴは第一実装面３０１に表面実装される。圧電体１００の下面は枠基板１０４の下面よりも上方に浮いているため、圧電体１００は第一実装面３０１に接触しない。そのため、両面プリント基板５０が圧電体１００の機械振動を阻害しない。

【００１７】

なお、第一実装面３０１にはダイオードＤ１が実装されている。第二実装面３０２には圧電トランスＰＴを駆動する駆動回路の一部であるインダクタＬ１や電界効果トランジスタＴｒ、コンデンサＣ３などが実装されている。なお、第一入力電極１０１は概ね矩形であるため四つの辺を有しているが、四つの辺のうち出力電極にもっと近い辺の位置をＰ２とする。なお、第二入力電極１０２の断面形状は概ねＵ字形状である。つまり、第二入力電極１０２は圧電体１００の上面、側面および下面にわたり延在している。つまり、第二入力電極１０２のうち圧電体１００の下面側に配置された部分は、圧電体１００を挟んで第一入力電極１０１と対向している。つまり、第一入力電極１０１と第二入力電極１０２はそれぞれ対向電極のペアを形成している。第一入力電極１０１と第二入力電極１０２との間の電位差に応じて圧電体１００の内部には電界が発生し、圧電体１００に機械振動が生成される。第二入力電極１０２は圧電体１００の下面側において位置Ｐ２まで延在して

いる。第二実装面３０２のうち位置Ｐ２よりも左側の領域は電子部品の実装が許容される第一領域３０３である。つまり、第一領域３０３のうち、少なくとも位置Ｐ１から位置Ｐ２までの領域も電子部品の実装が許容される。位置Ｐ１は、第二入力電極１０２の端部であり、出力電極１０３の端部から最も遠い端部の位置である。

【００１８】

図４が示すように、圧電体１００と第一実装面３０１との間に設けられたクリアランス空間は第二領域４０１である。図４が示すように第二領域４０１は位置Ｐ１から位置Ｐ３までの領域である。位置Ｐ３は出力電極１０３の端部のうち第一入力電極１０１や第二入力電極１０２から最も遠い端部の位置である。第二領域４０１を電子部品の配置が禁止される領域とすることで、圧電トランスＰＴの実装高さを低くすることが可能となる。なお、枠基板１０４の厚みを圧電体１００の厚みより十分に厚くすれば、第二領域４０１の高さが高くなる。つまり、圧電体１００の機械振動を阻害することなく、第二領域４０１に電子部品を実装することも可能である。これは、圧電トランスＰＴの実装高さに余裕があり、かつ、枠基板１０４が厚くなることに起因した圧電トランスＰＴのコストアップが許容可能である場合に、採用されよう。たとえば、チップ抵抗、チップコンデンサまたは電界効果トランジスタ（ＦＥＴ）などのＳＭＤは実装可能なケースもあろう。

【００１９】

上述したように第二実装面３０２において位置Ｐ２よりも左側には電子部品を実装可能な第一領域３０３が設けられている。図４が示すように、第二実装面３０２において位置Ｐ２よりも右側には電子部品の実装が禁止される第三領域４０２が設けられている。第三領域４０２は位置Ｐ２から位置Ｐ３までの領域である。圧電トランスＰＴが高電圧を出力するためには第一入力電極１０１と第二入力電極１０２に、電界効果トランジスタＴｒ、インダクタＬ１およびコンデンサＣ３などにより構成された駆動回路から、たとえば、２００［Ｖ］以下の電圧が印加される。発明者が実験したところ、第一領域３０３に実装された電子部品の性能の低下は確認できなかった。つまり、圧電トランスＰＴとこれらの電子部品との容量結合は十分に小さいことがわかった。一方で、第三領域４０２は、駆動回路から入力された電圧を、機械的振動を利用して徐々に昇圧する圧電体１００の区間と対向する領域である。第三領域４０２に駆動回路を配置すると、駆動回路と圧電トランスＰＴとの容量結合が無視できなくなることも確認された。また、圧電トランスＰＴの圧電効果に起因して発生する電界は第三領域４０２に配置された駆動回路に影響することも確認された。

【００２０】

したがって、第二実装面３０２に第一領域３０３を確保し、第一領域３０３に圧電トランスＰＴを駆動する駆動回路を実装することで、第二実装面３０２を有効に活用することが可能となる。つまり、高密度実装化が実現される。樹脂ケースタイプの圧電トランスと比較して本実施例の圧電トランスＰＴは、フロー実装のためデットスペースが不要となる。つまり、このデットスペースにも電子部品を実装することが可能となり、回路面積の小型化にも有利であろう。

【００２１】

図５は入力電極側から見た圧電トランスＰＴの短辺側の側面図である。図５を参照しながら両面プリント基板５０に表面実装される圧電トランスＰＴの半田接合部が説明される。

【００２２】

［半田実装］

両面プリント基板５０は、コアと称される基材（例：ガラスエポキシ樹脂製）の第一実装面３０１と第二実装面３０２との両側に金属製の配線が形成されプリント基板である。金属製の配線は、基材の主面である第一実装面３０１と第二実装面３０２とのほかに、基材内部に形成されることもある。

【００２３】

両面プリント基板５０の上面に設けられた配線には、外部電極１０９ａないし１０９ｄ

と電気的に接続される四つのランドが含まれる。図５では、入力側の外部電極１０９ａ、１０９ｂにそれぞれ接続されるランド５０１ａ、５０１ｂが示されている。出力側の外部電極１０９ｃ、１０９ｄの側面は、入力側の外部電極１０９ａ、１０９ｂと同様の構成であるため、図示が省略される。

【００２４】

図５が示すように、外部電極１０９ａは導電性接合材ＳＬａを介してランド５０１ａに半田付けられる。同様に、外部電極１０９ｂは導電性接合材ＳＬｂを介してランド５０１ｂに半田付けられる。導電性接合材ＳＬａや導電性接合材ＳＬｂはリフロー炉において溶融する一種の半田である。導電性接合材ＳＬａや導電性接合材ＳＬｂは、たとえば、錫と鉛の合金であってもよいが、鉛を用いない合金であってもよい。

【００２５】

［基材間の熱膨張係数の違いに起因したクラック］

両面プリント基板５０と圧電トランスＰＴとを有する電源装置が設置された環境の温度変化に起因して、導電性接合材ＳＬａ、ＳＬｂにクラック等が発生することがある。これは、両面プリント基板５０の熱膨張係数と圧電トランスＰＴの枠基板１０４の熱膨張係数との差に起因した応力が導電性接合材ＳＬａ、ＳＬｂにかかることが原因である。そこで、発明者らはヒートサイクル試験を実行し、半田接合部のクラックの有無を確認した。

【００２６】

［基材の熱膨張係数］

プリント基板は、熱によって膨張したり、収縮したりする。基材の熱膨張係数は基材の種類やガラス繊維の向きによって異なる。両面プリント基板５０および圧電トランスＰＴの枠基板１０４の材質として汎用材であるＣＥＭ－３とＦＲ－４とが選択された。ＣＥＭ－３についての縦方向での熱膨張係数は２０～２５ｐｐｍ／℃であり、横方向での熱膨張係数は２３～２８ｐｐｍ／℃である。ＦＲ－４の縦方向での熱膨張係数は１０～１４ｐｐｍ／℃であり、横方向での熱膨張係数は１２～１６ｐｐｍ／℃である。

【００２７】

［ヒートサイクル試験］

ヒートサイクル試験では、圧電トランスＰＴが実装された両面プリント基板５０が恒温槽に配置された。ヒートサイクル試験の条件は、ＪＥＩＴＡの規格であるＥＴ－７４０４Ａ「ＣＳＰ・ＢＧＡパッケージの実装状態での環境及び耐久性試験方法」に記載された試験条件に準じて設定された。ＪＥＩＴＡは一般社団法人電子情報技術産業協会の略称である。ここでは、圧電トランスＰＴを採用した高圧電源が搭載される画像形成装置の使用状態（電源オフ、スタンバイ、稼働）が考慮された。最高温度は１２５℃である。最低温度は－２５℃である。温度保持時間（圧電トランスＰＴが実装された両面プリント基板５０が恒温槽の環境に馴染むまでの時間）は３０分である。１サイクルは、１２５℃から－２５℃へ遷移し、さらに１２５℃へ戻るまでの過程からなる。ヒートサイクル試験として８００サイクルが実行された。

【００２８】

［試験結果］

図６は両面プリント基板５０と枠基板１０４との組み合わせを示す表である。数値は熱膨張係数の差を示している。図６のうち太枠で囲まれた部分が実際に試験を実行された組み合わせを示している。また、斜線はクラックが発生した組み合わせを示している。両面プリント基板５０に表面実装された圧電トランスＰＴの半田接合部の信頼性を確認するため、基材の種類と繊維の向きとの様々な組み合わせについてヒートサイクル試験が実施された。発明者らは、ヒートサイクル試験が完了した後に、半田接合部のクラックの有無を確認した。太線の枠が示すように、試験効率を向上させるため、両面プリント基板５０の基材の選択はＦＲ－４に固定され、繊維の向きも縦方向に固定された。一方で、この両面プリント基板５０に組み合わされる、枠基板１０４の基材と向きの組み合わせは様々に変更された。両面プリント基板５０に表面実装された圧電トランスＰＴの半田接合部が断面研磨され、研磨部におけるクラック有無が顕微鏡を通じて確認された。

【００２９】
図６が示すように、枠基板１０４の基材としてＣＥＭ－３が採用されると、繊維の向きに依存することがなくクラックが発生した。両面プリント基板５０との熱膨張係数差に着目すると、６ｐｐｍ／℃以上になる組合せにおいてクラックが発生することが判明した。つまり、両面プリント基板５０と枠基板１０４との間の熱膨張係数差を６ｐｐｍ／℃未満とすれば、クラックの発生が減少または回避されることがわかる。
【００３０】
ヒートサイクル試験について採用される条件は、上記の例に限定されることはない。試験対象の想定される使われ方や恒温槽の能力などによって条件が変更されてもよい。本実施例に記載された熱膨張係数については、縦方向の係数と横方向の係数が着目された。厚み方向に関しても、基材間の熱膨張係数差がクラックを発生させにくい程度に設定される。
【００３１】
［画像形成装置］
図７は圧電トランスを用いた電源装置を適用可能な中間転写方式の画像形成装置１を示している。画像形成装置１は、単色画像を形成する画像形成装置であってもよいが、ここでは複数の色剤を混色して多色画像を形成する電子写真方式の画像形成装置である。画像形成装置１は、イエロー（Ｙ）、マゼンタ（Ｍ）、シアン（Ｃ）、ブラック（ＢＫ）といった４色の現像剤を使用する。図７において参照番号の末尾には色を示す文字が付与されているが、四色に共通する事項が説明される際にはこの文字が省略される。
【００３２】
感光ドラム６Ｃ、６Ｍ、６Ｙ、６ＢＫはそれぞれ等間隔に配置され、静電潜像やトナー画像を担持する像担持体である。エンジンコントローラ２０は、高圧電源３０を制御して帯電電圧を生成させ、一次帯電器２に供給する。一次帯電器２は帯電電圧を利用して感光ドラム６の表面を一様に帯電させる。走査光学装置３は、入力画像に基づいて各々変調された光束（レーザビーム）Ｌを感光ドラム６に向けて出射する。光束（レーザビーム）Ｌは感光ドラム６の表面に静電潜像を形成する。エンジンコントローラ２０は、高圧電源３０を制御して現像電圧を生成させ、現像器４に供給する。現像器４はそれぞれ現像電圧を印加されたスリーブやブレードを通じて、シアン、マゼンダ、イエロー、ブラックの現像剤を静電潜像に付着させる。これにより静電潜像が現像され、現像剤像（トナー画像）が形成される。
【００３３】
給紙ローラ８は給紙トレイ７に収容されているシートＰを１枚ずつ給紙する。レジストローラ９は画像の書き出しタイミングに同期をとってシートＰを二次転写部に向けて送り出す。
【００３４】
エンジンコントローラ２０は、高圧電源３０を制御して一次転写電圧を生成させ、一次転写ローラ５に供給する。一次転写ローラ５は、中間転写ベルト１０に対して、感光ドラム６に担持されているトナー画像を一次転写する。一次転写ローラ５に印加された一次転写電圧はトナー画像の一次転写を促進する。中間転写ベルト１０は中間転写体として機能している。駆動ローラ１１は中間転写ベルト１０を回転させるローラである。二次転写部は二次転写ローラ１４を有している。エンジンコントローラ２０は、高圧電源３０を制御して二次転写電圧を生成させ、二次転写ローラ１４に供給する。二次転写部において、中間転写ベルト１０と二次転写ローラ１４とがシートＰを挟持しながら搬送することで、中間転写ベルト１０上に担持されている多色のトナー画像がシートＰに二次転写される。二次転写電圧は二次転写を促進する。その後、シートＰは定着器１２へ搬送される。定着器１２はシートＰに担持されているトナー画像に対して圧力と熱を加え、定着させる。排出ローラ１３は、画像の形成されたシートＰを排出する。
【００３５】
［高圧電源の構成］

図８はエンジンコントローラ２０と高圧電源３０を説明する図である。エンジンコントローラ２０は、ＣＰＵ２１と高圧制御部２２ａ～２２ｄを有している。ＣＰＵ２１は高圧制御部２２ａに帯電電圧の目標電圧を設定する。ＣＰＵ２１は高圧制御部２２ｂに現像電圧の目標電圧を設定する。ＣＰＵ２１は高圧制御部２２ｃに一次転写電圧の目標電圧を設定する。ＣＰＵ２１は高圧制御部２２ｄに二次転写電圧の目標電圧を設定する。高圧電源３０は複数の電源回路を有している。高圧電源３０は帯電電圧を生成する昇圧回路３２ａ、現像電圧を生成する昇圧回路３２ｂ、一次転写電圧を生成する昇圧回路３２ｃおよび二次転写電圧を生成する昇圧回路３２ｄを有している。高圧制御部２２ａは昇圧回路３２ａが出力する帯電電圧が目標電圧となるように制御信号Ｖｃｏｎｔを出力して昇圧回路３２ａを制御する。高圧制御部２２ｂは昇圧回路３２ｂが出力する現像電圧が目標電圧となるように制御信号Ｖｃｏｎｔを出力して昇圧回路３２ｂを制御する。高圧制御部２２ｃは昇圧回路３２ａが出力する一次転写電圧が目標電圧となるように制御信号Ｖｃｏｎｔを出力して昇圧回路３２ｃを制御する。高圧制御部２２ｄは昇圧回路３２ｄが出力する二次転写電圧が目標電圧となるように制御信号Ｖｃｏｎｔを出力して昇圧回路３２ｄを制御する。

【００３６】

［高圧電源の回路構成］

図９（Ａ）を用いて電源回路の一例である昇圧回路３２について説明する。昇圧回路３２において圧電トランスＰＴは、従来の巻線式の電磁トランスに代えて採用されている。圧電トランスＰＴの二次側端子の出力は整流平滑回路によって正電圧に整流平滑される。整流平滑回路は、整流用のダイオードＤ１、Ｄ２および高圧コンデンサＣ１によって構成されている。圧電トランスＰＴの出力電圧は、圧電トランスＰＴから延伸した経路に接続された出力端子１１７から出力され、上述した一次転写ローラ５などの負荷に供給される。出力電圧は、抵抗Ｒ１、Ｒ２、Ｒ３によって分圧され、コンデンサＣ２および保護用抵抗Ｒ４を介してオペアンプＯＰの非反転入力端子（＋端子）に入力される。

【００３７】

他方、オペアンプＯＰの反転入力端子（－端子）には、入力端子１１８から入力された制御信号Ｖｃｏｎｔが、抵抗Ｒ５を介して入力される。オペアンプＯＰ、抵抗Ｒ５およびコンデンサＣ３は、積分回路として機能する。すなわち、抵抗Ｒ５とコンデンサＣ３の部品定数によって決まる積分時定数に応じて平滑化された制御信号Ｖｃｏｎｔが、オペアンプＯＰに入力される。オペアンプＯＰの出力端は、電圧制御発振器（ＶＣＯ）１１９に接続されている。電圧制御発振器１１９は、入力した制御信号に応じて出力信号の周波数を可変設定する発振器の一例である。

【００３８】

また、電圧制御発振器１１９の出力端は、電界効果トランジスタＴｒのゲートに接続される。電界効果トランジスタＴｒは、発振器の出力信号により駆動されるスイッチング素子であり、圧電素子を駆動する半導体部品の一例である。電界効果トランジスタＴｒのドレインは、インダクタＬ１を介して電源Ｖｃｃ（例：＋２４Ｖなど）に接続されるとともに、コンデンサＣ４を介して接地されている。インダクタＬ１は、スイッチング素子と電源との間に接続された素子であって、スイッチング素子の駆動により断続的に電圧が印加されるインダクタンス成分を有する素子の一例である。さらに、ドレインは、圧電トランスＰＴの一次側電極の一方に接続される。圧電トランスＰＴの一次側電極の他方は接地される。また、電界効果トランジスタＴｒのソースも接地される。

【００３９】

電圧制御発振器１１９は、オペアンプＯＰの出力電圧に応じた周波数で電界効果トランジスタＴｒをスイッチングする。インダクタＬ１およびコンデンサＣ４は共振回路を形成している。この共振回路により増幅された電圧が、圧電トランスＰＴの一次側に供給される。このように、圧電トランスＰＴは、スイッチング素子とインダクタンス成分を有する素子との接続点に接続され、所定の共振周波数で振動する信号が加えられるとその周波数特性に応じた電圧を出力する。

【００４０】

［リフロー炉における圧電トランスの焦電効果］
圧電トランスＰＴを両面プリント基板５０に表面実装する際の工程は次のとおりである。両面プリント基板５０に形成されたランド上にメタルマスク等を介してクリーム半田が塗布される。クリーム半田は半田ペーストと呼ばれることもある。両面プリント基板５０上の実装位置に圧電トランスＰＴがマウントされる。圧電トランスＰＴがマウントされた両面プリント基板５０がリフロー炉を通過することでクリーム半田が溶融して半田付けが実行される。

【００４１】
図１０は両面プリント基板５０がリフロー炉に搬入されから排出されるまでの期間における、リフロー炉温度Ｔａ、圧電トランスＰＴの表面温度Ｔｂおよび焦電電圧Ｖｐとの関係が示されている。焦電電圧とは焦電効果によって圧電トランスＰＴに生じる電圧である。

【００４２】
リフロー炉を通過する工程は、予備加熱工程と半田付け工程とを有している。時刻ｔ１から時刻ｔ３までの工程が予備加熱工程である。時刻ｔ４から時刻ｔ５までの工程が半田付け工程である。予備加熱工程でリフロー炉温度Ｔａは、リフロー炉が設置されている工場内の室温Ｔｅｍｐ１からＴｅｍｐ３まで上昇する。Ｔｅｍｐ３は、たとえば、１５０℃～１８０℃である。これによりクリーム半田に含有されているフラックスが加熱されて活性化し、両面プリント基板５０に設けられたランド５０１の表面や圧電トランスＰＴの外部電極１０９の表面が洗浄されて酸化被膜などが除去される。洗浄の精度を高めるために、予備加熱工程は所定期間にわたり継続される。その後、両面プリント基板５０と圧電トランスＰＴを半田付けするために、リフロー炉は炉内の温度を半田の融点Ｔｅｍｐ４以上に上昇させる。これは、半田付けされる電子部品も十分に熱する必要があるためである。融点Ｔｅｍｐ４は、たとえば２３０℃であるが、クリーム半田の成分に依存する。

【００４３】
リフロー炉を排出された両面プリント基板５０は自然放熱等により冷却され、融解した半田が硬化する。これにより、ランドと電子部品とが確実に電気接続される。このように、リフロー方式はフロー方式と異なり、両面プリント基板５０の全体がリフロー炉の内部を通過し、両面プリント基板５０の全体が一度に加熱される。そのため、電子部品が半田付けされる順番をリフロー炉内の搬送方向における実装位置で規定することができない。

【００４４】
両面プリント基板５０がリフロー炉内を搬送される搬送スピードは、リフロー炉での両面プリント基板５０の雰囲気温度の温度勾配が５℃／ｓｅｃ以内となるように、調整されている。図１などが示すように、表面実装タイプの圧電トランスＰＴの圧電体１００の大部分は外部に露出している。そのため、リフロー炉の温度プロファイルに追従するように圧電体１００の表面温度が上昇する。

【００４５】
図１０を用いて圧電トランスＰＴに生じる焦電電圧Ｖｐが説明される。圧電トランスＰＴは両面プリント基板５０のランドに塗布されたクリーム半田の上にマウントされるが、この時点では圧電トランスＰＴとランド５０１は電気的に接続されていない。これは、ランド５０１や外部電極１０９、クリーム半田の各表面には電気的導通を妨げる酸化膜が存在するからである。上述したように、クリーム半田に含有されているフラックスによって酸化膜が除去される。フラックスが活性化（酸化膜を除去する効能が発揮されること）する温度Ｔｅｍｐ２は、おおよそ１００℃以上である。図１０では時刻ｔ２において圧電体１００の表面温度がＴｅｍｐ２に達する。つまり、予備加熱工程において、時刻ｔ１から時刻ｔ２までの区間では圧電トランスＰＴと両面プリント基板５０が電気的に接続されていない。したがって、何の対策も施さないと、図１０の破線が示すように焦電電圧Ｖｐが高電圧となってしまう。その結果、圧電トランスＰＴの外部電極１０９と両面プリント基板５０のランド５０１との間に生じたギャップに火花放電が発生し、半導体部品が静電耐圧破壊を起こす可能性がある。

【００４６】
［焦電電圧の低減方法とその効果］
図９（Ｂ）は焦電対策が盛り込まれた昇圧回路３２を示している。なお、すでに説明された電子部品には同一の参照符号が付与されており、その説明は援用される。図９（Ｂ）が示すように圧電トランスＰＴの一次電極対に対して並列に抵抗体Ｒ６、Ｒ７が接続されている。一次電極対は第一入力電極１０１と第二入力電極１０２とにより形成されたペアである。つまり、抵抗体Ｒ６の一端が第一入力電極１０１に接続され、抵抗体Ｒ６の他端が第二入力電極１０２に接続されている。同様に、抵抗体Ｒ７の一端が第一入力電極１０１に接続され、抵抗体Ｒ７の他端が第二入力電極１０２に接続されている。なお、抵抗体Ｒ６は第一抵抗体の一例である。抵抗体Ｒ７は第二抵抗体の一例である。
【００４７】
両面プリント基板５０は第一実装面３０１と第二実装面３０２とを有しているため、二回にわたりリフロー炉へ搬入される。そこで、本実施例では、圧電トランスＰＴと、焦電電圧から保護されるべき半導体部品（ここでは、代表してトランジスタＴｒとする）との実装順番が工夫されている。つまり、圧電トランスＰＴが実装される実装面と半導体部品が実装される実装面が異なっている。
【００４８】
抵抗体Ｒ６、Ｒ７の役割は、リフローにおいて、焦電効果により圧電体１００に発生する焦電電流を放電することである。これにより、半導体部品には焦電電圧が印加されにくくなるため、静電耐圧破壊が生じにくくなる。
【００４９】
図１１は電子部品が実装された両面プリント基板５０を示す断面図である。この断面は図１におけるＢ－Ｂ切断線により形成される断面である。図１１が示すように、圧電トランスＰＴは第一実装面３０１に実装されているが、保護対象のトランジスタＴｒは第二実装面に配置されている。また、一次電極対に並列に接続された抵抗体Ｒ６は第一実装面３０１に実装されている。一次電極対に並列に接続された抵抗体Ｒ７は第二実装面３０２に実装されている。
【００５０】
図１２はリフローの各工程を示すフローチャートである。一回目のリフローが開始されると、Ｓ１で、両面プリント基板５０の第一実装面３０１にクリーム半田が塗布される。次にＳ２で、第一実装面３０１に表面実装タイプの圧電トランスＰＴと、圧電トランスＰＴの一次電極対に並列に接続される抵抗体Ｒ６とがマウントされる。Ｓ３で両面プリント基板５０はリフロー炉へ投入され、第一実装面３０１に圧電トランスＰＴと抵抗体Ｒ６とが半田付けされる。このように、一回目のリフローでは圧電トランスＰＴと抵抗体Ｒ６を含む様々な電子部品が第一実装面３０１に実装される。一回目のリフロー中に圧電トランスＰＴには焦電電圧が発生するが、第一実装面３０１にはトランジスタＴｒが存在しないため、トランジスタＴｒは焦電電圧の影響を受けない。
【００５１】
二回目のリフローが開始されると、Ｓ４で、両面プリント基板５０の第二実装面３０２にクリーム半田が塗布される。次にＳ５で、第二実装面３０２に圧電トランスＰＴを駆動する駆動回路を形成するトランジスタＴｒがマウントされる。また、抵抗体Ｒ７などの他の電子部品もマウントされる。Ｓ６で両面プリント基板５０はリフロー炉へ投入され、第二実装面３０２にトランジスタＴｒや抵抗体Ｒ７が半田付けされる。
【００５２】
一回目と同様に二回目のリフロー中にも、第一実装面３０１は高温空間を通過するため、圧電トランスＰＴに焦電電圧が発生する。圧電トランスＰＴと抵抗体Ｒ６は一回目リフローですでに両面プリント基板５０に半田付けされている。つまり抵抗体Ｒ６を介して圧電トランスＰＴの一次電極対は閉ループを形成しているため、焦電電流は抵抗体Ｒ６を流れ、そこで熱に変換される。よって、トランジスタＴｒの静電耐圧破壊が抑制される。
【００５３】

ところで、第二実装面３０２が一回目のリフローで電子部品を実装され、第一実装面３０１が二回目のリフローで電子部品が実装されてもよい。一回目のリフローが開始されると、両面プリント基板５０の第二実装面３０２にクリーム半田が塗布される。次に、第二実装面３０２に圧電トランスＰＴを駆動する駆動回路を形成するトランジスタＴｒがマウントされる。また、抵抗体Ｒ７などの他の電子部品もマウントされる。両面プリント基板５０はリフロー炉へ投入され、第二実装面３０２にトランジスタＴｒや抵抗体Ｒ７が半田付けされる。

【００５４】

二回目のリフローが開始されると、まず、両面プリント基板５０の第一実装面３０１にクリーム半田が塗布される。次に、第一実装面３０１に表面実装タイプの圧電トランスＰＴと、圧電トランスＰＴの一次電極対に並列に接続される抵抗体Ｒ６とがマウントされる。両面プリント基板５０はリフロー炉へ投入され、第一実装面３０１に圧電トランスＰＴと抵抗体Ｒ６とが半田付けされる。このように、二回目のリフローでは圧電トランスＰＴと抵抗体Ｒ６を含む様々な電子部品が第一実装面３０１に実装される。二回目のリフローにおいて圧電トランスＰＴには焦電電圧が発生するが、トランジスタＴｒと抵抗体Ｒ７が一回目のリフローによって半田付けされているため、焦電電流は抵抗体Ｒ７に流れて熱に変換される。このように第二実装面３０２が第一実装面３０１よりも先に電子部品を実装されるケースでは、抵抗体Ｒ７によってトランジスタＴｒの静電耐圧破壊が抑制される。

【００５５】

このように第一実装面３０１が先にリフロー炉を通過する際には抵抗体Ｒ６が焦電電流を軽減し、第二実装面３０２が先にリフロー炉を通過する際には抵抗体Ｒ７が焦電電流を軽減する。どちらの実装面が先にリフローを通過するか不確定である場合は、抵抗体Ｒ６、Ｒ７との両方を実装することで、確実に半導体部品が保護される。また、先にリフロー炉へ搬入される実装面が確定している場合には、抵抗体Ｒ６、Ｒ７のうち、先にリフロー炉へ搬入される実装面に抵抗体が実装されれば十分であろう。

【００５６】

［抵抗体の抵抗値］

抵抗体Ｒ６、Ｒ７の抵抗値は二つの条件を満足するように決定される。一つ目の条件は、抵抗体Ｒ６、Ｒ７のうち一つの抵抗体だけで焦電対策と成り得ることである。抵抗値が大きいほど抵抗体Ｒ６、Ｒ７に焦電電流が流れにくくなり、半導体部品へ多くの焦電電流が流れてしまう。したがって、半導体部品が静電耐圧破壊しない程度に、抵抗体Ｒ６、Ｒ７の抵抗値は小さくなければならない。

【００５７】

二つ目の条件は、電源回路の電源性能が規定の性能を満たすように、駆動回路が圧電トランスＰＴを駆動できることである。図９（Ｂ）が示すように、駆動回路は、インダクタＬ１とコンデンサＣ３によって形成されるＬＣ並列共振回路とトランジスタＴｒを有している。また、抵抗体Ｒ６、Ｒ７は圧電トランスＰＴの一次電極対に並列に接続されている。したがって、抵抗体Ｒ６、Ｒ７の抵抗値が小さすぎると、抵抗体Ｒ６、Ｒ７での電力損失が大きくなるため、電源回路の電源性能が規定の性能（出力特性など）を満たさなくなってしまう。

【００５８】

図１３は二つある条件を両方とも満足する抵抗体Ｒ６、Ｒ７の抵抗値を決定するために実行された実験結果を示した表である。○は良好でなることを示す。△は不十分であることを示す。×は不適切であることを示す。インダクタＬ１のインダクタンスは１５０［μＨ］である。コンデンサＣ３の容量は４７０［ｐＦ］である。圧電トランスＰＴの共振周波数は１４０［ｋＨｚ］である。実験では第一実装面３０１が第二実装面３０２よりも先にリフローされた。

【００５９】

図１３が示すように、抵抗体Ｒ６、Ｒ７が単独で焦電対策として成り得る抵抗値は３［ＭΩ］以下であった。圧電トランスＰＴの駆動能力への影響は、抵抗体Ｒ６、Ｒ７の合成

抵抗値が６．０［ｋΩ］以上であれば、小さいことが分かった。なお、抵抗体Ｒ６、Ｒ７の一方のみが用いられるケースではその抵抗体の抵抗値は６．０［ｋΩ］以上であればよい。

【００６０】

このように、抵抗体Ｒ６、Ｒ７の抵抗値は６．０［ｋΩ］（または１２．０［ｋΩ］）以上でかつ３．０［ＭΩ］以下に決定されることになろう。ただし、抵抗体は個体差を有している。つまり、抵抗値にはバラツキが存在する。そこで、実験結果に加え抵抗値のバラツキを考慮すると、抵抗体Ｒ６、Ｒ７の抵抗値は１．０［ＭΩ］程度が適切と考えられる。

【００６１】

このように本実施例によれば、両面プリント基板５０において圧電トランスＰＴと半導体部品とが異なる実装面に実装され、圧電トランスＰＴの一次電極対に並列に接続された抵抗体Ｒ６、Ｒ７が設けられる。これにより、リフロー方式により両面プリント基板５０へ表面実装される圧電素子の一次側に発生する焦電電圧から半導体部品を保護することが可能となる。

【００６２】

図１３では、抵抗体Ｒ６の抵抗値と抵抗体Ｒ７の抵抗値が同じであるが、これらは異なってもよい。つまり、上述した二つの条件が満足されるかぎり、抵抗体Ｒ６の抵抗値と抵抗体Ｒ７の抵抗値は自由に設定可能である。

【００６３】

本実施例の技術思想はリバーシブル面付けを採用するプリント基板にも採用可能である。リバーシブル面付けとは、基板用シートに基板を複数形成するもののうち、表面に搭載された電子部品の配列パターンと、裏面に搭載された電子部品の配列パターンが同一となることをいう。本実施例によれば、焦電対策用の抵抗体が両面に実装されるため、本実施例はリバーシブル面付けの構成にも有効である。

【００６４】

＜実施例２＞

図１４（Ａ）、図１４（Ｂ）は圧電トランスＰＴを用いた複数の電源回路１４０１ａ、１４０１ｂが両面プリント基板５０に配置された例を示す断面図である。この断面もＢ－Ｂ切断線による断面である。すでに説明された電子部品には同一の参照符号が付与されており、その説明は援用される。複数の電源回路１４０１ａ、１４０１ｂは上述した焦電回路であってもよい。

【００６５】

図１４（Ａ）が示すように、複数の圧電トランスＰＴが同一の実装面に配置されても、実施例１の技術思想は適用可能である。図１４（Ｂ）が示すように、複数の圧電トランスＰＴが異なる実装面に配置されても、実施例１の技術思想は適用可能である。圧電トランスＰＴを用いた電源回路１４０１ａ、１４０１ｂは各々独立の回路である。そのため、電源回路１４０１ａ、１４０１ｂのそれぞれに抵抗体Ｒ６、Ｒ７を配置することで、トランジスタＴｒなどの半導体部品が焦電電圧から保護される。

【００６６】

このように、圧電トランスＰＴを用いた複数の電源回路１４０１ａ、１４０１ｂが両面プリント基板５０に配置されたとしても、各電源回路における半導体部品が保護される。実施例１で説明したように、複数の電源回路１４０１ａ、１４０１ｂのそれぞれにおいて圧電トランスＰＴと半導体部品とが異なる実装面に実装される。さらに、第一実装面３０１と第二実装面３０２とにそれぞれ抵抗体Ｒ６と抵抗体Ｒ７とが設けられる。また、抵抗体Ｒ６と抵抗体Ｒ７は圧電トランスＰＴの一次電極対と並列に接続される。なお、二つの実装面のうち先にリフロー炉へ搬入される実装面にのみ抵抗体が設けられれば十分である。つまり、抵抗体Ｒ６と抵抗体Ｒ７との両方が常に必要というわけではない。

【００６７】

＜まとめ＞

図３などに示したように両面プリント基板５０は第一実装面３０１と、第一実装面３０１の反対側に存在する第二実装面３０２と、第一実装面３０１に対して表面実装される圧電トランスＰＴとを有するプリント基板である。圧電トランスＰＴは、入力電極と出力電極１０３とを有する圧電体１００と、圧電体１００を支持する枠基板１０４とを有している。第一入力電極１０１や第二入力電極１０２は入力電極の一例である。図１に示したように枠基板１０４は圧電体１００の側面を取り囲むように配置されている。また、枠基板１０４は入力電極または出力電極と導通した複数の外部電極１０９ａ～１０９ｄを有している。第二実装面３０２は、圧電体１００が射影される射影領域を有している。射影領域は圧電体１００の上面または下面を第二実装面３０２の法線方向において射影した領域である。射影領域は、第一の位置Ｐ１から第二の位置Ｐ２までの区間を含み、電子部品の実装が許可される第一領域３０３を含む。第一の位置Ｐ１は入力電極の端部のうち、出力電極１０３に遠いほうの端部を第二実装面上に射影した位置である。第二の位置Ｐ２は、入力電極の端部のうち、出力電極１０３に近いほうの端部を第二実装面３０２上に射影した位置である。上述したように圧電トランスＰＴの射影領域のすべてを電子部品の実装禁止領域にしてしまうと第二実装面３０２における電子部品の高密度化が図れない。第一領域３０３は圧電トランスＰＴからの電界等の影響が小さいため、この領域であれば電子部品の性能の低下をほとんど招くことなく電子部品を実装可能である。このように第一領域３０３を、電子部品を実装可能な領域とすることで、第二実装面３０２における電子部品の高密度実装が可能となる。図３などに示したように、第一領域３０３には、圧電トランスＰＴを駆動する駆動回路を構成する少なくとも一部の電子部品が配置されてもよい。図３や図９（Ａ）に示したように駆動回路を構成する少なくとも一部の電子部品は、たとえば、コンデンサＣ３、電界効果トランジスタＴｒまたはインダクタＬ１である。

【００６８】

図４に示したように、第一実装面３０１は、第一実装面上の領域のうち、圧電体１００と対向している領域に設けられ、電子部品の実装が禁止される第二領域４０１を有していてもよい。第二領域４０１を設けることで、圧電体１００と電子部品とが接触しなくなり、圧電体１００が十分に機械振動できるようになる。なお、第二領域４０１に実装が禁止される電子部品は、たとえば、表面実装部品（ＳＭＤ）である。

【００６９】

図４に示したように、上述した射影領域は、第二の位置Ｐ２から第三の位置Ｐ３までの区間を含み、電子部品の実装が禁止される第三領域４０２をさらに有してもよい。第三の位置Ｐ３は、出力電極１０３の端部のうち、入力電極に遠いほうの端部を第二実装面３０２上に射影した位置である。上述したように第三領域４０２は圧電体１００からの影響を受けやすい領域である。したがって、第三領域４０２への電子部品の配置を禁止することで、電子部品の性能低下が回避されよう。

【００７０】

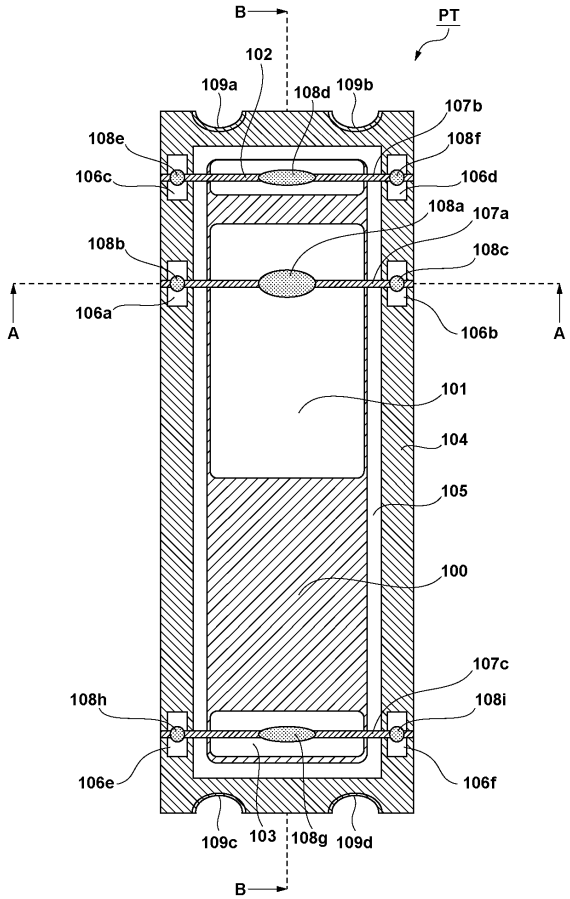
図１に示したように、圧電体１００の側面と枠基板１０４の内側面との間には空間が設けられていてもよい。これにより圧電体１００は枠基板１０４と干渉することなく、機械振動できるようになる。圧電体１００は枠基板１０４よりも薄く、圧電体１００の下面と第一実装面３０１との間には空間が設けられている。これにより圧電体１００は第一実装面３０１と干渉することなく、機械振動できるようになる。

【００７１】

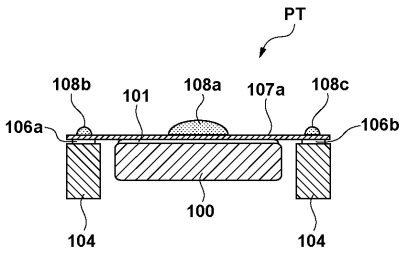
図１に示したように、入力電極は、圧電体１００の上面に設けられた第一対向電極である第一入力電極１０１と、圧電体１００の下面に設けられた第二対向電極を含む第二入力電極１０２とを有していてもよい。図３に示したように、第二入力電極１０２のうち第二対向電極として機能する部分は、圧電体１００の側面を介して圧電体１００の上面まで延在している。これにより、圧電体１００の厚み方向で電界を発生することが可能となる。また、第一入力電極１０１と第二入力電極１０２の一部とはそれぞれ圧電体１００の上面に設けられているため、枠基板１０４で吊るように圧電体１００を保持することが可能となる。

【００７２】
図６を用いて説明したように、両面プリント基板５０の基材の熱膨張係数と枠基板１０４の熱膨張係数との差は６×１０＾－６／℃未満であってもよい。これにより、両面プリント基板５０が画像形成装置１の高圧電源３０に搭載されても、両面プリント基板５０と枠基板１０４との半田接合部にクラックが生じにくくなる。
【００７３】
図７に示したように、感光ドラム６は像担持体の一例である。一次帯電器２は像担持体を一様に帯電させる帯電手段の一例である。走査光学装置３は像担持体を露光して静電潜像を形成する露光手段の一例である。現像器４は静電潜像を現像してトナー画像を形成する現像手段の一例である。一次転写ローラ５、中間転写ベルト１０および二次転写ローラ１４はトナー画像をシートに転写する転写手段の一例である。高圧電源３０は帯電手段に供給される帯電電圧、現像手段に供給される現像電圧または転写手段に供給される転写電圧を生成する電源装置の一例である。
【００７４】
図１１や図１２を用いて説明されたように、両面プリント基板５０において圧電トランスＰＴと半導体部品とが異なる実装面に実装される。さらに、圧電トランスＰＴの一次電極対に並列に接続される抵抗体Ｒ６、Ｒ７が設けられる。これらにより、リフロー方式を用いて両面プリント基板５０へ表面実装される圧電体１００の一次側に発生する焦電電圧から半導体部品が保護される。なお、抵抗体Ｒ６、Ｒ７との両方を設けることは必須ではない。第一実装面３０１と第二実装面３０２とのうち先にリフロー炉で半田付けされる実装面に抵抗体が設けられればよい。この場合に、この抵抗体の抵抗値は６．０ｋΩ以上でかつ３．０ＭΩ以下であればよい。なお、抵抗体の抵抗値は、焦電電圧を低減し、かつ、圧電トランスＰＴを含む電源回路の電源性能の低下が所定の範囲内となる値であればよい。焦電電圧は、第二実装面３０２に半導体部品を半田付けするために両面プリント基板５０がリフロー炉を通過しているときに圧電効果により圧電トランスＰＴの一次電極対に発生する電圧である。抵抗体Ｒ６、Ｒ７との両方を設けられるケースでは、抵抗体Ｒ６、Ｒ７の抵抗値はそれぞれ３．０ＭΩ以下となり、かつ、抵抗体Ｒ６、Ｒ７の合成抵抗値が６．０ｋΩ以上となればよい。
【００７５】
半導体部品の一例では圧電トランスＰＴを駆動するスイッチング素子である。トランジスタＴｒなどのスイッチング素子は、他の半導体部品と比較して、静電耐圧破壊を受けやすい。したがって、本実施例を適用することで、スイッチング素子の静電耐圧破壊が減少しよう。
【符号の説明】
【００７６】
５０…両面プリント基板、３０１…第一実装面、３０２…第二実装面、ＰＴ…圧電トランスＰＴ…第一入力電力、１０２…第二入力電極、１０３…出力電極、１０４…枠基板、３０３…第一領域、４０１…第二領域、４０２…第三領域

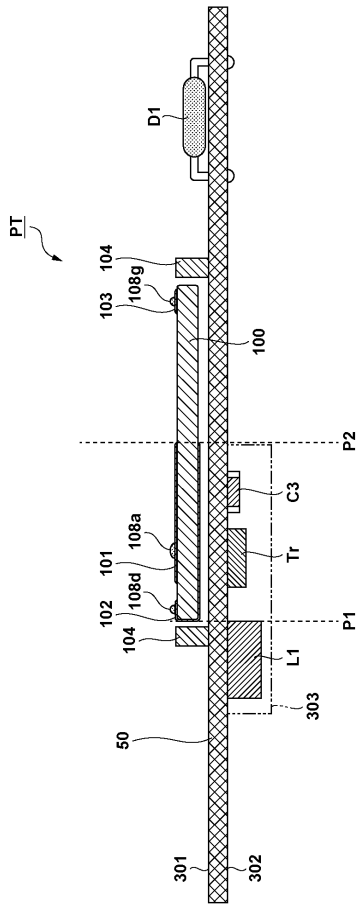
【図１】


B
PT
102
109a
108d
109b
107b
108e
108f
106c
106d
108a
107a
108b
108c
A
106a
106b
A
101
104
105
100
107c
108h
108i
106e
106f
109c
103
108g
109d
B

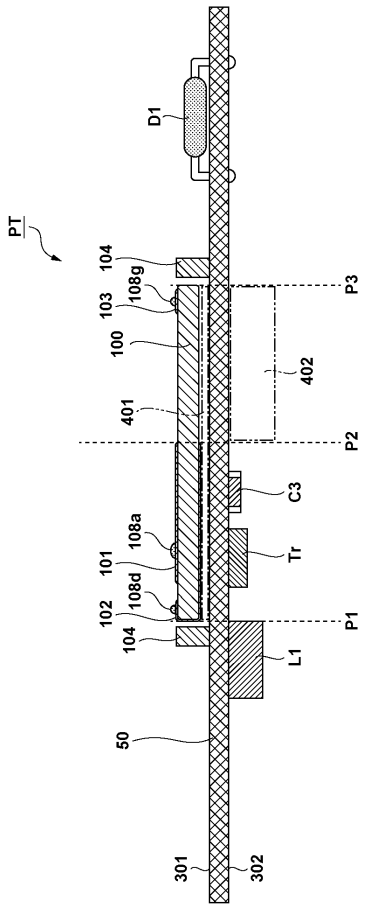
【図２】


PT
108b
101
108a
107a
108c
106a
106b
100
104
104

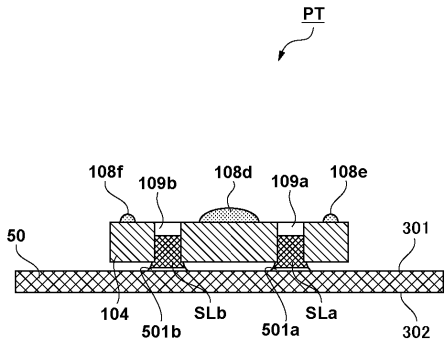
【図３】


D1
PT
104
108g
103
100
P2
C3
108a
101
Tr
108d
102
P1
104
L1
303
50
301
302

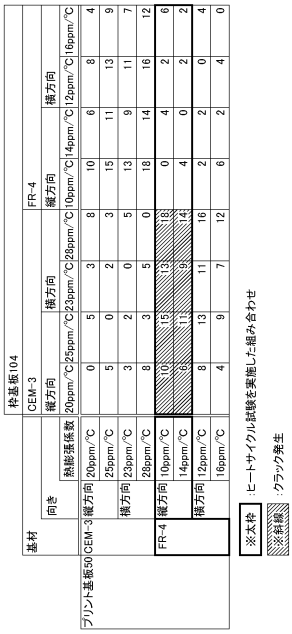
【図４】


D1
PT
104
108g
P3
103
100
402
401
P2
C3
108a
101
Tr
108d
102
P1
104
L1
50
301
302

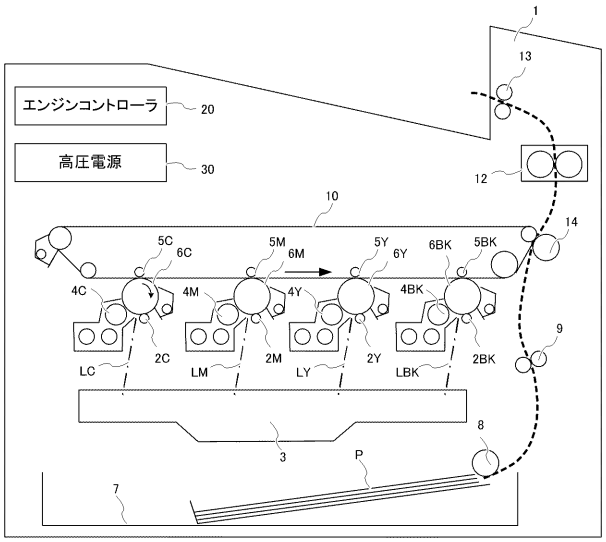
【図５】


PT
108f
109b
108d
109a
108e
50
301
104
501b
SLb
501a
SLa
302

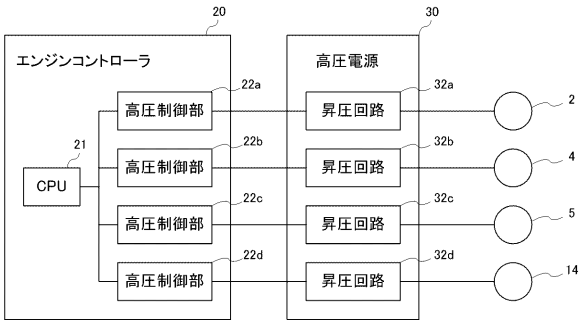
【図６】


枠基板104
CEM-3
FR-4
縦方向
横方向
20ppm/℃
25ppm/℃
23ppm/℃
28ppm/℃
10ppm/℃
14ppm/℃
12ppm/℃
16ppm/℃
基材
向き
熱膨張係数
プリント基板50
CEM-3
FR-4
※太枠：ヒートサイクル試験を実施し上組み合わせ
※斜線：クラック発生

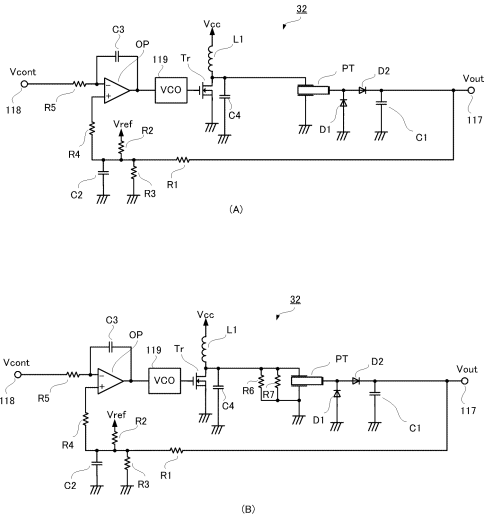
【図７】


エンジンコントローラ 20
高圧電源 30
1
13
12
10
14
5C
6C
5M
6M
5Y
6Y
6BK
5BK
4C
4M
4Y
4BK
LC
2C
LM
2M
LY
2Y
LBK
2BK
9
8
3
P
7

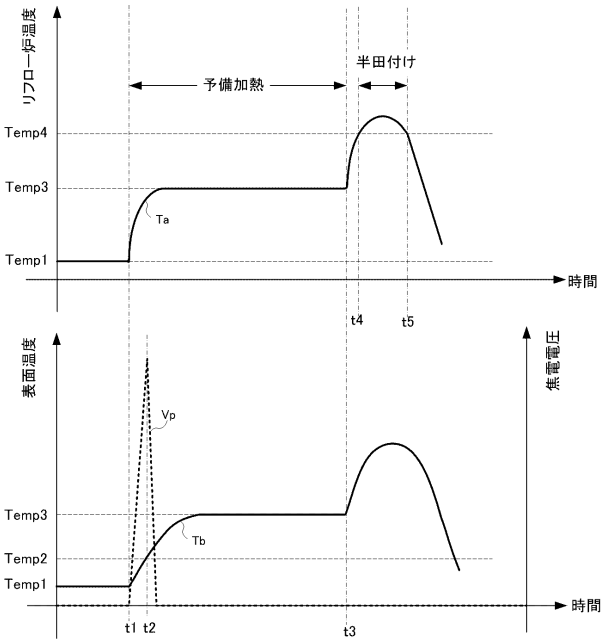
【図８】


20
30
エンジンコントローラ
高圧電源
高圧制御部
22a
22b
22c
22d
CPU
21
昇圧回路
32a
32b
32c
32d
2
4
5
14

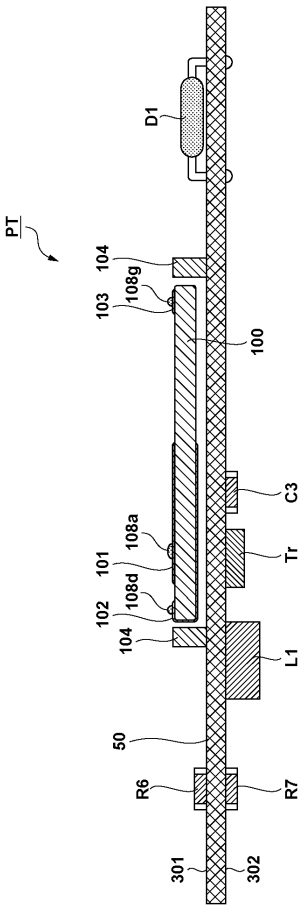
【図９】


32
C3
OP
Vcc
L1
Vcont
118
R5
119
Tr
VCO
PT
D2
Vout
117
C4
D1
C1
Vref
R2
R4
C2
R3
R1
(A)
R6
R7
(B)

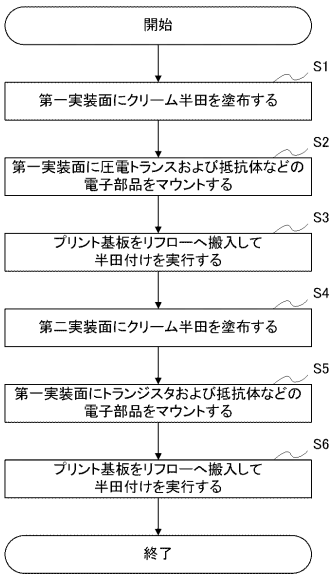
【図１０】



【図１１】



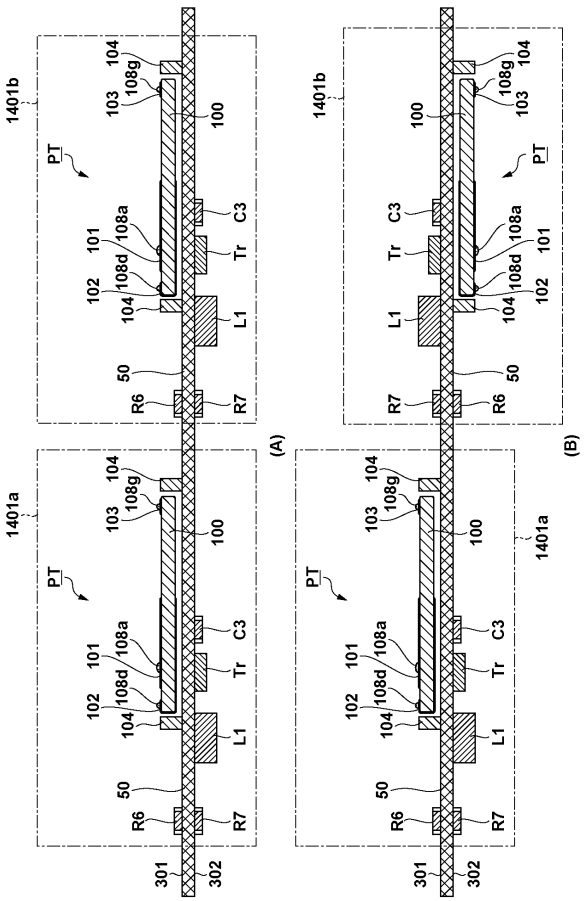
【図１２】



【図１３】

R6	R7	R6+R7	保護効果	電源性能
4.7 [kΩ]	4.7 [kΩ]	2.4 [kΩ]	○	×
12.0 [kΩ]	12.0 [kΩ]	6.0 [kΩ]	○	○
1.0 [MΩ]	1.0 [MΩ]	0.5 [MΩ]	○	○
3.0 [MΩ]	3.0 [MΩ]	1.5 [MΩ]	○	○
10.0 [MΩ]	10.0 [MΩ]	5.0 [MΩ]	△	○
1000.0 [MΩ]	1000.0 [MΩ]	500.0 [MΩ]	×	○

【図１４】



フロントページの続き

(51)Int.Cl.		FI		
G03G 21/16	*(2006.01)*	H01L	41/107	
		G03G	15/00	680
		G03G	21/16	104

審査官　黒田　久美子

(56)参考文献　国際公開第２００９／０７２４７４（WO，Ａ１）
特開２００６－０５９８７５（ＪＰ，Ａ）
特開平０８－２８９５６８（ＪＰ，Ａ）
特開２００９－１２８４１６（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
Ｈ０５Ｋ　　３／３４
Ｇ０３Ｇ　１５／００
Ｇ０３Ｇ　２１／１６
Ｈ０１Ｌ　４１／１０７
Ｈ０２Ｍ　　３／１５５
Ｈ０５Ｋ　　１／１８
Ｈ０５Ｋ　　３／３４