

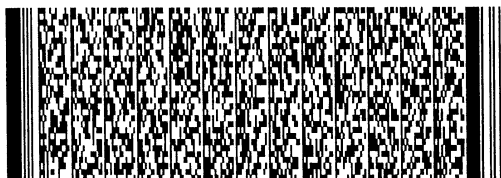
申請日期： 2013. 2. 25	IPC分類
申請案號： 92101	G96 1/34

(以上各欄由本局填註)

發明專利說明書

200419528

一、 發明名稱	中 文	雙向移位暫存電路
	英 文	
二、 發明人 (共2人)	姓 名 (中文)	1. 呂世香 2. 尤建盛
	姓 名 (英文)	1. Shi-Hsiang Lu 2. Jian-Shen Yu
	國 籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW
	住居所 (中 文)	1. 台北市葫蘆街146號2樓 2. 新竹市光復路一段89巷123之5號2樓
	住居所 (英 文)	1. 2.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 友達光電股份有限公司
	名稱或 姓 名 (英文)	1.
	國 籍 (中英文)	1. 中華民國 ROC
	住居所 (營業所) (中 文)	1. 新竹科學工業園區新竹市力行二路一號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1.
	代表人 (中文)	1. 李焜耀
	代表人 (英文)	1.



0632-8927TWE(n1); AI01219; Robert.ptd

一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得，不須寄存。

五、發明說明 (1)

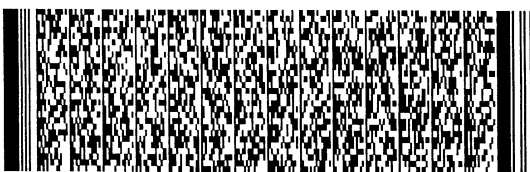
【發明所屬之技術領域】

本發明係有關於一種移位暫存電路，特別是有關於一種能夠切換輸出信號順序之雙向移位暫存電路。

【先前技術】

在液晶顯示器中，由於一幀畫面係由多個像素所構成之陣列共同形成，因此連續脈衝列便成為在驅動液晶顯示器時必需使用之基本信號，連續脈衝列係通常藉由移位暫存電路 (Shift Register) 所產生，因此移位暫存電路也成為液晶顯示器中之常用驅動電路之元件。

第1圖係顯示傳統用於液晶顯示器之移位暫存電路。為了說明之簡潔，第1圖中僅以三級移位暫存單元為例，複數串接之移位暫存單元即可構成完整之移位暫存電路。如第1圖所示，第 (N-1) 級移位暫存單元100之輸入信號為第 (N-2) 級移位暫存單元之輸出信號 (N-2) OUT 以及第 (N) 級移位暫存單元102之輸出信號 (N) OUT。第 (N) 級移位暫存單元102之輸入信號為第 (N-1) 級移位暫存單元100之輸出信號 (N-1) OUT 以及第 (N+1) 級移位暫存單元104之輸出信號 (N+1) OUT。而第 (N+1) 級移位暫存單元104之輸入信號為第 (N) 級移位暫存單元之輸出信號 (N) OUT 以及第 (N+2) 級移位暫存單元之輸出信號 (N+2) OUT。另外，相鄰各級移位暫存單元所接收之時脈信號 (CK 或 CK*) 係互為反相的。簡而言之，各級移位暫存單



五、發明說明 (2)

元皆根據前一級以及下一級移位暫存單元之輸出而操作，並配合時脈信號CK以及反相時脈信號CK*而輸出資料。

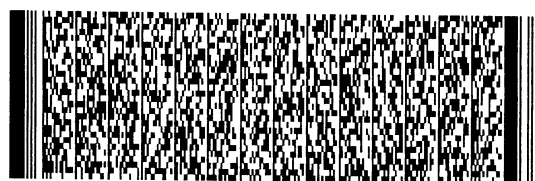
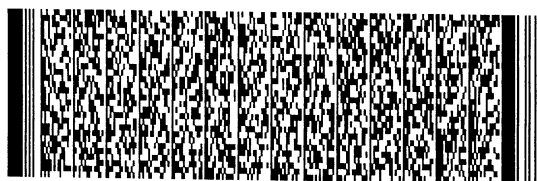
第2圖係顯示傳統移位暫存電路輸出資料之時序圖。(N-1)OUT代表移位暫存單元100之輸出，(N)OUT代表移位暫存單元102之輸出，而(N+1)OUT代表移位暫存單元104之輸出。如圖所示，各級移位暫存單元之輸出信號均相差半個時脈週期的時間，符合移位暫存電路之要求。

然而，由於使用液晶顯示器之產品種類日益繁多，且應用也日漸多元，單一方向之掃瞄順序已不能滿足所有使用液晶顯示器之產品需求，例如某些數位相機之顯示需配合相機之擺放角度而旋轉，而某些電腦之液晶顯示器也具有旋轉液晶顯示螢幕之功能，故需要提供其他掃瞄順序之液晶顯示器。但，若要提供可切換掃瞄方向之液晶顯示器，則必須提供可改變輸出訊號順序之移位暫存電路。

Maekawa於1999年提出一種雙向移位暫存電路（專利編號US 5,894,296），具有可改變串接之移位暫存單元輸出資料順序之效果。

【發明內容】

有鑑於此，本發明提出另一種移位暫存電路，具有複數串接級之移位暫存單元，各移位暫存單元分別耦接於前

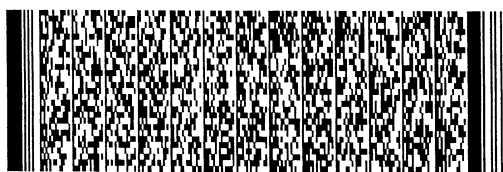


五、發明說明 (3)

級以及後級之移位暫存單元，藉由控制各移位暫存單元之切換開關及其控制端，即可改變各串接移位暫存單元輸出資料之順序。

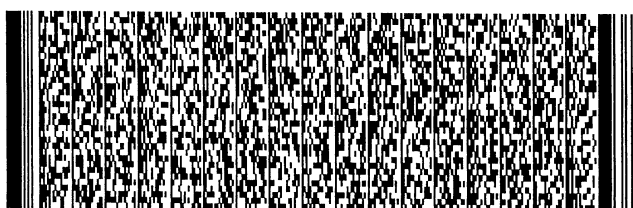
為獲致上述之目的，本發明提出一種雙向移位暫存電路，適用於根據掃瞄順序控制電路所選擇輸出之正向掃瞄控制信號以及反向掃瞄控制信號而以不同掃瞄順序輸出時脈資料。第一移位暫存單元具有第一級輸入端、第一級控制端以及第一級輸出端，用以輸出第一輸出信號。第二移位暫存單元，具有耦接於第一級輸出端以及第三級輸出端之第二級輸入端、第二級控制端以及第二級輸出端，用以輸出第二輸出信號，其中第二級控制端係選擇耦接於第一級輸出端以及第三級輸出端之一者，並根據所接收之第一輸出信號以及第三輸出信號之一者而失能第二移位暫存單元。第三移位暫存單元，具有第三級輸入端、第三級控制端以及第三級輸出端，用以輸出第三輸出信號。切換電路係耦接於掃瞄順序控制電路，當接收到正向掃瞄控制信號時，則電性連接第三級輸出端以及第二級控制端，當接收到反向掃瞄控制信號時，則電性連接第一級輸出端以及第二級控制端。

另外，本發明提出一種雙向移位暫存電路，具有複數串接級之移位暫存單元。或邏輯閘係耦接於前一串接級之移位暫存單元的輸出端所輸出之輸出信號以及後一串接級



五、發明說明 (4)

之移位暫存單元的輸出端所輸出之輸出信號，並輸出或閘邏輯信號。PMOS電晶體具有第一閘極、第一汲極以及第一源極，上述第一源極係耦接於上述或閘邏輯信號。第一反相器係耦接於第一源極以及第一閘極之間。第一NMOS電晶體具有第二閘極、第二汲極以及第二源極，第二閘極係耦接於第一閘極，第二汲極係耦接於第一汲極。切換電路係用以選擇輸出前一串接級之移位暫存單元的輸出端所輸出之輸出信號以及後一串接級之移位暫存單元的輸出端所輸出之輸出信號。第二反相器係用以反相切換電路之輸出信號。及邏輯閘係耦接於第一汲極以及第二反相器，用以輸出及閘邏輯信號。第二NMOS電晶體具有第三閘極、第三汲極以及第三源極，第三閘極係耦接於及邏輯閘，第三汲極係耦接於時脈信號。電容器係耦接於第三閘極與第三源極之間。第三NMOS電晶體具有第四閘極、第四汲極以及第四源極，第四閘極係耦接於第三閘極，第四汲極係耦接於反相時脈信號。第四NMOS電晶體具有第五閘極、第五汲極以及第五源極，第五閘極係耦接於第一源極，第五汲極係耦接於第三源極，而第五源極係耦接於接地電源。第五NMOS電晶體具有第六閘極、第六汲極以及第六源極，第六閘極係耦接於第四源極，第六汲極係耦接於第二源極，而第六源極係耦接於接地電源。第三反相器為一反相輸出端，耦接於第三源極，用以輸出反相輸出信號。第四反相器為一輸出端，耦接於第一反相器，用以輸出一輸出信號。

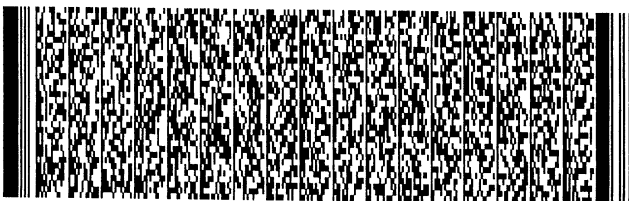


五、發明說明 (5)

【實施方式】

第3A圖與第3B圖分別顯示根據本發明實施例所述之雙向移位暫存電路。圖示中虛線部分代表斷路，為了說明之簡潔，僅以三級移位暫存單元為例，複數串接之移位暫存單元即可構成完整之移位暫存電路。

如第3A圖所示，第 $(N-1)$ 級移位暫存單元302之輸入端所接收之信號為經由或邏輯閘310接收自第 $(N-2)$ 級移位暫存單元300與第 (N) 級移位暫存單元304之輸出端所輸出之輸出信號，經由邏輯運算後而輸出之或閘邏輯信號。第 (N) 級移位暫存單元304之輸入端所接收之信號為經由或邏輯閘312接收自第 $(N-1)$ 級移位暫存單元302與第 $(N+1)$ 級移位暫存單元306之輸出端所輸出之輸出信號，經由邏輯運算後而輸出之或閘邏輯信號。第 $(N+1)$ 級移位暫存單元306之輸入端所接收之信號為經由或邏輯閘314接收自第 (N) 級移位暫存單元304與第 $(N+2)$ 級移位暫存單元308之輸出端所輸出之輸出信號，經由邏輯運算後而輸出之或閘邏輯信號。另外，各級移位暫存單元之控制端係透過切換開關而耦接於前級以及後級之移位暫存單元的輸出端。例如，第 (N) 級移位暫存單元304之控制端係分別透過切換開關322A與322B而耦接於第 $(N-1)$ 級移位暫存單元302與第 $(N+1)$ 級移位暫存單元306之輸出端。

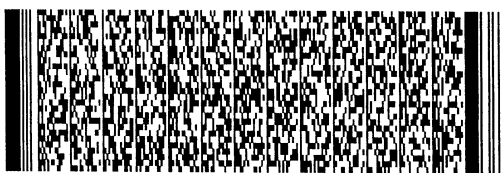


五、發明說明 (6)

切換電路係包含複數切換開關320A~324A 以及320B~324B，其切換係受控於掃瞄順序控制電路（圖未顯示），根據掃瞄順序控制電路所提供之正向掃瞄控制信號以及反向掃瞄控制信號而選擇導通切換開關320A~324A或320B~324B之一者。上述切換開關可為傳送閘，傳送閘係由源/汲極彼此耦接之PMOS電晶體以及NMOS電晶體所構成。

當掃瞄順序控制電路提供正向掃瞄控制信號時，此時切換開關320A~324A關閉，而切換開關320B~324B導通，因此移位暫存電路將以第(N-1)級移位暫存單元302、第(N)級移位暫存單元304、第(N+1)級移位暫存單元306之順序依序輸出信號。反之，當掃瞄順序控制電路提供反向掃瞄控制信號時，此時切換開關320A~324A導通，而切換開關320B~324B關閉，因此移位暫存電路將以第(N+1)級移位暫存單元306、第(N)級移位暫存單元304、第(N-1)級移位暫存單元302之順序依序輸出信號。

以第3A圖為例，當第(N+1)級移位暫存單元306輸出信號至第(N+2)級移位暫存單元308時，此輸出信號同樣會輸入至第(N)級移位暫存單元304之輸入端以及控制端，為避免影響第(N)級移位暫存單元304之操作，耦接於第(N)級移位暫存單元304控制端之內部電路將會動作而避免第(N)級移位暫存單元304之操作受到下一級移位



五、發明說明 (7)

暫存單元所輸出信號之影響。

以下係描述各移位暫存單元之內部結構。第4圖係顯示根據本發明實施例所述之移位暫存單元之電路結構圖。輸入電路40包括PMOS電晶體P401與NMOS電晶體N401以及一反相器403。反相器403係耦接於PMOS電晶體P401之閘極以及源極之間，而PMOS電晶體P401之源極係耦接於或邏輯閘404之邏輯輸出端，而或邏輯閘404之輸入端係接收前一級以及下一級移位暫存單元所輸出之信號。PMOS電晶體P401與NMOS電晶體N401之閘極與汲極係分別彼此耦接。

控制電路42係由一反相器421與一及邏輯閘422所構成。以第3A圖之移位暫存單元304為例，反相器421之輸入端係共同耦接於切換開關322A與322B。及邏輯閘422之輸入端係耦接於PMOS電晶體P401與NMOS電晶體N401之汲極連接點以及反相器421之輸出端。

暫存電路44包括下列元件。NMOS電晶體N441之閘極係耦接於及邏輯閘422之輸出端，其汲極係耦接於時脈信號CK。電容器443係耦接於NMOS電晶體N441之閘極與源極之間。在此，電容器443可為NMOS電晶體N441之寄生電容或另行設置皆可。NMOS電晶體N442之閘極係耦接於NMOS電晶體N441之閘極，而其汲極係耦接於時脈信號CK*。在此，時脈信號CK與CK*係互為反相。

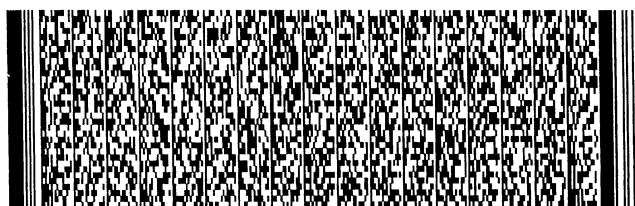


五、發明說明 (8)

NMOS 電晶體N445之閘極係耦接於PMOS電晶體P401之源極，其汲極係耦接於NMOS電晶體N441之源極，而其源極係耦接於接地電源。NMOS電晶體N446之閘極係耦接於NMOS電晶體N442之源極，其汲極係耦接於NMOS電晶體N401之源極，而其源極同樣耦接於接地電源。反相器46A在此作為反相輸出端，其耦接於NMOS電晶體N445之汲極，用以輸出反相輸出信號，而反相器46B係作為輸出端，其輸入端耦接於反相器之輸出端46A，用以輸出移位暫存單元之輸出信號。

根據本發明實施例所述之移位暫存單元之電路操作如下。首先，切換開關322A與322B之一者將會導通，如上所述，當切換開關322B導通時，此時切換開關322A關閉，因此移位暫存電路將以第 $(N-1)$ 級移位暫存單元302、第 (N) 級移位暫存單元304、第 $(N+1)$ 級移位暫存單元306之順序依序輸出信號。反之，當切換開關322A導通時，此時切換開關322B關閉，因此移位暫存電路將以第 $(N+1)$ 級移位暫存單元306、第 (N) 級移位暫存單元304、第 $(N-1)$ 級移位暫存單元302之順序依序輸出信號。藉由控制切換開關之導通與關閉，即可控制各移位暫存單元之信號輸出順序。

以切換開關322B導通時為例，此時移位暫存電路之信



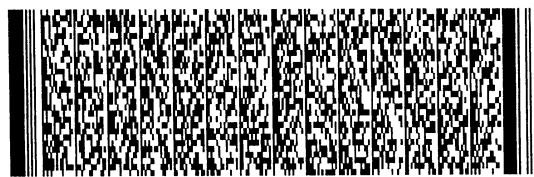
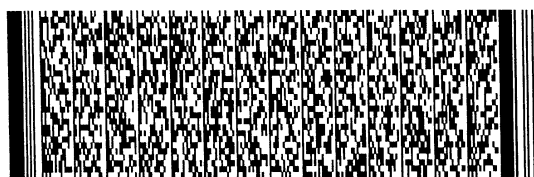
五、發明說明 (9)

號順序依次為：第 $(N-1)$ 級移位暫存單元302、第 (N) 級移位暫存單元304、第 $(N+1)$ 級移位暫存單元306。

當移位暫存單元(第 N 級)之及邏輯閘404接收到前級移位暫存單元(第 $N-1$ 級)所輸出之信號，及邏輯閘404將會輸出一高位準邏輯信號。當PMOS電晶體P401之源極接收到高位準邏輯信號時，此時PMOS電晶體P401之閘極接收到反相器403所輸出之低位準信號，故PMOS電晶體P401導通，並由汲極輸出高位準信號。再者，由於切換開關322B為導通狀態，而下一級移位暫存單元(第 $N+1$ 級)尚未輸出信號，因此反相器421輸出高位準信號。因此，反相器421與PMOS電晶體P401之汲極所輸出之高位準信號輸入及邏輯閘422，而及邏輯閘422輸出高位準之邏輯信號，並對電容器443充電。

第5圖係顯示根據本發明實施例所述之移位暫存電路之時序圖。由於此時NMOS電晶體N441及N445導通，參閱第5圖，時脈信號CK為低位準，因此電容器443與NMOS電晶體N441及N445之連接點為低位準，而另一端之位準係逐漸增加，因此於電容器443兩端形成電位差。

接著，當前一串接級 $(N-1)$ 之移位暫存單元所輸出之信號轉變為低位準時，且下一串接級 $(N+1)$ 之移位暫存單元尚未輸出高位準信號，因此或邏輯閘404輸出低位



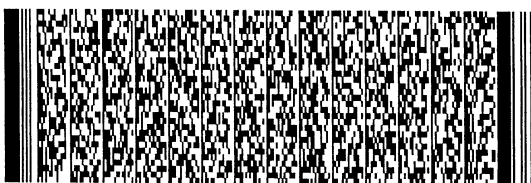
五、發明說明 (10)

準信號至PMOS電晶體P401之源極，而此時PMOS電晶體P401之閘極接收到高位準信號，故PMOS電晶體P401關閉，同時，NMOS電晶體N445也關閉。然而，先前於電容器443兩端所形成之電位差將導通NMOS電晶體N441與N442。

當NMOS電晶體N441此時被導通，時脈信號CK已為高位準，故反相器46A輸出低位準信號，而反相器46B於輸出端輸出高位準信號至下一級移位暫存單元(圖未顯示)。在此之時，時脈信號CK*為低位準，因此NMOS電晶體N446關閉，縱使此時NMOS電晶體N401導通，仍可避免電容器443兩端之電位差降低。

再者，當下一級移位暫存單元致能時，其輸出耦接至322B使421的輸出為低位準邏輯信號，因此及邏輯閘422輸出低位準邏輯信號，故於電容器443所儲存之電動勢被釋放，因此移位暫存單元於輸出端46B之輸出回到低位準。在第5圖示中，標號 α 、 β 、 γ 所示之信號時序分別代表第4圖中標示對應標號之節點的位準變化。

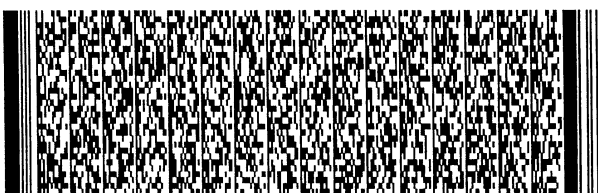
如第5圖所示，根據本發明實施例所述之移位暫存電路，其中(N-1)OUT代表移位暫存單元302之輸出，(N)OUT代表移位暫存單元304之輸出，而(N+1)OUT代表移位暫存單元306之輸出。如圖所示，各級移位暫存單元之輸出信號均相差半個時脈週期的時間。再者，第5圖僅顯示移位



五、發明說明 (11)

暫存電路以一既定順序輸出信號之情形，若改變切換電路之切換開關導通狀態，則移位暫存電路能夠以相反於上述既定順序輸出信號，因此，根據本發明實施例所述之移位暫存電路，各級移位暫存單元輸出信號之輸出順序係受到切換電路所控制，不但符合移位暫存電路之輸出特性，更能夠改變輸出信號之掃描順序，以滿足各種使用液晶顯示器之產品的操作要求。

本發明雖以較佳實施例揭露如上，然其並非用以限定本發明的範圍，任何熟習此項技藝者，在不脫離本發明之精神和範圍內，當可做些許的更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

為使本發明之上述目的、特徵和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

圖示說明：

第1圖係顯示傳統用於液晶顯示器之移位暫存電路。

第2圖係顯示傳統移位暫存電路輸出資料之時序圖。

第3A圖與第3B圖分別顯示根據本發明實施例所述之雙向移位暫存電路。

第4圖係顯示根據本發明實施例所述之移位暫存單元之電路結構圖。

第5圖係顯示根據本發明實施例所述之移位暫存單元電路之時序圖。

符號說明：

100、102、104、300、302、304、306、308～移位暫存單元；

310、312、314、404～或邏輯閘；

320A、320B、322A、322B、324A、324B～切換開關；

40～輸入電路；

403、421、46A、46B～反相器；

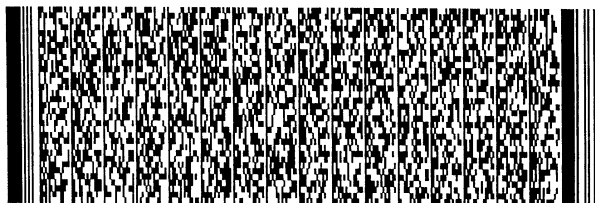
42～控制電路；

422～及邏輯閘；

44～暫存電路；

443～電容器；

CK、CK*～時脈信號；



圖式簡單說明

N401 、N441 、N422 、N445 、N446 ～NMOS 電 晶 體 ；
P401 ～PMOS 電 晶 體 。



四、中文發明摘要 (發明名稱：雙向移位暫存電路)

一種雙向移位暫存電路，適用於根據正向掃瞄控制信號以及反向掃瞄控制信號而以不同掃瞄順序輸出時脈資料。複數移位暫存單元各自具有級輸入端、控制端以及輸出端，用以輸入及輸出對應之輸入及輸出信號。各級移位暫存單元之控制端係選擇耦接於前級移位暫存單元之輸出端以及後級移位暫存單元之輸出端之一者，並根據所接收之下級輸出信號而失能本級移位暫存單元。當切換電路接收到正向掃瞄控制信號時，則電性連接下級移位暫存單元之輸出端以及本級移位暫存單元之控制端，當接收到反向掃瞄控制信號時，則電性連接前級輸出端以及本級控制端。

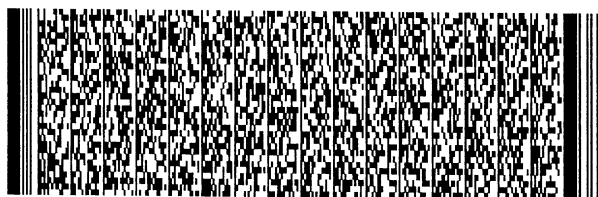
伍、(一)、本案代表圖為：第3A圖。

(二)、本案代表圖之元件代表符號簡單說明：

300、302、304、306、308～移位暫存單元；

310、312、314、404～或邏輯閘；

六、英文發明摘要 (發明名稱：)



四、中文發明摘要 (發明名稱：雙向移位暫存電路)

320A、320B、322A、322B、324A、324B～切換開關。

六、英文發明摘要 (發明名稱：)



六、申請專利範圍

1. 一種雙向移位暫存電路，適用於根據一掃瞄順序控制電路所選擇輸出之一正向掃瞄控制信號以及一反向掃瞄控制信號而以不同掃瞄順序輸出時脈資料，包括：

一第一移位暫存單元，具有一第一級輸入端、一第一級控制端以及一第一級輸出端，用以輸出一第一輸出信號；

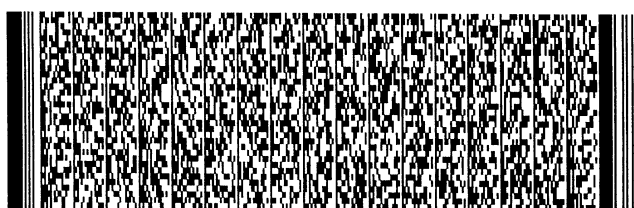
一第二移位暫存單元，具有耦接於上述第一級輸出端以及一第三級輸出端之第二級輸入端、一第二級控制端以及一第二級輸出端，用以輸出一第二輸出信號，其中上述第二級控制端係選擇耦接於上述第一級輸出端以及第三級輸出端之一者，並根據所接收之上述第一輸出信號以及第三輸出信號之一者而失能上述第二移位暫存單元；

一第三移位暫存單元，具有一第三級輸入端、一第三級控制端以及上述第三級輸出端，用以輸出上述第三輸出信號；以及

一切換電路，耦接於上述掃瞄順序控制電路，當接收到上述正向掃瞄控制信號時，則電性連接上述第三級輸出端以及上述第二級控制端，當接收到上述反向掃瞄控制信號時，則電性連接上述第一級輸出端以及上述第二級控制端。

2. 如申請專利範圍第1項所述之雙向移位暫存電路，更包括：

一第一邏輯閘，具有複數第一邏輯輸入端以及耦接於上述第一級輸入端之第一邏輯輸出端；



六、申請專利範圍

一 第二邏輯閘，具有耦接於上述第一級輸出端以及第三級輸出端之複數第二邏輯輸入端以及耦接於上述第二級輸入端之第二邏輯輸出端；以及

一 第三邏輯閘，具有複數第三邏輯輸入端以及耦接於上述第三級輸入端之第三邏輯輸出端。

3. 如申請專利範圍第2項所述之雙向移位暫存電路，其中上述第一邏輯閘、第二邏輯閘以及第三邏輯閘為或邏輯閘。

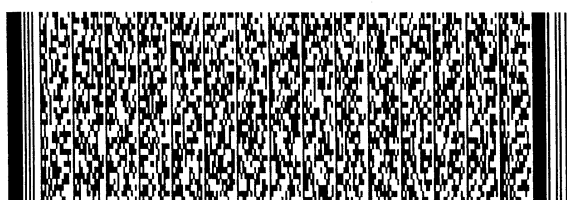
4. 如申請專利範圍第1項所述之雙向移位暫存電路，其中當上述切換電路接收到上述正向掃描控制信號時，上述時脈資料係以第一級輸出端、第二級輸出端、以及第三級輸出端之順序依序輸出。

5. 如申請專利範圍第1項所述之雙向移位暫存電路，其中當上述切換電路接收到上述反向掃描控制信號時，上述時脈資料係以第三級輸出端、第二級輸出端、以及第一級輸出端之順序依序輸出。

6. 如申請專利範圍第1項所述之雙向移位暫存電路，其中上述切換電路包括：

一 第一傳送閘以及一第二傳送閘，分別耦接於上述第一級輸入端與上述第一級控制端之間以及上述第二級輸出端與上述第一級控制端之間；

一 第三傳送閘以及一第四傳送閘，分別耦接於上述第二級輸入端與上述第二級控制端之間以及上述第三級輸出端與上述第二級控制端之間；以及



六、申請專利範圍

一 第五傳送閘以及一第六傳送閘，分別耦接於上述第三級輸入端與上述第三級控制端之間以及一第四移位暫存單元之一第四級輸出端與上述第三級控制端之間。

7. 如申請專利範圍第6項所述之雙向移位暫存電路，其中上述切換電路接收到上述正向掃描控制信號時，則上述第二傳送閘、第四傳送閘以及第六傳送閘係導通。

8. 如申請專利範圍第6項所述之雙向移位暫存電路，其中上述切換電路接收到上述反向掃描控制信號時，則上述第一傳送閘、第三傳送閘以及第五傳送閘係導通。

9. 如申請專利範圍第6項所述之雙向移位暫存電路，其中上述第一傳送閘、第二傳送閘、第三傳送閘、第四傳送閘、第五傳送閘以及第六傳送閘係分別由一PMOS電晶體以及一NMOS電晶體所組成。

10. 一種雙向移位暫存電路，具有複數串接級之移位暫存單元，適用於一時脈信號、一反相時脈信號以及接地電源，上述移位暫存單元包括：

一或邏輯閘，耦接於前一串接級之移位暫存單元的輸出端所輸出之輸出信號以及後一串接級之移位暫存單元的輸出端所輸出之輸出信號，並輸出一或閘邏輯信號；

一PMOS電晶體，具有一第一閘極、一第一汲極以及一第一源極，上述第一源極係耦接於上述或閘邏輯信號；

一第一反相器，耦接於上述第一源極以及第一閘極之間；

一第一NMOS電晶體，具有一第二閘極、一第二汲極以



六、申請專利範圍

及一第二源極，上述第二閘極係耦接於上述第一閘極，上述第二汲極係耦接於上述第一汲極；

一切換電路，用以選擇輸出前一串接級之移位暫存單元的輸出端所輸出之輸出信號以及後一串接級之移位暫存單元的輸出端所輸出之輸出信號；

一第二反相器，用以反相上述切換電路之輸出信號；

一及邏輯閘，耦接於上述第一汲極以及上述第二反相器，用以輸出一及閘邏輯信號；

一第二NMOS電晶體，具有一第三閘極、一第三汲極以及一第三源極，上述第三閘極係耦接於上述及邏輯閘，上述第三汲極係耦接於上述時脈信號；

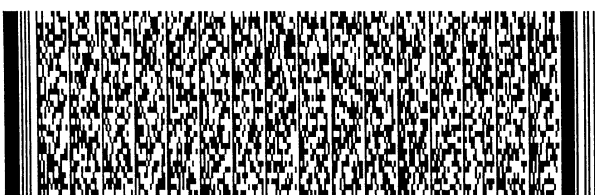
一電容器，耦接於上述第三閘極與第三源極之間；

一第三NMOS電晶體，具有一第四閘極、一第四汲極以及一第四源極，上述第四閘極係耦接於上述第三閘極，上述第四汲極係耦接於上述反相時脈信號；

一第四NMOS電晶體，具有一第五閘極、一第五汲極以及一第五源極，上述第五閘極係耦接於上述第一源極，上述第五汲極係耦接於上述第三源極，而上述第五源極係耦接於上述接地電源；

一第五NMOS電晶體，具有一第六閘極、一第六汲極以及一第六源極，上述第六閘極係耦接於上述第四源極，上述第六汲極係耦接於上述第二源極，而上述第六源極係耦接於上述接地電源；

一第三反相器，作為一反相輸出端，耦接於上述第三

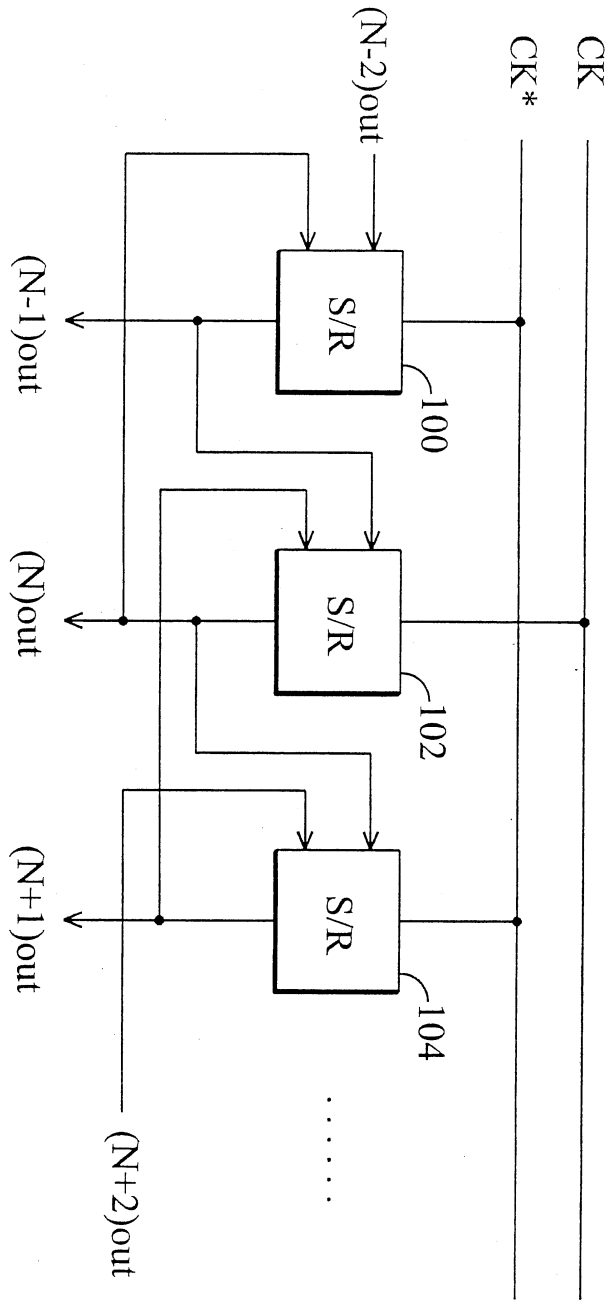


六、申請專利範圍

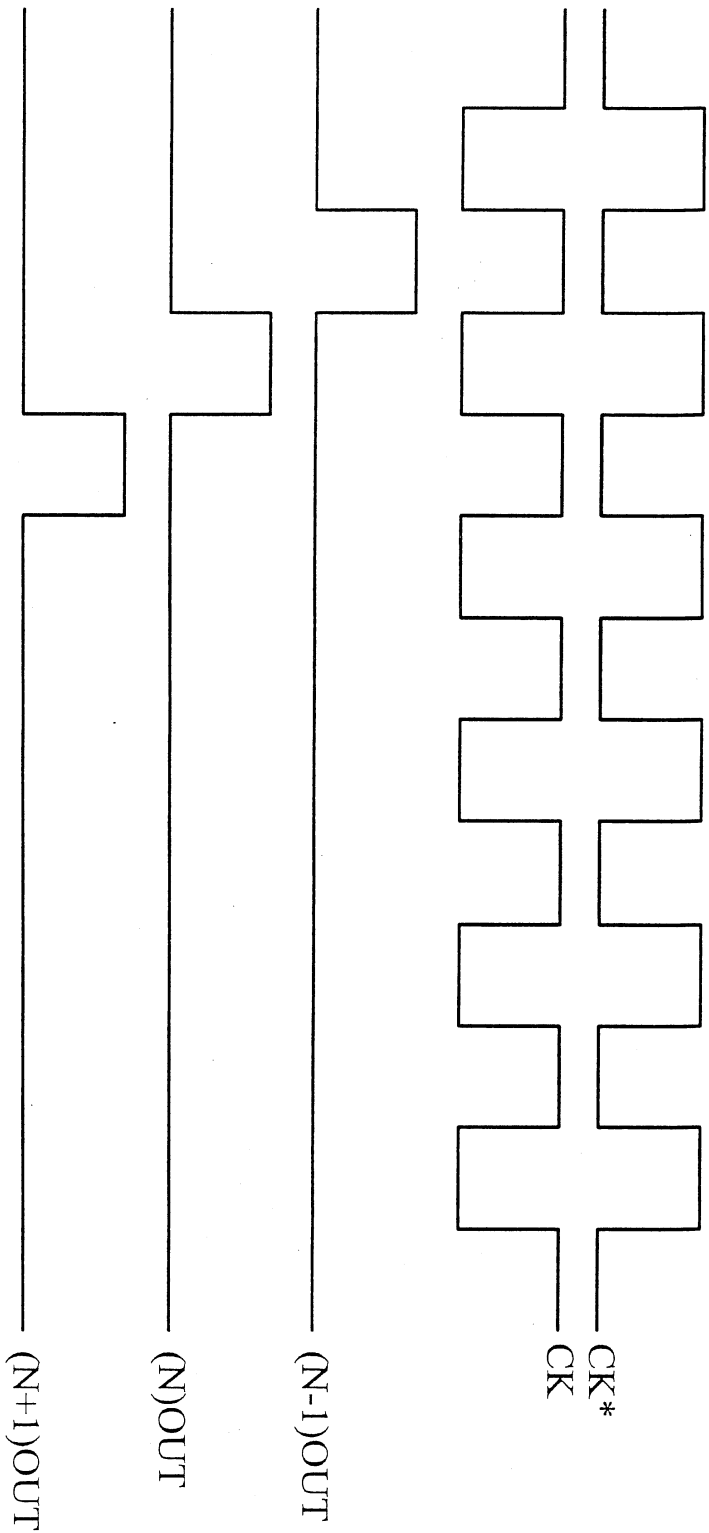
源極，用以輸出一反相輸出信號；以及

一第四反相器，作為一輸出端，耦接於上述第三反相器，用以輸出一輸出信號。

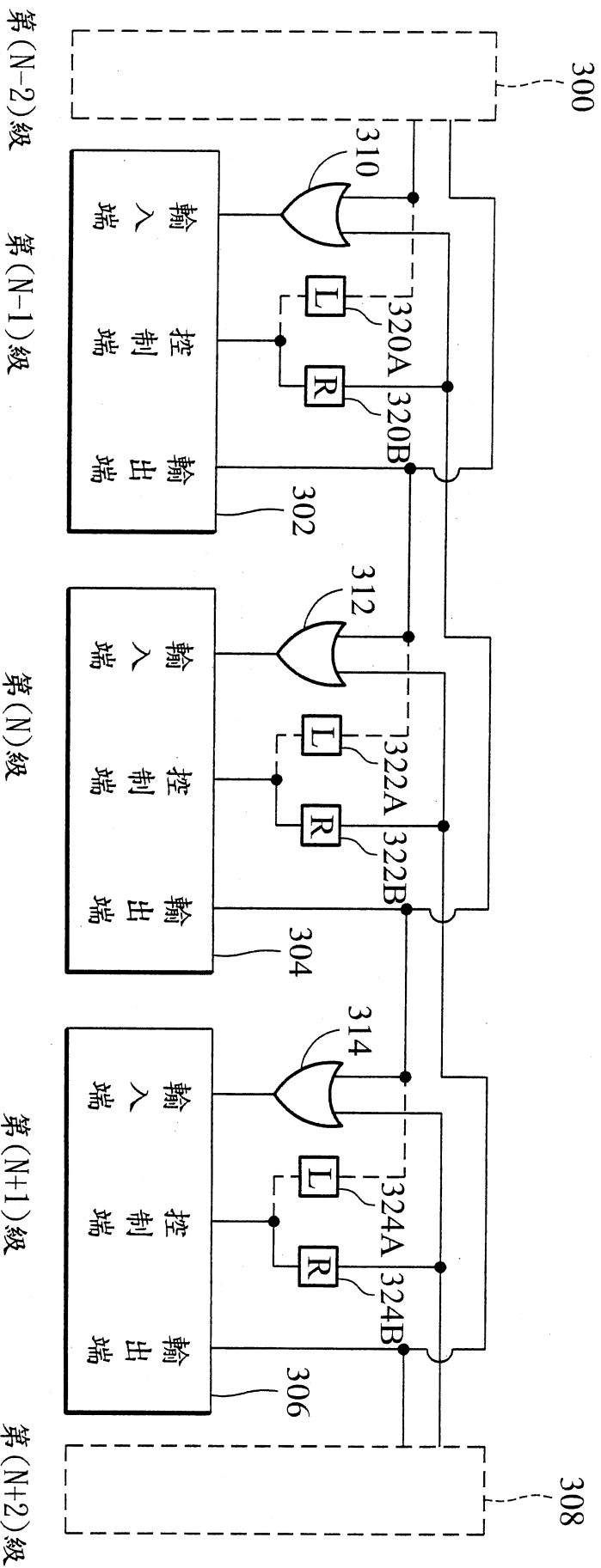




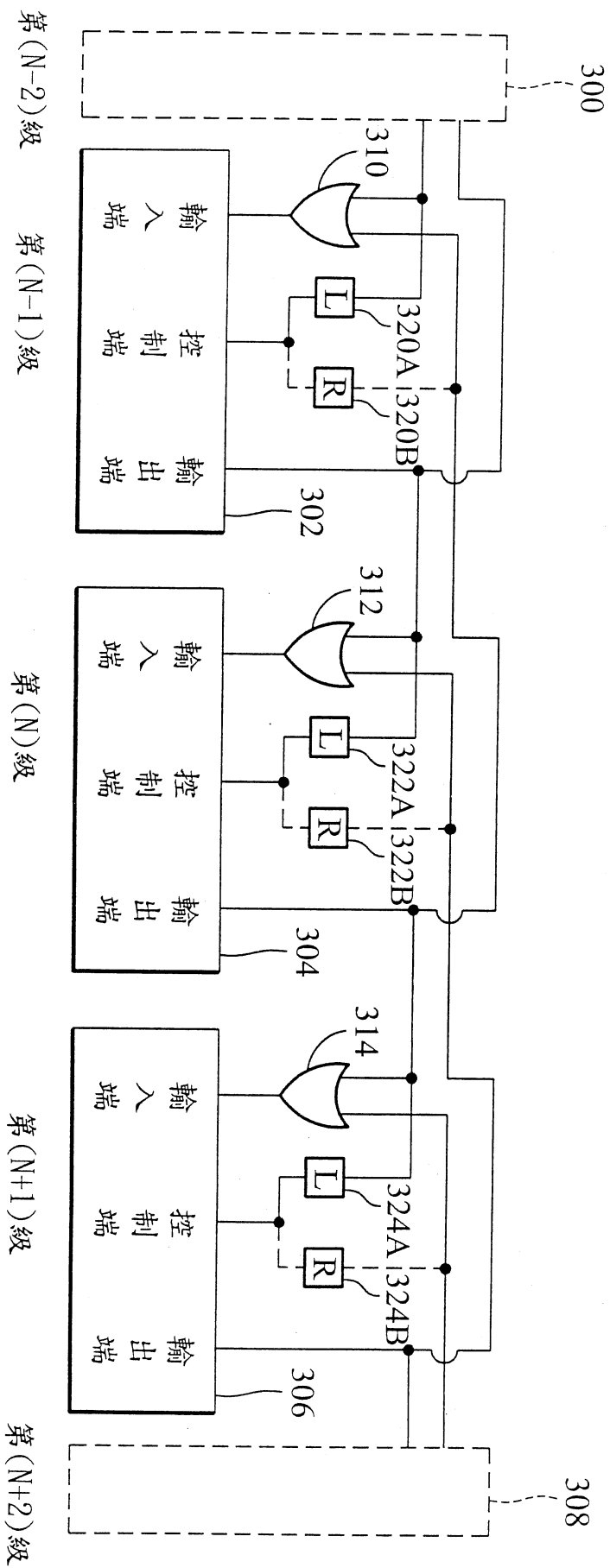
第 1 圖



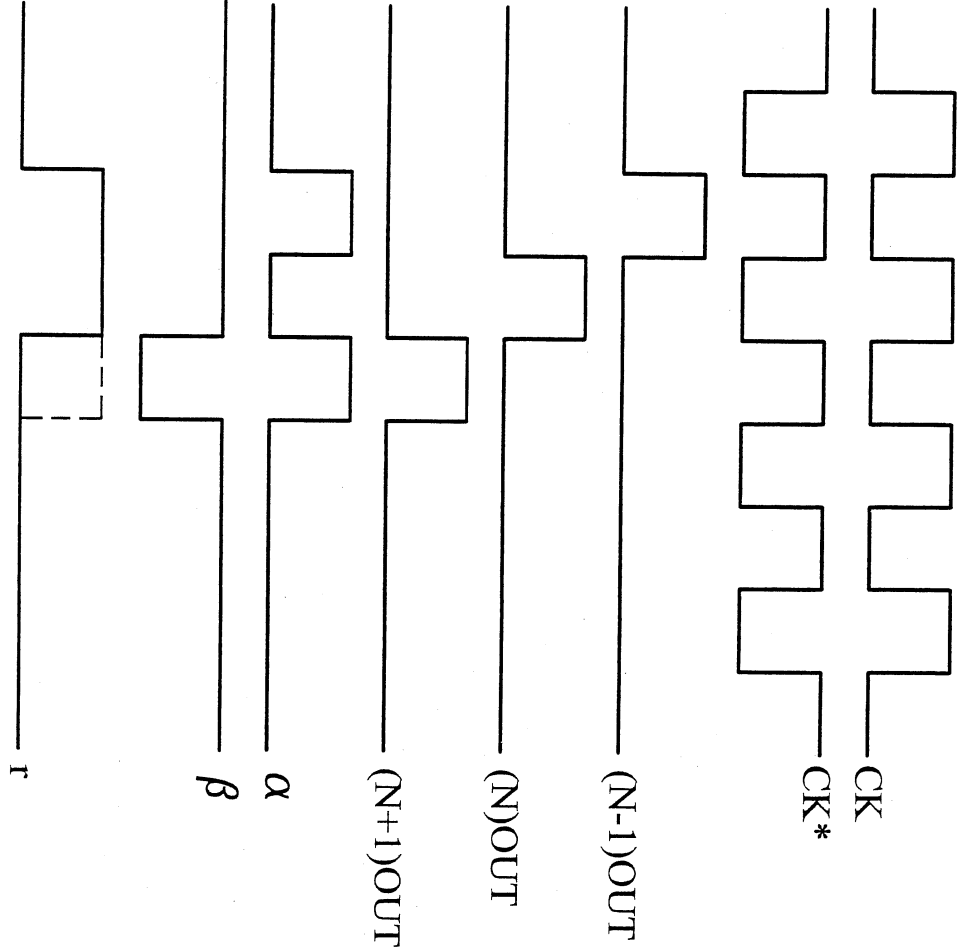
第 2 圖



第3A圖



第3B圖



第 5 圖