

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年7月26日(26.07.2018)



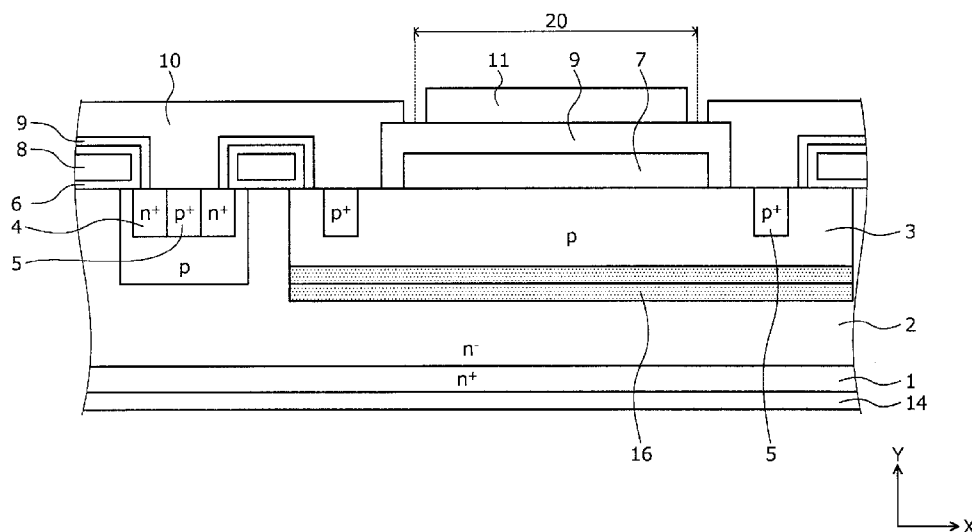
(10) 国際公開番号

WO 2018/135147 A1

- (51) 国際特許分類:
H01L 29/78 (2006.01) H01L 29/12 (2006.01)
H01L 21/336 (2006.01)
- (21) 国際出願番号: PCT/JP2017/042929
- (22) 国際出願日: 2017年11月29日(29.11.2017)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2017-005669 2017年1月17日(17.01.2017) JP
- (71) 出願人: 富士電機株式会社 (FUJI ELECTRIC CO., LTD.) [JP/JP]; 〒2109530 神奈川県川崎市川崎区田辺新田 1 番 1 号 Kanagawa (JP).
- (72) 発明者: 星 保幸 (HOSHI, Yasuyuki); 〒2109530 神奈川県川崎市川崎区田辺新田 1 番 1 号 富士電機株式会社内 Kanagawa (JP). 熊田 恵志郎 (KUMADA, Keishirou); 〒2109530 神奈川県川崎市川崎区田辺新田 1 番 1 号 富士電機株式会社内 Kanagawa (JP). 橋爪 悠一 (HASHIZUME Yuichi); 〒2109530 神奈川県川崎市川崎区田辺新田 1 番 1 号 富士電機株式会社内 Kanagawa (JP).
- (74) 代理人: 酒井 昭徳 (SAKAI, Akinori); 〒1020094 東京都千代田区紀尾井町 3 番 1 2 号 紀尾井町ビル 7 階 酒井総合特許事務所 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置および半導体装置の製造方法



(57) Abstract: This semiconductor device is provided with a semiconductor substrate (1), a first conductivity type first semiconductor layer (2), a second conductivity type second semiconductor layer (3), a first conductivity type first semiconductor region (4), a second conductivity type second semiconductor region (5), a gate electrode (8), a first electrode (10), and a gate electrode pad (11). The recombination rate of carriers in a first lower region facing, in the depth direction, the gate electrode pad (11) is lower than that in a second lower region facing, in the depth direction, the first electrode



BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第21条(3))
- 補正された請求の範囲及び説明書 (条約第19条(1))

(10). Accordingly, in a case where a high potential is applied to a source electrode so as to drive a built-in PN diode, occurrence of crystal defects can be suppressed.

(57) 要約: 半導体装置は、半導体基板(1)と、第1導電型の第1半導体層(2)と、第2導電型の第2半導体層(3)と、第1導電型の第1半導体領域(4)と、第2導電型の第2半導体領域(5)と、ゲート電極(8)と、第1電極(10)と、ゲート電極パッド(11)とを備える。ゲート電極パッド(11)と深さ方向に対向する第1下部領域は、キャリアの再結合率が、第1電極(10)と深さ方向に対向する第2下部領域より低い。このようにすることで、ソース電極に高電位を印加して、内蔵PNダイオードを駆動する場合に結晶欠陥の発生を抑制できる。

明 細 書

発明の名称：半導体装置および半導体装置の製造方法

技術分野

[0001] この発明は、半導体装置および半導体装置の製造方法に関する。

背景技術

[0002] 従来、高電圧や大電流を制御するパワー半導体装置の構成材料として、シリコン（Si）が用いられている。パワー半導体装置は、バイポーラトランジスタやIGBT（Insulated Gate Bipolar Transistor：絶縁ゲート型バイポーラトランジスタ）、MOSFET（Metal Oxide Semiconductor Field Effect Transistor：絶縁ゲート型電界効果トランジスタ）など複数種類あり、これらは用途に合わせて使い分けられている。

[0003] 例えば、バイポーラトランジスタやIGBTは、MOSFETに比べて電流密度は高く大電流化が可能であるが、高速にスイッチングさせることができない。具体的には、バイポーラトランジスタは数kHz程度のスイッチング周波数での使用が限界であり、IGBTは数十kHz程度のスイッチング周波数での使用が限界である。一方、パワーMOSFETは、バイポーラトランジスタやIGBTに比べて電流密度が低く大電流化が難しいが、数MHz程度までの高速スイッチング動作が可能である。

[0004] しかしながら、市場では大電流と高速性とを兼ね備えたパワー半導体装置への要求が強く、IGBTやパワーMOSFETはその改良に力が注がれ、現在ではほぼ材料限界に近いところまで開発が進んでいる。パワー半導体装置の観点からシリコンに代わる半導体材料が検討されており、低オン電圧、高速特性、高温特性に優れた次世代のパワー半導体装置を作製（製造）可能な半導体材料として炭化珪素（SiC）が注目を集めている（下記、非特許文献1参照）。

[0005] その背景には、SiCは化学的に非常に安定な材料であり、バンドギャッ

プが3 e Vと広く、高温でも半導体として極めて安定的に使用できる。また、最大電界強度もシリコンより1桁以上大きいからである。SiCはシリコンにおける材料限界を超える可能性大であることからパワー半導体用途、特にMOSFETでは今後の伸長が大きく期待される。特にそのオン抵抗が小さいことが期待されているが高耐压特性を維持したままより一層の低オン抵抗を有する縦型SiC-MOSFETが期待できる。

[0006] 図11は、従来の縦型SiC-MOSFETの構成を示す断面図である。

図11に示すように、 n^+ 型炭化珪素基板1のおもて面に n^- 型炭化珪素エピタキシャル層2が堆積され、 n^- 型炭化珪素エピタキシャル層2の表面にp型ベース層3が選択的に設けられる。また、p型ベース層3の表面に n^+ 型ソース領域4、 p^+ 型コンタクト領域5が選択的に設けられる。

[0007] p型ベース層3および n^+ 型ソース領域4との表面に、ゲート絶縁膜6を介してゲート電極8が設けられている。また、 n^- 型炭化珪素エピタキシャル層2、 p^+ 型コンタクト領域5および n^+ 型ソース領域4の表面に、ソース電極10が設けられている。また、 n^+ 型炭化珪素基板1の裏面には、ドレイン電極14が設けられている。

[0008] 図11は、素子構造が形成されオン状態のときに電流が流れる活性領域の構造を示す断面図である。この中で、ゲートパッド部20は、絶縁膜7および層間絶縁膜9により p^+ 型コンタクト領域と絶縁され、ゲート電極8と電氣的に接続されたゲート電極パッド11が設けられた領域であり、主素子として適用しない領域である。

[0009] 図11の構造のMOSFETにおいて、ソース電極10に対しドレイン電極14に正の電圧が印加された状態でゲート電極8にゲートしきい値 V_{th} 以下の電圧が印加されている場合には、p型ベース層3と n^- 型炭化珪素エピタキシャル層2の間のPN接合が逆バイアスされた状態であるため電流は流れない。一方、ゲート電極8にゲートしきい値 V_{th} 以上の電圧を印加すると、ゲート電極8直下のp型ベース層3の表面にはn型の反転層（チャネル）が形成されることにより電流が流れるため、ゲート電極8に印加する電圧

によってMOSFETのスイッチング動作を行うことができる。MOSFETがオフしている際、ソース電極10に高電位を印加することでp型ベース層3とn⁺型炭化珪素基板1とn⁺型炭化珪素エピタキシャル層2からなる内蔵PN(pin)ダイオードを駆動できる。

[0010] また、ゲートパッド下に形成したダイオード専用の金属電極により、ゲートパッド下に形成したPNダイオード及び内蔵ダイオードの順方向電圧V_fを低下し、内蔵ダイオードのオン動作時の損失を低減する技術がある（例えば、下記特許文献1参照）。

先行技術文献

特許文献

[0011] 特許文献1：特開2016-58498号公報

非特許文献

[0012] 非特許文献1：ケイ・シェナイ (K. Shenai)、外2名、Optimum Semiconductors for High-Power Electronics)、アイ・トリプル・イー トランザクションズ オン エレクトロン デバイス (IEEE Transactions on Electron Devices)、1989年9月、第36巻、第9号、p. 1811-1823

発明の概要

発明が解決しようとする課題

[0013] ここで、ソース電極10に高電位を印加して、内蔵PNダイオードを駆動すると、内蔵PNダイオードに電流が流れる（例えば、図11のA）。縦型SiC-MOSFETでは、縦方向（図11のY軸方向）では、電位が同じであるため、電流は同心円状に広がる。この際、ゲート電極パッド11が設けられた領域では、上部（Y軸の正方向）に層間絶縁膜9が設けられているため、キャリアは上部に逃れることができない。

[0014] このため、キャリアがゲート電極パッド11の両端（例えば、図11のB）に集中してしまう。この場合、この箇所では電導度変調の率が高くなり、結晶欠陥が発生しやすくなる。この結晶欠陥により、オン抵抗が増加して、MOSFETのしきい値電圧 V_{th} と内蔵PNダイオードの順方向電圧 V_f が変動するという問題がある。

[0015] この発明は、上述した従来技術による問題点を解消するため、ソース電極に高電位を印加して、内蔵PNダイオードを駆動する場合に結晶欠陥の発生を抑制できる半導体装置および半導体装置の製造方法を提供することを目的とする。

課題を解決するための手段

[0016] 上述した課題を解決し、本発明の目的を達成するため、この発明にかかる半導体装置は、次の特徴を有する。第1導電型の半導体基板のおもて面に、前記半導体基板より低不純物濃度の第1導電型の第1半導体層が設けられる。前記第1半導体層の、前記半導体基板側に対して反対側の表面層に選択的に第2導電型の第2半導体層が設けられる。前記第2半導体層の、前記半導体基板側に対して反対側の表面層に選択的に第1導電型の第1半導体領域が設けられる。前記第2半導体層の、前記半導体基板側に対して反対側の表面層に選択的に、前記第2半導体層より高不純物濃度の第2導電型の第2半導体領域が設けられる。前記第1半導体領域と前記第1半導体層とに挟まれた前記第2半導体層の表面上の少なくとも一部にゲート絶縁膜を介してゲート電極が設けられる。前記第1半導体領域と前記第2半導体層の表面に第1電極が設けられる。前記半導体基板の裏面に第2電極が設けられる。前記ゲート電極と電氣的に接続されたゲート電極パッドが設けられる。また、前記ゲート電極パッドと深さ方向に対向する第1下部領域は、キャリアの再結合率が、前記第1電極と深さ方向に対向する第2下部領域より低い。

[0017] また、この発明にかかる半導体装置は、上述した発明において、前記第1下部領域は、前記第2下部領域よりも一桁以上不純物濃度が低い前記第2半導体層であることを特徴とする。

- [0018] また、この発明にかかる半導体装置は、上述した発明において、前記第1下部領域は、前記第1半導体層の、前記半導体基板側に対して反対側の表面層に選択的に設けられた、前記第2下部領域よりも一桁以上不純物濃度が低い第2導電型の第3半導体層であることを特徴とする。
- [0019] また、この発明にかかる半導体装置は、上述した発明において、前記第1下部領域は、前記第1半導体層であることを特徴とする。
- [0020] また、この発明にかかる半導体装置は、上述した発明において、オン状態の時、主電流が流れる活性領域において、主素子として適用しない領域と深さ方向に対向する領域は、前記第1下部領域と同様な構造であることを特徴とする。
- [0021] また、この発明にかかる半導体装置は、上述した発明において、前記主素子として適用しない領域は、電流センスパッド部、温度センスパッド部および演算回路部であることを特徴とする。
- [0022] また、この発明にかかる半導体装置は、上述した発明において、前記第1下部領域の内部に、ライフタイムキラーを注入したライフタイムキラー領域が設けられることを特徴とする。
- [0023] 上述した課題を解決し、本発明の目的を達成するため、この発明にかかる半導体装置の製造方法は、次の特徴を有する。まず、第1導電型の半導体基板のおもて面に、前記半導体基板より低不純物濃度の第1導電型の第1半導体層を形成する第1工程を行う。次に、前記第1半導体層の、前記半導体基板側に対して反対側の表面層に選択的に第2導電型の第2半導体層を形成する第2工程を行う。次に、前記第2半導体層の、前記半導体基板側に対して反対側の表面層に選択的に第1導電型の第1半導体領域を形成する第3工程を行う。次に、前記第2半導体層の、前記半導体基板側に対して反対側の表面層に選択的に、前記第2半導体層より高不純物濃度の第2導電型の第2半導体領域を形成する第4工程を行う。次に、前記第1半導体領域と前記第1半導体層とに挟まれた前記第2半導体層の表面上の少なくとも一部にゲート絶縁膜を介してゲート電極を形成する第5工程を行う。次に、前記第1半導

体領域と前記第 2 半導体層の表面に第 1 電極を形成する第 6 工程を行う。次に、前記半導体基板の裏面に第 2 電極を形成する第 7 工程を行う。次に、前記ゲート電極と電氣的に接続されたゲート電極パッドを形成する第 8 工程を行う。また、前記ゲート電極パッドと深さ方向に対向する第 1 下部領域を、キャリアの再結合率が、前記第 1 電極と深さ方向に対向する第 2 下部領域より低く形成する。

[0024] 上述した発明によれば、ゲートパッド部において、ゲート電極パッドと深さ方向に対向する炭化珪素半導体基体の領域（下部領域）は、他の領域よりキャリアの再結合率が低くなっている。これにより、ソース電極（第 1 電極）に高電位を印加して、内蔵 P N ダイオードを駆動する際、下部領域に流れる電流が減少し、電流の集中が軽減され、電導度変調の率が低くなり、結晶欠陥が発生することを低減できる。このため、結晶欠陥により半導体装置のオン抵抗が増加することがなく、M O S F E T のしきい値電圧 V_{th} と内蔵 P N ダイオードの順方向電圧 V_f の変動を抑えることができ、半導体装置の信頼性を保つことが可能になる。

発明の効果

[0025] 本発明にかかる半導体装置および半導体装置の製造方法によれば、ソース電極に高電位を印加して、内蔵 P N ダイオードを駆動する場合に結晶欠陥の発生を抑制できるという効果を奏する。

図面の簡単な説明

[0026] [図1A]図 1 A は、実施の形態 1 にかかる炭化珪素半導体装置の構造を示す断面図である（その 1）。

[図1B]図 1 B は、実施の形態 1 にかかる炭化珪素半導体装置の構造を示す断面図である（その 2）。

[図2]図 2 は、実施の形態 1 にかかる炭化珪素半導体装置の構造を示す上面図である（その 1）。

[図3]図 3 は、実施の形態 1 にかかる炭化珪素半導体装置の構造を示す上面図である（その 2）。

[図4]図4は、実施の形態1にかかる炭化珪素半導体装置の構造を示す上面図である（その3）。

[図5]図5は、実施の形態1にかかる炭化珪素半導体装置の製造途中の状態を示す断面図である（その1）。

[図6]図6は、実施の形態1にかかる炭化珪素半導体装置の製造途中の状態を示す断面図である（その2）。

[図7]図7は、実施の形態1にかかる炭化珪素半導体装置の製造途中の状態を示す断面図である（その3）。

[図8]図8は、実施の形態1にかかる炭化珪素半導体装置の製造途中の状態を示す断面図である（その4）。

[図9]図9は、実施の形態2にかかる炭化珪素半導体装置の構造を示す断面図である。

[図10]図10は、実施の形態3にかかる炭化珪素半導体装置の構造を示す断面図である。

[図11]図11は、従来の縦型SiC-MOSFETの構造を示す断面図である。

発明を実施するための形態

[0027] 以下に添付図面を参照して、この発明にかかる半導体装置および半導体装置の製造方法の好適な実施の形態を詳細に説明する。本明細書および添付図面においては、nまたはpを冠記した層や領域では、それぞれ電子または正孔が多数キャリアであることを意味する。また、nやpに付す+および-は、それぞれそれが付されていない層や領域よりも高不純物濃度および低不純物濃度であることを意味する。+および-を含めたnやpの表記が同じ場合は近い濃度であることを示し濃度が同等とは限らない。なお、以下の実施の形態の説明および添付図面において、同様の構成には同一の符号を付し、重複する説明を省略する。なお、本明細書では、ミラー指数の表記において、“-”はその直後の指数につくバーを意味しており、指数の前に“-”を付けることで負の指数をあらわしている。

[0028] (実施の形態1)

本発明にかかる半導体装置は、シリコンよりバンドギャップが広いワイドバンドギャップ半導体を用いて構成される。実施の形態1においては、ワイドバンドギャップ半導体として例えば炭化珪素(SiC)を用いて作製された炭化珪素半導体装置について、MOSFETを例に説明する。図1A、図1Bは、実施の形態1にかかる炭化珪素半導体装置の構成を示す断面図である。

[0029] 図1A、図1Bに示すように、実施の形態1にかかる炭化珪素半導体装置は、 n^+ 型炭化珪素基板(第1導電型の半導体基板)1の主面(おもて面)上に n^- 型炭化珪素エピタキシャル層(第1導電型の第1半導体層)2が堆積されている。

[0030] n^+ 型炭化珪素基板1は、例えば窒素(N)がドーピングされた炭化珪素単結晶基板である。 n^- 型炭化珪素エピタキシャル層2は、 n^+ 型炭化珪素基板1よりも低い不純物濃度で例えば窒素がドーピングされてなる低濃度 n 型ドリフト層である。以下、 n^+ 型炭化珪素基板1単体、または n^+ 型炭化珪素基板1と n^- 型炭化珪素エピタキシャル層2を併せて炭化珪素半導体基体とする。

[0031] 図1A、図1Bに示すように、実施の形態1にかかる炭化珪素半導体装置は、ドレイン領域となる n^+ 型炭化珪素基板1の n^- 型炭化珪素エピタキシャル層2側に対して反対側の表面(炭化珪素半導体基体の裏面)には、ドレイン電極(第2電極)14が設けられている。また、外部装置と接続するためのドレイン電極パッド(不図示)が設けられている。

[0032] 炭化珪素半導体基体のおもて面側には、MOS(金属-酸化膜-半導体からなる絶縁ゲート)構造(素子構造)が形成されている。具体的には、 n^- 型炭化珪素エピタキシャル層2の n^+ 型炭化珪素基板1側に対して反対側(炭化珪素半導体基体のおもて面側)の表面層には、 p 型ベース層(第2導電型の第2半導体層)3が選択的に設けられている。 p 型ベース層3は、例えばアルミニウム(Al)がドーピングされている。

[0033] p 型ベース層3の表面には、 n^+ 型ソース領域(第1導電型の第1半導体領

域) 4 および p⁺型コンタクト領域 (第 2 導電型の第 2 半導体領域) 5 が設けられている。また、n⁺型ソース領域 4 および p⁺型コンタクト領域 5 は互いに接する。n⁺型ソース領域 4 は、p⁺型コンタクト領域 5 の外周に配置されている。

[0034] また、p 型ベース層 3 の、n⁺型ソース領域 4 と n⁻型炭化珪素エピタキシャル層 2 とに挟まれた部分の表面には、ゲート絶縁膜 6 を介してゲート電極 8 が設けられている。ゲート電極 8 は、ゲート絶縁膜 6 を介して、n⁻型炭化珪素エピタキシャル層 2 の表面に設けられていてもよい。

[0035] 図 1 A、図 1 B では、1 つと半分の MOS 構造のみを図示しているが、複数の MOS 構造が並列に配置されていてもよい。

[0036] 層間絶縁膜 9 は、炭化珪素半導体基体のおもて面側の全面に、ゲート電極 8 を覆うように設けられている。ソース電極 (第 1 電極) 10 は、層間絶縁膜 9 に開口されたコンタクトホールを介して、n⁺型ソース領域 4 および p⁺型コンタクト領域 5 に接する。ソース電極 10 は、層間絶縁膜 9 によって、ゲート電極 8 と電氣的に絶縁されている。ソース電極 10 上には、電極パッド (不図示) が設けられている。

[0037] 図 1 A、図 1 B は、素子構造が形成されオン状態のときに電流が流れる活性領域の構造を示す。この中で、ゲートパッド部 20 は、ゲート電極 8 と電氣的に接続されたゲート電極パッド 11 が設けられた領域であり、MOS 構造が形成されず、主素子として適用しない領域である。ゲートパッド部 20 では、炭化珪素半導体基体の表面に絶縁膜 7 が設けられ、その表面に層間絶縁膜 9 が設けられ、その表面にゲート電極パッド 11 が設けられている。

[0038] ゲートパッド部 20 において、ゲート電極パッド 11 と深さ方向 (ソース電極 10 からドレイン電極 14 へ方向) に対向する炭化珪素半導体基体の領域 (例えば、絶縁膜 7 直下の p 型ベース層 3、以下、下部領域と称する) は、ソース電極 10 と深さ方向に対向する半導体領域 (例えば、p⁺型コンタクト領域 5) よりキャリアの再結合率が低くなっている。このように、下部領域ではキャリアの再結合率が低いため、ソース電極 10 に高電位を印加し

て、内蔵PNダイオードを駆動する際、下部領域に流れる電流が減少する。このため、下部領域での電流の集中が軽減され、電導度変調の率が低くなり、結晶欠陥が発生することを低減できる。

[0039] 具体的には、下部領域には、 p^+ 型コンタクト領域5が設けられていなく、 p 型ベース層3が設けられている。 p^+ 型コンタクト領域5は、ソース電極10のコンタクトホールの部分のみに設けられている。 p 型ベース層3の不純物濃度は、 p^+ 型コンタクト領域5の不純物濃度より、一桁低くなっている。例えば、 p^+ 型コンタクト領域5の不純物濃度は、 $1 \times 10^{17} \sim 1 \times 10^{19} / \text{cm}^3$ であり、 p 型ベース層3の不純物濃度は、 $1 \times 10^{16} \sim 1 \times 10^{18} / \text{cm}^3$ である。このように、不純物濃度を一桁低くすることで、下部領域は、キャリアの再結合率を低くしている。また、 p^+ 型コンタクト領域5の不純物濃度を低くして、キャリアの再結合率を低くすることもできるが、コンタクト抵抗が大きくなるため、 p^+ 型コンタクト領域5の不純物濃度を低くすることは好ましくない。

[0040] また、下部領域に、少数キャリアに対する再結合中心となるライフタイムキラを注入したライフタイムキラ領域16を設けてもよい。例えば、図1Aに示すように、 p 型ベース層3と n -型炭化珪素エピタキシャル層2との界面の近傍にライフタイムキラ領域16を設けてもよい。また、図1Bに示すように、 p 型ベース層3と重なるようにライフタイムキラ領域16を設けても良い。このライフタイムキラ領域16により、下部領域は、キャリアの再結合率を低くしている。また、ライフタイムキラは、例えば、プロトン (H^+) やヘリウム (He) によってできる格子欠陥である。また、ライフタイムキラは、ライフタイムを減少させる元素、例えば金 (Au) や白金 (Pt) であってもよい。

[0041] 図2～図4は、実施の形態1にかかる炭化珪素半導体装置の構造を示す上面図である。図2～図4に示すように、ソース電極10およびゲート電極パッド11が設けられた活性領域の周囲を囲んで耐圧を保持する終端構造部17が設けられている。ここで、図1A、図1Bは、図2のA-A'における

断面図である。

[0042] また、図3に示すように、素子の中央部に、図4に示すように、素子の周辺部に、ゲート電極パッド11、電流センスパッド12および温度センスパッド13が、それぞれ1つまたは複数設けられている。電流センスパッド12および温度センスパッド13は、ゲートパッド部20と同様にMOS構造が形成されず、主素子として適用しない領域である。このため、これらの領域と深さ方向に対向する炭化珪素半導体基体の領域もゲート電極パッド11の下部領域と同様の構造であってもよい。また、電流センスパッド12および温度センスパッド13以外の、MOS構造が形成されず、主素子として適用しない領域（例えば、演算回路部）と深さ方向に対向する炭化珪素半導体基体の領域も同様の構造であってもよい。

[0043] （実施の形態1にかかる炭化珪素半導体装置の製造方法）

次に、実施の形態1にかかる炭化珪素半導体装置の製造方法について、例えば1200Vの耐圧クラスのMOSFETを作成する場合を例に説明する。図5～図8は、実施の形態1にかかる炭化珪素半導体装置の製造途中の状態を示す断面図である。まず、例えば $2 \times 10^{19} / \text{cm}^3$ 程度の不純物濃度で窒素がドーピングされた n^+ 型炭化珪素基板1を用意する。 n^+ 型炭化珪素基板1は、主面が例えば、 $\langle 11-20 \rangle$ 方向に4度程度のオフ角を有する（000-1）面であってもよい。次に、 n^+ 型炭化珪素基板1の（000-1）面上に、 $1.0 \times 10^{16} / \text{cm}^3$ の不純物濃度で窒素がドーピングされた厚さ10 μm 程度の n^- 型炭化珪素エピタキシャル層2を成長させる。ここで、図5に示される構造となる。

[0044] 次に、フォトリソグラフィおよびエッチングによりイオン注入用の酸化膜マスクを形成し、イオン注入によって n^- 型炭化珪素エピタキシャル層2の表面層に、 p 型ベース層3を選択的に形成する。このイオン注入では、例えば、ドーパントをアルミニウムとし、 p 型ベース層3の不純物濃度が $1 \times 10^{16} \sim 1 \times 10^{18} / \text{cm}^3$ となるようにドーズ量を設定してもよい。ここで、図6に示される構造となる。

- [0045] 次に、フォトリソグラフィおよびイオン注入によって、p型ベース層3の表面層に、n⁺型ソース領域4を選択的に形成する。次に、フォトリソグラフィおよびイオン注入によって、p型ベース層3の表面層に、p⁺型コンタクト領域5を選択的に形成する。例えば、ドーパントをアルミニウムとし、p⁺型コンタクト領域5の不純物濃度が $1 \times 10^{17} \sim 1 \times 10^{19} / \text{cm}^3$ となるようにドーズ量を設定してもよい。
- [0046] また、p⁺型コンタクト領域5は、ソース電極10のコンタクトホールの部分のみに形成する。このため、ゲートパッド部20において、ゲート電極パッド11と深さ方向に対向する領域（下部領域）には、p⁺型コンタクト領域5が形成されない。これにより、下部領域は、キャリアの再結合率が低くなる。ここで、図7に示される構造となる。
- [0047] 次に、n⁺型ソース領域4、p⁺型コンタクト領域5を活性化させるための熱処理（アニール）を行う。このときの熱処理温度および熱処理時間は、それぞれ1620℃および20分間であってもよい。
- [0048] n⁺型ソース領域4、p⁺型コンタクト領域5を形成する順序は種々変更可能である。
- [0049] 次に、炭化珪素半導体基体のおもて面側を熱酸化し、ゲート絶縁膜6、絶縁膜7となる酸化膜を形成する。この熱酸化は、酸素（O₂）と水素（H₂）の混合雰囲気中において1000℃程度の温度の熱処理によって行ってもよい。これにより、p型ベース層3およびn⁻型炭化珪素エピタキシャル層2の表面に形成された各領域が絶縁膜7、ゲート絶縁膜6で覆われる。
- [0050] 次に、ゲート絶縁膜6上に、ゲート電極8として、例えばリン（P）がドーパされた多結晶シリコン層（ポリシリコン（poly-Si）層）を形成する。次に、多結晶シリコン層をパターニングして選択的に除去し、p型ベース層3の、n⁺型ソース領域4とn⁻型炭化珪素エピタキシャル層2とに挟まれた部分上に多結晶シリコン層を残す。このとき、n⁻型炭化珪素エピタキシャル層2上に多結晶シリコン層を残してもよい。
- [0051] 次に、ゲート絶縁膜6、絶縁膜7を覆うように、層間絶縁膜9として例え

ばリンガラス（PSG：Phospho Silicate Glass）を成膜する。層間絶縁膜 9 の厚さは $1.0\ \mu\text{m}$ であってもよい。次に、層間絶縁膜 9、ゲート絶縁膜 6 および絶縁膜 7 をパターニングして選択的に除去してコンタクトホールを形成し、 n^+ 型ソース領域 4 および p^+ 型コンタクト領域 5 を露出させる。次に、層間絶縁膜 9 を平坦化するための熱処理（リフロー）を行う。ここで、図 8 に示される構造となる。

[0052] 次に、ゲート電極 8 上の層間絶縁膜 9 の表面に、ソース電極 10 を成膜する。このとき、コンタクトホール内にもソース電極 10 を埋め込み、 n^+ 型ソース領域 4 および p^+ 型コンタクト領域 5 とソース電極 10 とを接触させる。次に、コンタクトホール以外のソース電極 10 を選択的に除去する。

[0053] 次に、 n^+ 型炭化珪素基板 1 の表面（炭化珪素半導体基体の裏面）に、ドレイン電極 14 として例えばニッケル膜を成膜する。そして、例えば 970°C の温度で熱処理し、 n^+ 型炭化珪素基板 1 とドレイン電極 14 とのオーミック接合を形成する。次に、例えばスパッタ法によって、炭化珪素半導体基体のおもて面の全面にソース電極 10 および層間絶縁膜 9 を覆うように、ゲート電極パッド 11 およびソース電極パッドとなる電極パッドを堆積する。電極パッドの層間絶縁膜 9 上の部分の厚さは、例えば $5\ \mu\text{m}$ であってもよい。電極パッドは、例えば、1%の割合でシリコンを含んだアルミニウム（Al-Si）で形成してもよい。次に、電極パッドを選択的に除去する。

[0054] 次に、ドレイン電極 14 の表面に、ドレイン電極パッドとして例えばチタン（Ti）、ニッケル（Ni）および金（Au）をこの順に成膜する。次に、保護膜を表面に形成してもよい。これにより、図 1 A、図 1 B に示す MOSFET が完成する。

[0055] 以上、説明したように、実施の形態 1 にかかる半導体装置によれば、ゲートパッド部において、ゲート電極パッドと深さ方向に対向する炭化珪素半導体基体の領域（下部領域）は、他の領域よりキャリアの再結合率が低くなっている。これにより、ソース電極に高電位を印加して、内蔵 PN ダイオードを駆動する際、下部領域に流れる電流が減少し、電流の集中が軽減され、電

導度変調の率が低くなり、結晶欠陥が発生することを低減できる。このため、結晶欠陥により半導体装置のオン抵抗が増加することがなく、MOSFETのしきい値電圧 V_{th} と内蔵PNダイオードの順方向電圧 V_f の変動を抑えることができ、半導体装置の信頼性を保つことが可能になる。

[0056] (実施の形態2)

次に、実施の形態2にかかる炭化珪素半導体装置の構造について説明する。図9は、実施の形態2にかかる炭化珪素半導体装置の構造を示す断面図である。図9に示すように、実施の形態2にかかる半導体装置が実施の形態1にかかる半導体装置と異なる点は、p型ベース層3が下部領域に設けられず、下部領域にはp型炭化珪素層15が設けられていることである。

[0057] p型炭化珪素層15の膜厚は、p型ベース層3の膜厚より薄く、p⁺型コンタクト領域5の膜厚と同程度である。また、p型炭化珪素層15は、p型ベース層3と接続して、p型炭化珪素層15の不純物濃度は、 $1 \times 10^{16} \sim 1 \times 10^{18} / \text{cm}^3$ である。このように、不純物濃度をp⁺型コンタクト領域5より一桁低くすることで、下部領域におけるキャリアの再結合率を低くしている。また、実施の形態2でも、例えば、p型炭化珪素層15とn⁻型炭化珪素エピタキシャル層2との界面の近傍にライフタイムキラー領域（不図示）を設けてもよい。

[0058] (実施の形態2にかかる炭化珪素半導体装置の製造方法)

次に、実施の形態2にかかる炭化珪素半導体装置の製造方法について、例えば1200Vの耐圧クラスのMOSFETを作成する場合を例に説明する。実施の形態2にかかる半導体装置の製造方法は、まず、実施の形態1と同様にp型ベース層3を選択的に形成する工程を行う。この際、実施の形態2では、下部領域にp型ベース層3を形成しない。

[0059] 次に、フォトリソグラフィおよびエッチングによりイオン注入用の酸化膜マスクを形成し、イオン注入によってn⁻型炭化珪素エピタキシャル層2の表面層に、p型炭化珪素層15を選択的に形成する。このイオン注入では、例えば、ドーパントをアルミニウムとし、p型炭化珪素層15の不純物濃度が

$1 \times 10^{16} \sim 1 \times 10^{18} / \text{cm}^3$ となるようにドーズ量を設定してもよい。

[0060] 次に、実施の形態1と同様に n^+ 型ソース領域4を選択的に形成する工程以降の工程を行うことで、図9に示すMOSFETが完成する。また、 n^+ 型ソース領域4、 p^+ 型コンタクト領域5、 p 型炭化珪素層15を形成する順序は種々変更可能である。

[0061] 以上、説明したように、実施の形態2にかかる半導体装置によれば、実施の形態1と同様に、下部領域は、他の領域よりキャリアの再結合率が低くなっている。このため、実施の形態2は、実施の形態1と同様の効果を有する。また、実施の形態2では、 p 型炭化珪素層により、不純物濃度を一桁低くすることで、下部領域のキャリアの再結合率を低くしているため、 p 型ベース層の不純物濃度を高くすることが可能になる。

[0062] (実施の形態3)

次に、実施の形態3にかかる炭化珪素半導体装置の構造について説明する。図10は、実施の形態3にかかる炭化珪素半導体装置の構造を示す断面図である。図10に示すように、実施の形態3にかかる半導体装置が実施の形態1にかかる半導体装置と異なる点は、 p 型ベース層3が下部領域に設けられず、下部領域には、 n^- 型炭化珪素エピタキシャル層2が設けられていることである。

[0063] n^- 型炭化珪素エピタキシャル層2の不純物濃度が、例えば、 $1.0 \times 10^{16} / \text{cm}^3$ 程度であるため、下部領域の不純物濃度は、 p^+ 型コンタクト領域5の不純物濃度 $1 \times 10^{17} \sim 1 \times 10^{19} / \text{cm}^3$ より一桁低くなる。このように、不純物濃度を一桁低くすることで、下部領域におけるキャリアの再結合率を低くしている。また、実施の形態3でも、例えば、 n^- 型炭化珪素エピタキシャル層2の内部にライフタイムキラー領域（不図示）を設けてもよい。

[0064] (実施の形態3にかかる炭化珪素半導体装置の製造方法)

実施の形態3にかかる炭化珪素半導体装置は、実施の形態2にかかる炭化珪素半導体装置の製造方法において、 p 型炭化珪素層15を形成しないことにより製造される。このため、実施の形態3にかかる炭化珪素半導体装置の

製造方法の説明は省略する。

[0065] 以上、説明したように、実施の形態3にかかる半導体装置によれば、実施の形態1と同様に、下部領域は、他の領域よりキャリアの再結合率が低くなっている。このため、実施の形態3は、実施の形態1と同様の効果を有する。また、実施の形態3では、n-型炭化珪素エピタキシャル層により、不純物濃度を一桁低くすることで、下部領域のキャリアの再結合率を低くしているため、p型ベース層の不純物濃度を高くすることが可能になる。

[0066] また、実施の形態1～3では、プレーナー型のMOSFETについて説明してきたが、ゲートパッド部20の構造を同様にすることで、トレンチ型のMOSFETにも適用可能である。

[0067] 以上において本発明は本発明の趣旨を逸脱しない範囲で種々変更可能であり、上述した各実施の形態において、例えば各部の寸法や不純物濃度等は要求される仕様等に応じて種々設定される。また、上述した各実施の形態では、MOSFETを例に説明しているが、これに限らず、所定のゲート閾値電圧に基づいてゲート駆動制御されることで電流を導通および遮断する種々な炭化珪素半導体装置にも広く適用可能である。例えば、MOSFETとは異なる導電型の半導体基板を用いることで、IGBTに適用することができる。また、上述した各実施の形態では、ワイドバンドギャップ半導体として炭化珪素を用いた場合を例に説明しているが、炭化珪素以外の例えば窒化ガリウム(GaN)などのワイドバンドギャップ半導体にも適用可能である。また、各実施の形態では第1導電型をn型とし、第2導電型をp型としたが、本発明は第1導電型をp型とし、第2導電型をn型としても同様に成り立つ。

産業上の利用可能性

[0068] 以上のように、本発明にかかる半導体装置および半導体装置の製造方法は、電力変換装置や種々の産業用機械などの電源装置などに使用される高耐圧半導体装置に有用である。

符号の説明

- [0069]
- 1 n⁺型炭化珪素基板
 - 2 n⁻型炭化珪素エピタキシャル層
 - 3 p型ベース層
 - 4 n⁺型ソース領域
 - 5 p⁺型コンタクト領域
 - 6 ゲート絶縁膜
 - 7 絶縁膜
 - 8 ゲート電極
 - 9 層間絶縁膜
 - 10 ソース電極
 - 11 ゲート電極パッド
 - 12 電流センスパッド
 - 13 温度センスパッド
 - 14 ドレイン電極
 - 15 p型炭化珪素層
 - 16 ライフタイムキラ領域
 - 17 終端構造部
 - 20 ゲートパッド部

請求の範囲

[請求項1]

第1導電型の半導体基板と、

前記半導体基板のおもて面に設けられた、前記半導体基板より低不純物濃度の第1導電型の第1半導体層と、

前記第1半導体層の、前記半導体基板側に対して反対側の表面層に選択的に設けられた第2導電型の第2半導体層と、

前記第2半導体層の、前記半導体基板側に対して反対側の表面層に選択的に設けられた第1導電型の第1半導体領域と、

前記第2半導体層の、前記半導体基板側に対して反対側の表面層に選択的に設けられた、前記第2半導体層より高不純物濃度の第2導電型の第2半導体領域と、

前記第1半導体領域と前記第1半導体層とに挟まれた前記第2半導体層の表面上の少なくとも一部にゲート絶縁膜を介して設けられたゲート電極と、

前記第1半導体領域と前記第2半導体層の表面に設けられた第1電極と、

前記半導体基板の裏面に設けられた第2電極と、

前記ゲート電極と電氣的に接続されたゲート電極パッドと、

を備え、

前記ゲート電極パッドと深さ方向に対向する第1下部領域は、キャリアの再結合率が、前記第1電極と深さ方向に対向する第2下部領域より低いことを特徴とする半導体装置。

[請求項2]

前記第1下部領域は、前記第2下部領域よりも一桁以上不純物濃度が低い前記第2半導体層であることを特徴とする請求項1に記載の半導体装置。

[請求項3]

前記第1下部領域は、前記第1半導体層の、前記半導体基板側に対して反対側の表面層に選択的に設けられた、前記第2下部領域よりも一桁以上不純物濃度が低い第2導電型の第3半導体層であることを特

徴とする請求項 1 に記載の半導体装置。

[請求項4] 前記第 1 下部領域は、前記第 1 半導体層であることを特徴とする請求項 1 に記載の半導体装置。

[請求項5] オン状態の時、主電流が流れる活性領域において、主素子として適用しない領域と深さ方向に対向する領域は、前記第 1 下部領域と同様な構造であることを特徴とする請求項 1 ～ 4 のいずれか一つに記載の半導体装置。

[請求項6] 前記主素子として適用しない領域は、電流センスパッド部、温度センスパッド部および演算回路部であることを特徴とする請求項 5 に記載の半導体装置。

[請求項7] 前記第 1 下部領域の内部に、ライフタイムキラを注入したライフタイムキラ領域が設けられることを特徴とする請求項 1 ～ 6 のいずれか一つに記載の半導体装置。

[請求項8] 第 1 導電型の半導体基板のおもて面に、前記半導体基板より低不純物濃度の第 1 導電型の第 1 半導体層を形成する第 1 工程と、

前記第 1 半導体層の、前記半導体基板側に対して反対側の表面層に選択的に第 2 導電型の第 2 半導体層を形成する第 2 工程と、

前記第 2 半導体層の、前記半導体基板側に対して反対側の表面層に選択的に第 1 導電型の第 1 半導体領域を形成する第 3 工程と、

前記第 2 半導体層の、前記半導体基板側に対して反対側の表面層に選択的に、前記第 2 半導体層より高不純物濃度の第 2 導電型の第 2 半導体領域を形成する第 4 工程と、

前記第 1 半導体領域と前記第 1 半導体層とに挟まれた前記第 2 半導体層の表面上の少なくとも一部にゲート絶縁膜を介してゲート電極を形成する第 5 工程と、

前記第 1 半導体領域と前記第 2 半導体層の表面に第 1 電極を形成する第 6 工程と、

前記半導体基板の裏面に第 2 電極を形成する第 7 工程と、

前記ゲート電極と電氣的に接続されたゲート電極パッドを形成する第8工程と、

を含み、

前記ゲート電極パッドと深さ方向に対向する第1下部領域を、キャリアの再結合率が、前記第1電極と深さ方向に対向する第2下部領域より低く形成することを特徴とする半導体装置の製造方法。

補正された請求の範囲
[2018年5月9日 (09.05.2018) 国際事務局受理]

[請求項 1] 第 1 導電型の半導体基板と、

前記半導体基板のおもて面に設けられた、前記半導体基板より低不純物濃度の第 1 導電型の第 1 半導体層と、

前記第 1 半導体層の、前記半導体基板側に対して反対側の表面層に選択的に設けられた第 2 導電型の第 2 半導体層と、

前記第 2 半導体層の、前記半導体基板側に対して反対側の表面層に選択的に設けられた第 1 導電型の第 1 半導体領域と、

前記第 2 半導体層の、前記半導体基板側に対して反対側の表面層に選択的に設けられた、前記第 2 半導体層より高不純物濃度の第 2 導電型の第 2 半導体領域と、

前記第 1 半導体領域と前記第 1 半導体層とに挟まれた前記第 2 半導体層の表面上の少なくとも一部にゲート絶縁膜を介して設けられたゲート電極と、

前記第 1 半導体領域と前記第 2 半導体層の表面に設けられた第 1 電極と、

前記半導体基板の裏面に設けられた第 2 電極と、

前記ゲート電極と電氣的に接続されたゲート電極パッドと、

を備え、

前記ゲート電極パッドと深さ方向に対向する第 1 下部領域は、キャリアの再結合率が、前記第 1 電極と深さ方向に対向する第 2 下部領域より低いことを特徴とする半導体装置。

[請求項 2] 前記第 1 下部領域は、前記第 2 下部領域よりも一桁以上不純物濃度が低い前記第 2 半導体層であることを特徴とする請求項 1 に記載の半導体装置。

[請求項 3] (補正後) 前記第 1 下部領域は、前記第 1 半導体層の、前記半導体基板側に対して反対側の表面層に選択的に設けられた、前記第 2 下部領域よりも一桁以上不純物濃度が低い第 2 導電型の第 3 半導体層であり、

前記第 3 半導体層は、前記第 2 半導体層より膜厚が薄いことを特徴とする請求項 1 に記載の半導体装置。

[請求項 4] 前記第 1 下部領域は、前記第 1 半導体層であることを特徴とする請求項 1 に記載の半導体装置。

[請求項5] オン状態の時、主電流が流れる活性領域において、主素子として適用しない領域と深さ方向に対向する領域は、前記第1下部領域と同様な構造であることを特徴とする請求項1～4のいずれか一つに記載の半導体装置。

[請求項6] 前記主素子として適用しない領域は、電流センスパッド部、温度センスパッド部および演算回路部であることを特徴とする請求項5に記載の半導体装置。

[請求項7] (補正後) 前記第1下部領域の内部に、前記第1下部領域と重なる、ライフタイムキラを注入したライフタイムキラ領域が設けられることを特徴とする請求項1～6のいずれか一つに記載の半導体装置。

[請求項8] 第1導電型の半導体基板のおもて面に、前記半導体基板より低不純物濃度の第1導電型の第1半導体層を形成する第1工程と、

前記第1半導体層の、前記半導体基板側に対して反対側の表面層に選択的に第2導電型の第2半導体層を形成する第2工程と、

前記第2半導体層の、前記半導体基板側に対して反対側の表面層に選択的に第1導電型の第1半導体領域を形成する第3工程と、

前記第2半導体層の、前記半導体基板側に対して反対側の表面層に選択的に、前記第2半導体層より高不純物濃度の第2導電型の第2半導体領域を形成する第4工程と、

前記第1半導体領域と前記第1半導体層とに挟まれた前記第2半導体層の表面上の少なくとも一部にゲート絶縁膜を介してゲート電極を形成する第5工程と、

前記第1半導体領域と前記第2半導体層の表面に第1電極を形成する第6工程と、

前記半導体基板の裏面に第2電極を形成する第7工程と、

前記ゲート電極と電氣的に接続されたゲート電極パッドを形成する第8工程と、
を含み、

前記ゲート電極パッドと深さ方向に対向する第1下部領域を、キャリアの再結合率が、前記第1電極と深さ方向に対向する第2下部領域より低く形成することを特徴とする半導体装置の製造方法。

[請求項9] (追加) オン状態の時主電流が流れる活性領域の前記第2半導体領域と同じ深さの前記第3半導体層が前記ゲート電極パッドを囲むことを特徴とする請求項

3 に記載の半導体装置。

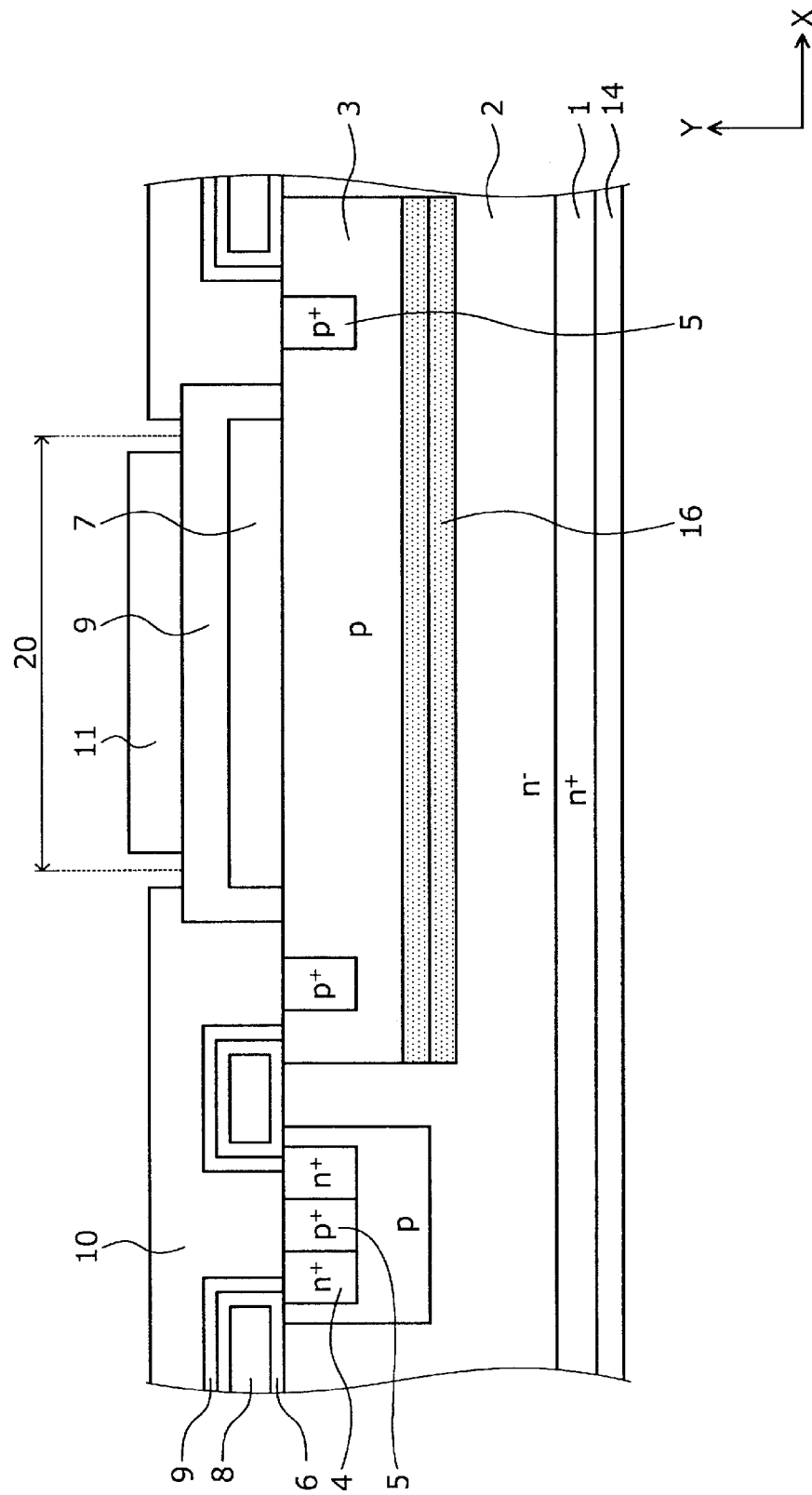
条約第19条(1)に基づく説明書

請求の範囲第3項は、出願時の請求の範囲第3項、明細書の段落0057、図9の記載に基づいて補正いたしました。

請求の範囲第7項は、出願時の請求の範囲第7項、明細書の段落0040、図1Bの記載に基づいて補正いたしました。

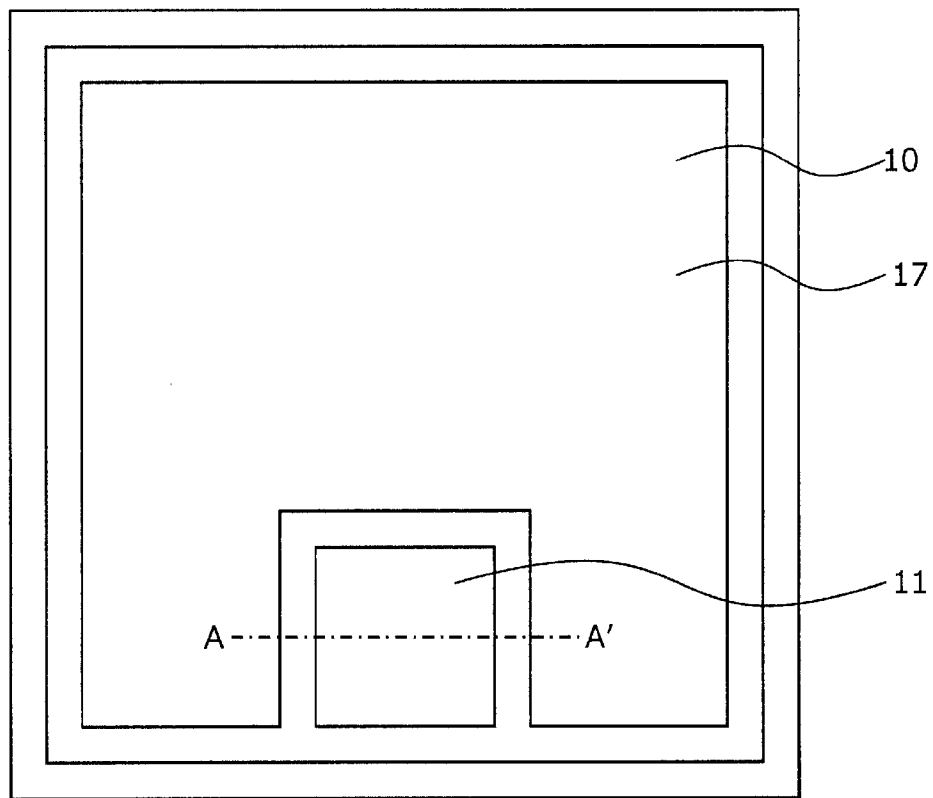
請求の範囲第9項は、出願時の図9の記載に基づいて追加を行いました。

[図1A]

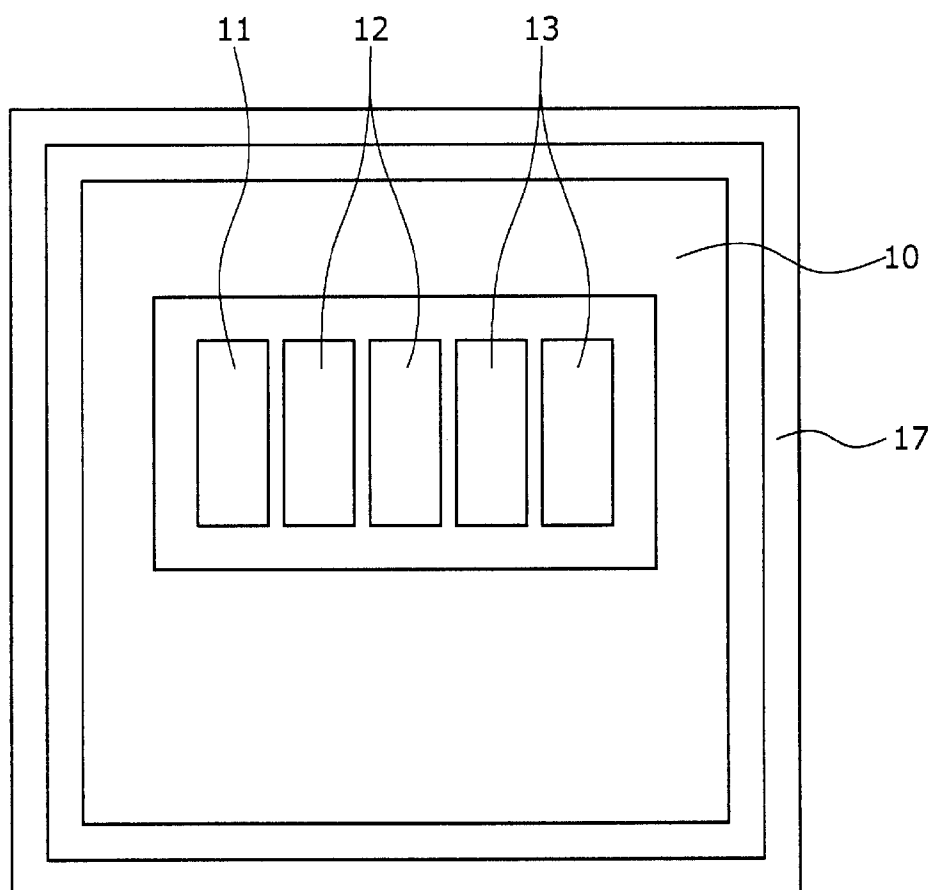


[illegible]

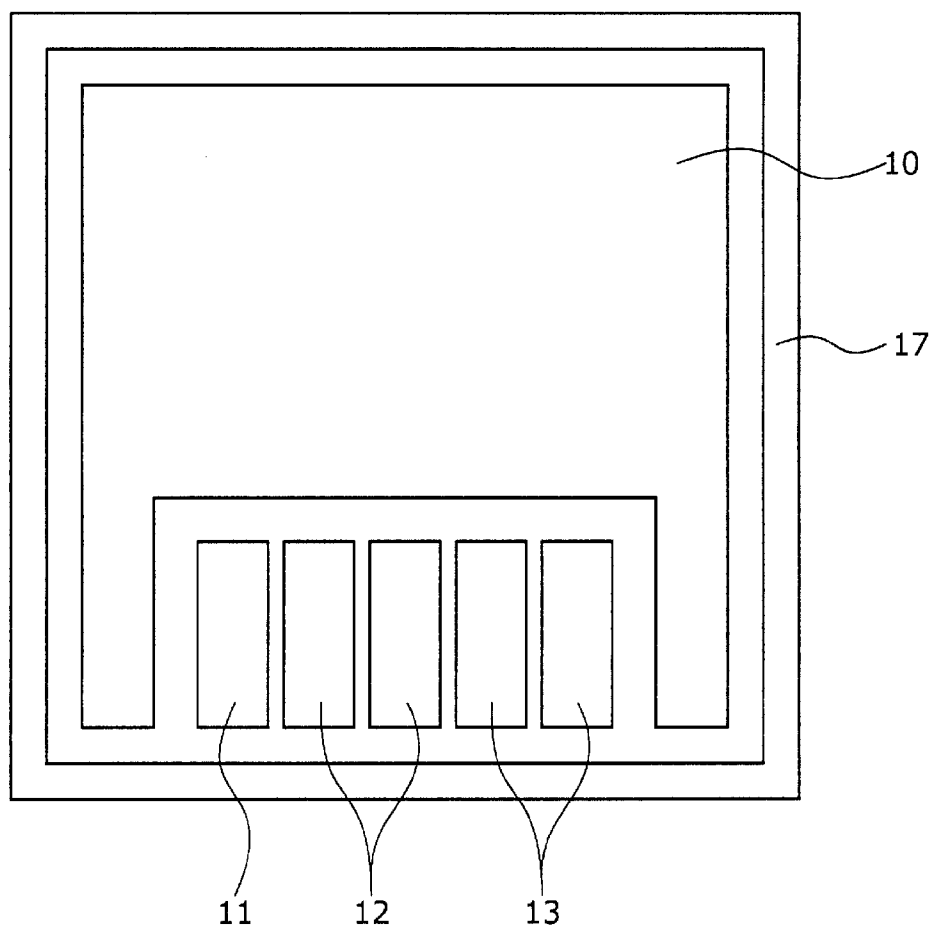
[図2]



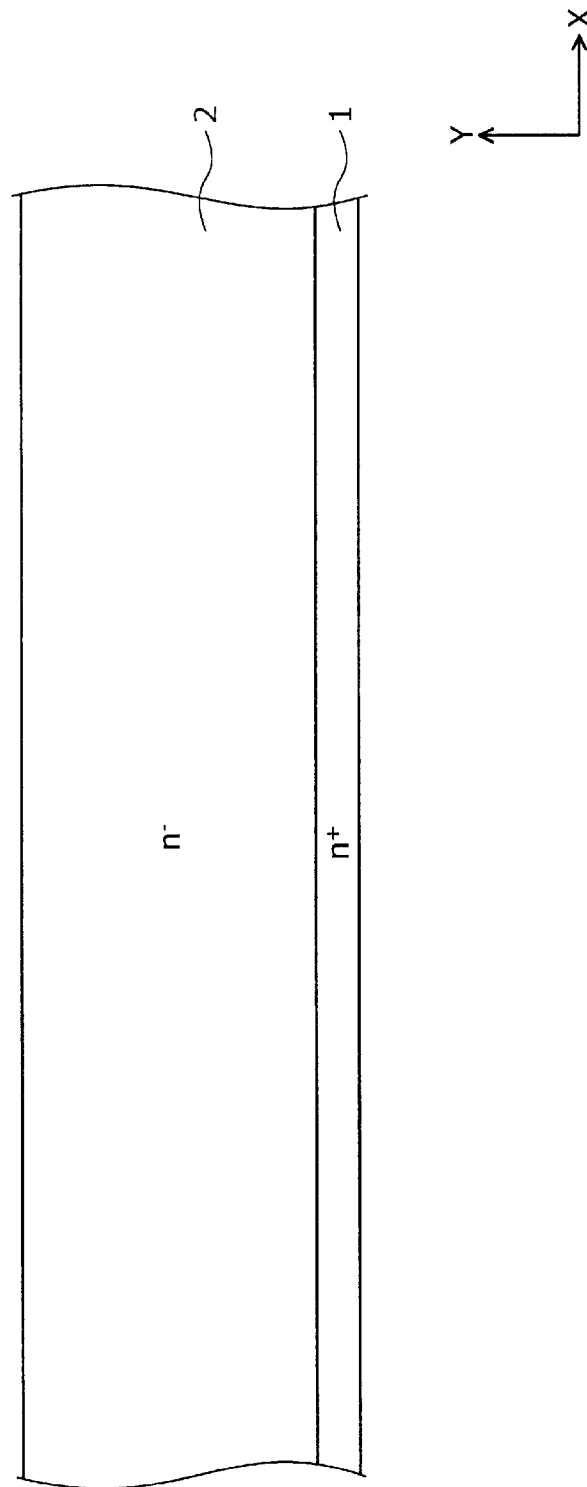
[図3]



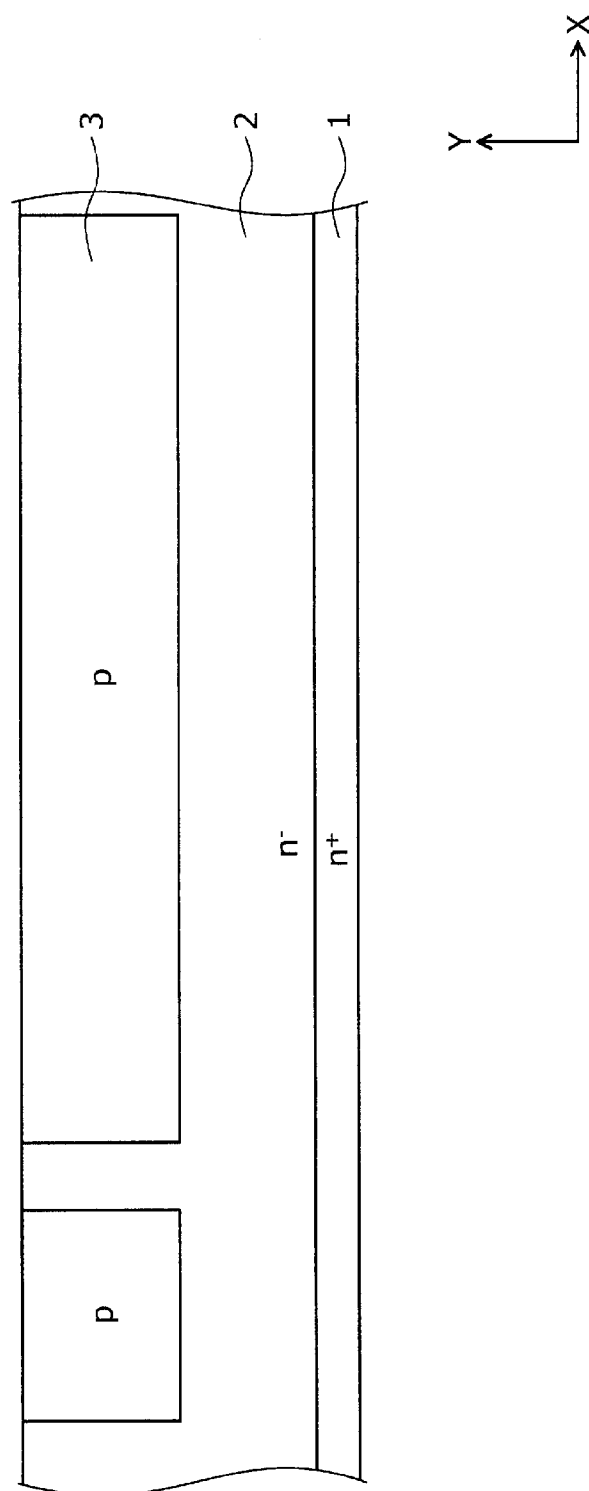
[図4]



[図5]



[図6]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/042929

4292A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H01L29/78 (2006.01) i, H01L21/336 (2006.01) i, H01L29/12 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H01L29/78, H01L21/336, H01L29/12

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2018
Registered utility model specifications of Japan	1996-2018
Published registered utility model applications of Japan	1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2013-152981 A (MITSUBISHI ELECTRIC CORP.) 08 August 2013, paragraphs [0011]-[0038], [0040], fig. 1-18 & US 2013/0187240 A1, paragraphs [0028]-[0055], [0057], fig. 1-18 & CN 103219364 A & DE 102012219645 A1 & KR 10-2013-0086271 A	1, 3-4, 8 7
X Y	JP 2011-061064 A (MITSUBISHI ELECTRIC CORP.) 24 March 2011, paragraphs [0019]-[0053], [0063], fig. 1-8, 18 (Family: none)	1-2, 8 7
X Y	JP 2013-026563 A (MITSUBISHI ELECTRIC CORP.) 04 February 2013, paragraphs [0012]-[0037], fig. 1-9 & US 2013/0026494 A1, paragraphs [0019]-[0044], fig. 1-9 & CN 102903702 A & DE 102012207311 A1 & KR 10-2013-0012548 A	1-2, 5-6, 8 7
Y	WO 2016/039071 A1 (FUJI ELECTRIC CO., LTD.) 17 March 2016, paragraphs [0004]-[0007] & US 2017/0025524 A1, paragraphs [0006], [0088]-[0089]	7



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
11 January 2018 (11.01.2018)

Date of mailing of the international search report
23 January 2018 (23.01.2018)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L29/78(2006.01)i, H01L21/336(2006.01)i, H01L29/12(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L29/78, H01L21/336, H01L29/12

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 2013-152981 A（三菱電機株式会社）2013.08.08, 段落 0011-0038, 0040, 図 1-18 & US 2013/0187240 A1, 段落 0028-0055, 0057, 図 1-18 & CN 103219364 A & DE 102012219645 A1 & KR 10-2013-0086271 A	1, 3-4, 8 7
X Y	JP 2011-061064 A（三菱電機株式会社）2011.03.24, 段落 0019-0053, 0063, 図 1-8, 18（ファミリーなし）	1-2, 8 7

☑ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

11.01.2018

国際調査報告の発送日

23.01.2018

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

綿引 隆

5 F

2934

電話番号 03-3581-1101 内線 3516

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 2013-026563 A (三菱電機株式会社) 2013. 02. 04, 段落 0012-0037, 図 1-9 & US 2013/0026494 A1, 段落 0019-0044, 図 1-9 & CN 102903702 A & DE 102012207311 A1 & KR 10-2013-0012548 A	1-2, 5-6, 8 7
Y	WO 2016/039071 A1 (富士電機株式会社) 2016. 03. 17, 段落 0004-0007 & US 2017/0025524 A1, 段落 0006, 0088-0089	7