



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I697070 B

(45)公告日：中華民國 109 (2020) 年 06 月 21 日

(21)申請案號：104102026

(22)申請日：中華民國 104 (2015) 年 01 月 22 日

(51)Int. Cl. : **H01L21/683 (2006.01)**

(30)優先權：2014/01/30 美國 61/933,659

2014/05/16 美國 14/280,245

(71)申請人：美商瓦里安半導體設備公司(美國) VARIAN SEMICONDUCTOR EQUIPMENT ASSOCIATES, INC. (US)

美國

(72)發明人：史東 岱爾 K STONE, DALE K. (US)；庫肯 理查爾 COOKE, RICHARD (US)；
林奕寬 LIN, IKUAN (TW)；布雷克 朱利安 G BLAKE, JULIAN G. (US)；史東
留德米拉 STONE, LYUDMILA (US)

(74)代理人：葉璟宗；鄭婷文；詹富閔

(56)參考文獻：

TW 200737400A

TW 200741938A

TW 200935555A

TW 200949897A

TW 201032313A

JP 8-288376A

審查人員：邱青松

申請專利範圍項數：11 項 圖式數：5 共 33 頁

(54)名稱

製造靜電夾的方法、靜電夾及靜電夾系統

(57)摘要

本發明提供一種製造靜電夾的方法、一種靜電夾及一種靜電夾系統。在一個實施例中，一種製造靜電夾的方法包含：形成絕緣體主體；在所述絕緣體主體上形成電極；以及在所述電極上沉積層堆疊，所述層堆疊包括使用原子層沉積(ALD)而沉積的氧化鋁層。

The invention provides a method of fabricating an electrostatic clamp, an electrostatic clamp and an electrostatic clamp system. In one embodiment, a method of fabricating an electrostatic clamp includes forming an insulator body, forming an electrode on the insulator body, and depositing a layer stack on the electrode, the layer stack comprising an aluminum oxide layer that is deposited using atomic layer deposition (ALD).

指定代表圖：

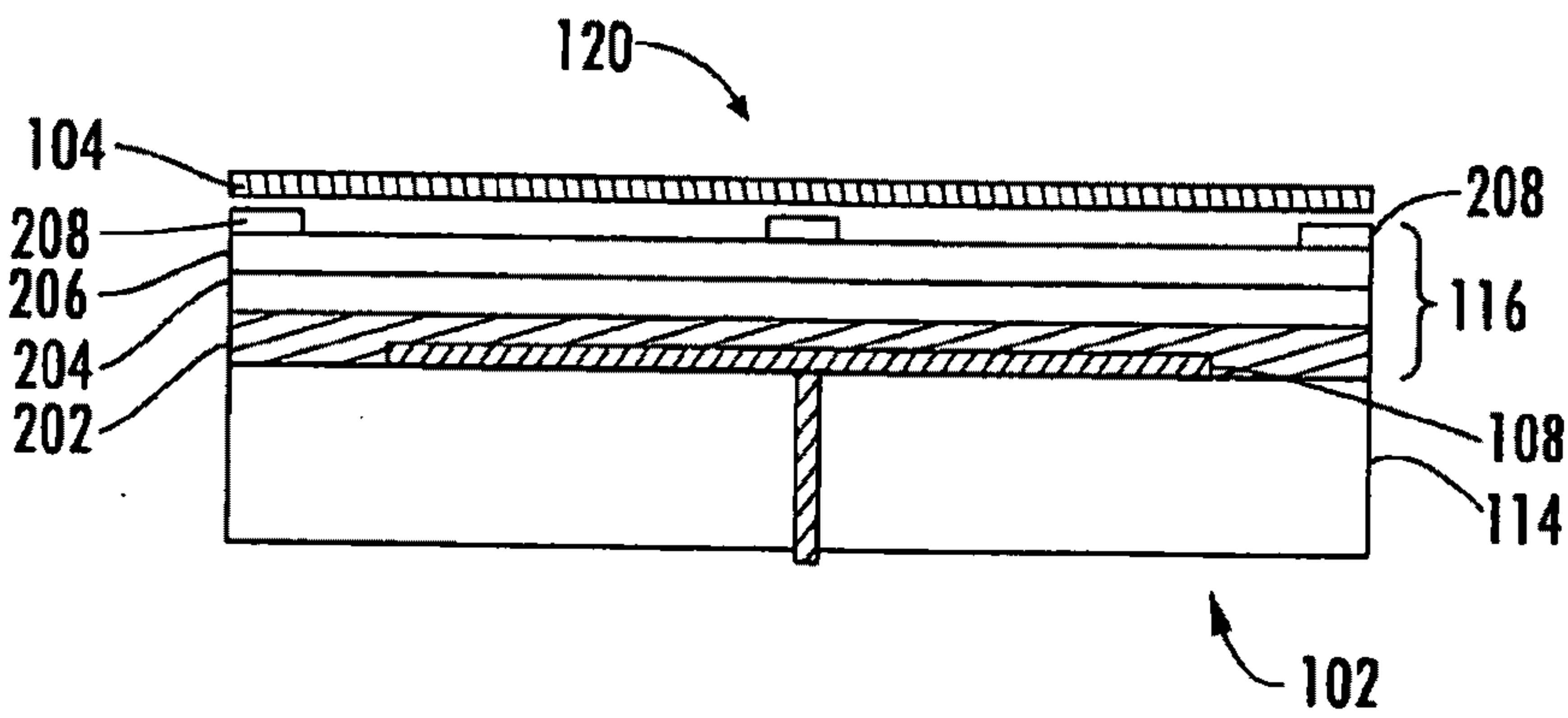


圖 2A

符號簡單說明：

102:靜電夾

104:基底

108:電極

114:絕緣體主體

116:層堆疊

120:部分

202、204、206:層

208:表面特徵

I697070

發明摘要

※ 申請案號：104102026

※ 申請日：104 年 1 月 22 日 ※IPC 分類：H01L 21/683 (2006.01)

【發明名稱】

製造靜電夾的方法、靜電夾及靜電夾系統

METHOD OF FABRICATING ELECTROSTATIC CLAMP,
ELECTROSTATIC CLAMP AND ELECTROSTATIC CLAMP
SYSTEM

【中文】

本發明提供一種製造靜電夾的方法、一種靜電夾及一種靜電夾系統。在一個實施例中，一種製造靜電夾的方法包含：形成絕緣體主體；在所述絕緣體主體上形成電極；以及在所述電極上沉積層堆疊，所述層堆疊包括使用原子層沉積（ALD）而沉積的氧化鋁層。

【英文】

The invention provides a method of fabricating an electrostatic clamp, an electrostatic clamp and an electrostatic clamp system. In one embodiment, a method of fabricating an electrostatic clamp includes forming an insulator body, forming an electrode on the insulator body, and depositing a layer stack on the electrode, the layer stack comprising an aluminum oxide layer that is deposited using atomic layer deposition (ALD).

【代表圖】

【本案指定代表圖】：圖 2A。

【本代表圖之符號簡單說明】：

102：靜電夾

104：基底

108：電極

114：絕緣體主體

116：層堆疊

120：部分

202、204、206：層

208：表面特徵

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】

製造靜電夾的方法、靜電夾及靜電夾系統

METHOD OF FABRICATING ELECTROSTATIC CLAMP,
ELECTROSTATIC CLAMP AND ELECTROSTATIC CLAMP
SYSTEM

【先前技術】

【0001】 本申請案主張 2014 年 1 月 30 日申請的第 61/933,659 號美國臨時專利申請案的優先權。

【技術領域】

【0002】 本發明的實施例涉及基底處理，且更明確地說，涉及用於固持基底的靜電夾。

【先前技術】

【0003】 基底固持器例如靜電夾廣泛用於許多製程，包含半導體製造、太陽電池製造和其它元件的處理。許多基底固持器實現基底加熱和基底冷卻以便在所要溫度下處理基底。靜電夾在高溫（例如，400°C 或高於 400°C）下操作時展現多個不同故障機制。作為其中一個，當靜電夾的介質部分中所存在的金屬元素從介質部分滲出且進入鄰近基底（例如，半導體晶片）時，可出現不良金屬

污染。

【0004】 另一故障機制涉及靜電夾的夾持電極內的金屬材料變得可移動之時的電遷移。這可導致箝位電流的增大，且最終導致施加到基底的夾持力減小。

【0005】 相對於這些和其它考慮因素來說，需要本發明的改進。

【發明內容】

【0006】 提供此發明內容以按簡化形式介紹概念的選擇，下文在具體實施方式中進一步描述所述概念。此發明內容不希望確定所主張標的物的關鍵特徵或基本特徵，也不希望輔助確定所主張標的物的範圍。

【0007】 在一個實施例中，一種製造靜電夾的方法包含：形成絕緣體主體；在所述絕緣體主體上形成電極；以及在所述電極上沉積層堆疊，所述層堆疊包括使用原子層沉積（ALD）而沉積的氧化鋁層。

【0008】 在另一實施例中，一種靜電夾可包含：絕緣體主體；電極，設置在所述絕緣體主體上；以及層堆疊，包括厚度為 10 微米或小於 10 微米的非晶氧化鋁層和至少一個額外絕緣體層。

【0009】 在又一實施例中，一種靜電夾系統可包含：絕緣體主體；電極，包括設置在所述絕緣體主體上的金屬材料；層堆疊，包括總厚度小於 100 微米的絕緣材料，且包含厚度為 10 微米或小於 10 微米的非晶氧化鋁層；以及加熱器，經配置以對所述絕緣體主體

進行加熱，其中所述靜電夾經配置以在 500°C 或高於 500°C 的溫度下操作，而所述金屬材料未穿過所述層堆疊而擴散。

【圖式簡單說明】

【0010】

圖 1 描繪根據本揭露的實施例的靜電夾系統。

圖 2A 描繪根據本揭露的各種實施例的所組裝的靜電夾的一部分的側視橫截面圖。

圖 2B 描繪根據本揭露的各種額外實施例的所組裝的靜電夾的一部分的側視橫截面圖。

圖 3 描繪說明根據各種實施例的擴散阻障層的操作的實驗的矩陣。

圖 4A 描繪層堆疊的二次離子質譜分析的結果。

圖 4B 描繪另一層堆疊的二次離子質譜分析的結果。

圖 4C 描繪再一層堆疊的二次離子質譜分析的結果。

圖 4D 描繪再一層堆疊的二次離子質譜分析的結果。

圖 4E 描繪又一層堆疊的二次離子質譜分析的結果。

圖 4F 描繪又一層堆疊的二次離子質譜分析的結果。

圖 4G 描繪額外層堆疊的二次離子質譜分析的結果。

圖 4H 描繪對比樣本的二次離子質譜分析的結果。

圖 4I 描繪另一層堆疊的二次離子質譜分析的結果。

圖 5 為示範性製程流程。

【實施方式】

【0011】 本發明的實施例提供一種抗擴散靜電夾，其解決當今靜電夾中所發現的多個問題。在本發明的實施例中，抗擴散層堆疊設置在靜電夾的電極與將由靜電夾固持的基底之間。抗擴散層堆疊可在操作期間抑制金屬從靜電夾滲出，而這種滲出原本會污染基底。抗擴散層堆疊還可防止靜電夾的夾持力的減小，而這可由於操作期間夾持金屬電極中所誘發的電遷移而發生。

【0012】 在各種實施例中，抗擴散的層堆疊可為至少一層，且在特定實施例中，層堆疊由多層製成。層堆疊可電絕緣以便支持在靜電夾與基底之間產生電場。在一些實施例中，層堆疊的每一層是電絕緣的。在一些實施例中，層堆疊的至少一層可通過原子層沉積（ALD）而形成。通過原子層沉積而形成的至少一層（「ALD 層」）可對可存在於靜電夾中的金屬提供增強的抗擴散性。適用於根據本發明的實施例的抗擴散 ALD 層的材料包含氧化鋁（ Al_2O_3 ）。

【0013】 原子層沉積（ALD）為與化學氣相沉積（CVD）相關的沉積方法。在 ALD 中，依序進行使用獨立前驅物的多個獨立反應（例如，在兩個獨立反應的狀況下，為半循環）以完成沉積固定量的材料的單一完整沉積循環。在例如氧化鋁的二元化合物的沉積期間，通過重複兩個不同半循環來沉積將形成的層。在每一半循環之後，由第一前驅物供應的固定量的反應性物質保留在基底

表面上。理想地（但未必），可在第一半循環之後產生第一物質的單一單層。第一物質的單層的每一物質可與下一半循環中所供應的第二前驅物的物質反應。在每一半循環中，在供應反應性物質之後，可執行淨化以移除沉積材料的任何未反應的物質。因此，在一循環中反應的材料的總量可均等於每一反應物的單層。以這種方式，每一循環可產生與任何其它循環相同的量的材料。因此，在寬製程窗口內，層的總厚度僅取決於所執行的循環的數量。此外，這種層的微結構的特徵可在於組份材料的交替單層（例如，層 A、層 B、層 A、層 B 等）。

【0014】 現參看附圖，在圖 1 中，展示了根據本揭露的實施例而佈置的靜電夾系統 100。靜電夾系統 100 包含用於支撐並固持基底 104 以進行處理的靜電夾 102。靜電夾系統 100 包含電壓供應器 106，其經配置以將電壓施加到電極 108。因此，產生了可夾持基底 104 的電場 E。雖然將靜電夾 102 說明為具有單一電極，但在一些實施例中，靜電夾 102 可包含多個電極，且在不同實施例中，可如同在常規靜電夾中一樣以 DC 電壓或 AC 電壓來操作。

【0015】 靜電夾 102 包含基座 110，在一些實施例中，基座 110 可為金屬材料。在各種實施例中，基座 110 可包含加熱器 112。加熱器 112 經設計以在處理期間對靜電夾 102 進行加熱，且因此對基底 104 進行加熱。在一些實施例中，加熱器可經設計以產生 400℃ 或高於 400℃、500℃ 或高於 500℃（例如，600℃ 或 800℃）的基底溫度。在其它實施例中，靜電夾 102 可由處於靜電夾外部或

附著到靜電夾的加熱器加熱。

【0016】 雖然圖 1 中未描繪，但如同在常規靜電夾中一樣，靜電夾系統 100 可包含氣體源，其將氣體遞送到靜電夾 102 內的氣體分配系統（未繪示），以在基底 104 與靜電夾之間提供熱傳導。

【0017】 靜電夾 102 還包含鄰近於基座的絕緣體主體 114。在一些實施例中，絕緣體主體由氧化鋁製成。絕緣體主體 114 的至少一部分上所設置的是層堆疊 116，其可包含至少一個絕緣體層。層堆疊還可覆蓋電極 108，以使得電極 108 如圖所示設置在絕緣體主體 114 與層堆疊 116 之間。在靜電夾系統 100 的操作期間，電極 108 所產生的電場 E 與加熱器 112 所產生的高溫的組合可施加力，而所述力迫使金屬物質從電極 108 擴散。為了防止或減少金屬物質的這種遷移，層堆疊 116 包含提供增強的抗擴散性的至少一層。在如下文所論述的特定實施例中，所述至少一層是通過原子層沉積而形成。

【0018】 圖 2A 描繪根據一個實施例的靜電夾 102 的部分 120 的特寫視圖。在這個實施例中，層堆疊 116 包含多個層。如圖所說明，層 202 設置在電極 108 和絕緣體主體 114 的一部分上。額外層（即，層 204）設置在層 202 上，而另一層（即，層 206）設置在層 204 上，且鄰近於基底 104。表面特徵 208 可形成在層 206 上，其中，表面特徵 208 可用於支撐基底 104 且還可界定背側氣體可設置在基底 104 與靜電夾 102 之間的區域。

【0019】 在各種實施例中，層 202、層 204 和層 206 為絕緣體。在

一些實施例中，層 202 是通過 ALD 而形成，且與常規靜電夾相比，對材料從電極 108 的擴散提供增強的抗性。在特定實施例中，層 202 是通過 ALD 而形成，而層 204 和層 206 是通過其它製程（例如，物理氣相沉積（PVD）、化學氣相沉積（CVD）或電漿增強化學氣相沉積（PECVD））而形成。然而，所述實施例在此上下文中不受限制。在一些實施例中，層堆疊 116 的總厚度可為 40 微米到 200 微米。

【0020】 在一些實施例中，層 202 為通過 ALD 而形成的 Al_2O_3 層。明確地說，層 202 可為厚度處於 0.5 微米（500 納米）到 10 微米範圍中的 Al_2O_3 層（本文中亦稱為「氧化鋁」）。在各種實施例中，通過 ALD 而形成的氧化鋁層可為所沉積的非晶層。如所注明，通過 ALD 而形成的非晶氧化鋁層的特性可包含無針孔的微結構，其對物質穿過層而擴散有抗性。此外，氧化鋁層可在通常用於靜電夾的使用溫度（例如， 800°C 或低於 800°C ）下保持為非晶的。所述實施例在此上下文中不受限制。在一些實施例中，通過 ALD 而形成的 Al_2O_3 層的另一特徵為在 Al_2O_3 層內不存在除鋁和氧以外的額外元素，其中額外元素可被發現於通過其它技術（例如，常規化學氣相沉積或物理氣相沉積）而生長的 Al_2O_3 層中。

【0021】 在靜電夾 102 中，由通過 ALD 而形成的 Al_2O_3 材料構成的層 202 的實施例可用於多個用途。在第一實例中，層 202 可用作防止底層金屬從電極 108 擴散出的擴散阻障。第二，層 202 可用作高介電強度塗層，其提供介質在靜電夾應用中適當地發揮作

用所需的電壓隔絕的實質部分。在一些實施方案中，例如電壓供應器 106 等電壓供應器可在電極 108（以及未繪示的其它電極）上產生 200 伏到 1000 伏的電壓。如圖所說明，（介質）層堆疊 116 介入在電極 108（其可處於 1000 伏的電位下）與基底 104 之間。根據報告，經 ALD 沉積的 Al_2O_3 的介電強度為每微米 1000 伏。因此，在經 ALD 沉積的 Al_2O_3 層（即，層 202）的厚度為 1 微米或大於 1 微米的實施例中，即使在不考慮層 204 和層 206（其總厚度可高達 150 微米到 200 微米）的介電強度的情況下，層 202 也可提供對高達 1000 伏的電壓的介電擊穿的足夠抗性。

【0022】 在額外實施例中，層 202 為通過 ALD 而形成的 Al_2O_3 層，而層 204 為通過 PVD 而形成的氮氧化鋁（ALON）層，且層 206 為通過 PECVD 而形成的氮化矽層。在其它實施例中，可重複地沉積可分別為通過 PVD 而形成的 ALON 層和通過 PECVD 而形成的氮化矽層的層 204 和層 206 以形成一系列層，即，層 204、層 206、層 204、層 206 等。換句話說，可為氮氧化鋁層的層 204 和可為氮化矽層的層 206 可被視為形成在層 202 上的覆層堆疊。這種覆層堆疊可接著沉積至少兩次以使層堆疊的總厚度累積達所要量。這可用於使層堆疊 116 的總厚度累積到 100 微米到 200 微米，其中，每一個別層的厚度小得多，例如，為約 1 微米或 10 微米。所述實施例在此上下文中不受限制。PVD ALON 的使用可添加介質厚度，以在維持高介電常數（例如，大於值 9）的同時提高層堆疊 116 的總介電強度。此外，PVD ALON 的使用可維持高純度

($>99.95\%$)。氮化矽層的使用可提供可通過幹式蝕刻處理來圖案化的接觸表面，因此促進產生如表面特徵 208 和其它特徵（未繪示）所說明的壓紋（embossment），所述其它特徵可在基底 104 被吸引到靜電夾 102 時用作氣體密封件。此外，例如 PECVD 氮化矽等氮化矽層的使用提供面向基底 104 的超高純度表面（ $>99.995\%$ ）。

【0023】在額外實施例中，單一絕緣體層可佈置在層 202 的頂部上以代替多個層。舉例來說，在一個實施例中，具有小於 100 微米的厚度的單一絕緣體層可設置在層 202 上，而層 202 由通過 ALD 而形成的氧化鋁構成且具有 1 微米的厚度。在其它實施例中，層 202 可由通過 ALD 而形成的氧化鋁構成，具有 1 微米的厚度，且可作為鄰近於基底 104 的最外層而佈置，而至少一個絕緣體層設置在層 202 與電極 108 之間。舉例來說，至少一個絕緣體層可具有 50 微米到 200 微米的厚度，且可由用於靜電夾中的任何常規絕緣體材料構成。這種配置的優點在於層 202 可不僅能有效地防止不想要的物質從電極 108 擴散，而且能有效地防止從用於在電極上形成靜電夾的絕緣體層的大部分厚度的常規絕緣體材料擴散。

【0024】在一些實施例中，層堆疊 116 可促進靜電夾 102 在相比使用單塊介質材料的常規靜電夾較低的電壓條件和較低的介電強度條件下操作。舉例來說，在靜電夾 102 的特定實施例中，層堆疊 116 可具有 75 微米或小於 75 微米的厚度，例如，介於 40 微米與 75 微米之間的厚度，且靜電夾 102 可在從電壓供應器 106 施加

的小於 500 伏 AC 的電壓下操作。圖 2B 展示靜電夾 102 的一個變化，其中層堆疊 116 由被展示為層 222 的非晶氧化鋁層構成。層 222 設置在覆層堆疊 224 的頂部上，而覆層堆疊 224 直接形成在電極 108 上。層 222 可通過（例如）ALD 而形成，且在一些情形下，可具有 0.5 微米到 5 微米的厚度。所述實施例在此上下文中不受限制。覆層堆疊 224 為可由除氧化鋁之外的絕緣體材料（例如，氮化矽或氮氧化鋁）的多於一個層構成的絕緣體。覆層堆疊 224 可通過化學氣相沉積、物理氣相沉積、電漿增強物理氣相沉積或其它技術而沉積。在一個特定實例中，層 222 的厚度可為 1 微米到 2 微米。給定這個厚度範圍且給定層 222 可由通過 ALD 而沉積的氧化鋁形成，層 222 可抗擊穿，直到跨越層 222 施加至少 1000 伏為止。在這個實例中，覆層堆疊 224 的存在可賦予對擊穿的進一步抗性，以使得直到跨越層堆疊 116 施加大於 1000 伏，層堆疊 116 才擊穿。使用 ALD 來提供 1 微米厚的氧化鋁層的優點在於，靜電夾 102 可在高達 1000 伏或高於 1000 伏的電壓下操作，而不需要形成過厚的層堆疊。舉例來說，如果覆層堆疊 224 由氮氧化鋁或氮化矽或兩者的組合構成，那麼層堆疊 116 可形成為具有小於 100 微米（例如，40 微米到 75 微米）的總厚度。這種總厚度可足以產生基底的適當夾持所需的電容，而同時提供對高達 1000 伏或高於 1000 伏的電壓的介電擊穿的抗性。同時，可實現這些靜電夾性質而不需要使用 ALD 來沉積過厚的層，而原本沉積過厚的層的製程相比常規物理氣相沉積或化學氣相沉積製程可能需要相對較多時

間和成本來沉積給定層厚度。

【0025】 在其它實施例中，電極 108 可通過 ALD 而形成，且在特定實施例中，可為鉑電極（Pt）。這種電極可提供與高溫下的靜電夾 102 的操作相容的電極層，且將通孔傳導提供到絕緣體主體 114（在一些實施例中，其可為氧化鋁）的背側。

【0026】 由圖 2A 和圖 2B 示範的實施例不同於常規靜電夾，其中常規靜電夾通常通過將固態絕緣體接合到電極或在電極上沉積電漿噴塗層而在電極上形成絕緣層來製造。然而，這些製造絕緣層的方法可導致一種靜電夾結構，其尤其在靜電夾在高溫下（例如，在 400°C 或高於 400°C 的溫度下）操作時提供對電極金屬材料的擴散的不充分的抗性。這可為這些材料中的缺陷或其它非理想特徵的結果，如此可導致穿過如常規靜電夾中所形成的這種絕緣層的擴散。

【0027】 相比之下，本發明者已發現與照慣例沉積的層相比，將經 ALD 沉積的 Al_2O_3 層用作靜電夾中的電極的覆蓋層大幅改進擴散阻障性質。在不同實施例中，經 ALD 沉積的 Al_2O_3 層可直接沉積在夾電極上（如此，可抑制物質從電極擴散出）或可沉積在自身直接形成在夾電極上的絕緣體層的頂部上。在後者的狀況下，經 ALD 沉積的 Al_2O_3 可抑制存在於絕緣體層中的金屬或其它污染物擴散出，且抑制從電極物質擴散出。

【0028】 明確地說，已觀察到這些經 ALD 沉積的 Al_2O_3 層無缺陷和變薄的區域，從而導致比照慣例沉積的層好數個量級的擴散阻

障性質。舉例來說，本發明者已發現，在電極被使用 ALD 而製造的 Al_2O_3 層覆蓋的靜電夾中，與未製造有擴散阻障的靜電夾相比，包含 Zn、Cu 和 Pb 的金屬污染已減少約三個量級。此外，與電極被例如 Si_3N_4 、 SiO_2 等其它所沉積的擴散阻障層覆蓋的靜電夾相比，金屬污染減少兩個量級，其中這些層是通過如上文所論述的常規薄膜沉積技術而沉積。

【0029】 因此，各種實施例可使用通過 ALD 而沉積的非晶氧化鋁層以促進靜電夾的高溫操作。明確地說，非晶氧化鋁層可設置在靜電夾的電極與夾持表面之間的層堆疊中，以使得靜電夾可在 500°C 或高於 500°C 的溫度下操作，而電極的金屬材料未穿過層堆疊而擴散。如上文所注明，這種擴散可導致由靜電夾固持的基底的污染，且可另外導致夾持性質（例如，可由靜電夾施加的夾持力）和層堆疊的介電強度的降低。

【0030】 爲了研究使用 ALD 而製造的 Al_2O_3 層對防止金屬污染物的擴散的效益，在玻璃絕緣體基底上沉積一系列不同候選擴散阻障層堆疊。玻璃絕緣體基底由常規靜電夾中可見的已知絕緣體材料製成。發現玻璃絕緣體基底具有濃度在 1×10^{17} /立方釐米到 1×10^{18} /立方釐米的範圍中的低含量的銅和鐵雜質。玻璃絕緣體基底上所沉積的擴散阻障層堆疊含有包含以下各者的不同組合的至少一層：使用 ALD 而製造的 200 納米到 300 納米厚的 Al_2O_3 層、使用 ALD 而製造的 200 納米厚的 Ta_2O_5 層以及使用 PECVD 而製造的 200 納米或 2 微米厚的氮化矽層。在具有 Al_2O_3 層的所有層堆

疊中， Al_2O_3 層鄰近於基底而形成，而在具有氮化矽層的所有層堆疊中，氮化矽層為形成與空氣的介面的最外層。

【0031】圖 3 呈現以這種方式形成的擴散阻障層堆疊的矩陣的概述。在玻璃基底上製造層堆疊且通過加熱在 550°C 下處理層堆疊持續 24 小時後，執行成分分析。通過二次離子質譜法（SIMS）來執行成分分析，其中二次離子質譜法（SIMS）為根據相對於物體的表面的深度而執行物體內的不同元素的成分剖析的技術，其中物體可為基底、層或層群組。

【0032】SIMS 分析的結果展示在圖 4A 到圖 4I 中，且可如下概述。值得注意的是，雖然氧化鉬和氧化鋁層的標稱厚度為 200 納米，但 SIMS 分析的結果暗示這些層中的每一者具有較接近於 300 納米的厚度。然而，這些層可仍如同在圖 3 中一樣被稱為「200 納米厚」或在下文的論述中被稱為「標稱 200 納米厚」。當製造包含通過 ALD 而形成的 Al_2O_3 層的層堆疊（具有或不具有額外層）時，銅和鐵擴散受到抑制。換句話說，與底層基底中的銅或鐵信號量相比，層堆疊中的銅或鐵信號量大幅減少。當 ALD Al_2O_3 層不存在於層堆疊中時，2 微米厚的氮化矽層能有效地抑制鐵擴散而不能有效地抑制銅擴散，以致於氮化矽層中的銅濃度與基底中的銅濃度相當。使用 ALD 而製造的單一標稱 200 納米厚的 Ta_2O_5 層的使用不能有效地抑制銅或鐵擴散。2 微米厚的氮化矽層和 200 納米厚的 Ta_2O_5 層的雙層也不能有效地抑制銅擴散。

【0033】圖 4H 描繪對比（基底）樣本的二次離子質譜分析的結

果，其指示基底中所存在的銅和鐵的含量。該圖指示在不具有任何擴散阻障層的情況下基底中的矽（曲線 478）、鋁（曲線 472）、鐵（曲線 474）和銅（曲線 476）的信號水平。

【0034】參看圖 4A，展示由使用 ALD 而製造的單一 200 納米到 300 納米厚的 Al_2O_3 層構成的層堆疊的二次離子質譜分析的結果，其中大於 300 納米的深度處所存在的鋁和矽信號表示基底。如圖所說明，防止銅與鐵兩者從玻璃絕緣體基底擴散。對於不同元素來說，資料繪製為給定元素的原始信號計數或濃度。明確地說，曲線 402 表示鋁，其信號水平在約 0.3 微米的深度（其指示使用 ALD 而製造的 Al_2O_3 層與底層玻璃基底之間的介面）處降低。底層玻璃基底中的鋁信號可指示處理之前的玻璃基底中的鋁的濃度。如圖還展示，玻璃基底包含矽（曲線 408）、銅（曲線 406）、鐵（曲線 404）和鉬（曲線 409）。基底中的銅和鐵濃度在基底中處於 1×10^{18} 的範圍中，這指示一濃度，該濃度指示基底中的這些金屬元素的百萬分之十的範圍中的相對原子濃度。在小於 0.3 微米的深度處的區域中測量的銅和鐵濃度表示其在使用 ALD 而製造的 Al_2O_3 層內的相應濃度。如圖所說明，銅與鐵兩者的濃度處於 1×10^{16} 的範圍中，這可對應於這些元素的近似檢測極限，從而指示銅或鐵極少擴散或不擴散到使用 ALD 而製造的 Al_2O_3 層中。

【0035】圖 4B 描繪由使用 ALD 而製造的標稱 200 納米厚的 Ta_2O_5 層構成的另一層堆疊的二次離子質譜分析的結果。在這種狀況下，銅和鐵穿過標稱 200 納米厚的 Ta_2O_5 層而擴散。曲線 419 表示

鉭，其信號水平在約 0.3 微米的深度（其指示使用 ALD 而製造的 Ta_2O_5 層與包含矽（曲線 418）、銅（曲線 416）、鐵（曲線 414）和鋁（曲線 412）的底層玻璃基底之間的介面）處降低。如圖所說明，如深度小於 0.3 微米時的信號所指示的氧化鉭層內的銅和鐵的濃度與基底中的銅和鐵的相應濃度（如大於 0.3 微米的深度的信號所指示）大致上相同。這說明在 550°C 下處理持續 24 小時後，氧化鉭層不抑制銅和鐵從基底擴散。

【0036】 圖 4C 描繪由通過 PECVD 而製造的單一 200 納米厚的氮化矽層構成的再一層堆疊的二次離子質譜分析的結果。在這個實例中，氮化矽層中所存在的矽由曲線 428 指示，其中曲線 428 在 0.2 微米的深度（其對應於氮化矽層與基底之間的介面）處降低。銅（曲線 426）和鐵（曲線 424）在較小程度上穿過矽層而擴散。鋁（曲線 422）也看似擴散到氮化矽層中。

【0037】 圖 4D 描繪由通過 PECVD 而製造的單一 2 微米厚的氮化矽層構成的再一層堆疊的二次離子質譜分析的結果，且由曲線 438 指示矽，由曲線 439 指示氮。在這個實例中，銅穿過阻障層而擴散，且鐵擴散受到抑制。銅（曲線 436）貫穿矽層而擴散以使得銅濃度的水平在氮化矽層中與基底中大致上相同。在小於 2 微米的深度處的氮化矽膜中的鐵信號（曲線 434）的低水平展示鐵擴散受到抑制。少量的鋁（曲線 432）還看似至少擴散到較接近基底的氮化矽層的下方區域中。氮（曲線 439）為氮化矽層的一部分。

【0038】 圖 4E 描繪由使用 ALD 而製造的標稱 200 納米厚的 Al_2O_3

層構成的又一層堆疊的二次離子質譜分析的結果，所述 Al_2O_3 層由鋁曲線 442 的平穩部分 443 指示。這層鄰近於基底，其位置由鋁曲線 442 的部分 441 和矽曲線 448 的部分 447 指示。通過 PECVD 而製造的 2 微米厚的氮化矽層設置在標稱 200 納米厚的 Al_2O_3 層的頂部上，如氮曲線 449 和矽曲線 448 的平穩部分 445 所指示。在這種狀況下，銅（曲線 446）和鐵（曲線 444）擴散有效地受到抑制。

【0039】 圖 4F 描繪由使用 ALD 而製造的 200 納米厚的 Ta_2O_5 層構成的又一層堆疊的二次離子質譜分析的結果，所述 Ta_2O_5 層由曲線 452 指示。通過 PECVD 而製造的 2 微米厚的氮化矽層設置在標稱 200 納米厚的 Ta_2O_5 層的頂部上，如氮曲線 459 和矽曲線 458 所指示。未展示底層基底。在這種狀況下，鐵擴散（曲線 454）受到抑制，且銅（曲線 456）貫穿層堆疊而擴散。

【0040】 圖 4G 描繪由使用 ALD 而製造的標稱 200 納米厚的 Al_2O_3 層、使用 ALD 而製造的 200 納米厚的 Ta_2O_5 層和通過 PECVD 而製造的 2 微米厚的氮化矽層（如矽曲線 468 和氮曲線 469 所指示）構成的額外層堆疊的二次離子質譜分析的結果。收集 SIMS 資料直到剛好 1.7 微米的深度，因此不反映較接近於基底的氧化鋁或氧化鉭層。然而，可見，銅（曲線 466）和鐵（曲線 464）擴散受到抑制，如氮化矽層中的低計數水平所證實。

【0041】 圖 4I 描繪由使用 ALD 而製造的標稱 200 納米厚的 Al_2O_3 層（由鋁曲線 482 的平穩部分 483 指示）和使用 ALD 而製造的標

稱 200 納米厚的 Ta_2O_5 層（由鉬曲線 489 的平穩部分 487 指示）構成的另一層堆疊的二次離子質譜分析的結果。這些層設置在由矽曲線 488 指示的基底上。再一次，銅（曲線 486）和鐵（曲線 484）擴散受到抑制，以使得銅和鐵不擴散到層堆疊中。

【0042】 圖 5 描繪根據本揭露的實施例的用於製造靜電夾的過程 500 中所涉及的示範性操作。在框 502 中，形成靜電夾的絕緣體主體。絕緣體主體可形成在基座（例如，金屬塊）上。基座可包含加熱器或可耦接到用於對靜電夾進行加熱的加熱器。在一些狀況下，絕緣體主體可由陶瓷（例如，氧化鋁）構成。在框 504 中，在絕緣體主體上形成電極。在一些實例中，電極可由金屬材料（例如，鎢、鈳或鉑）構成。所述實施例在此上下文中不受限制。在一些變化中，電極可為佈置在絕緣體主體上的多個電極。在框 506 中，通過原子層沉積而在電極上沉積非晶氧化鋁層。在一些實施例中，氧化鋁層可具有 500 納米到 10 微米的厚度。氧化鋁層可按照包封電極和未被電極覆蓋的絕緣體主體的暴露部分的保形方式沉積。

【0043】 在框 508 中，在非晶氧化鋁層上沉積覆層堆疊。覆層堆疊可包含單一絕緣體層，例如，氮化矽或氮氧化鋁。覆層堆疊可包含相繼沉積的多個絕緣體層，其中每一絕緣體層與先前沉積的絕緣體層不同。在一些實例中，覆層堆疊可具有介於 40 微米與 200 微米之間的總厚度。覆層堆疊可通過僅一個沉積製程（例如，化學氣相沉積）來製備，或可使用多個不同沉積製程來製備。舉例

來說，形成覆層堆疊的一部分的氮氧化鋁層可通過物理氣相沉積製程來沉積，而形成覆層堆疊的另一部分的氮化矽層是通過電漿增強化學氣相沉積來沉積。

【0044】 在過程 500 的一個變化中，可在框 506 之前執行框 508，以使得覆層堆疊直接沉積在電極的頂部上，且氧化鋁層沉積在覆層堆疊的頂部上。

【0045】 雖然可部署前述實施例以用於高溫（例如，100°C 到 700°C 的溫度）下的靜電夾的操作，但預期本發明的實施例還可在未加熱的靜電夾的操作期間抑制不想要的物質擴散。

【0046】 總的來說，本發明的實施例提供改進的靜電夾，其包含使用 ALD 而製造的 Al_2O_3 層，其中所述 Al_2O_3 層設置在夾電極與將夾持的基底之間。在各種實施例中，使用 ALD 而製造的 Al_2O_3 層可形成電絕緣材料的層堆疊的一部分，所述層堆疊具有 50 微米到 200 微米的總厚度。在各種實施例中，使用 ALD 而製造的 Al_2O_3 層可鄰近於夾電極而設置；可設置在另一絕緣體材料的頂部上，因此形成最外層；或可設置在絕緣體層的堆疊內，以使得絕緣體層設置在使用 ALD 而製造的 Al_2O_3 與夾電極之間，且另一絕緣體層設置在使用 ALD 而製造的 Al_2O_3 與將夾持的基底之間。除了提供擴散阻障以防止不想要的物質從夾電極、絕緣體層或其它靜電夾元件擴散外，使用 ALD 而製造的 Al_2O_3 還可促進實現絕緣體層的目標擊穿強度，以使得在靜電夾的操作期間將電壓施加到電極時，絕緣體堆疊不擊穿。

【0047】 本揭露在範圍上不受本文所描述的具體實施例限制。實際上，除本文所描述的實施例之外，根據上述描述和隨附圖式，本揭露的其它各種實施例和修改對於所屬領域的技術人員來說將為明顯的。因此，希望這些其它實施例和修改落入本揭露的範圍內。此外，儘管本文中已在特定實施方案的上下文中在特定環境中針對特定目的描述了本揭露，但所屬領域的技術人員應認識到，其用處不限於此且本揭露可有益地在任何數量的環境中針對任何數量的目的而實施。因此，本文闡述的申請專利範圍應鑒於如本文中描述的本揭露的全寬度和精神來解釋。

【符號說明】

【0048】

100：靜電夾系統

102：靜電夾

104：基底

106：電壓供應器

108：電極

110：基座

112：加熱器

114：絕緣體主體

116：層堆疊

120、441、447：部分

202、204、206、222：層

208：表面特徵

224：覆層堆疊

402、404、406、408、409、412、414、416、418、419、422、

424、426、428、432、434、436、438、444、446、452、454、456、

464、466、472、474、476、478、484、486：曲線

442、482：鋁曲線

443、445、483、487：平穩部分

448、458、468、488：矽曲線

449、459、469：氮曲線

489：鉭曲線

500：過程

502、504、506、508：框

E：電場

申請專利範圍

1. 一種製造靜電夾的方法，包括：
形成絕緣體主體；
在所述絕緣體主體上形成電極；以及
在所述電極上沉積層堆疊，所述層堆疊包括使用原子層沉積（ALD）而沉積的氧化鋁層，其中沉積所述層堆疊包括：
在所述電極上沉積所述氧化鋁層；以及
在所述氧化鋁層上沉積多個絕緣體層，其中多個所述絕緣體層包括在氮氧化鋁層上的氮化矽層。
2. 如申請專利範圍第 1 項所述的製造靜電夾的方法，其中所述氧化鋁層的厚度介於 500 納米與 10 微米之間。
3. 如申請專利範圍第 1 項所述的製造靜電夾的方法，其中至少一個所述絕緣體層的厚度介於 40 微米與 200 微米之間。
4. 如申請專利範圍第 1 項所述的製造靜電夾的方法，包括將所述氧化鋁層沉積為非晶層。
5. 如申請專利範圍第 1 項所述的製造靜電夾的方法，其中所述電極為通過原子層沉積而形成的鉑電極。
6. 一種靜電夾，包括：
絕緣體主體；
電極，設置在所述絕緣體主體上；以及
層堆疊，包括厚度為 10 微米或小於 10 微米的非晶氧化鋁層和至少一個額外絕緣體層，所述非晶氧化鋁層的厚度介於 500 納

米與 10 微米之間，所述至少一個額外絕緣體層的材料為氮化矽或氮氧化鋁。

7. 如申請專利範圍第 6 項所述的靜電夾，其中所述層堆疊的厚度介於 40 微米與 200 微米之間。

8. 如申請專利範圍第 7 項所述的靜電夾，其中所述層堆疊包括：

氧化鋁層，鄰近於所述電極而設置；以及

所述至少一個額外絕緣體層，設置在所述氧化鋁層上。

9. 如申請專利範圍第 7 項所述的靜電夾，其中所述層堆疊包括：

所述至少一個額外絕緣體層，鄰近於所述電極而設置；以及
氧化鋁層，設置在所述至少一個額外絕緣體層上。

10. 一種靜電夾系統，包括：

絕緣體主體；

電極，包括設置在所述絕緣體主體上的金屬材料；

層堆疊，包括具有小於 100 微米的總厚度的絕緣材料，且包含厚度為 10 微米或小於 10 微米的非晶氧化鋁層；以及

加熱器，經配置以對所述絕緣體主體進行加熱，其中靜電夾經配置以在 500°C 或高於 500°C 的溫度下操作，而所述金屬材料未穿過所述層堆疊而擴散。

11. 如申請專利範圍第 10 項所述的靜電夾系統，其中所述層堆疊包括：

氧化鋁層，鄰近於所述電極而設置，厚度小於 5 微米；以及
至少一個額外絕緣體層，設置在所述氧化鋁層上，其中所述
層堆疊的總厚度大於 40 微米。

圖式

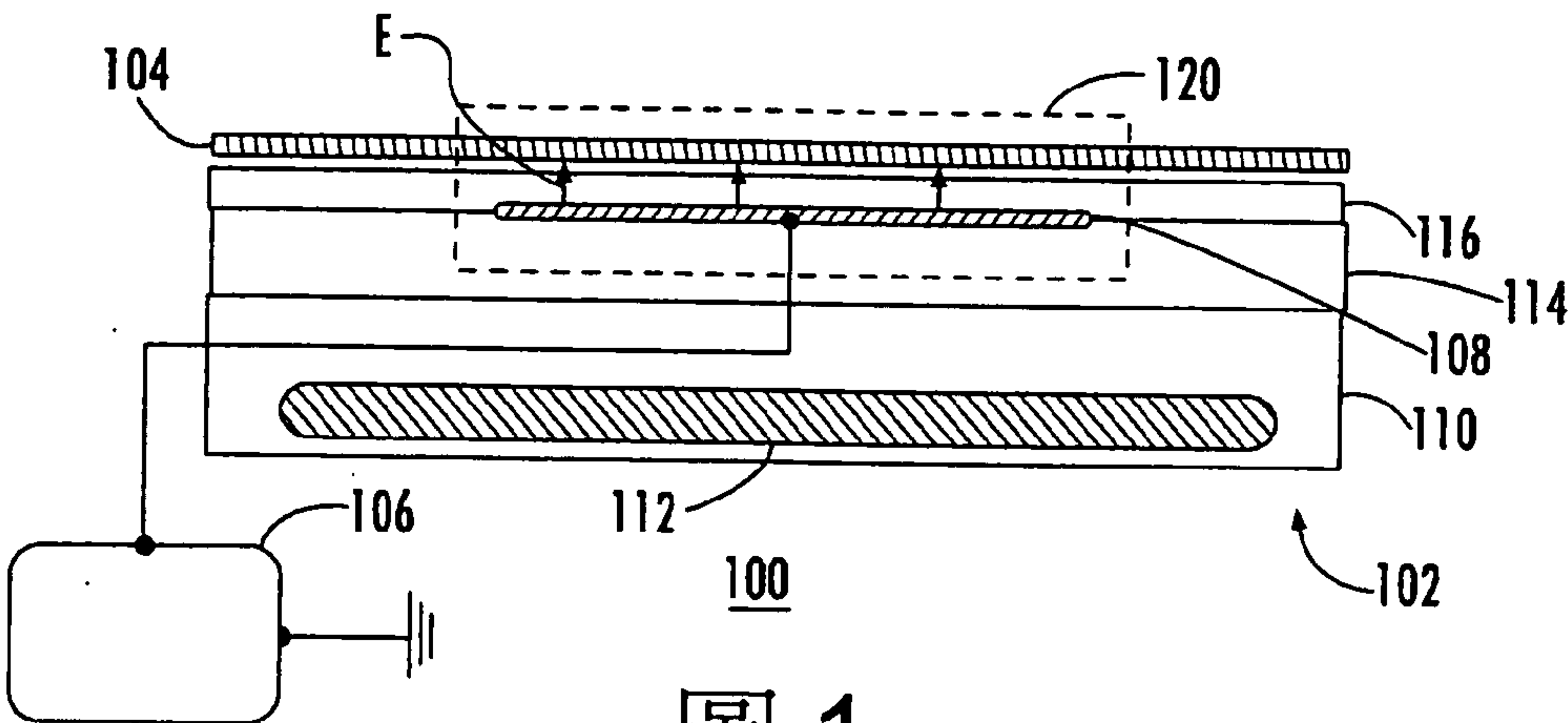


圖 1

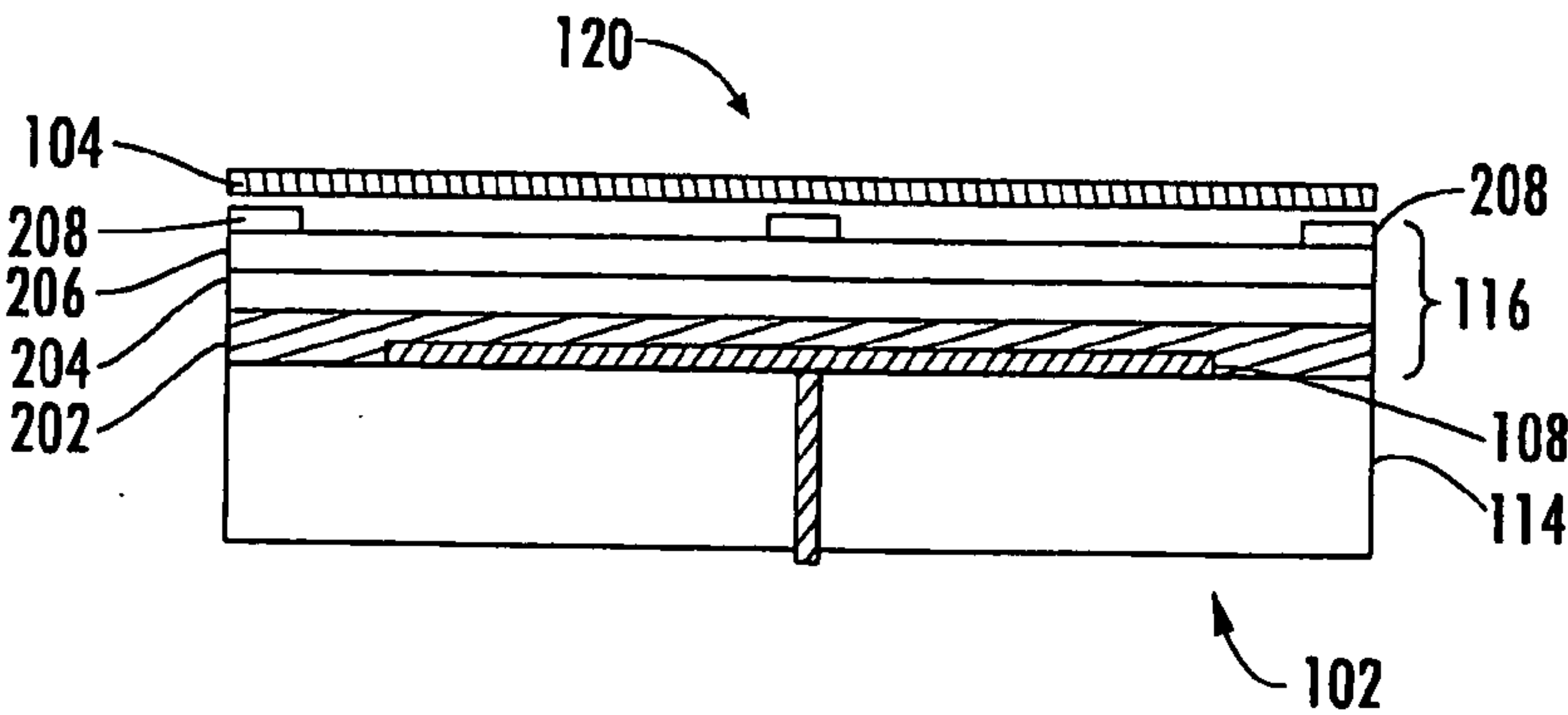


圖 2A

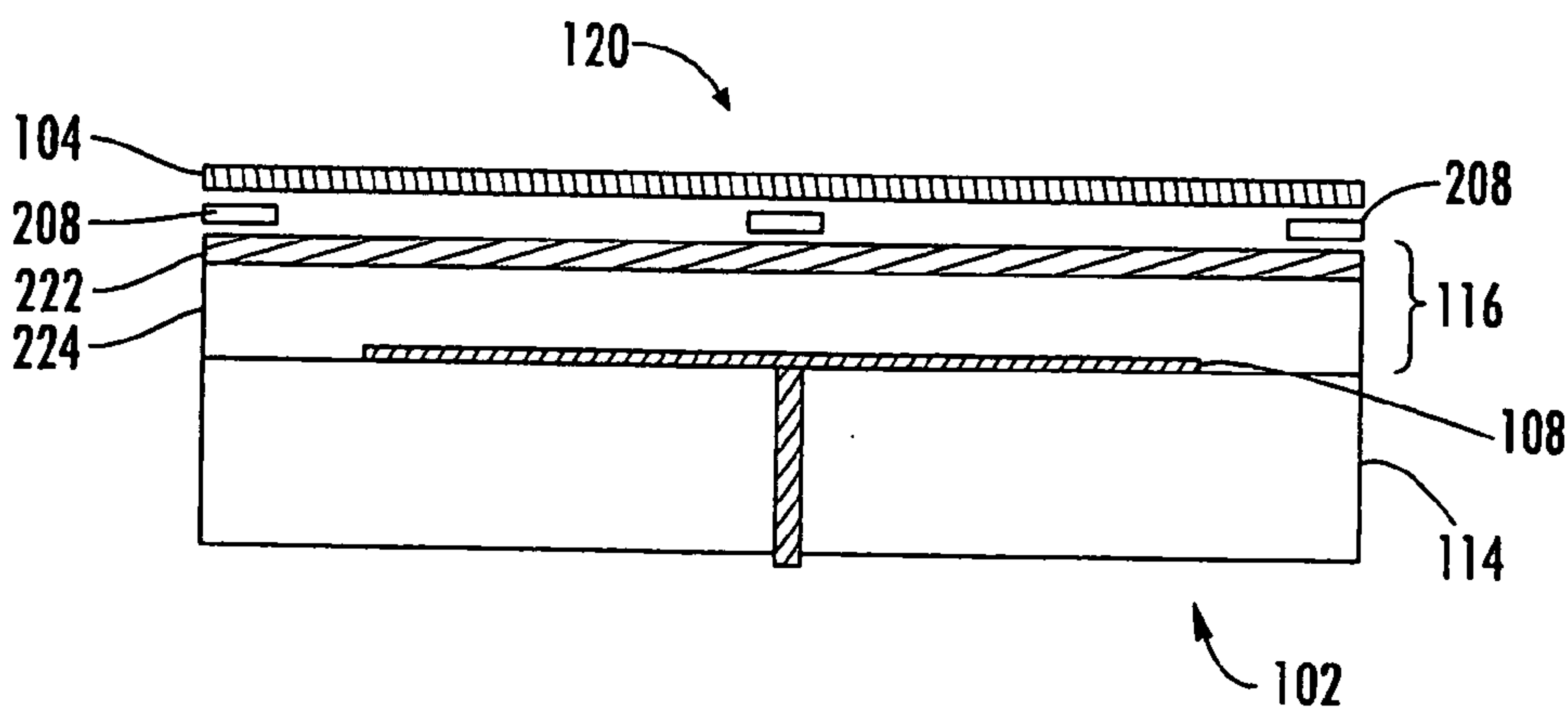


圖 2B

擴散阻障測試矩陣				
玻璃介質基底的約 1×1 樣本				
	ALD Al2O3 200 納米	ALD Ta2O5 200 納米	PECVD SiN 200 納米	PECVD SiN 2 微米
圖 4A	X			
圖 4B		X		
圖 4C			X	
圖 4D				X
圖 4E	X			X
圖 4F		X		X
圖 4G	X	X		X
圖 4H	無塗層—參考樣本			
圖 4I	X	X		

圖 3



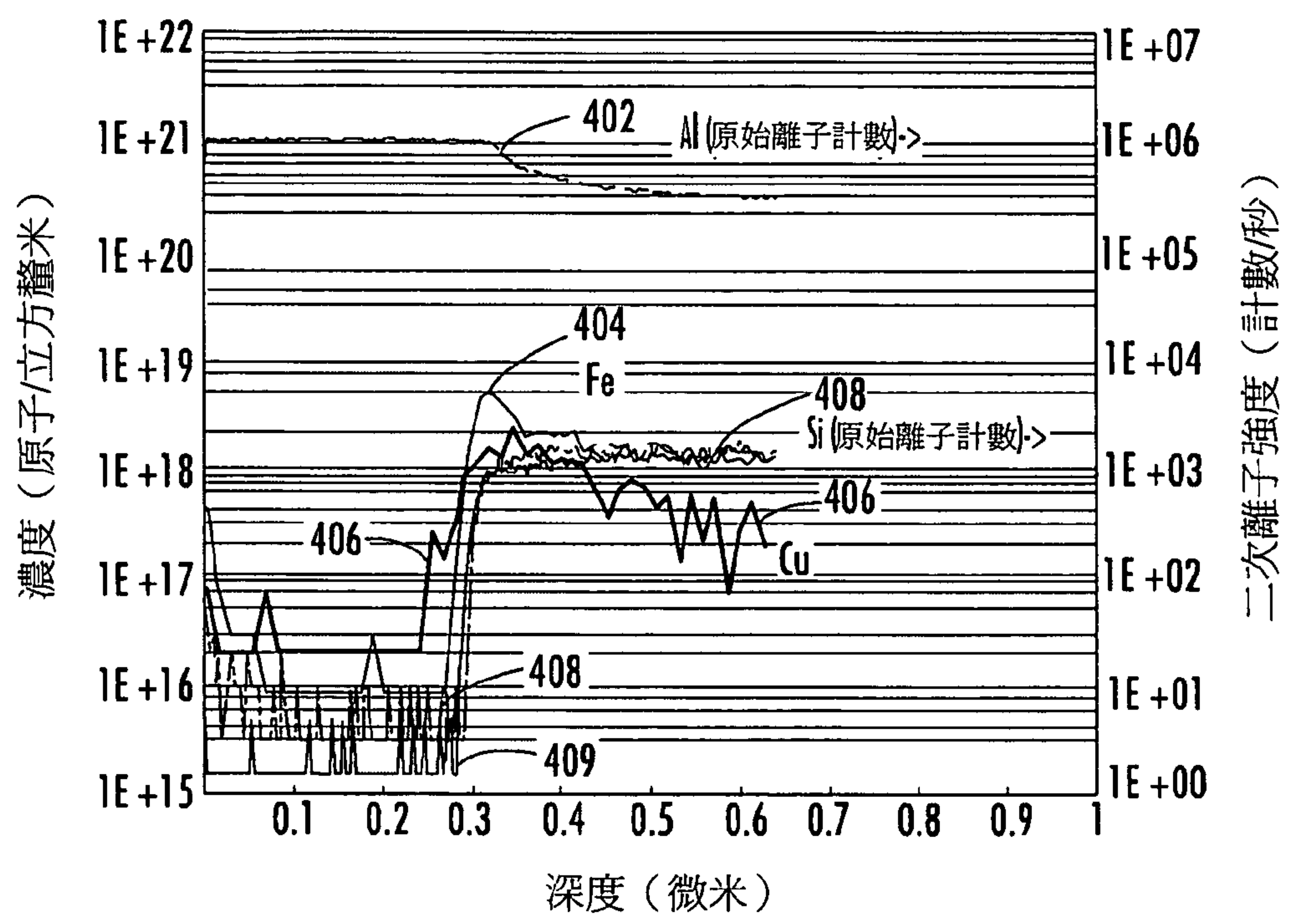


圖 4A

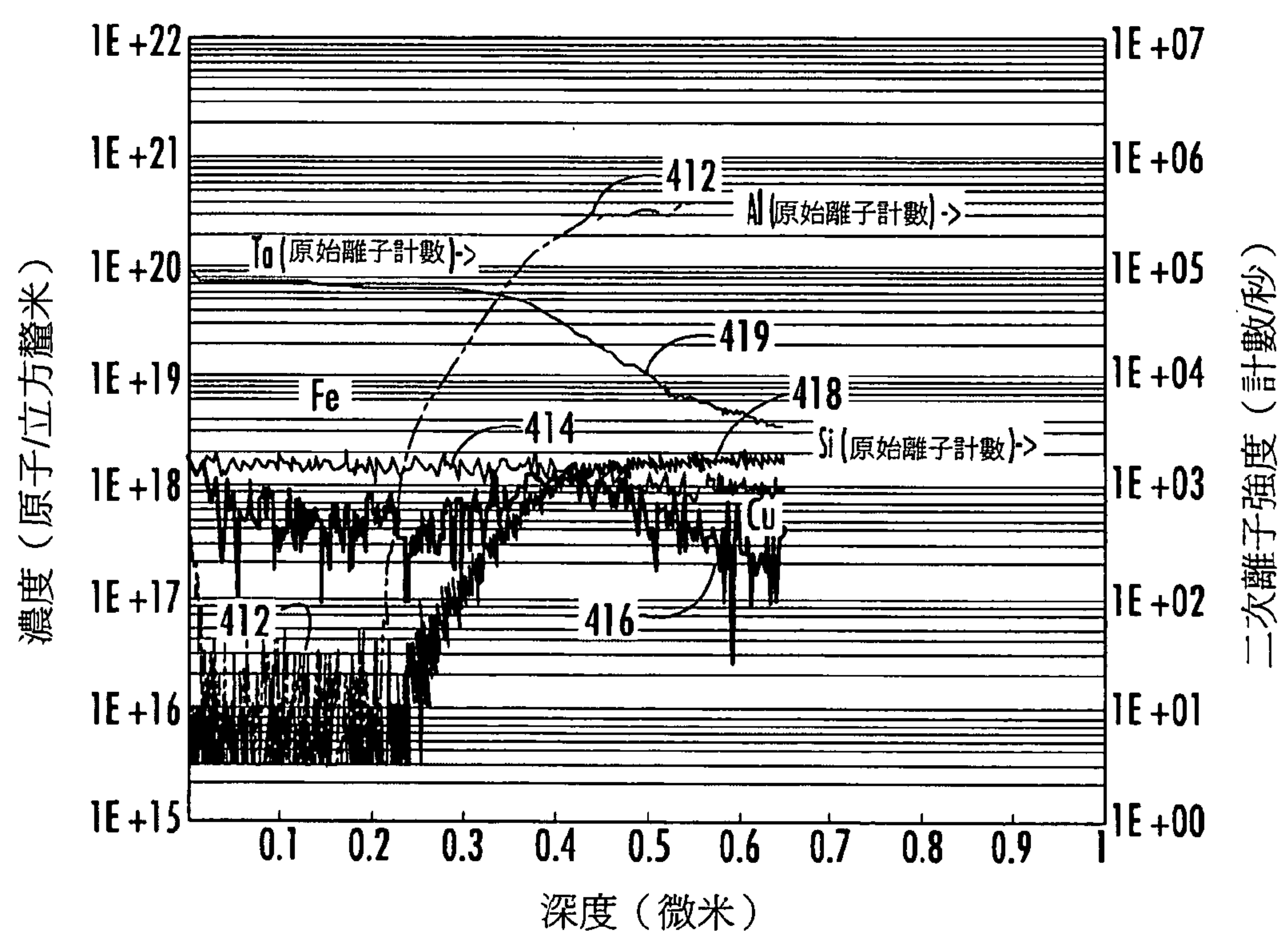


圖 4B

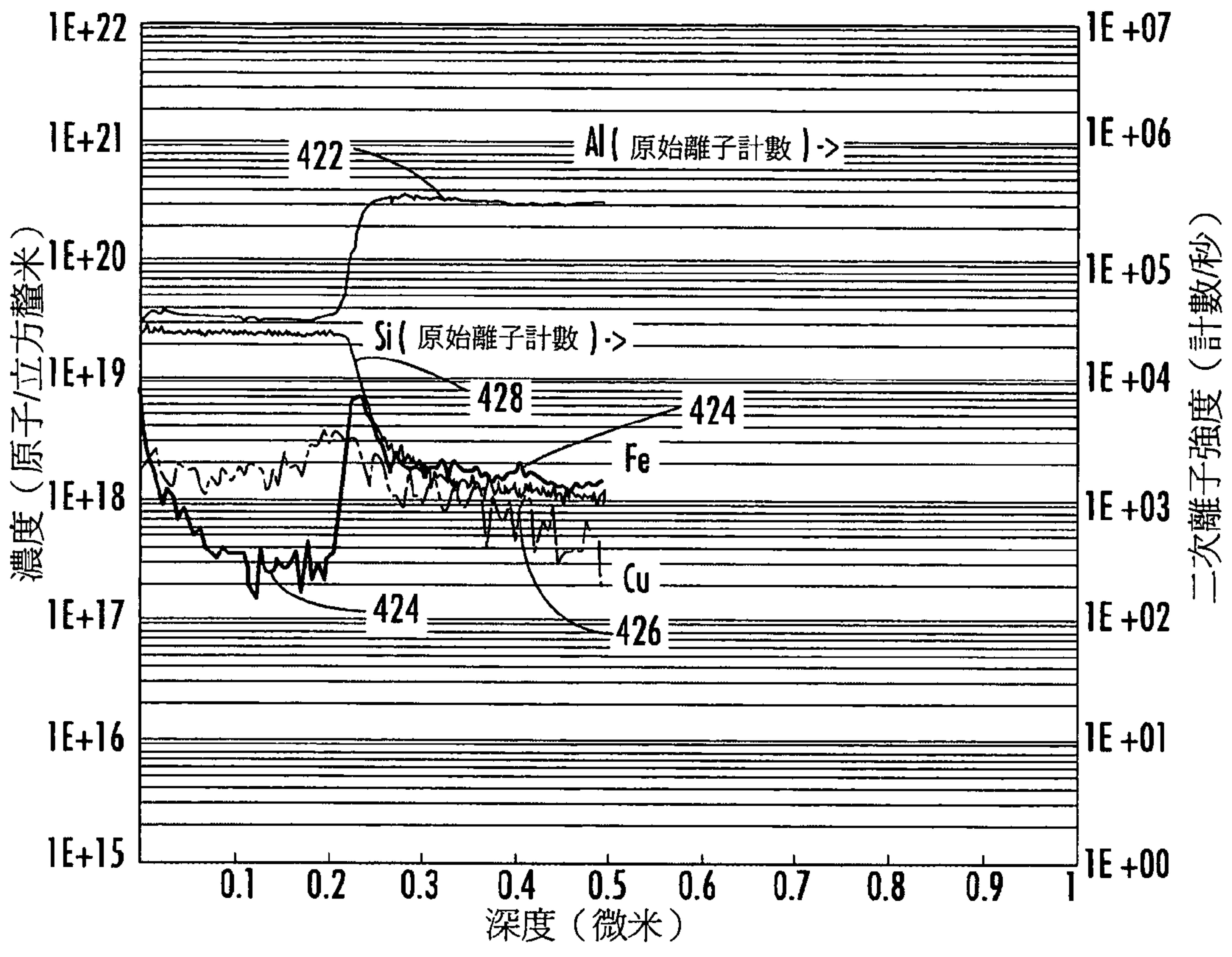


圖 4C

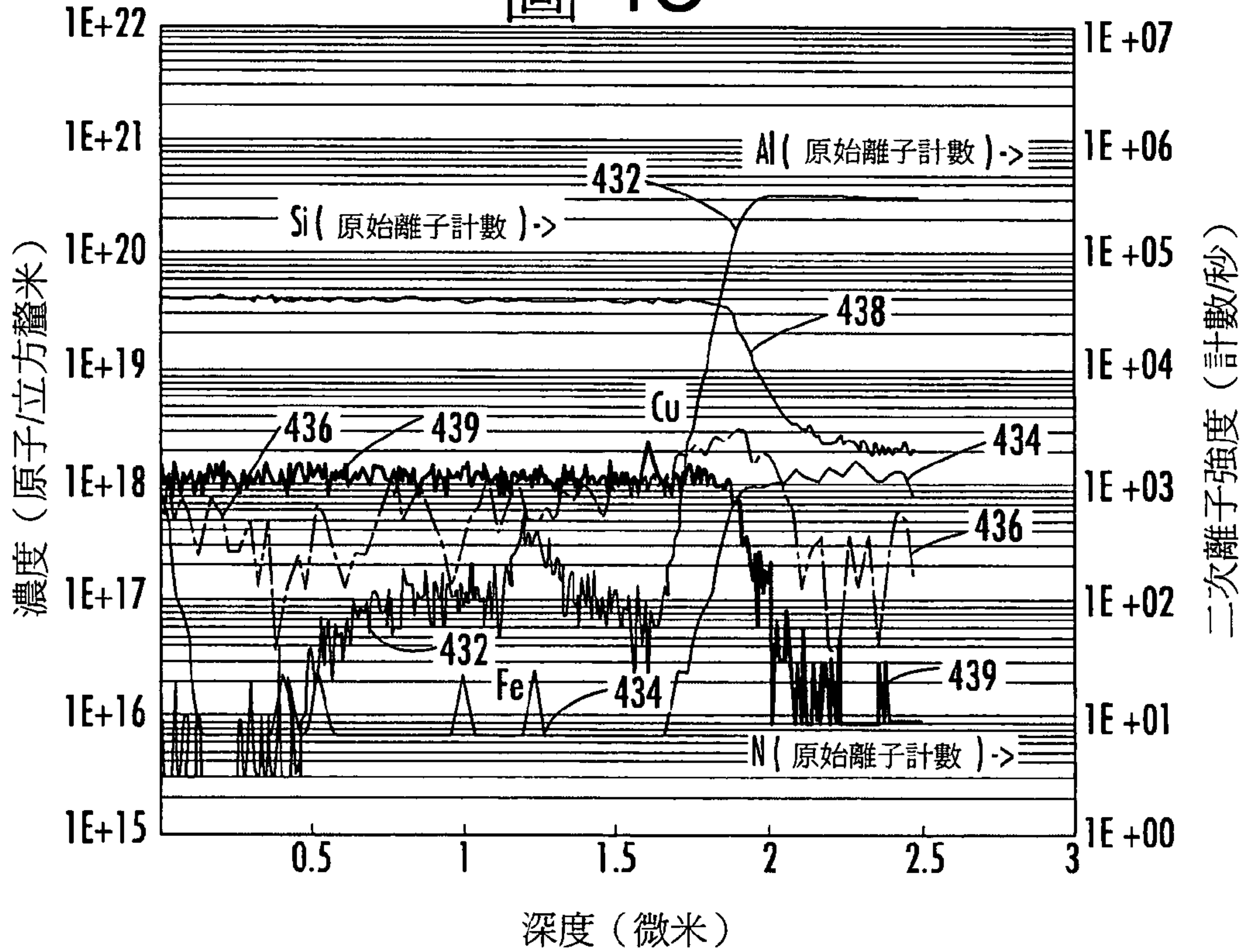


圖 4D



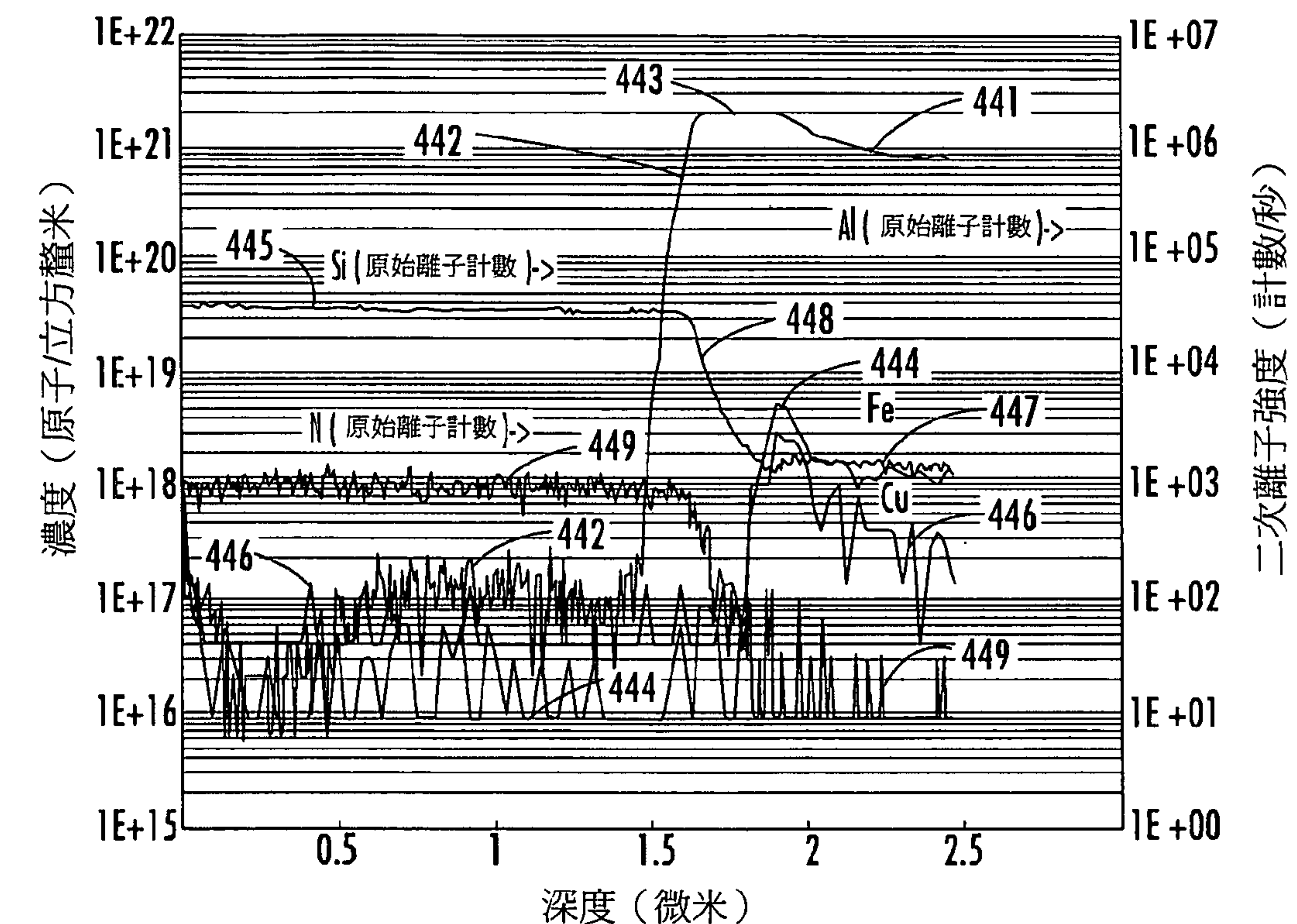


圖 4E

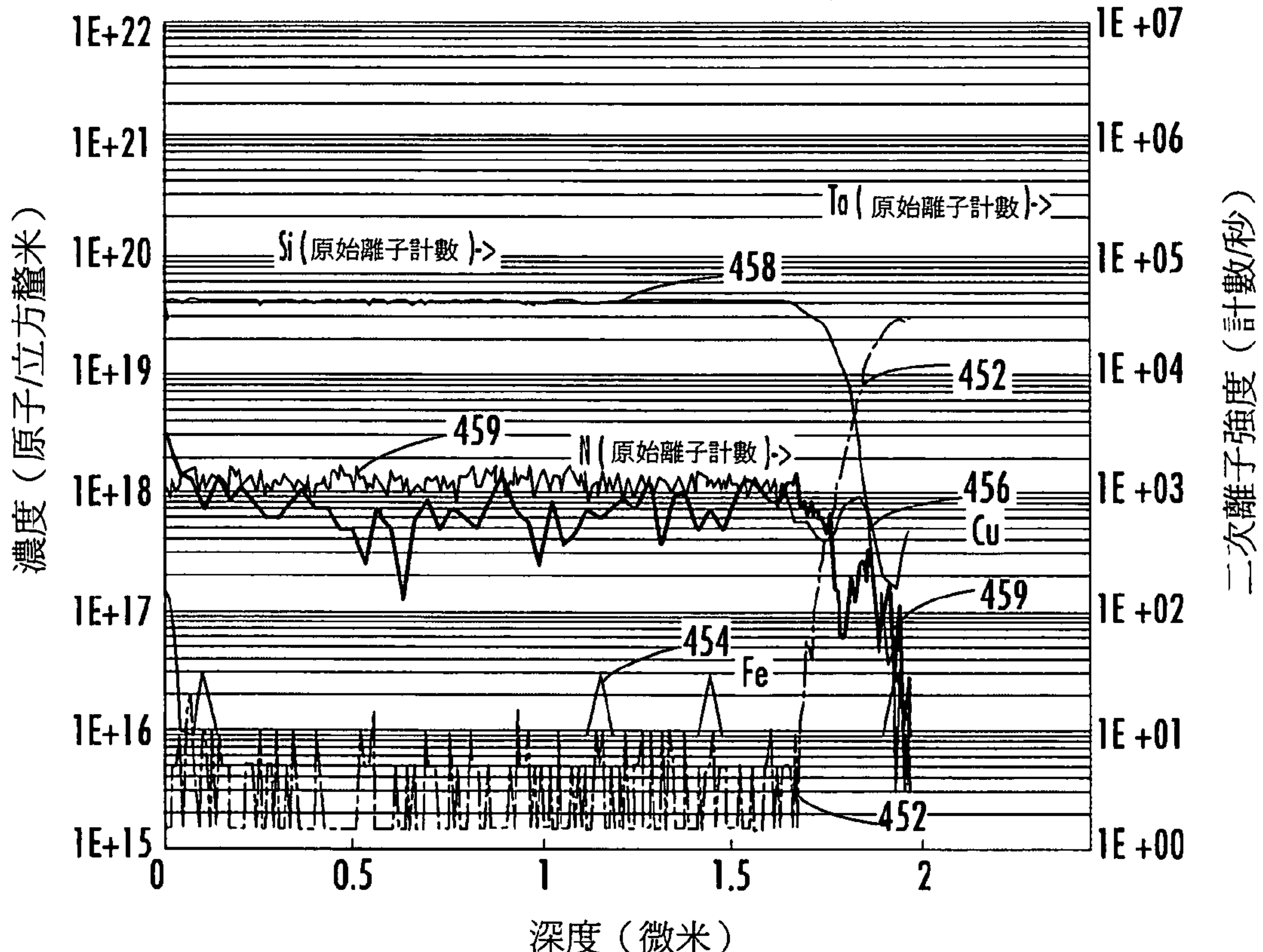


圖 4F

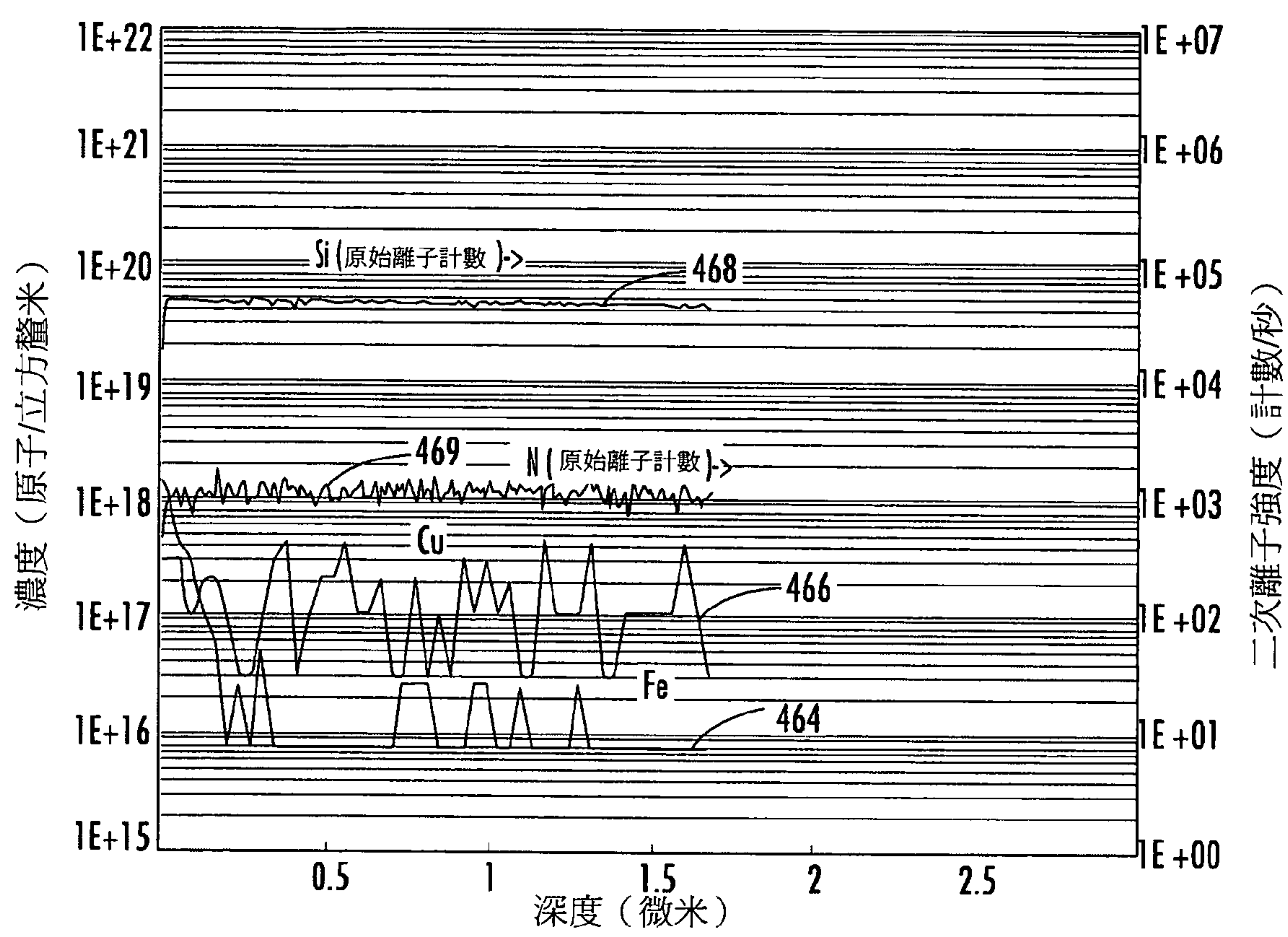


圖 4G

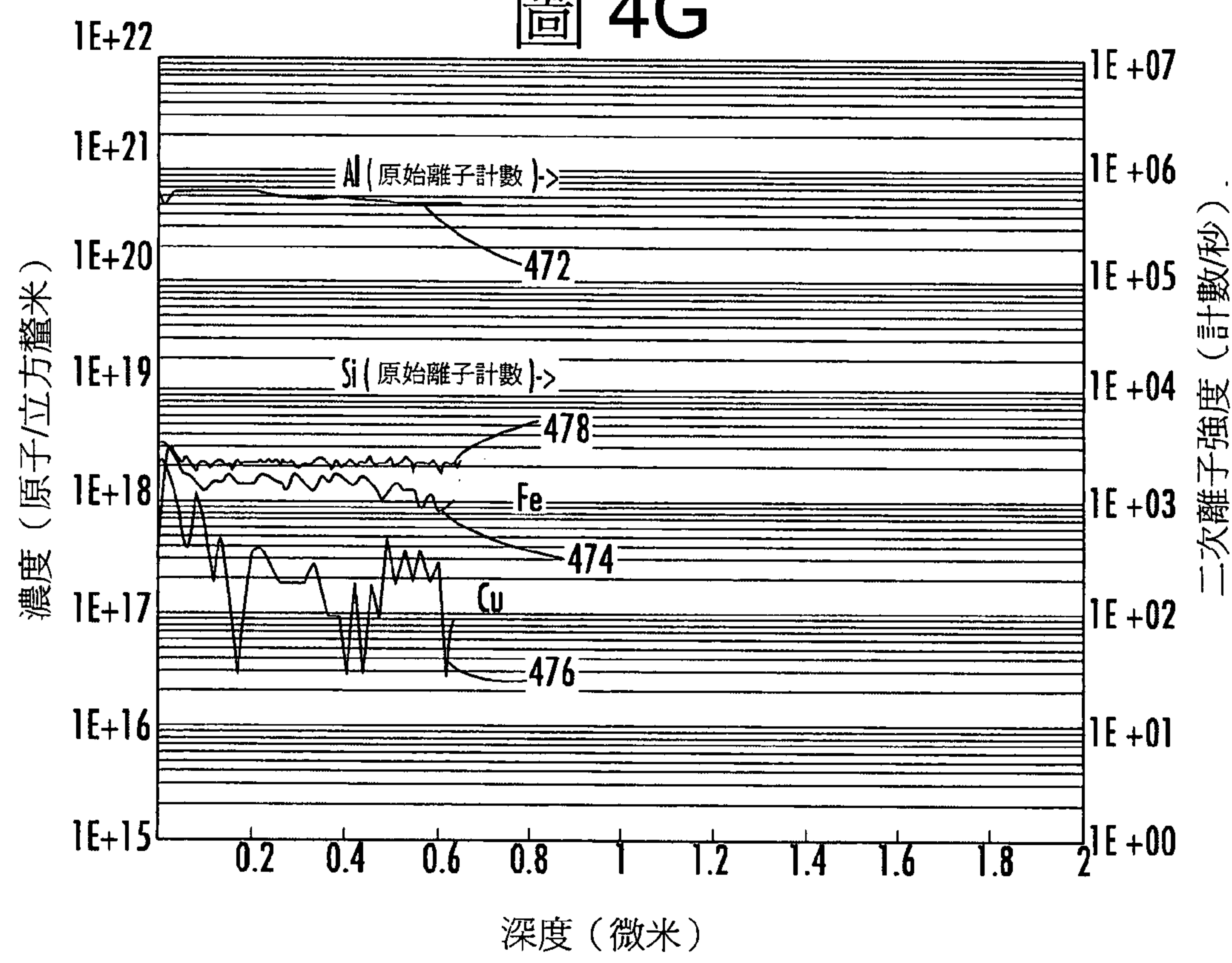


圖 4H



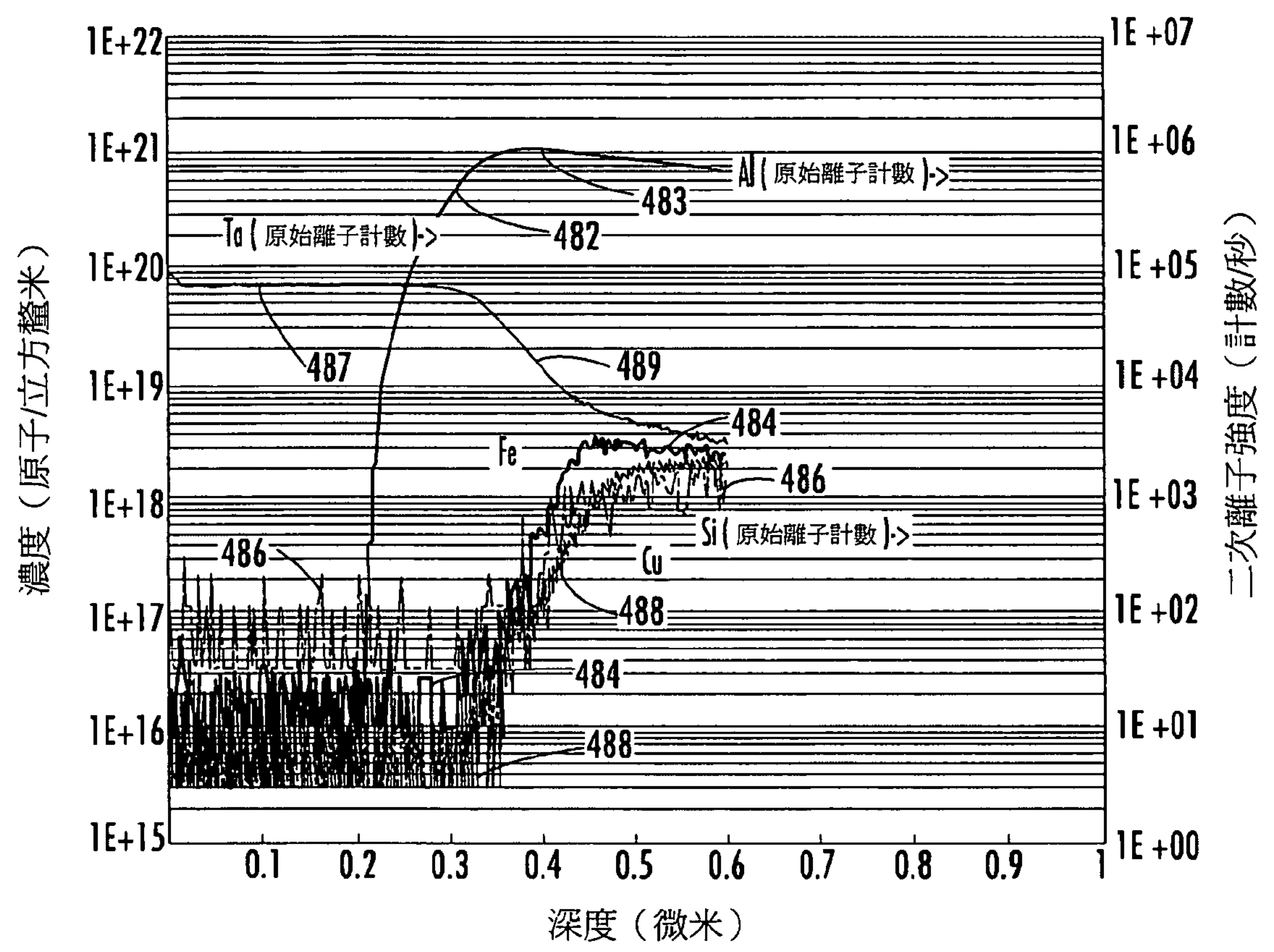


圖 41

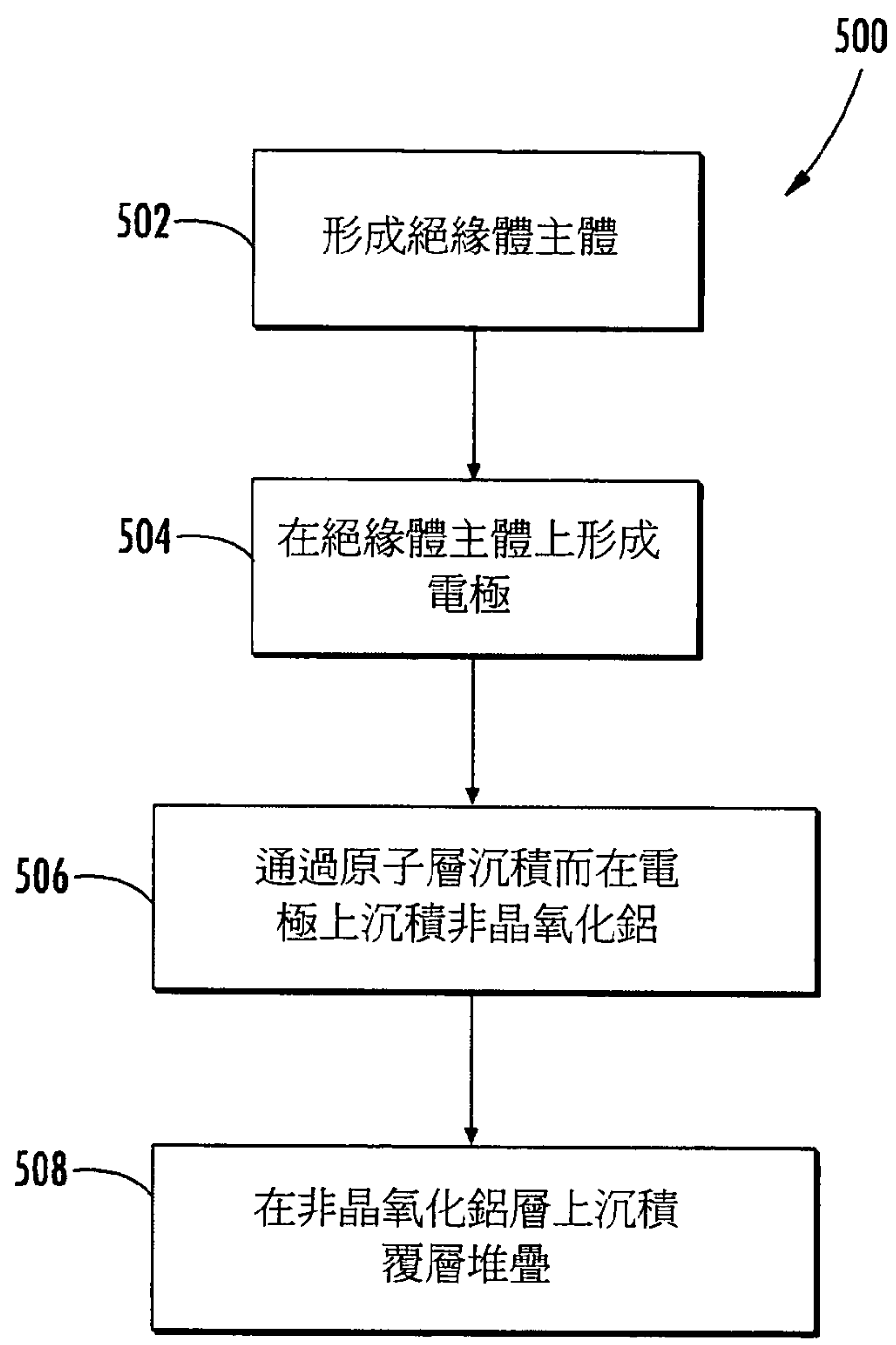


圖 5