I875192

(19)中華民國智慧財產局

(12)發明說明書公告本 **(11)證書號數：TW I875192 B**

(45)公告日： 中華民國 114 (2025) 年 03 月 01 日

(21)申請案號：112135186 (22)申請日： 中華民國 112 (2023) 年 09 月 15 日

(51)Int. Cl.： *G06F7/38 (2006.01)* *G06F17/10 (2006.01)*
G06F7/556 (2006.01)

(30)優先權：2022/09/20 美國 63/376,339
2022/10/11 美國 18/045,577

(71)申請人：美商蘋果公司 (美國) APPLE INC. (US)
美國

(72)發明人：沙澤加里 阿里 SAZEGARI, ALI (US)；埃爾馬萊姆 塞格夫 ELMALEM, SEGEV (IL)；張 歐辰 CHANG, O-CHENG (US)；張晉偉 ZHANG, JINGWEI (CN)；索菲爾 伊豆 SOFFAIR, IDO (IL)；蒙希 阿夫塔布 A MUNSHI, AAFTAB A. (US)

(74)代理人：陳長文；黃章典；金若芸

(56)參考文獻：

TW	199927B	US	2016/0124709A1
US	2019/0042192A1	US	2021/0326107A1
US	2022/0066737A1		

審查人員：高元良

申請專利範圍項數：20 項 圖式數：9 共 49 頁

(54)名稱

用於浮點冪操作的設備、方法及電腦可讀媒體

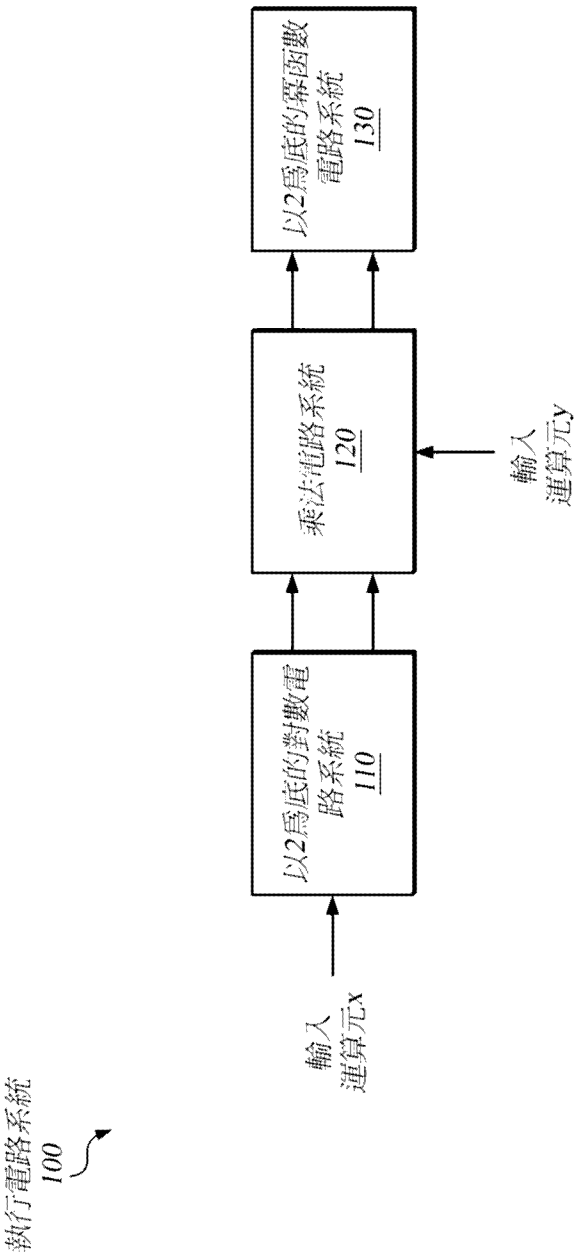
(57)摘要

揭示與用於一浮點冪指令的專用冪函數電路系統有關的技術。在一些實施例中，執行電路系統經組態以執行一浮點冪指令以將冪函數 x^y 評估為 $2^{y \log_2 x}$。在一些實施例中，以 2 為底的對數電路系統經組態以藉由判定一多項式函數的係數及使用該等經判定係數及一第一輸入評估該多項式函數而評估該第一輸入的一以 2 為底的對數(例如，$\log_2 x$)。在一些實施例中，乘法電路系統將該以 2 為底的對數結果乘以一第二輸入以產生一乘法結果。在一些實施例中，以 2 為底的冪函數電路系統經組態以評估該乘法結果的一以 2 為底的冪函數。相對於傳統技術，所揭示技術可有利地以合理的面積及準確度增加浮點冪函數操作的效能及降低電力消耗。

Techniques are disclosed relating to dedicated power function circuitry for a floating-point power instruction. In some embodiments, execution circuitry is configured to execute a floating-point power instruction to evaluate the power function x^y as $2^{y \log_2 x}$. In some embodiments, base-2 logarithm circuitry is configured to evaluate a base-2 logarithm for a first input (e.g., $\log_2 x$) by determining coefficients for a polynomial function and evaluating the polynomial function using the determined coefficients and the first input. In some embodiments, multiplication circuitry multiplies the base-2 logarithm result by a second input to generate a multiplication result. In some embodiments, base-2 power function circuitry is configured to evaluate a base-2 power function for the multiplication result. Disclosed techniques may advantageously

increase performance and reduce power consumption of floating-point power function operations with reasonable area and accuracy, relative to traditional techniques.

指定代表圖：



【圖1】

符號簡單說明：

100:執行電路系統

110:以 2 為底的對數電路系統

120:乘法電路系統

130:以 2 為底的冪函數電路系統

I875192

【發明摘要】

【中文發明名稱】 用於浮點冪操作的設備、方法及電腦可讀媒體

【英文發明名稱】 APPARATUS, METHOD, AND COMPUTER-READABLE MEDIUM FOR FLOATING-POINT POWER OPERATION

【中文】

揭示與用於一浮點冪指令的專用冪函數電路系統有關的技術。在一些實施例中，執行電路系統經組態以執行一浮點冪指令以將冪函數x^y評估為$2^{y\,log_2\,x}$。在一些實施例中，以2為底的對數電路系統經組態以藉由判定一多項式函數的係數及使用該等經判定係數及一第一輸入評估該多項式函數而評估該第一輸入的一以2為底的對數（例如，$log_2\,x$）。在一些實施例中，乘法電路系統將該以2為底的對數結果乘以一第二輸入以產生一乘法結果。在一些實施例中，以2為底的冪函數電路系統經組態以評估該乘法結果的一以2為底的冪函數。相對於傳統技術，所揭示技術可有利地以合理的面積及準確度增加浮點冪函數操作的效能及降低電力消耗。

【英文】

Techniques are disclosed relating to dedicated power function circuitry for a floating-point power instruction. In some embodiments, execution circuitry is configured to execute a floating-point power instruction to evaluate the power function x^y as $2^{y\log_2 x}$.

In some embodiments, base-2 logarithm circuitry is configured to evaluate a base-2 logarithm for a first input (e.g., $\log_2 x$) by determining coefficients for a polynomial function and evaluating the polynomial function using the determined coefficients and

the first input. In some embodiments, multiplication circuitry multiplies the base-2 logarithm result by a second input to generate a multiplication result. In some embodiments, base-2 power function circuitry is configured to evaluate a base-2 power function for the multiplication result. Disclosed techniques may advantageously increase performance and reduce power consumption of floating-point power function operations with reasonable area and accuracy, relative to traditional techniques.

【指定代表圖】　　圖1

【代表圖之符號簡單說明】

100:執行電路系統

110:以2為底的對數電路系統

120:乘法電路系統

130:以2為底的冪函數電路系統

【特徵化學式】無

修正日期:113年09月06日

【發明說明書】

【中文發明名稱】 用於浮點冪操作的設備、方法及電腦可讀媒體

【英文發明名稱】 APPARATUS, METHOD, AND COMPUTER-READABLE MEDIUM FOR FLOATING-POINT POWER OPERATION

【技術領域】

【0001】 本揭露通常關於電腦處理器，且更具體地關於浮點電路系統。

【先前技術】

【0002】 複雜函數常在電腦處理器中執行以用於各種應用，諸如數值計算、圖形處理、機器學習演算法、顯示處理等。一般而言，電腦處理器使用專用電路系統執行許多共同操作，諸如乘法及加法。然而，某些更複雜的操作（例如，諸如冪函數x^y、指數函數、及對數函數）一般使用具有多個指令的軟體程式庫實施。以具有可接受電路面積及所欲準確度的硬體實施此類操作可具有挑戰性。

【發明內容】

無

【圖式簡單說明】

【0003】

〔圖 1〕係繪示根據一些實施例之實例執行電路系統的方塊圖。

〔圖 2〕係繪示根據一些實施例之實例管線的方塊圖。

〔圖 3〕係繪示根據一些實施例之詳細實例執行電路系統的方塊圖。

〔圖 4〕係繪示根據一些實施例之實例以 2 為底的對數電路系統的方塊圖。

〔圖 5〕係繪示根據一些實施例之詳細實例多項式近似電路系統的方塊圖。

〔圖 6〕係繪示根據一些實施例之實例方法的流程圖。

〔圖 7〕係繪示根據一些實施例之實例計算裝置的方塊圖。

〔圖 8〕係繪示根據一些實施例之所揭示之系統及裝置的實例應用的圖。

〔圖 9〕係繪示根據一些實施例之儲存電路設計資訊的實例電腦可讀媒體的方塊圖。

【實施方式】

相關申請案之交互參照

【0004】 本申請案主張於2022年9月20日申請之美國臨時專利申請案第63/376,339號之優先權，其揭示內容以全文引用方式併入本文中。

【0005】 諸如乘法及加法的共同計算函數一般利用專用電路系統產生浮點結果。然而，對於諸如冪函數的更複雜函數，例如，導因於準確度及面積限制，傳統技術利用軟體程式庫。一般而言，相對於傳統技術，所揭示的專用冪函數電路系統可針對一輸入值範圍以合理的面積及準確度實質增加浮點冪函數操作的效能並減少電力消耗。

【0006】 在一些實施例中，執行電路系統經組態以執行單一浮點冪指令以評估冪函數$x^y = 2^{(y\ log_2\ x)}$。執行冪函數的單一指令可相對於執行軟體程式庫的多個指令具有各種效能益處。進一步地，所揭示的電路系統可實施各種技術以維持準確度目標。

【0007】 例如，在一些實施例中，執行硬體以三個步驟近似冪函數，包括對第一輸入執行以2為底的對數近似（例如，$log_2 x$），將以2為底的對數近似結果乘以第二輸入（例如，$y \times log_2 x$），及基於乘法結果執行以2為底的冪函數近似（例如，$2^{y \log_2 x}$））。

【0008】 在下文詳細討論的一些實施例中，作為以2為底的對數近似的部分，執行電路系統判定多項式函數的係數，並使用經判定係數及x輸入評估該多項式函數以產生結果。此操作可使用頭尾算術以相對於使用初始輸入格式（例如，32位元浮點格式）改善準確度而無需與採較高精度格式之操作關聯（例如，與採64位元浮點格式的乘法關聯）的電路面積。一般而言，使用頭尾算術可降低捨入誤差，協助上文提及的在準確度考量與面積考量之間的權衡。進一步地，以2為底的對數電路系統可經組態在判定係數（例如，使用查找表）時使用重疊區間，其可降低誤差（其一般可能在給定區間的邊緣附近最大）。

【0009】 乘法電路系統亦可使用頭尾算術執行乘法操作。在下文詳細討論的一些實施例中，執行電路系統藉由基於乘法結果近似以2為底的冪函數（且以2為底的冪函數亦可使用多項式近似）而產生冪函數結果。

【0010】 應注意，除了上文列出的效能益處外，專用冪函數電路系統可有利地提供由其他函數使用的中間結果（例如，使用為機器學習應用之激勵函數之以2為底的對數結果或以2為底的冪結果）而在電路面積上幾乎沒有增加。此亦可降低該等函數的電力消耗並改善效能。

實例執行電路系統

【0011】 圖1係繪示根據一些實施例之實例執行電路系統的方塊圖。在所繪示實施例中，執行電路系統100包括以2為底的對數電路系統110、乘法電路系統120、及以2為底的冪函數電路系統130。

【0012】 在一些實施例中，執行電路系統100藉由產生第一輸入之以2為底之對數的近似，將以2為底之對數近似的結果乘以第二輸入，並產生乘法結果之2為底之冪函數的近似而評估浮點冪函數。

【0013】 在所繪示實施例中，以2為底的對數電路系統110經組態以基於輸入運算元x評估以2為底的對數，例如，$log_2 x$。在一些實施例中，如相關於圖4及圖5於下文詳細討論者，以2為底的對數電路系統110可執行各種操作，包括下列：引數移位、浮點轉換、多項式近似、頭尾算術加法等。

【0014】 在一些實施例中，以2為底的對數電路系統藉由基於輸入運算元x判定多項式函數的係數，及基於經判定係數及輸入運算元x評估多項式函數以判定以2為底的對數結果而評估輸入運算元x之以2為底的對數。在相關於圖3於下文詳細討論的一些實施例中，由以2為底的對數電路系統評估的以2為底的對數結果可包括頭尾算術的頭部分量及尾部分量。

【0015】 在一些實施例中，頭尾算術係用以產生更高精度結果，使得捨入誤差在稍後級中（例如，在由乘法電路系統120執行的乘法操作中）不會變得不可接受。如所屬技術領域中具有通常知識者所理解的，頭尾算術使用較低精度的二個分量表示一較高精度數且在該二個分量上個別操作。此方法可有利地維持精度而不需要增加某些電路元件（例如，乘法器、加法器等）的寬度，其可能更實質地影響面積考量、電力消耗等。應注意，在一些實施例中，頭尾

操作可利用給定運算元之具有類似的分開操作且隨後轉換成更傳統格式的多於二個的部分，例如，對於總共三個部分、總共四個部分等，使用中間部分。

【0016】 在一些實施例中，輸入運算元x以第一浮點格式提供至以2為底的對數電路系統110。作為一實例，輸入運算元x可使用其使用32個位元表示浮點數的IEEE標準單精度浮點格式表示。在一些實施例中，頭部分量及尾部分量使用小於或等於輸入運算元x的位元數目。

【0017】 在所繪示實施例中，乘法電路系統120經組態以在由以2為底的對數電路系統110產生的以2為底的對數結果與輸入運算元y之間執行乘法操作，以產生乘法結果$y \times log_2 x$。在相關於圖3於下文詳細討論的一些實施例中，乘法操作可係頭尾操作，且乘法結果可包括乘法頭部結果及乘法尾部結果。

【0018】 在所繪示實施例中，以2為底的冪函數電路系統130經組態以評估二的乘法結果之表示的冪，以產生浮點指令之採第一浮點格式的結果。例如，乘法結果的表示可係將頭尾乘法結果轉換成非頭尾格式的輸出。在此等實施例中，以2為底的冪函數電路系統130未經組態以執行頭尾算術。

實例管線

【0019】 圖2係繪示根據一些實施例之實例管線的方塊圖。在所繪示實施例中，實例管線繪示包括提取級210、解碼級220、調度級230、及執行電路系統100的多個元件。雖然所繪示的級係出於說明的目的而包括，在其他實施例中，給定管線可包括各種其他級或可省略所繪示的級。進一步地，一或多個經繪示元件自身可管線化（例如，執行電路系統100可包括多個級）。

【0020】 處理器「管線(pipeline)」的概念已為人所充分瞭解，且係指將處理器在指令上執行的「工作(work)」分割至多個級中的概念。在一些實施例中，指令解碼、調度、執行（亦即，執行(performance)）、及引退可係不同管線級的實例。具有各種元件/部分順序的許多不同管線架構係可行的。各種管線級在一或多個處理器時脈循環期間在一指令上執行此類步驟，接著將該指令或與該指令關聯的操作傳遞至其他級以用於進一步處理。

【0021】 在一些實施例中，提取級電路系統210經組態以提取用於執行的指令，包括指定評估浮點冪函數的指令。在一些實施例中，浮點冪指令可係單一指令集架構(instruction-set-architecture, ISA)指令。在一些實施例中，浮點冪指令可係由處理器支援的單一微操作。在其他實施例中，單一浮點冪指令可使用多個微操作實施。應注意，在其他實施例中，可使用多個指令（例如，二個或三個）實施浮點冪操作。然而，一般而言，使用專用硬體支援及有限數目的指令執行冪操作的能力可改善冪操作的通量，其中單一指令實施方案提供最多通量。

【0022】 在一些實施例中，所揭示的技術可允許提取級電路系統210每一個循環提取一浮點冪指令，其可相對於基於軟體技術實質增加通量。

【0023】 在所繪示實施例中，解碼級電路系統220經組態以解碼來自級210的經提取指令。在一些實施例中，例如，解碼220使經提取指令備妥以用於進一步處理，諸如藉由檢驗提取指令的運算碼及判定來源及目的地運算元的位置。

【0024】 在一些實施例中，調度級電路系統230根據一些實施例，經組態以將操作調度至管線電路系統的各種執行單元內的保留站（未圖示）。

【0025】 在所繪示實施例中，執行電路系統100經組態以評估浮點冪函數。在一些實施例中，此包括評估以2為底的對數、執行乘法操作、及評估以2為底的冪函數，如相關於圖3於下文詳細討論者。應注意執行電路系統100亦可包括各種其他單元，例如，整數單元、載入/儲存單元等。執行電路系統100的各種單元可管線化。

詳細的執行電路系統

【0026】 圖3係繪示根據一些實施例之詳細實例執行電路系統的方塊圖。在所繪示實施例中，執行電路系統100包括以2為底的對數電路系統110、以2為底的冪函數電路系統130、例外控制電路系統310、及各種其他電路元件（例如，乘法器320、多工器330、340、350、及360等）。

【0027】 在所繪示實施例中，執行電路系統100經組態以執行單一浮點冪指令以產生冪函數結果。在一些實施例中，執行電路系統100接收輸入運算元x、輸入運算元y、及函數輸入。在一些實施例中，輸入運算元x及y係以第一浮點格式（例如，N位元浮點格式）提供。

【0028】 在一些實施例中，函數輸入係基於正在執行之指令的類型，且指定是否將提供中間結果，例如，使用由以2為底的對數電路系統110或以2為底的冪函數電路系統130評估的結果。因此，所揭示硬體之經組態以執行冪函數指令的部分亦可有利地，例如，藉由選擇中間結果而用以執行其他類型的指令。

【0029】 在所繪示實施例中，以2為底的對數電路系統110評估輸入運算元x的以2為底的對數。在一些實施例中，此包括基於輸入運算元x判定多項式函數的係數及評估該多項式函數以判定採第二浮點格式之以2為底之對數結果

的近似（例如，具有N個位元或更少的頭部分量及N個位元或更少的尾部分量的頭尾格式）。在一些實施例中，判定以2為底的對數結果包括基於經判定係數及輸入運算元x評估多項式函數。

【0030】 在所繪示實施例中，以2為底的對數結果包括頭部分量log2a_head及尾部分量log2a_tail，該等分量係至所繪示乘法器電路320待乘以輸入運算元y的輸入。

【0031】 在所繪示實施例中，乘法器電路320（其可對應於圖1的乘法電路系統120）基於運算元log2a_head、log2a_tail、及y執行頭尾乘法操作，以產生包括乘法頭部結果及乘法尾部結果的乘法結果。

【0032】 在所繪示實施例中，乘法頭部結果及乘法尾部結果係至二個分開的多工器電路330及340的輸入，該等多工器電路將乘法頭部結果及乘法尾部結果傳播至用於冪函數的以2為底的冪函數電路系統130。然而，對於以2為底的冪指令（由函數輸入EXP2指示），替代地將輸入運算元y及值零傳播至以2為底的冪函數電路系統130。

【0033】 在一些實施例中，在將指定值傳播至以2為底的冪函數電路系統130之前，轉換電路系統（未圖示）可將乘法頭部結果及乘法尾部結果轉換成輸入運算元的浮點格式以產生經轉換乘法結果。

【0034】 在所繪示實施例中，以2為底的冪函數電路系統130經組態以評估二的乘法結果之表示的冪，以產生採第一浮點格式的結果。例如，乘法結果的表示可係乘法結果本身或係經轉換乘法結果（例如，從頭尾格式轉換成傳統格式）。

【0035】 在一些實施例中，對於冪指令，由以2為底的冪函數電路系統130產生的結果傳播通過多工器電路350。然而，對於以2為底的對數指令（由函數輸入FLOG2指示），替代地傳播由以2為底的對數電路系統110產生的頭部結果（例如，log2a_head）。

【0036】 根據一些實施例，在所繪示實施例中，例外控制電路系統310經組態以基於所提供的輸入運算元x及y及函數輸入在某些情況下產生例外。在一些實施例中，例外控制電路系統310經組態以確保輸入運算元x（例如，底數）及輸入運算元y（例如，指數）不落在一組限制內，該組限制可係可程式化的。在一些實施例中，限制可包括但不限於以下類型的數：±零、±∞、±QNaN（quiet not a number，靜默非數）、±SNaN（signaling not a number，傳訊非數）、±次正規數、負正規數等。

【0037】 在一些實施例中，回應於偵測到輸入運算元x或輸入運算元y落在上文列出的限制內，例外控制電路系統310可將is_valid信號的0值及與該例外關聯的值提供至多工器電路360。在一些實施例中，is_valid信號的0值將例外值選擇為多工器電路360的輸出結果。在一些實施例中，基於所指定的函數及輸入運算元，輸出結果可係SNaN值或一些其他適當值。

實例以2為底的對數電路系統

【0038】 圖4係繪示根據一些實施例之實例以2為底的對數電路系統的方塊圖。在所繪示實施例中，以2為底的對數電路系統110包括引數移位電路系統410、多項式近似電路系統420、浮點轉換電路系統430、及頭尾加法電路系統440。

【0039】 在所繪示實施例中，引數移位電路系統410經組態以從浮點輸入提取尾數值及指數值。在一些實施例中，引數移位電路系統410接收作為輸入的輸入運算元x並執行一或多個操作以輸出二個值：x的尾數及x的指數。

【0040】 在一些實施例中，引數移位電路系統410藉由執行位元遮罩及操作及位元遮罩或操作計算x的尾數。在一些實施例中，引數移位電路系統410以等效於1.尾數的浮點格式產生x的尾數。在所繪示實施例中，x的尾數傳播至多項式近似電路系統420。在一些實施例中，x的指數係藉由以等於x之尾數的大小的位元數目（例如，對於IEEE標準單精度浮點格式係23個位元）執行右移位操作而產生。

【0041】 在一些實施例中，所揭示電路系統可經組態以提供在某個範圍內的輸入值的結果。在一些實施例中，對於大於該範圍的值，將x的尾數摺疊至較小範圍中，其可在管線中的稍後級降低或避免浮點抵消錯誤（例如，在乘法步驟中）。作為一個非限制性實例，x的尾數可摺疊至[0.75, 1.5)的較小範圍中，該較小範圍可在管線中的稍後級降低或避免浮點抵消錯誤（例如，在乘法步驟中）。

【0042】 在所繪示實施例中，多項式近似電路系統420經組態以基於尾數產生以2為底之對數的近似且產生頭部結果lgx_head及尾部結果lgx_tail。參照圖5於下文詳細地討論電路系統420的詳細實例。

【0043】 在所繪示實施例中，加法器電路系統自x的指數減去偏移值，將其結果傳播至浮點轉換電路系統430。

【0044】 在所繪示實施例中，浮點轉換電路系統430經組態以將x的指數減偏移從二分量表示轉換成單精度浮點表示（圖4中的未偏移指數）。

【0045】 在所繪示實施例中，頭尾加法電路系統440經組態以在未偏移指數與由多項式近似電路系統420產生的頭部輸出（例如，lgx_head）及尾部輸出（例如，lgx_head）之間執行頭尾加法操作。在一些實施例中，頭尾加法包括執行分開的32位元浮點加法操作以產生頭部結果(log2a_head)及尾部結果(log2a_tail)。

實例多項式近似電路系統

【0046】 圖5係繪示根據一些實施例之詳細多項式近似電路系統的方塊圖。在所繪示實施例中，多項式近似電路系統420包括多項式係數表510及融合乘/加電路系統520A至520C。

【0047】 在所繪示實施例中，多項式近似電路系統420經組態以執行參照圖4於上文討論的以2為底的對數多項式近似。

【0048】 在所繪示實施例中，多項式近似電路系統420接收作為輸入的x的尾數，且基於x的尾數及儲存在多項式係數表510中的係數而產生三階多項式近似。在一些實施例中，多項式近似係包括對應於不同輸入值範圍的多組係數（例如，此實例中的C0至C3）的分段多項式近似。在一些實施例中，多項式近似電路系統420實施多項式近似方程式$\left((x_{mantissa} \times C_0 + C_1) \times x_{mantissa} + C_2\right) \times x_{mantissa} + C_3$。在所繪示實例中，係數C0表示三階多項式近似的最高次數係數，而係數C3表示三階多項式近似的最低次數（例如，常數）係數。

【0049】 在所繪示實施例中，多項式係數表510經組態以儲存用於多項式近似的係數。表510可儲存用於不同的輸入x尾數值範圍的不同組輸入。在所繪示實施例中，一些經判定係數包括頭部分量及尾部分量（例如，C2_Head、

C2_Tail等）且一些經判定係數不使用頭尾表示（例如，C0、C1等）。此方法可滿足準確度目標而無需將頭尾表示用於一些值（其可降低面積及電力消耗）。

【0050】 在一些實施例中，儲存在表510中的係數係使用重疊區間產生。例如，表510中的給定項的係數可對應於在比對應於該項的輸入值範圍更大的輸入值範圍上的曲線擬合。作為一個假設實例且出於解釋之目的，表510的給定項可儲存（及傳回）在輸入值範圍[0.80, 0.90)中的x的尾數的係數，但該給定項的對應係數可在較大範圍[0.78, 0.92)上對應於曲線擬合操作。

【0051】 在一些實施例中，使用重疊區間產生表510中的係數維持以2為底之對數近似的單調度。此亦可有利地降低誤差（其一般可在給定區間的邊緣附近最大）。

【0052】 在所繪示實施例中，融合乘/加電路系統520A至520C經組態以在經判定係數與x的尾數之間執行級聯融合乘-加操作以實施多項式。在其他實施例中，融合乘-加操作可使用x之尾數的變化實施多項式。例如，轉換電路系統（未圖示）可在融合乘/加電路系統520A至520C執行級聯融合乘-加操作之前將x的尾數轉換成不同格式。在一些實施例中，融合乘/加電路系統520A至520C執行固定點融合乘/加操作。

【0053】 在一些實施例中，融合乘/加電路520A在x的尾數與係數C0之間執行乘法操作，之後係係數C1的加法，以產生藉由中間結果z1表示的表示式$(x_{mantissa} \times C_0 + C_1)$。

【0054】 在一些實施例中，融合乘/加電路520B在中間結果z1與x的尾數之間執行乘法，之後係使用係數C2_Head及C2_Tail的頭尾加法操作，以產生中間結果z2_head及z2_tail。在一些實施例中，中間結果z2_head表示表示式

$(x_{mantissa} \times C_0 + C_1) \times x_{mantissa} + C_{2_{head}}$，而z2_tail表示$(x_{mantissa} \times C_0 + C_1) \times x_{mantissa} + C_{2_{tail}}$。

【0055】 在一些實施例中，融合乘/加電路520C在中間結果z2_head及z2_tail與x的尾數之間執行分開的頭尾乘法操作，之後係使用係數C3_Head及C3_Tail的頭尾加法操作，以產生log2a_head及log2a_tail結果。在一些實施例中，log2a_head及log2a_tail分別表示以2為底之對數多項式近似的頭部分量及尾部分量。

實例方法

【0056】 圖6係繪示根據一些實施例之實例方法的流程圖。圖6所示的方法可與本文揭示之電腦電路系統、系統、裝置、元件、或組件、或其他的任一者結合使用。在各種實施例中，所示之方法元件的一些可同時執行、以不同於所示的一順序執行、或者可省略。亦可依需要執行額外的方法元件。

【0057】 在610，在所繪示實施例中，計算裝置（例如，執行電路系統100）執行在採第一浮點格式的第一浮點輸入及第二浮點輸入上操作的單一冪指令，以產生評估冪函數$2^{(\text{第二輸入} * \log_2(\text{第一輸入}))}$的結果。

【0058】 在一些實施例中，第一浮點格式係N位元浮點格式。作為一個實例，第一浮點格式可係使用32個位元表示浮點數的IEEE標準單精度浮點格式

【0059】 在620，在所繪示實施例中，計算裝置（例如，以2為底的對數電路系統110）基於第一輸入判定多項式函數的係數。

【0060】 在一些實施例中，多項式函數係三階多項式。在一些實施例中，判定多項式函數的係數包括基於第一輸入存取多項式係數表。

【0061】 在一些實施例中，多項式係數表的給定項包括對應於輸入值範圍之用於三階多項式的多個係數。

【0062】 在一些實施例中，多項式係數表係使用重疊區間產生，使得多項式係數表中的給定項的係數對應於在比對應於該項的輸入值範圍更大的輸入值範圍上的曲線擬合。

【0063】 在630，在所繪示實施例中，計算裝置（例如，以2為底的對數電路系統110）基於經判定係數及第一輸入評估多項式函數以判定採第二浮點格式的第一結果。

【0064】 在一些實施例中，第二浮點格式包括頭部分量及尾部分量（例如，頭尾格式）。在一些實施例中，此包括N個位元或更少的頭部分量及N個位元或更少的尾部分量。在一些實施例中，頭尾格式係用以產生更高精度結果，使得捨入誤差在稍後級中（例如，在640的乘法操作中）不會變得不可接受。頭尾格式使用較低精度的二個分量表示一較高精度數且在該二個分量上個別操作。

【0065】 在一些實施例中，經判定係數的一或多者包括頭部分量及尾部分量，且經判定係數的一或多者使用非頭尾表示。

【0066】 在一些實施例中，第一結果包括第一頭部結果及第一尾部結果。

【0067】 在640，在所繪示實施例中，計算裝置（例如，乘法電路系統120）將第一結果乘以第二浮點輸入以產生乘法結果。

【0068】 在一些實施例中，乘法係頭尾操作，且乘法結果包括第二頭部結果（例如，乘法頭部結果）及第二尾部結果（例如，乘法尾部結果）。

【0069】 在650，在所繪示實施例中，計算裝置（例如，以2為底的冪函數電路系統130）評估二的乘法結果之表示的冪，以產生單一浮點冪函數之採第一浮點格式的結果。

【0070】 在一些實施例中，為評估二的乘法結果之表示的冪，計算裝置（例如，以2為底的冪函數電路系統130）基於乘法結果判定三階多項式函數的係數，並評估該三階多項式函數以判定二的乘法結果之採第一浮點格式之表示的冪。

【0071】 在一些實施例中，計算裝置將第二頭部結果及第二尾部結果轉換成第一浮點格式以產生經轉換乘法結果。在一些實施例中，計算裝置（例如，以2為底的冪函數電路系統130）評估二的經轉換乘法結果的冪。

【0072】 在一些實施例中，第一頭部結果、第一尾部結果、第二頭部結果、及第二尾部結果各使用N個位元或更少表示。在一些實施例中，計算裝置（例如，執行電路系統100）進一步執行以2為底的對數指令並評估輸入的以2為底的對數，以產生以2為底之對數指令的結果。在一些實施例中，計算裝置包括選擇以2為底之對數指令之結果的多工器電路系統。

【0073】 在一些實施例中，計算裝置（例如，執行電路系統100）進一步執行以2為底的冪函數指令並評估輸入的以2為底的冪函數，以產生以2為底之冪函數指令的結果。在一些實施例中，計算裝置（例如，執行電路系統100）包括選擇以2為底之冪函數指令之結果的多工器電路系統。

實例裝置

【0074】 現在參照圖7，顯示繪示裝置700之實例實施例的方塊圖。在一些實施例中，裝置700的元件可包括在系統單晶片(system on a chip)內。在一些實施例中，裝置700可包括在可係電池供電的行動裝置中。因此，裝置700的電力消耗可係一重要設計考量。在所繪示實施例中，裝置700包括網狀架構(fabric) 710、計算複合體720、輸入/輸出(I/O)橋接器750、快取記憶體/記憶體控制器745、圖形單元775、及顯示單元765。在一些實施例中，除了或代替所繪示之組件（諸如視頻處理器編碼器及解碼器、影像處理或辨識元件、電腦視覺元件等）以外，裝置700可包括其他組件（未圖示）。

【0075】 網狀架構710可包括各種互連件、匯流排、MUX、控制器等，且可經組態以促進裝置700的各種元件之間的通訊。在一些實施例中，網狀架構710的部分可經組態以實施各種不同的通訊協定。在其他實施例中，網狀架構710可實施單一通訊協定，且耦接至網狀架構710之元件可在內部從單一通訊協定轉換成其他通訊協定。

【0076】 在所繪示的實施例中，計算複合體720包括匯流排介面單元(bus interface unit, BIU) 725、快取記憶體730、及核心735及740。在各種實施例中，計算複合體720可包括各種數目的處理器、處理器核心、及快取記憶體。例如，計算複合體720可包括1、2、或4個處理器核心或任何其他合適的數目。在一個實施例中，快取記憶體730係集合關聯式L2快取記憶體。在一些實施例中，核心735及740可包括內部指令及資料快取記憶體。在一些實施例中，在網狀架構710中、快取記憶體730中、或裝置700中之別處的同調性單元（未圖示）可經組態以維持裝置700的各種快取記憶體之間的同調性。BIU 725可經組

態以管理裝置700的計算複合體720與其他元件之間的通訊。處理器核心（諸如核心735及740）可經組態以執行特定指令集架構(instruction set architecture, ISA)的指令，該指令集架構可包括作業系統指令及使用者應用程式指令。

【0077】 快取記憶體/記憶體控制器745可經組態以管理網狀架構710與一或多個快取記憶體及記憶體之間的資料轉移。例如，快取記憶體/記憶體控制器745可耦接至L3快取記憶體，其繼而可耦接至系統記憶體。在其他實施例中，快取記憶體/記憶體控制器745可直接耦接至記憶體。在一些實施例中，快取記憶體/記憶體控制器745可包括一或多個內部快取記憶體。

【0078】 如本文中所使用，用語「耦接至(coupled to)」可指示元件之間的一或多個連接，且耦接可包括中間元件。例如，在圖7中，圖形單元775可經描述為透過網狀架構710及快取記憶體/記憶體控制器745「耦接至(coupled to)」記憶體。反之，在圖7所繪示之實施例中，由於沒有中間元件，圖形單元775係「直接耦接(directly coupled)」至網狀架構710。

【0079】 圖形單元775可包括一或多個處理器，例如，一或多個圖形處理單元(GPU)。例如，圖形單元775可接收圖形導向指令，諸如OPENGL®、Metal、或DIRECT3D®指令。圖形單元775可基於所接收之圖形導向指令執行特殊化GPU指令或執行其他操作。圖形單元775通常可經組態以平行處理大資料區塊，並可在圖框緩衝器中建立影像以用於輸出至可包括在裝置中或可係單獨裝置的顯示器。圖形單元775可包括在一或多個圖形處理管線中的變換、照明、三角形、及演現引擎。圖形單元775可輸出用於顯示影像的像素資訊。在各種實施例中，圖形單元775可包括可程式化著色器電路系統，該可程式化著

色器電路系統可包括經組態以執行圖形程式的高度平行執行核心，該等圖形程式可包括像素任務、頂點任務、及計算任務（其可係或可係非圖形相關的）。

【0080】 顯示單元765可經組態以從圖框緩衝器讀取資料，並提供像素值串流以用於顯示。在一些實施例中，顯示單元765可經組態為顯示管線。額外地，顯示單元765可經組態以混合多個圖框以產生輸出圖框。進一步地，顯示單元765可包括用於耦合至使用者顯示器（例如觸控螢幕或外部顯示器）之一或多個介面（例如MIPI®或嵌入式顯示埠(embedded display port, eDP)）。

【0081】 I/O橋接器750可包括經組態以實施下列的各種元件：例如，通用串列匯流排(USB)通訊、安全、音訊、及低功率永遠開啟功能性。例如，I/O橋接器750亦可包括介面（諸如脈衝寬度調變(pulse-width modulation, PWM)、通用輸入/輸出(general-purpose input/output, GPIO)、串列周邊介面(serial peripheral interface, SPI)、及積體電路匯流排(inter-integrated circuit, I2C)）。各種類型的周邊及裝置可經由I/O橋接器750耦接至裝置700。

【0082】 在一些實施例中，裝置700包括可連接至網狀架構710或I/O橋接器750的網路介面電路系統（未明確圖示）。該網路介面電路系統可經組態以經由各種網路（其可係有線、無線或兩者）進行通訊。例如，該網路介面電路系統可經組態以經由一有線區域網路、一無線區域網路（例如，經由WiFi）、或廣域網路（例如，網際網路或虛擬私人網路）進行通訊。在一些實施例中，該網路介面電路系統經組態以經由使用一或多個無線電存取技術之一或多個蜂巢式網路進行通訊。在一些實施例中，該網路介面電路系統經組態以使用裝置間通訊（例如，藍牙或WiFi直連）等通訊。在各種實施例中，該網路介面電路系統可將至各種類型之其他裝置及網路的連接性提供給裝置700。

【0083】 圖7的各種元件可利用所揭示的技術。例如，執行電路系統100可包括在計算複合體720或圖形單元775中。在各種實施例中，所揭示技術可有利地以合理的面積及準確度增加浮點冪函數操作的效能且降低電力消耗。

實例應用

【0084】 現在轉到圖8，各種類型的系統可包括上文討論的電路、裝置、或系統的任一者。可合併或以其他方式利用本文描述之技術的一或多者的系統或裝置800可在廣泛範圍的領域中使用。例如，系統或裝置800可使用為系統之硬體的部分，諸如桌上型電腦810、膝上型電腦820、平板電腦830、蜂巢式或行動電話840、或電視機850（或耦接至電視機的機上盒）。

【0085】 類似地，所揭露的元件可使用在穿戴式裝置860中，諸如智慧型手錶或健康監測裝置等。在許多實施例中，智慧型手錶可實施各種不同的功能，例如，存取電子郵件、蜂巢式服務、行事曆、健康監測等。穿戴式裝置亦可經單獨設計以執行健康監測功能，諸如監測使用者的生命徵象、執行流行病學功能（諸如接觸者追蹤(contact tracing)）、提供對緊急醫療服務之通訊等。亦設想其他類型的裝置，包括配戴於頸上的裝置、可植入人體中的裝置、眼鏡或頭盔，該等裝置經設計以提供電腦產生之實境體驗，諸如基於擴增及/或虛擬實境等。

【0086】 系統或裝置800亦可使用在各種其他背景中。例如，系統或裝置800可使用在伺服器電腦系統的背景中，諸如專用伺服器或在實施基於雲端的服務870的共用硬體上。更進一步，系統或裝置800可實施在廣泛範圍的專用日常裝置中，包括家中常見的裝置880，諸如冰箱、恆溫器、保全攝影機等。

此類裝置的互連常稱為「物聯網」(Internet of Things, IoT)。元件亦可實施在各種運輸模式中。例如，系統或裝置800可用在各種類型之車輛890的控制系統、導引系統、娛樂系統等中。

【0087】 繪示於圖8中的應用僅係例示性的，且未意圖限制所揭示之系統或裝置的潛在未來應用。其他實例應用包括但不限於：可攜式遊戲裝置、音樂播放器、資料儲存裝置、無人飛行載具等。

實例電腦可讀媒體

【0088】 本揭露已於上文詳細描述各種實例電路。本揭露不僅意欲涵蓋包括此類電路系統的實施例，且亦意欲涵蓋包括指定此類電路系統之設計資訊的一電腦可讀的儲存媒體。因此，本揭露意欲支持的申請專利範圍不僅涵蓋包括所揭示之電路系統的一設備，且亦涵蓋以一格式來指定電路系統之一儲存媒體，該格式係藉由經組態以生產包括所揭示之電路系統的硬體（例如積體電路）之一製造系統來辨識。針對此一儲存媒體的申請專利範圍係意欲涵蓋例如一實體，其生產一電路設計，但本身並不製造該設計。

【0089】 圖9係繪示根據一些實施例之儲存電路設計資訊的實例非暫時性電腦可讀儲存媒體的方塊圖。在所繪示實施例中，半導體製造系統920經組態以處理儲存在非暫時性電腦可讀媒體910上的設計資訊915，並基於設計資訊915製造積體電路930。

【0090】 非暫時性電腦可讀儲存媒體910可包含各種適當類型的記憶體裝置或儲存裝置的任一者。非暫時性電腦可讀儲存媒體910可係安裝媒體（例如，CD-ROM、軟碟、或磁帶裝置）；一電腦系統記憶體或隨機存取記憶體（諸如

DRAM、DDR RAM、SRAM、EDO RAM、Rambus RAM等）；一非揮發性記憶體（諸如快閃、磁性媒體（例如硬碟）、或光學儲存）；暫存器或其他類似類型的記憶體元件等。非暫時性電腦可讀儲存媒體910亦可包括其他類型的非暫時性記憶體或其組合。非暫時性電腦可讀儲存媒體910可包括可駐留在不同位置（例如，在透過網路連接的不同電腦系統中）的二或更多個記憶體媒體。

【0091】 設計資訊915可使用各種適當電腦語言（包括硬體描述語言）的任一者指定，諸如但不限於：VHDL、Verilog、SystemC、SystemVerilog、RHDL、M、MyHDL等。設計資訊915可由半導體製造系統920使用以製造積體電路930的至少一部分。設計資訊915的格式可由至少一個半導體製造系統920辨識。在一些實施例中，設計資訊915亦可包括指定積體電路930之合成、布局、或二者的一或多個元件庫。在一些實施例中，設計資訊係全部或部分地以一接線對照表的形式指定，該接線對照表指定元件庫元件及其連接。單獨採用的設計資訊915可包括或可不包括用於製造對應積體電路的足夠資訊。例如，設計資訊915可指定待製造的電路元件但無法指定其等的實體布局。在此情形中，設計資訊915可能需要與布局資訊組合以實際製造所指定的電路系統。

【0092】 在各種實施例中，積體電路930可包括一或多個客製巨集單元，諸如記憶體、類比或混合信號電路、及類似者。在此類情形中，設計資訊915可包括與所包括的巨集單元有關的資訊。此種資訊可無限制地包括線路圖擷取資料庫、遮罩設計資料、行為模型、及裝置或電晶體層級接線對照表。如本文所使用的，遮罩設計資料可根據圖形資料系統(GDSII)或任何其他合適格式格式化。

【0093】 半導體製造系統920可包括經組態以製造積體電路的各種適當元件的任一者。例如，此可包括用於沉積半導體材料（例如在可包括遮罩的晶圓上）、移除材料、變更經沉積材料的形狀、改質材料（例如，藉由摻雜材料或使用紫外線處理修改介電常數）等的元件。半導體製造系統920亦可經組態以執行所製造電路的各種測試以供正確操作。

【0094】 在各種實施例中，積體電路930經組態以根據由設計資訊915指定的電路設計操作，其可包括執行本文描述之功能性的任一者。例如，積體電路930可包括圖1至圖5及圖7所示之各種元件的任一者。進一步地，積體電路930可經組態以結合其他組件執行本文描述的各種功能。進一步地，本文所述的功能可由多個經連接的積體電路執行。

【0095】 如本文中所使用，具有「指定一電路經組態以…之一設計的設計資訊」之形式的詞組並非意味所涉電路必須為了滿足該要素而製造。相反，此詞組指示設計資訊所描述之一電路一經製成將經組態以執行所指示的動作或將包括指定組件。

***

【0096】 本揭露包括對「一實施例(an embodiment)」或「實施例」群組(groups of「embodiments」)（例如，「一些實施例(some embodiment)」或「各種實施例(various embodiments)」）的引用。實施例係所揭露之概念的不同實施方案或例項。提及「一實施例(an embodiment)」、「一個實施例(one embodiment)」、「一特定實施例(a particular embodiment)」、及類似者不必然指稱相同實施例。設想大量可行的實施例，包括該些具體揭示者，以及落在本揭露之精神或範圍內的修改或替代例。

【0097】 本揭露可討論可由所揭露之實施例產生的潛在優點。並非這些實施例之所有實施方案將必須表現潛在優點之任何者或全部。無論是針對特定實施方案所實現的優點是否取決於許多因素，其中一些者係在本揭露範圍外。事實上，落在申請專利範圍之範圍內的實施方案可能不會展現一些或所有任何所揭露之優點有許多原因。例如，特定實施方案可包括在本揭露範圍外的其他電路系統，其與所揭示之實施例的一者結合而使所揭示之優點的一或多者無效或減弱。此外，特定實施方案（例如，實施方案技術或工具）之次佳設計執行亦可使所揭露優點無效或減弱。即使假定經熟練的實施方案，優點的實現仍可取決於其他因素，諸如於其中部署該實施方案之環境情況。例如，施加至一特定實施方案的輸入可防止在此揭露中解決的一或多個問題免於出現在特定場合，結果係可能無法實現其解決方案的效益。考慮到本揭露外部的可能因素的存在，明確地意欲將本文所述的任何潛在優點並非解讀為必須符合請求項限制以證明侵權。而是，此類潛在優點之識別意欲說明具有本揭露之利益的設計者可用的（多種）改善類型。許可地描述的此類優點（例如，陳述特定優點「可引起」）並非意欲傳達實際上此類優點是否可實現的疑慮，而是認知到實現此類優點的技術現實常取決於額外因素。

【0098】 除非另外陳述，否則實施例係非限制性的。即，所揭露之實施例並非意欲限制基於本揭露之草擬的申請專利範圍之範圍，即使僅描述關於一特定特徵的一單一實例。所揭露之實施例意欲係說明性而非限制，而在本揭露中沒有與此相反的任何陳述。因此，本申請案意欲允許申請專利範圍涵蓋所揭露之實施例以及此類替代例、修改例、與均等物，此等對於受益於本揭露之所屬技術領域中具有通常知識者來說將是顯而易見的。

【0099】 例如，此申請案中的特徵可以任何合適的方式組合。據此，在此申請案之審查期間（或主張其優先權之申請案）可對特徵之任何此類組合制定新請求項。具體而言，參考隨附申請專利範圍，可組合來自獨立請求項之特徵與其他獨立請求項之特徵，若適當，包括依附於其他附屬請求項的請求項。類似地，若適當，可組合來自各別附屬請求項之特徵。

【0100】 據此，雖然隨附的附屬請求項可經草擬，使得各依附於一單一其他請求項，但是亦設想額外相依性。與本揭露一致的附屬項之特徵的任何組合經設想且可在此申請案或另一申請案中主張。簡言之，組合不限於在隨附申請專利範圍中具體列舉者。

【0101】 若適當，亦設想以一種格式或法定類型（例如，設備）草擬之請求項意欲支持另一種格式或法定類型（例如，方法）之對應請求項。

***

【0102】 因為本揭露係一法律文件，所以各種用語及詞組可受到行政與司法解釋的規約。公告特此以下段落以及在整份揭露內容提供的定義將用於判定如何解釋基於本揭露所草擬的申請專利範圍。

【0103】 除非上下文另有明確指定，否則提及項目的單數形式（即，名詞或名詞詞組之前有「一(a/an)」、或「該(the)」）意欲意指「一或多個(one or more)」）。因此，在一請求項提及「一項目(an item)」在沒有隨附上下文情況中不排除該項目的額外例項。「複數個(plurality)」項目係指二或更多個項目之一集合。

【0104】 在本文中，字語「可(may)」在本文中以許可意涵使用（即，具有可能以、能夠），且非以強制意涵使用（即，必須）。

【0105】 用語「包含(comprising)」及「包括(including)」及其形式係開放式，意指「包括但不限於(including, but not limited to)」。

【0106】 當本揭露中關於一選項清單使用用語「或(or)」時，其通常將被理解為以包含性意涵使用，除非上下文另有提供。因此，陳述「x或y (x or y)」相當於「x或y、或兩者(x or y, or both)」，因此：1)涵蓋x，但不涵蓋y；2)涵蓋y，但不涵蓋x；及3)涵蓋x與y兩者。另一方面，諸如「x或y任何者但非兩者(either x or y, but not both)」的詞組清楚表明「或(or)」係以排他性含意意義使用。

【0107】 陳述「w、x、y、或z、或其任何組合(w, x, y, or z, or any combination thereof)」或「……w、x、y、及z之至少一者(at least one of ... w, x, y, and z)」意欲涵蓋涉及在該集合中的單一元件至多總數目個元件的所有可能性。例如，給定集合[w, x, y, z]，這些詞組涵蓋該集合之任何單一元件（例如，w，但沒有x、y、或z (w but not x, y, or z)）、任何二個元件（例如，w與x，但沒有y或z (w and x, but not y or z)）、任何三個元件（例如，w、x與y，但沒有z (w, x, and y, but not z)）、及所有四個元件。因此，詞組「……w、x、y、及z之至少一者(at least one of ... w, x, y, and z)」係指該集合[w, x, y, z]之至少一個元件，藉此涵蓋此元件清單中的所有可行組合。此詞組並不解讀為需要w之至少一個例項、x之至少一個例項、y之至少一個例項、及z之至少一個例項。

【0108】 在本揭露中，各種「標示」可置於名詞或名詞詞組之前。除非上下文另有提供，否則用於一特徵的不同標示（例如，「第一電路(first circuit)」、「第二電路(second circuit)」、「特定電路(specific circuit)」、「給定電路(given circuit)」等）係指該特徵的不同例項。額外地，除非另有說明，

否則標示「第一(first)」、「第二(second)」、及「第三(third)」當施加至一特徵時並非意味任何類型的順序（例如，空間、時間、邏輯等）。

【0109】 詞組「基於(based on)」或係用以敘述影響一判定的一或多個因素。此用語不排除可能有額外因素可影響判定。意即，一判定可單獨基於特定因素，或基於該等特定因素以及其他未指出因素。考慮用語「基於B判定A (determine A based on B)」。此用語指出，B係一用以判定A之因素，或B影響A之判定。此用語不排除亦可基於一些其他因素例如C來判定A。此用語亦意欲涵括其中A係單獨基於B而判定的一實施例。如本文所用，用語「基於(based on)」與用語「至少部分地基於(based at least in part on)」同義。

【0110】 詞組「回應於(in response to/response to)」描述觸發效應之一或多個因素。此詞組不排除額外因素可影響或以其他方式觸發效應的可能性，聯合特定因素或獨立於特定因素任一者。意即，一效應可係單獨回應於該等因素，或可回應於該等被指出因素以及其他未指出因素。考慮詞組「回應於B而執行A (perform A in response to B)」。此詞組指定B係觸發A的執行或觸發A的特定結果的因素。此詞組並不排除亦可回應於某個其他因素（諸如C）而執行A。此詞組亦不排除可聯合回應於B及C而執行A。此詞組亦意圖涵蓋僅回應於B而執行A的實施例。如本文中所使用的，詞組「回應於(responsive to)」與詞組「至少部分回應於(responsive at least in part to)」同義。類似地，詞組「回應於(in response to)」與詞組「至少部分回應於(at least in part in response to)」同義。

***

【0111】 在本揭露中，不同的實體（其等可能被不同地稱為「單元(unit)」、「電路(circuit)」、其他組件等）可被描述或主張為「經組態

(configured)」以執行一或多個任務或操作。此表示法（『實體』經組態以『執行一或多個任務』）在本文中係用以指稱結構（即，實體之物）。具體而言，此表示法係用以指示此結構係經配置以在操作期間執行該一或多個任務。即使一結構目前並未被操作，仍可稱該結構「經組態以(configured to)」執行某任務。因此，經說明或敘述為「經組態以(configured to)」執行某任務的一實體，係指實體之物，諸如裝置、電路、具有處理單元的系統、儲存有可執行用以實施該任務之程式指令的記憶體等。此詞組在本文中並非用以指稱無形之物。

【0112】 在一些情況中，各種單元/電路/組件可在本文中描述為執行一組任務或操作。應理解，這些實體「經組態以(configured to)」執行該等任務/操作，即使未具體提及。

【0113】 用語「經組態以(configured to)」並非意欲意指「可組態以(configurable to)」。例如，未經程式化的FPGA將不被視為「經組態以(configured to)」執行一特定功能。然而，此未經程式化的FPGA可係「可組態以(configurable to)」執行該功能。在適當程式化之後，接著，該FPGA可聲稱「經組態以(configured to)」執行特定功能。

【0114】 為基於本揭露之美國專利申請案的目的，在一請求項中描述一結構「經組態以」執行一或多個任務係明確地意圖不援引35 U.S.C. § 112(f)對該請求項元件進行解讀。如果申請人意欲在基於本揭露的美國專利申請案的審查期間援引章節112(f)，將使用「用以『執行一功能』之構件」這樣的句構來陳述請求項元件。

【0115】 在本揭露中可描述不同的「電路(circuit)」。這些電路或「電路系統(circuitry)」構成包括各種類型電路元件的硬體，諸如組合式邏輯、時控儲

存裝置（例如，正反器、暫存器、鎖存器等）、有限狀態機、記憶體（例如，隨機存取記憶體、嵌入式動態隨機存取記憶體）、可程式化邏輯陣列等。電路系統可經客製化設計或自標準程式庫取用。在各種實施方案中，電路系統可依需要包括數位組件、類比組件、或兩者之組合。某些類型的電路通常可稱為「單元(unit)」（例如，解碼單元、算術邏輯單元(ALU)、功能單元、記憶體管理單元(memory management unit, MMU)等）。此類單元亦指電路或電路系統。

【0116】 因此，所揭露之電路/單元/組件及圖式中所繪示與本文所揭露的其他元件包括硬體元件，諸如前述段落中所述者。在許多例項中，可藉由描述一特定電路之功能來指定在該電路內之硬體元件的內部配置。例如，一特定「解碼單元(decode unit)」可描述為執行「處理指令的作業碼，並將該指令路由到複數個功能單元中之一或多者(processing an opcode of an instruction and routing that instruction to one or more of a plurality of functional units)」的功能，其意指該解碼單元「經組態以(configured to)」執行此功能。本功能之說明書對電腦技術領域中具有通常知識者足以意味著用於該電路之一組可行結構。

【0117】 在各種實施例中，如前述段落中所討論的，電路、單元、及其他元件可藉由其等經組態以實施的功能或操作界定。該配置及相關於彼此的此類電路/單元/組件及其等互動的方式形成硬體的微架構定義，該硬體最終製造在積體電路中或經程式化至FPGA中以形成微架構定義之實體實施方案。因此，該微階層性定義係由所屬技術領域中具有通常知識者所認知為許多實體實施方案可自其衍生的結構，其等所有皆落入該微階層性定義係所描述之廣泛結構內。即，提出根據本揭露所提供之微階層性定義的具有通常知識的技術人員可在無需過度實驗且在應用通常知識之情況中，藉由以硬體描述語言(hardware

description language, HDL)（諸如Verilog或VHDL）編碼電路/單元/組件的描述來實施該結構。HDL描述常以可呈功能性之方式表達。但是對於所屬技術領域中具有通常知識者，此HDL描述係用於將電路、單元、或組件的結構變換成下一層級之實施方案細節的方式。此一HDL描述可採取行為程式碼（其一般並非可合成的）、暫存器傳送語言(register transfer language, RTL)程式碼（其一般係可合成，對比於行為程式碼）、或結構性程式碼（例如，指定邏輯閘及其等連接性的接線對照表）之形式。隨後，HDL描述可依據針對一給定積體電路製造技術所設計的元件庫而合成，且可針對時序、功率及其他原因進行修改以產生一最終設計資料庫，該最終設計資料庫傳送至製造廠以製造遮罩，最後生產出積體電路。一些硬體電路或其部分亦可在一簡圖編輯器(schematic editor)中經客製化設計，並隨合成電路系統被轉移至積體電路設計中。積體電路可包括電晶體及其他電路元件（例如，被動元件諸如電容器、電阻器、電感器等）及電晶體與電路元件間之互連件。一些實施例可實施多個積體電路，該多個積體電路經耦接在一起以實施硬體電路，且/或在一些實施例中可使用離散元件。替代地，HDL設計可經合成至一可程式化邏輯陣列，諸如現場可程式化閘陣列(FPGA)，且可於FPGA中實施。此電路群組之設計與這些電路的後續下層實施方案之間的解耦通常導致以下情境，其中當此程序係在電路實施程序的一不同階段執行時，電路或邏輯設計者從不針對下層實施方案指定超出電路經組態以執行動作之描述的特定一組結構。

【0118】　事實上，電路元件之許多不同的下層組合可用以實施相同規格電路，導致該電路的大量等效結構。如所提及，這些下層電路實施方案可根據製造技術的變化、經選擇以製造積體電路的製造廠、針對一特定專案所提供之

元件庫等而變化。在許多情況中，由不同設計工具或方法論進行選擇，以產生此等不同實施方案可係任意的。

【0119】 此外，對於電路之特定功能規格的單一實施方案常見的是，針對給定實施例，包括大量裝置（例如，數百萬的電晶體）。據此，數量龐大的此資訊使得提供完整陳述用以實施單一實施例之下層結構係不切實際的，更別說是龐大陣列的等效可行實施方案。出於此原因，本揭露描述使用產業中通常採用的功能速記的電路結構。

【符號說明】

【0120】

100:執行電路系統

110:以2為底的對數電路系統

120:乘法電路系統

130:以2為底的冪函數電路系統

210:提取級；提取級電路系統；級

220:解碼級；解碼級電路系統；解碼

230:調度級；調度級電路系統

310:例外控制電路系統

320:乘法器；乘法器電路

330:多工器；多工器電路

340:多工器；多工器電路

350:多工器；多工器電路

360:多工器；多工器電路

410:引數移位電路系統

420:多項式近似電路系統；電路系統

430:浮點轉換電路系統

440:頭尾加法電路系統

510:多項式係數表；表

520A:熔合乘/加電路系統；熔合乘/加電路

520B:熔合乘/加電路系統；熔合乘/加電路

520C:熔合乘/加電路系統；熔合乘/加電路

610:方塊

620:方塊

630:方塊

640:方塊

650:方塊

700:裝置

710:網狀架構(fabric)

720:計算複合體

725:匯流排介面單元(BIU)

730:快取記憶體

735:核心

740:核心

745:快取記憶體/記憶體控制器

750:輸入/輸出(I/O)橋接器

765:顯示單元

775:圖形單元

800:系統或裝置

810:桌上型電腦

820:膝上型電腦

830:平板電腦

840:蜂巢式或行動電話

850:電視機

860:穿戴式裝置

870:基於雲端的服務

880:裝置

890:車輛

910:非暫時性電腦可讀媒體；非暫時性電腦可讀儲存媒體

915:設計資訊

920:半導體製造系統

930:積體電路

EXP2:函數輸入

FLOG2:函數輸入

log2a_head:頭部組分

log2a_tail:尾部組分

x:輸入運算元

y:輸入運算元

【發明申請專利範圍】

【請求項1】一種用於浮點冪操作之設備，其包含：

執行電路系統，其經組態以針對一單一浮點冪指令的執行在採一第一浮點格式的第一浮點輸入及第二浮點輸入上操作，以產生評估$2^{(\text{第二輸入} * \log_2(\text{第一輸入}))}$的一結果，其中該執行電路系統包括：

以2為底的對數電路系統，其經組態以評估該第一輸入的該以2為底的對數，包括：

基於該第一輸入判定一多項式函數的係數；及

基於該等經判定係數及該第一輸入評估該多項式函數以判定採一第二浮點格式的一第一結果；

乘法電路系統，其經組態以將該第一結果乘以該第二浮點輸入以產生一乘法結果；及

以2為底的冪函數電路系統，其經組態以評估二的該乘法結果的一表示的冪，以產生該單一浮點冪指令之採該第一浮點格式的一結果。

【請求項2】如請求項1之設備，其中該第二浮點格式包括一頭部分量及一尾部分量；

其中該第一結果包括一第一頭部結果及一第一尾部結果；且

其中該乘法係一頭尾操作，且該乘法結果包括一第二頭部結果及一第二尾部結果。

【請求項3】如請求項2之設備，其進一步包含：

轉換電路系統，其經組態以將該第二頭部結果及該第二尾部結果轉換成該第一浮點格式以產生一經轉換乘法結果；

其中該以2為底的冪函數電路系統經組態以評估二的該經轉換乘法結果的冪。

【請求項4】如請求項3之設備，其中該第一浮點格式係一N位元浮點格式，且該第一頭部結果、第一尾部結果、第二頭部結果、及第二尾部結果各使用N個位元或更少表示。

【請求項5】如請求項1之設備，其中該多項式函數係一三階多項式，且其中為判定該三階多項式的係數，該以2為底的對數電路系統進一步經組態以基於該第一輸入存取一多項式係數表。

【請求項6】如請求項5之設備，其中該等經判定係數的一或多者包括頭部分量及尾部分量，且該等經判定係數的一或多者使用一非頭尾表示。

【請求項7】如請求項5之設備，其中該多項式係數表的一給定項包括對應於一輸入值範圍之用於該三階多項式的多個係數。

【請求項8】如請求項7之設備，其中該多項式係數表係使用重疊區間產生，使得該多項式係數表中的一給定項的係數對應於在比對應於該項的一輸入值範圍更大的一輸入值範圍上的曲線擬合。

【請求項9】如請求項1之設備，其中為評估二的該乘法結果的一表示的冪，該以2為底的冪函數電路系統經組態以：

基於該乘法結果判定一三階多項式函數的係數；及

評估該三階多項式函數以判定二的該乘法結果之採該第一浮點格式的一表示的冪。

【請求項10】如請求項1之設備，其中該執行電路系統進一步經組態以執行一以2為底的對數指令，包括使用該以2為底的對數電路系統評估一輸入的該以2為底的對數以產生該以2為底的對數指令的一結果；且

其中該執行電路系統包括多工器電路系統，該多工器電路系統經組態以選擇來自該以2為底的對數電路系統之該以2為底的對數指令的該結果。

【請求項11】如請求項1之設備，其中該執行電路系統進一步經組態以執行一以2為底的冪指令，包括使用該以2為底的冪函數電路系統評估一輸入的該以2為底的冪函數以產生該以2為底的冪指令的一結果；且

其中該執行電路系統包括多工器電路系統，該多工器電路系統經組態以選擇來自該以2為底的冪函數電路系統之該以2為底的冪指令的該結果。

【請求項12】如請求項1之設備，其中該設備係一計算裝置，其進一步包括：

一顯示器；

一中央處理單元；及

網路介面電路系統。

【請求項13】一種用於浮點冪操作之方法，其包含：

藉由一計算裝置執行在採一第一浮點格式的第一浮點輸入及第二浮點輸入上操作的一單一浮點冪指令，以產生評估$2^{(\text{第二輸入} * \log_2(\text{第一輸入}))}$的一結果，其中該執行包括：

基於該第一輸入判定一多項式函數的係數；

基於該等經判定係數及該第一輸入評估該多項式函數以判定採一第二浮點格式的一第一結果；

將該第一結果乘以該第二浮點輸入以產生一乘法結果；及

評估二的該乘法結果的一表示的冪，以產生該單一浮點冪函數之採該第一浮點格式的一結果。

【請求項14】如請求項13之方法，其中：

該第二浮點格式包括一頭部分量及一尾部分量；

該第一結果包括一第一頭部結果及一第一尾部結果；及

該乘法係頭尾操作，且該乘法結果包括一第二頭部結果及一第二尾部結果。

【請求項15】如請求項13之方法，其中該多項式函數係一三階多項式，且其中判定該三階多項式的係數包括基於該第一輸入存取一多項式係數表。

【請求項16】如請求項15之方法，其中該等經判定係數的一或多者包括頭部分量及尾部分量，且該等經判定係數的一或多者使用一非頭尾表示。

【請求項17】一種用於浮點冪操作之非暫時性電腦可讀媒體，其具有儲存於其上的指令，該等指令可由一計算裝置執行以執行包含下列的操作：

執行該等指令的一單一浮點冪指令以在採一第一浮點格式的第一浮點輸入及第二浮點輸入上操作，以產生評估$2^{(\text{第二輸入} * \log_2(\text{第一輸入}))}$的一結果，其中該執行包括：

評估該第一輸入的一以2為底的對數，包括基於該第一輸入判定一多項式函數的係數，及基於該等經判定係數及該第一輸入評估該多項式函數以判定採一第二浮點格式的一第一結果；

將該第一結果乘以該第二浮點輸入以產生一乘法結果；及

評估二的該乘法結果的一表示的冪，以產生該單一浮點冪指令之採該第一浮點格式的一結果。

【請求項18】如請求項17之非暫時性電腦可讀媒體，其中該第二浮點格式包括一頭部分量及一尾部分量；

其中該第一結果包括一第一頭部結果及一第一尾部結果；且

其中該乘法係一頭尾操作，且該乘法結果包括一第二頭部結果及一第二尾部結果。

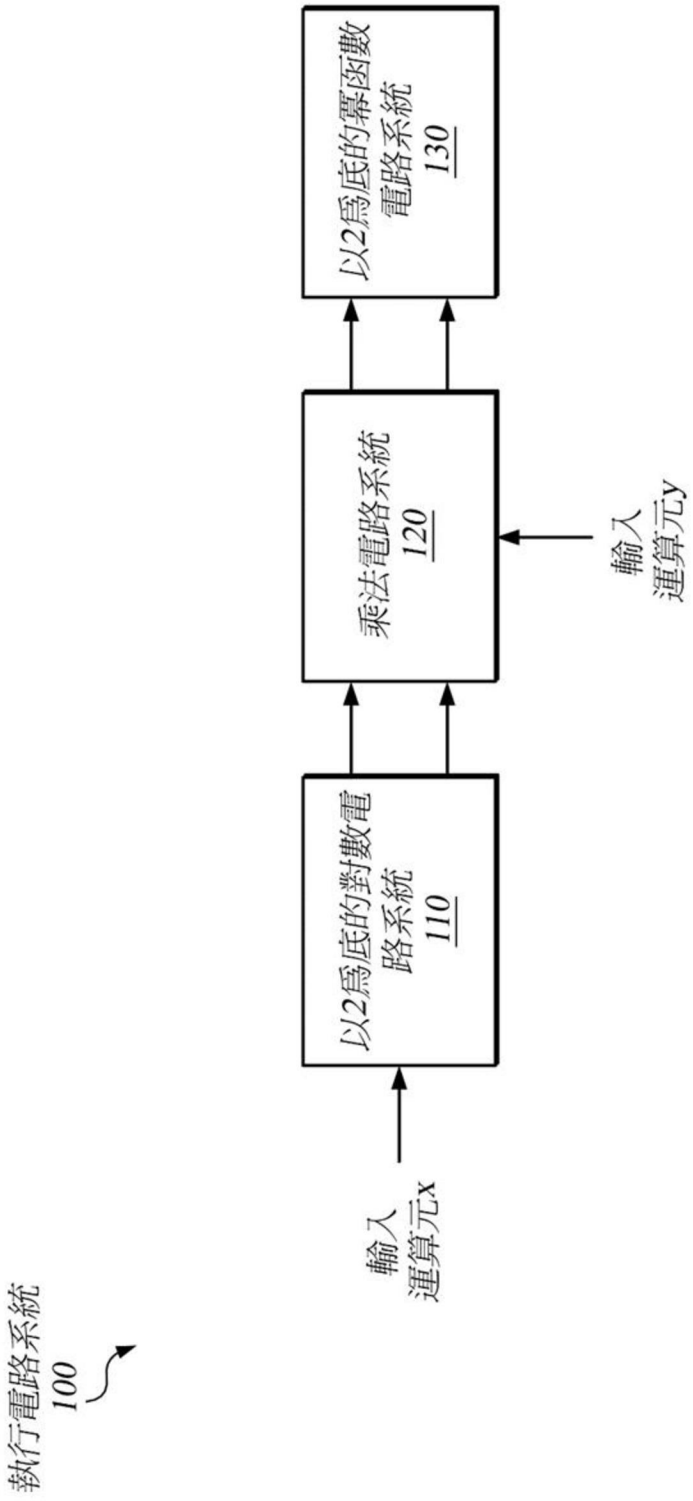
【請求項19】如請求項18之非暫時性電腦可讀媒體，其中該執行進一步包括：

將該第二頭部結果及該第二尾部結果轉換成該第一浮點格式以產生一經轉換乘法結果。

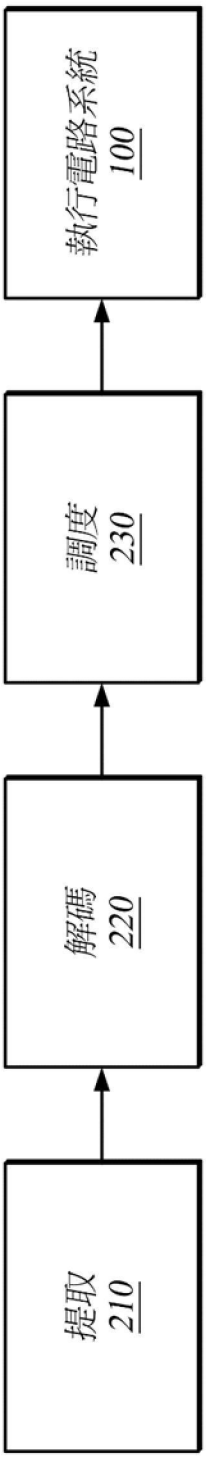
【請求項20】如請求項17之非暫時性電腦可讀媒體，其中該執行進一步包括：

判定一三階多項式函數的係數以評估該第一輸入的該以2為底的對數，其中該判定包括基於該第一輸入存取一多項式係數表。

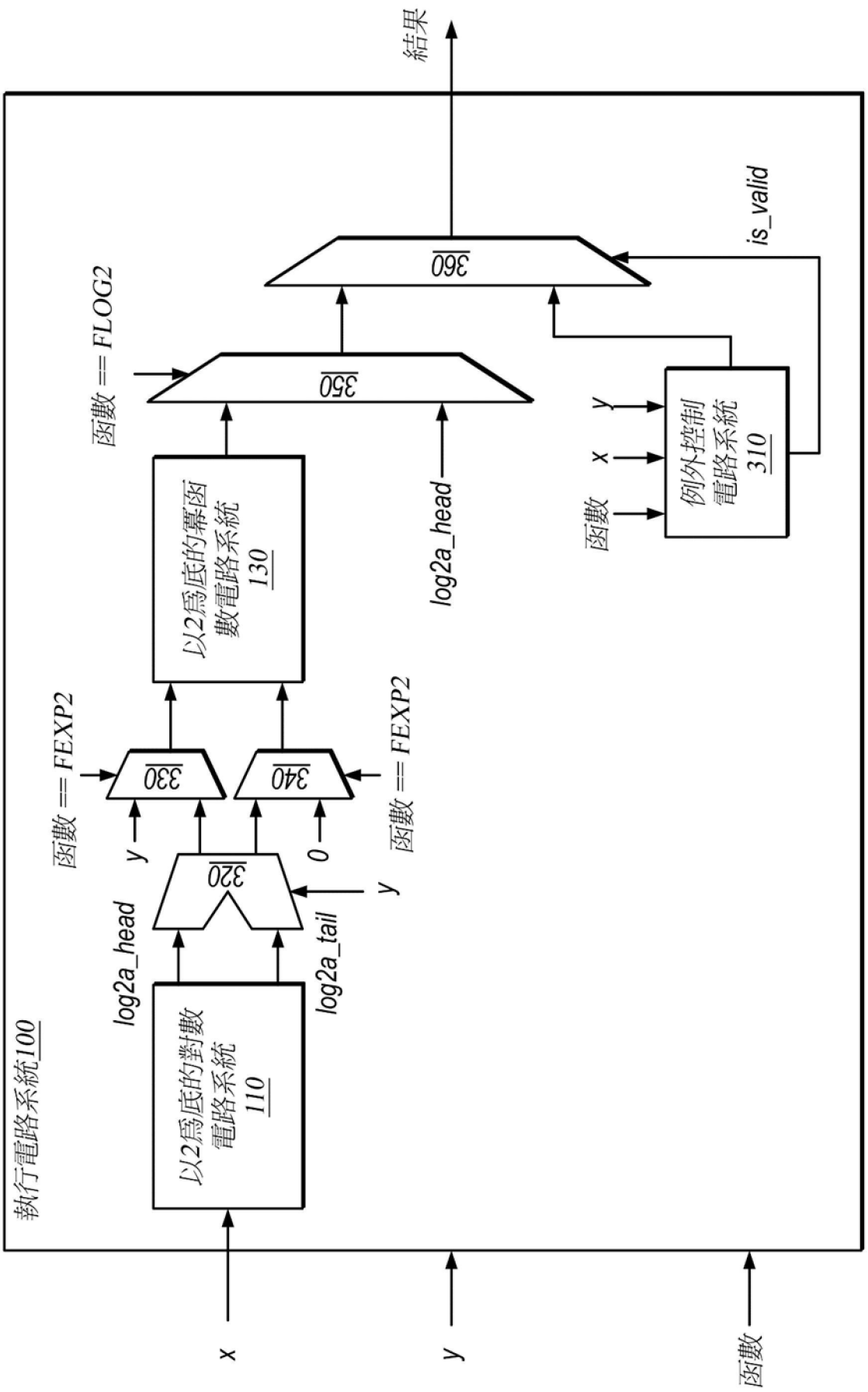
【發明圖式】


執行電路系統
100
以2爲底的對數電路系統
110
乘法電路系統
120
以2爲底的冪函數電路系統
130
輸入運算元x
輸入運算元y

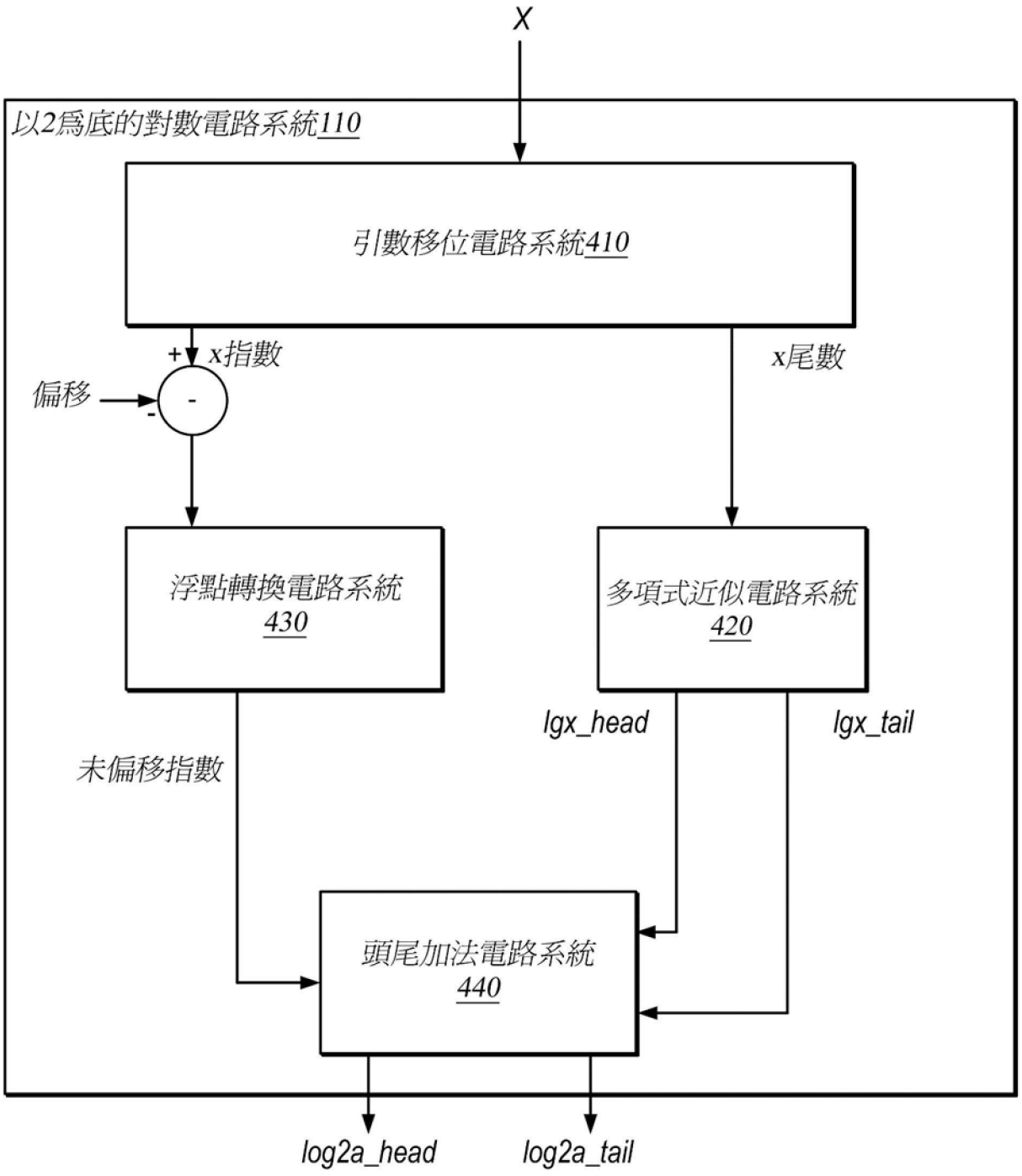
【圖1】



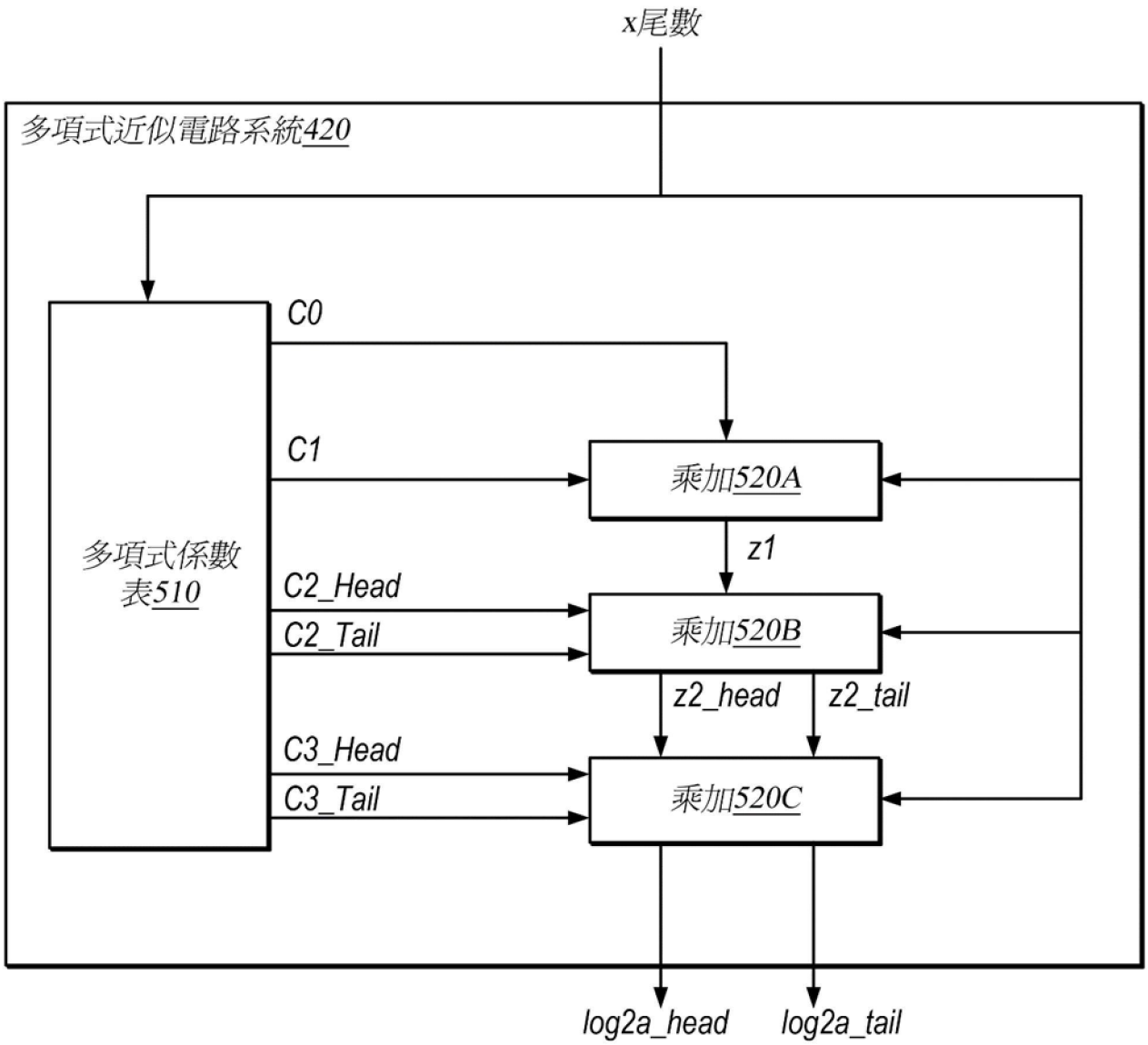
【圖2】


結果
is_valid
360
函數 == FLOG2
350
以2爲底的冪函數電路系統 130
log2a_head
例外控制電路系統 310
函數
y
x
函數 == FEXP2
330
340
函數 == FEXP2
y
0
320
y
log2a_head
log2a_tail
以2爲底的對數電路系統 110
執行電路系統100
x
y
函數

【圖3】

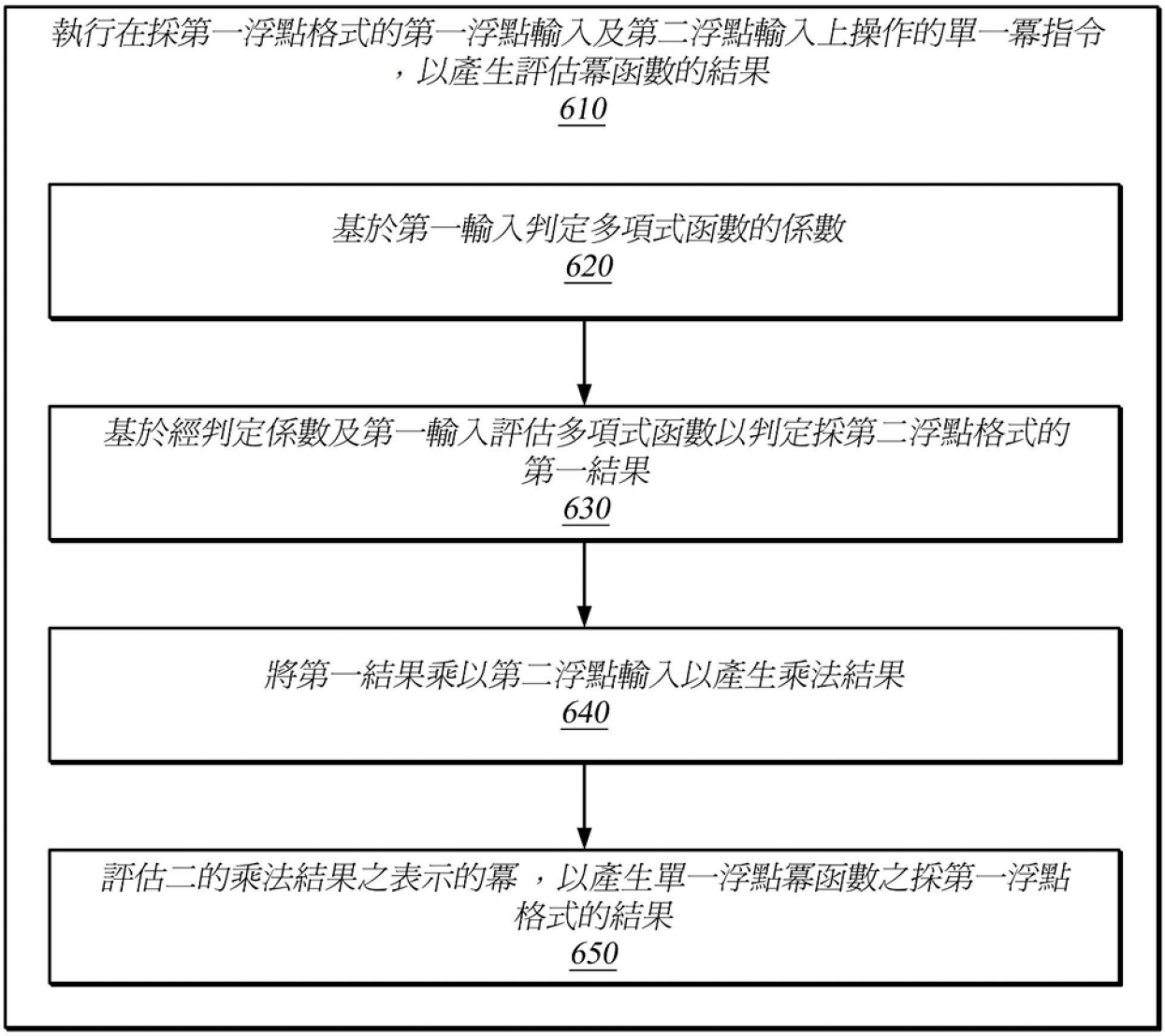

X
以2爲底的對數電路系統110
引數移位電路系統410
+
x指數
偏移
-
-
x尾數
浮點轉換電路系統
430
多項式近似電路系統
420
lgx_head
lgx_tail
未偏移指數
頭尾加法電路系統
440
log2a_head
log2a_tail

【圖4】

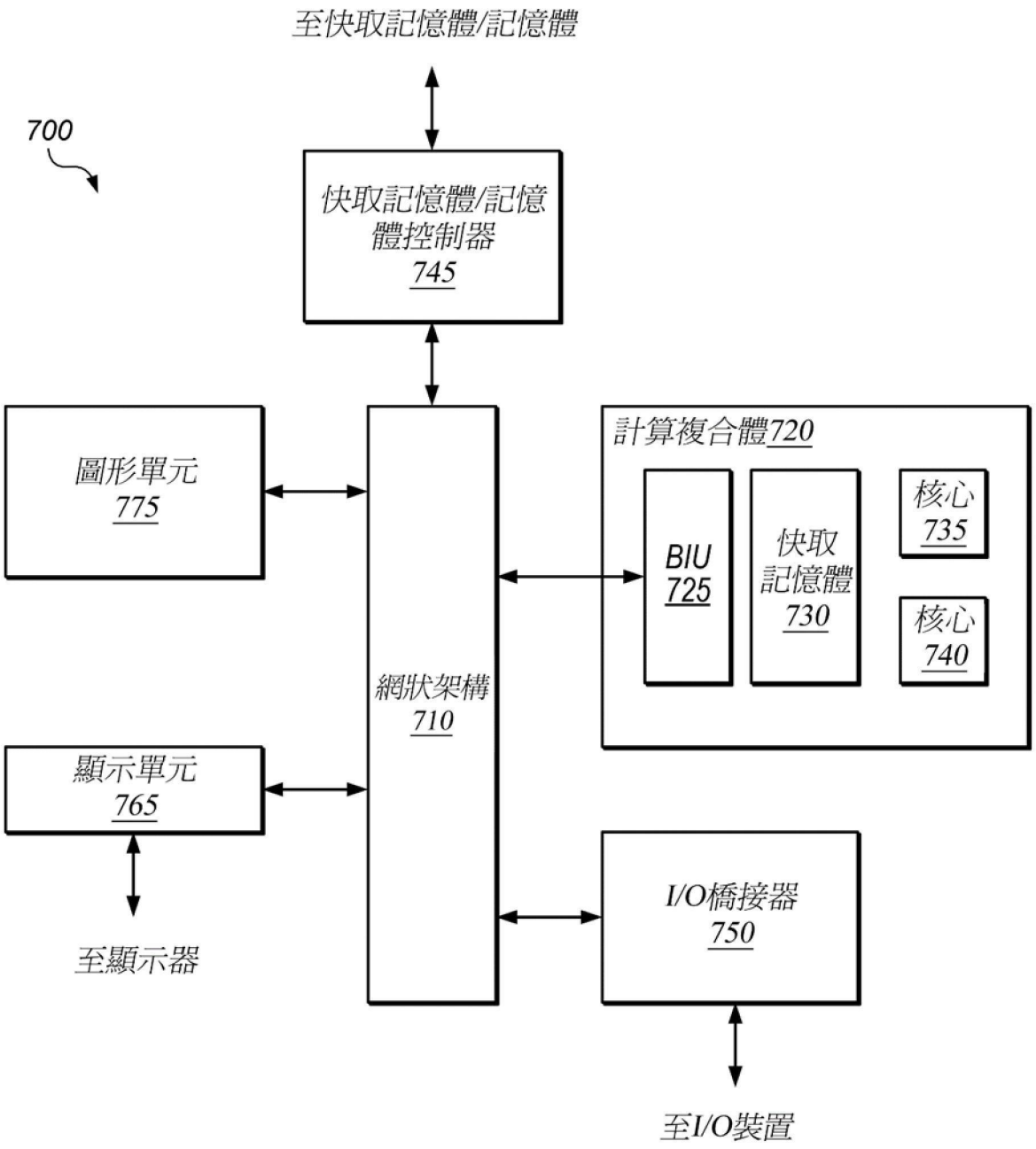


多項式近似： ((x_mantissa*C0 + C1)*x_mantissa + C2)*x_mantissa + C3

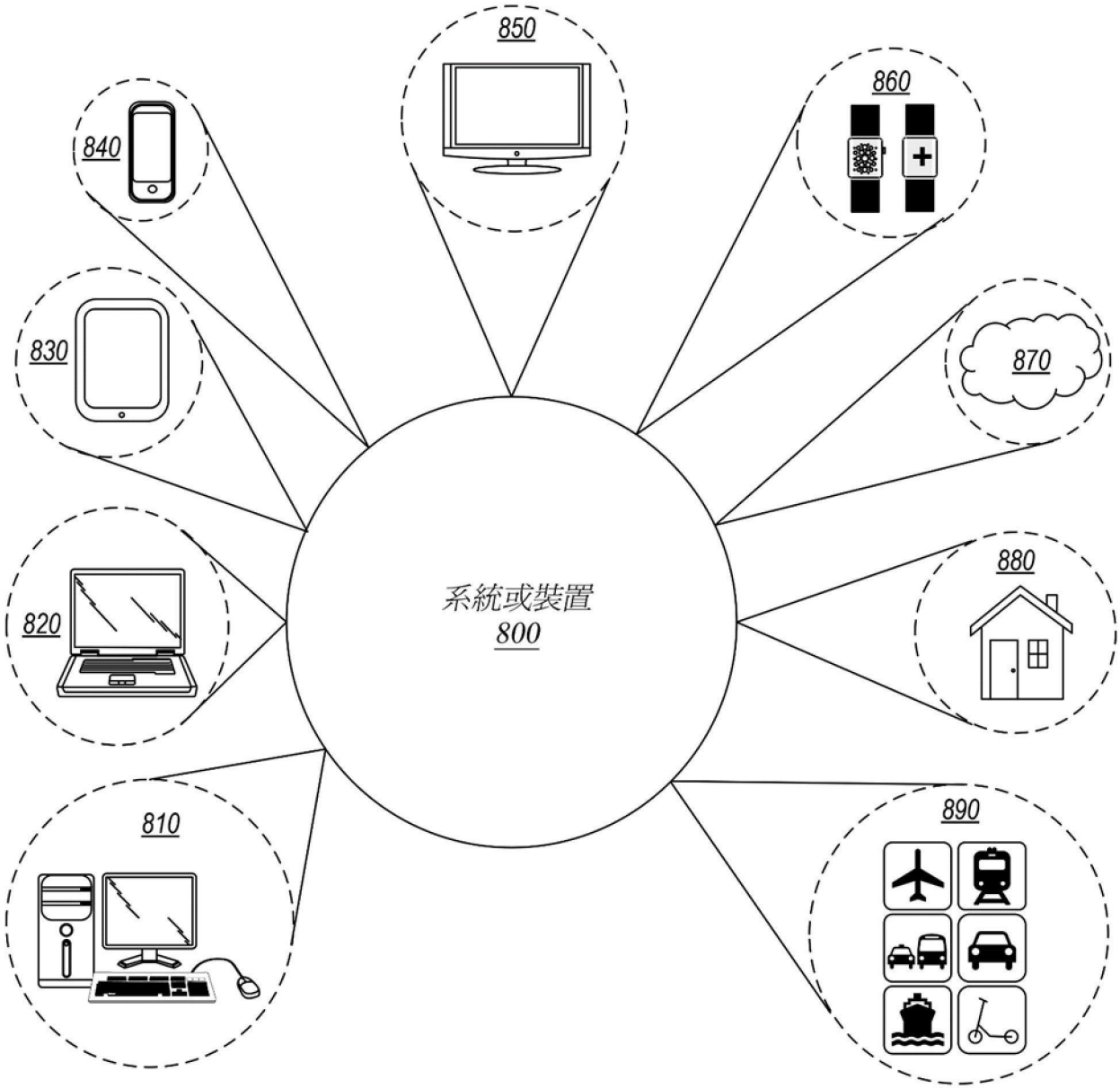
【圖5】


執行在採第一浮點格式的第一浮點輸入及第二浮點輸入上操作的單一冪指令，以產生評估冪函數的結果
610
基於第一輸入判定多項式函數的係數
620
基於經判定係數及第一輸入評估多項式函數以判定採第二浮點格式的第一結果
630
將第一結果乘以第二浮點輸入以產生乘法結果
640
評估二的乘法結果之表示的冪，以產生單一浮點冪函數之採第一浮點格式的結果
650

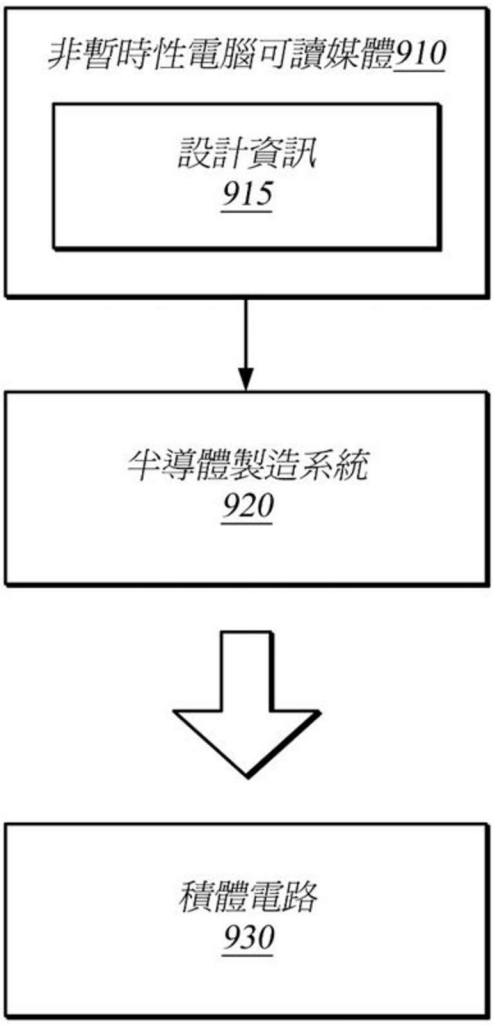
【圖6】


至快取記憶體/記憶體
700
快取記憶體/記憶體控制器
745
圖形單元
775
網狀架構
710
計算複合體720
BIU
725
快取記憶體
730
核心
735
核心
740
顯示單元
765
至顯示器
I/O橋接器
750
至I/O裝置

【圖7】



【圖8】



【圖9】