



(12) 发明专利

(10) 授权公告号 CN 101188231 B

(45) 授权公告日 2010.04.14

(21) 申请号 200710199542.6

(22) 申请日 2005.06.29

(30) 优先权数据

2004-194667 2004.06.30 JP

(62) 分案原申请数据

200510081098.9 2005.06.29

(73) 专利权人 恩益禧电子股份有限公司

地址 日本神奈川

(72) 发明人 栗田洋一郎

(74) 专利代理机构 中原信达知识产权代理有限

责任公司 11219

代理人 关兆辉 陆锦华

(51) Int. Cl.

H01L 25/00 (2006.01)

H01L 25/065 (2006.01)

H01L 23/485 (2006.01)

H01L 23/00 (2006.01)

(56) 对比文件

US 2004080040 A1, 2004.04.29, 全文.

US 2003227095 A1, 2003.12.11, 全文.

US 6087719 A, 2000.07.11, 全文.

审查员 彭丽娟

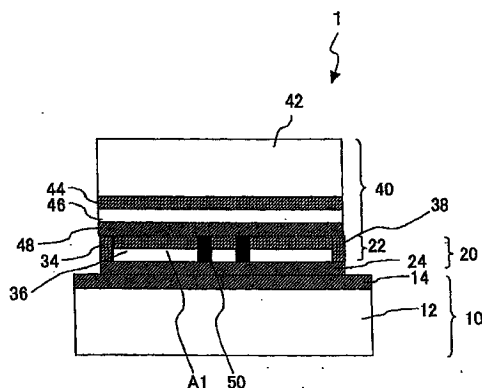
权利要求书 1 页 说明书 9 页 附图 6 页

(54) 发明名称

半导体器件和半导体晶片及其制造方法

(57) 摘要

本发明涉及一种半导体器件。该半导体器件 (1) 具有第一半导体芯片 (10) 和第二半导体芯片 (20)。第二半导体芯片 (20) 形成在第一半导体芯片 (10) 上。通过包括半导体衬底 (22) 构成第二半导体芯片 (20)。通过包括绝缘层 (34) 和硅层 (36) 构成作为 SOI 衬底的半导体衬底 (22), 其中硅层 (36) 设置在绝缘层 (34) 上, 包括电路形成区 (A1)。用作第一保护膜的绝缘层 (34) 覆盖电路形成区 (A1) 的下表面, 即与半导体芯片 (10) 背对的表面。第二保护膜 (38) 设置在半导体衬底 (22) 上。第二保护膜 (38) 覆盖电路形成区 (A1) 的侧表面。



1. 一种半导体器件,包括:

第一半导体芯片;

形成在所述第一半导体芯片上的第二半导体芯片,所述第二半导体芯片具有包括电路形成区的半导体衬底,

其中所述第二半导体芯片具有第一保护膜和第二保护膜,第一保护膜覆盖所述电路形成区中与所述第一半导体芯片背对的表面,第二保护膜覆盖所述电路形成区的外侧表面;以及

贯穿所述第一保护膜和所述电路形成区的穿通电极。

2. 根据权利要求1的半导体器件,其中所述第一半导体芯片的面积大于所述第二半导体芯片的面积。

3. 根据权利要求1的半导体器件,其中通过包括绝缘层和硅层构成所述半导体衬底,所述绝缘层用作所述第一保护膜并且覆盖所述硅层的所述第一半导体芯片的背对一侧的表面,所述硅层包括所述电路形成区,以及其中所述绝缘层在所述第二半导体芯片中与所述第一半导体芯片背对的表面上露出。

4. 根据权利要求1的半导体器件,其中所述第二半导体芯片在所述电路形成区的下部具有互连层,以及其中设置第三保护膜从而覆盖所述互连层的侧表面和所述第二保护膜。

5. 根据权利要求1的半导体器件,其中所述半导体器件包括在所述第二半导体芯片上形成的第三半导体芯片,以及其中所述第二半导体芯片通过所述导体电连接到所述第三半导体芯片。

6. 一种半导体晶片,包括:

基础晶片;

形成在所述基础晶片上的半导体芯片,其具有包括电路形成区的半导体衬底,

其中所述半导体芯片具有第一保护膜和第二保护膜,第一保护膜覆盖所述电路形成区中与所述基础晶片背对的表面,第二保护膜覆盖所述电路形成区的外侧表面;以及

贯穿所述第一保护膜和所述电路形成区的穿通电极。

7. 根据权利要求7的半导体晶片,其中在所述基础晶片上以预定间隔设置多个所述半导体芯片。

8. 根据权利要求7的半导体晶片,其中所述半导体芯片在所述电路形成区的下部具有互连层,以及其中设置第三保护膜从而覆盖所述互连层的侧表面和所述第二保护膜的外表面。

9. 根据权利要求6的半导体晶片,其中所述半导体晶片包括在所述半导体芯片上形成的上部半导体芯片,以及其中所述半导体芯片通过所述导体电连接到所述上部半导体芯片。

半导体器件和半导体晶片及其制造方法

[0001] 本申请是申请日为 2005 年 6 月 29 日、申请号为 200510081098.9,发明名称为“半导体器件和半导体晶片及其制造方法”的发明专利申请的分案申请。

[0002] 本申请基于日本专利申请 No. 2004-194667,在此将其内容引入作为参考。

技术领域

[0003] 本发明涉及半导体器件和半导体晶片以及用于制造半导体器件和半导体晶片的方法。

背景技术

[0004] 在日本特许-公开专利公开 No. 2000-208702 和日本特许-公开专利公开 No. 1996-125120 (H08-125120) 中,描述了现有半导体器件。在日本特许-公开专利公开 No. 2000-208702 中公开的半导体器件的制造工艺中,首先,制备两个 SOI (绝缘体上的硅) 晶片,其中通过绝缘层在硅衬底 (支撑衬底) 上形成硅层。接下来,在将成为基础晶片的一个晶片 (第一晶片) 上,另一晶片 (第二晶片) 形成为分层结构,使得两个硅层互相面对。此后,第二晶片的支撑衬底被除去。

[0005] 此外,在日本特许-公开专利公开 No. 1996-125120 中公开的半导体器件的制造工艺中,首先,制备具有 SOI 衬底的第一 LSI 和第二 LSI。接下来,在除去第二 LSI 中的 SOI 衬底的支撑衬底之后,在第一 LSI 上形成第二 LSI。

发明内容

[0006] 但是,现在发现当使用其中晶片形成为分层结构的工艺 (晶片上晶片的工艺) 时,如日本特许-公开专利公开 No. 2000-208702 中公开的技术,为了在切割之后半导体器件变为无缺陷的产品,在两个晶片上的互相面对的位置处形成的两个电路部件应该是无缺陷的产品。也就是说,即使一个电路部件是无缺陷的产品,当另一电路部件是有缺陷的产品时,由它们获得的半导体器件导致有缺陷的产品。因此,存在形成分层结构的晶片的方法不能充分地获得高成品率的问题。

[0007] 为了解决这种问题,使用其中通过切割将第二晶片制成芯片,此后,在第一晶片上将具有芯片状态的第二晶片形成为分层结构的工艺 (晶片上芯片工艺) 是适合的。在如上的这种方法中,可以在第一晶片上仅仅形成确定为无缺陷的产品的芯片,由此可以获得具有高成品率的半导体器件。

[0008] 此外,特别在分层型半导体器件中强烈地希望半导体器件的高度减小;因此,如日本特许-公开专利公开 No. 2000-208702 所述,进行除去第二晶片的支撑衬底。此外,在日本特许-公开专利公开 No. 1996-125120 中描述的技术中,如上所述,第二 LSI 中的 SOI 衬底的支撑衬底被除去。但是,在用于制造日本特许-公开专利公开 No. 1996-125120 中描述的半导体器件的方法中,在第一 LSI 上形成分层结构的第二 LSI 之前,除去支撑衬底。在此情况下,对于第二 LSI 的处理应该保证足够的厚度,为此,限制第二 LSI 的高度减小。因此,

优选在第一 LSI 上形成第二 LSI 之后进行支撑衬底的去除。

[0009] 但是,现有半导体器件的结构对于在晶片上芯片工艺中形成晶片之后除去硅衬底是不适合的。

[0010] 根据本发明,提供一种半导体器件,包括:第一半导体芯片;以及形成在第一半导体芯片上的第二半导体芯片,其具有包括电路形成区的半导体衬底,其中第二半导体芯片具有第一保护膜和第二保护膜,第一保护膜覆盖电路形成区中与第一半导体芯片背对的表面,第二保护膜覆盖电路形成区的侧表面。

[0011] 在由此构造的半导体器件中,第二半导体芯片的电路形成区的下表面(背对第一半导体的表面)和第二半导体芯片的电路形成区的侧表面分别覆有第一保护膜和第二保护膜。也就是说,用这些保护膜覆盖第一半导体芯片上形成的第二半导体芯片的露出表面。因此,在晶片上芯片工艺中形成第二半导体芯片之后,半导体器件具有适合于进行支撑衬底的去除的结构。

[0012] 第一半导体芯片的面积可以大于第二半导体芯片的面积。在此情况下,在第二半导体芯片的一侧处的第一半导体芯片的表面导致产生其上不形成第二半导体芯片的区域的状态。该区域能被利用,例如,作为外部互连的形成区。

[0013] 可以通过包括绝缘层和硅层构成半导体衬底,绝缘层用作第一保护膜,硅层设置在绝缘层上,包括电路形成区。绝缘层可以暴露在第二半导体芯片中与第一半导体芯片背对的表面上。在此情况下,因为第二半导体芯片的支撑衬底被除去,所以获得高度减小的半导体器件。

[0014] 根据本发明,提供一种半导体晶片,其包括基础晶片和半导体芯片,半导体芯片形成在基础晶片上,具有包括电路形成区的半导体衬底,其中半导体芯片具有第一保护膜和第二保护膜,第一保护膜覆盖电路形成区中与基础晶片背对的表面,第二保护膜覆盖电路形成区的侧表面。

[0015] 在由此构造的半导体晶片中,分别用第一保护膜和第二保护膜覆盖半导体芯片的电路形成区的下表面和侧表面。也就是说,用这些保护膜覆盖在基础晶片上形成的半导体芯片的露出表面。因此,在晶片上芯片工艺中形成半导体芯片之后,半导体晶片具有适合于进行支撑衬底的去除的结构。

[0016] 在基础晶片上可以以预定间隔设置多个半导体芯片。在此情况下,通过切割其中在晶片上不设置半导体芯片的区域可以获得多个半导体器件。

[0017] 根据本发明,提供一种用于制造半导体器件的方法,其中半导体芯片具有包括电路形成区的 SOI 衬底,该方法包括:制备基础晶片;制备半导体芯片,其中设置通过包括支撑衬底、绝缘层和硅层构成的 SOI 衬底,绝缘层设置在支撑衬底上,用作覆盖电路形成区中与基础晶片背对的表面的第一保护膜,硅层设置在绝缘层上,包括电路形成区,并制备具有第二保护膜的半导体芯片,第二保护膜覆盖电路形成区的侧表面;在基础晶片上形成半导体芯片,使得硅层的一侧面对基础晶片;以及通过刻蚀除去在基础晶片上形成的半导体芯片的支撑衬底。

[0018] 在该制造方法中,制备了半导体芯片,其中分别用第一保护膜和第二保护膜覆盖电路形成区的下表面和侧表面。也就是说,在该形成中,用这些保护膜覆盖基础晶片上形成的半导体芯片的露出表面。因此,在除去中,可以稳定地进行支撑衬底的刻蚀。因此,可以

获得具有高度减小的半导体器件。

[0019] 根据本发明,提供一种用于制造半导体器件的方法,其中在第一半导体芯片上形成具有包括电路形成区的 SOI 衬底的第二半导体芯片,该方法包括:制备基础晶片,其中制备包括第一半导体芯片的基础晶片;制备其中设置通过包括支撑衬底、绝缘层和硅层构成的 SOI 衬底的半导体芯片,绝缘层设置在支撑衬底上,用作覆盖电路形成区中与第一半导体芯片背对的表面的第一保护膜,硅层设置在绝缘层上,包括电路形成区;以及制备具有第二保护膜的半导体芯片,第二保护膜覆盖电路形成区的侧表面;在对应于基础晶片上的第一半导体芯片的部分上形成分层结构的第二半导体芯片,使得硅层的一侧面对基础晶片;通过刻蚀除去在基础晶片上形成的第二半导体芯片的支撑衬底;以及切割基础晶片,以便在除去之后将第一半导体芯片分为小片。

[0020] 在该制造方法中,制备第二半导体芯片,其中分别用第一保护膜和第二保护膜覆盖电路形成区的下表面和侧表面。也就是说,在形成半导体芯片中,用这些保护膜覆盖第一半导体芯片上形成的第二半导体芯片的露出表面。因此,在除去中,可以稳定地进行支撑衬底的刻蚀。因此,可以获得具有高度减小的半导体器件。

[0021] 根据本发明,提供一种用于制造半导体晶片的方法,其中在基础晶片上形成具有包括电路形成区的 SOI 衬底的第二半导体芯片,该方法包括:制备基础晶片,其中制备了基础晶片;制备半导体芯片,其中设置通过包括支撑衬底、绝缘层和硅层构成的 SOI 衬底,绝缘层设置在支撑衬底上,用作覆盖电路形成区中与基础晶片背对的表面的第一保护膜,硅层设置在绝缘层上,包括电路形成区,并制备具有第二保护膜的半导体芯片,第二保护膜覆盖电路形成区的侧表面;在基础晶片上形成半导体芯片,使得硅层的一侧面对基础晶片;以及通过刻蚀除去在基础晶片上形成的半导体芯片的支撑衬底。

[0022] 在该制造方法中,制备第二半导体芯片,其中分别用第一保护膜和第二保护膜覆盖电路形成区的下表面和侧表面。也就是说,在该形成中,用这些保护膜覆盖基础晶片上形成的半导体芯片的露出表面。因此,在除去中,可以稳定地进行支撑衬底的刻蚀。因此,可以获得高度减小的半导体晶片。

[0023] 根据本发明,实现了具有适合于实现高成品率和减小高度的结构的半导体器件和半导体晶片以及用于制造该半导体器件和半导体晶片的方法。

附图说明

[0024] 结合附图从下面的说明将使本发明的上述及其他目的、优点和特点更明显,其中:

[0025] 图 1 示意地示出了根据实施例的半导体器件的结构的剖面图;

[0026] 图 2 示意地示出了根据实施例的半导体晶片的结构的剖面图;

[0027] 图 3 示意地示出了用于制造根据实施例的各个半导体器件和半导体晶片的方法的剖面工艺图;

[0028] 图 4 示意地示出了用于制造根据实施例的各个半导体器件和半导体晶片的方法的剖面工艺图;

[0029] 图 5 示意地示出了用于制造根据实施例的各个半导体器件和半导体晶片的方法的剖面工艺图;

[0030] 图 6 示意地示出了用于制造根据实施例的各个半导体器件和半导体晶片的方法的剖面工艺图；

[0031] 图 7 示意地示出了用于制造根据实施例的各个半导体器件和半导体晶片的方法的剖面工艺图；

[0032] 图 8 示意地示出了用于制造根据实施例的各个半导体器件和半导体晶片的方法的剖面工艺图；

[0033] 图 9 示意地示出了用于制造根据实施例的各个半导体器件和半导体晶片的方法的剖面工艺图；

[0034] 图 10 示意地示出了用于制造根据实施例的各个半导体器件和半导体晶片的方法的剖面工艺图；

[0035] 图 11 示意地示出了根据实施例的半导体器件的结构的剖面图；以及

[0036] 图 12 示意地示出了根据实施例的半导体器件的结构的剖面图。

具体实施方式

[0037] 现在将参考说明性实施例在描述本发明。本领域技术人员将认识到可以使用本发明的讲述实现许多选择性的实施例，并且本发明不局限于用于说明性目的而说明的实施例。

[0038] 下面将参考的附图详细地描述根据本发明的半导体器件和半导体晶片及其制造方法的实施例。应当注意，在附图的描述中，当相同标记添加至相同元件时，不再重复地描述。

[0039] 图 1 所示的半导体器件 1 具有第一半导体芯片（半导体芯片 10）和以分层结构形成在第一半导体芯片上的第二半导体芯片（半导体芯片 20），第二半导体芯片具有包括电路形成区 A1 的半导体衬底 22。第二半导体芯片具有第一保护膜（绝缘层 34）和第二保护膜（保护膜 38），第一保护膜覆盖电路形成区 A1 中与半导体芯片背对的表面，第二保护膜覆盖电路形成区 A1 的侧表面。

[0040] 图 2 所示的半导体晶片 3 具有基础晶片 80 和形成在基础晶片 80 上的半导体芯片 20，半导体芯片 20 具有包括电路形成区 A1 的半导体衬底 22。半导体芯片 20 具有第一保护膜（绝缘层 34）和第二保护膜（保护膜 38），第一保护膜覆盖电路形成区 A1 中与基础晶片 80 背对的表面，第二保护膜覆盖电路形成区 A1 的侧表面。

[0041] 图 3 至 10 所示的用于制造半导体 1 的方法包括：制备基础晶片 80，其中制备了包括第一半导体芯片（半导体芯片 10）的基础晶片 80；制备半导体芯片，其中设置通过包括支撑衬底 32、绝缘层 34 和硅层 36 构成的 SOI 衬底（SOI 晶片），绝缘层 34 设置在支撑衬底 32 上，用作覆盖电路形成区 A1 中与第一半导体芯片背对的表面的第一保护膜，硅层 36 设置在绝缘层 34 上，包括电路形成区 A1，并制备具有第二保护膜（保护膜 38）的第二半导体芯片（半导体芯片 20），第二保护膜（保护膜 38）覆盖电路形成区 A1 的侧表面；在对应于基础晶片 80 上的第一半导体芯片的部分上形成分层结构的第二半导体芯片，使得硅层 36 的一侧面面对基础晶片 80；通过刻蚀除去以分层结构形成在基础晶片 80 上的第二半导体芯片的支撑衬底 32；以及切割基础晶片 80，以便在除去之后将第一半导体芯片分为小片。

[0042] 图 3 至 10 所示的用于制造半导体晶片 3 的方法包括：制备基础晶片 80，其中制备

了基础晶片 80 ;制备半导体芯片,其中设置通过包括支撑衬底 32、绝缘层 34 和硅层 36 构成的 SOI 衬底 (SOI 晶片),绝缘层 34 设置在支撑衬底 32 上,用作覆盖电路形成区 A1 中与基础晶片 80 背对的表面的第一保护膜,硅层 36 设置在绝缘层 34 上,包括电路形成区 A1,并制备具有第二保护膜 (保护膜 38) 的半导体芯片 20,第二保护膜 (保护膜 38) 覆盖电路形成区 A1 的侧表面 ;在基础晶片 80 上形成半导体芯片 20,使得硅层 36 的一侧面对基础晶片 80 ;以及通过刻蚀除去以分层结构形成在基础晶片 80 上的半导体芯片 20 的支撑衬底 32。

[0043] 图 1 是示出了根据本实施例的半导体器件的剖面图。半导体器件 1 具有半导体芯片 10 (第一半导体芯片)、半导体芯片 20 (第二半导体芯片) 和半导体芯片 40 (第三半导体芯片)。通过包括例如硅衬底等半导体衬底 12 和在半导体衬底 12 上设置的互连层 14 构成半导体芯片 10。

[0044] 半导体芯片 20 形成在半导体芯片 10 上。通过包括半导体衬底 22 和设置在半导体衬底 22 上的互连层 24 构成半导体芯片 20。半导体芯片 10 的互连层 14 和半导体芯片 20 的互连层 24 互相面对。此外,在本实施例中,半导体芯片 10 的面积大于半导体芯片 20 的面积。因此,半导体芯片 20 的侧表面位于半导体芯片 10 的侧表面内,而半导体芯片 10 的侧表面朝半导体芯片 20 的外部凸出。

[0045] 通过包括绝缘层 34 和硅层 36 构成作为 SOI 衬底的半导体衬底 22,硅层 36 设置在绝缘层 34 上,包括电路形成区 A1。这里,电路形成区 A1 是在半导体衬底 22 内的区域 ;以及,在电路形成区 A1 中,设置电路器件的元件。电路器件的元件是例如用作晶体管等的源 - 漏区的扩散层。绝缘层 34 用作保护膜 (第一保护膜),覆盖电路形成区 A1 的整个下表面 (半导体芯片 10 的背对一侧的表面)。应当注意,绝缘层 34 不严格地覆盖设置有之后描述的穿通电极 50 的部分中的下表面,但是可以认为绝缘层 34 基本上覆盖整个下表面。绝缘层 34 暴露于半导体芯片 20 的下表面 (半导体芯片 10 的背对一侧的表面)。绝缘层 34 由具有刻蚀剂抵抗性的材料构成。绝缘层 34 由例如 SiO_2 等构成。

[0046] 在半导体衬底 22 中,设置保护膜 38 (第二保护膜)。保护膜 38 覆盖电路形成区 A1 的整个侧表面。此外,保护膜 38 从硅层 36 到达绝缘层 34。具体地,保护膜 38 从硅层 36 的表面开始贯穿硅层 36 延伸至绝缘层 34 的内部。保护膜 38 由具有刻蚀剂抵抗性的材料构成。例如,保护膜 38 由如 SiO_2 等的绝缘膜构成,或例如 Cu、W 等的金属膜构成。应当注意可以由绝缘膜和金属膜两种膜构成保护膜 38。尽管在设置被部分地开口的保护膜 38 的情况下,保护膜 38 不严格地覆盖整个侧表面,但是,整个侧表面被基本上覆盖是适合的。

[0047] 在本实施例中,互连层 24 的侧表面也覆有图中未示出的保护膜 (第三保护膜)。例如是密封环的该保护膜由具有刻蚀剂抵抗性的材料构成。此外,至于保护膜的材料,例如,可以使用与互连层 24 内的互连相同的材料。

[0048] 在电路形成区 A1 中设置穿通电极 50。穿通电极 50 从硅层 36 达到绝缘层 34。具体地,穿通电极 50 从硅层 36 的表面开始贯穿硅层 36 延伸至绝缘层 34 的内部。在本实施例中,在绝缘层 34 的一侧处的上述保护膜 38 和穿通电极 50 的端面位置近似与绝缘层 34 的表面位置相同。

[0049] 在半导体芯片 20 上形成半导体芯片 40。半导体芯片 40 具有支撑衬底 42、设置在支撑衬底 42 上的绝缘层 44 以及由设置在绝缘层上的硅层 46 构成的 SOI 衬底。支撑衬底 42 是例如硅衬底等。此外,互连层 48 设置在硅层 46 上。半导体芯片 20 的下表面和半导体

芯片 40 的互连层 48 布置为彼此面对。但是,并不总是必需通过包括 SOI 衬底来构成半导体芯片 40;通过包括其他种类的半导体衬底来构成也是适合的。

[0050] 图 2 示出了根据本发明的半导体晶片的一个实施例的剖面图。半导体晶片 3 具有基础晶片 80、半导体芯片 20 和半导体芯片 40。半导体芯片 20 和半导体芯片 40 的结构与图 1 中所示的相同。通过包括如硅衬底等的半导体衬底 82 以及半导体衬底 82 上的互连层 84 构成基础晶片 80。应当注意,至于基础晶片 80,它不局限于其中设置了包括晶体管的 LSI 的普通晶片;在基础晶片上设置无源元件或仅仅设置导电图形也是适合的。

[0051] 在基础晶片 80 上,以预定间隔形成分层结构的多个半导体芯片 20。间隔设为大于在切割基础晶片 80 的时候使用的切割刀片的厚度。

[0052] 现在将参考图 3 至 10 描述半导体器件 1 和半导体晶片 3 的方法的一个例子,作为用于制造根据本发明的各个半导体器件和半导体晶片的方法的一个实施例。首先,在第一硅晶片上连续地形成 SiO_2 膜 342、 SiN 膜 344 和 SiO_2 膜 346,以使支撑衬底 32 变为分层结构。在第一硅晶片上,粘附将变为硅层 36 的第二硅晶片;以及使其在真空中退火,由此获得 SOI 晶片,其中在支撑衬底 32 上形成分层结构的绝缘层 34 和硅层 36。也就是说,本实施例中的绝缘层 34 被构成为由 SiO_2 膜 342、 SiN 膜 344 和 SiO_2 膜 346 构成的多层膜(图 3)。应当注意可以使用 SiCN 膜或 SiON 膜或其组合代替 SiN 膜 344 或除 SiN 膜 344 之外可以使用 SiCN 膜或 SiON 膜或其组合是适合的。

[0053] 接下来,例如,通过干法刻蚀技术,沿电路形成区 A1 和划线区 A2 之间的边界形成从硅层 36 到达绝缘层 34 的沟槽 62。在本实施例中,同时形成沟槽 62 和用于穿通电极 50 的孔 64。此外,在该状态下热氧化硅层 36 时,形成绝缘膜 66 和绝缘膜 68(图 4)。

[0054] 接下来,在将金属嵌入沟槽 62 时形成金属膜 72(图 5)。利用这种工艺,形成保护膜 38。也就是说,在本实施例中,用绝缘膜 66 和金属膜 72 形成保护膜 38。此时,在填充沟槽 62 的同时,金属膜 74 也被填充到孔 64 中。因此,形成由绝缘膜 68 和金属膜 74 构成的穿通电极 50。在形成例如阻挡金属如 TiN 、 TaN 或 Ta 等之后,通过镀的技术或 CVD 技术形成 Cu 或 W ,在沟槽和孔中填充金属。此外,除沟槽 62 和孔 64 的内部以外形成的金属膜和硅层 36 上的绝缘膜被除去。

[0055] 接下来,在电路形成区 A1 上形成必要的电路和互连层 24 之后,在执行划线区 A2 的切割时获得多个半导体芯片 20(图 6)。如上制造半导体芯片 20 的工艺被称作半导体芯片制备工艺。

[0056] 继而,制备基础晶片 80(基础晶片制备工艺)。应当注意执行半导体芯片制备工艺和基础晶片制备工艺的顺序是任意的。在基础晶片 80 上形成分层结构的半导体芯片 20(形成工艺)。能够使用例如活化键合工艺,用于基础晶片 80 和半导体芯片 20 之间的键合。表面活化键合工艺使用 CMP 技术(化学机械抛光技术)等平整两个键合的表面。然后,使用等离子体照射技术等活化相对的电极和相对的绝缘膜。保持活化条件下执行键合。应当注意在使用普通倒装片键合工艺的情况下,在电极之间执行键合以及树脂密封是适宜的。在本实施例中,以预定间隔在基础晶片 80 上形成分层结构的多个半导体芯片 20(图 7)。

[0057] 接下来,通过例如湿法刻蚀技术从半导体芯片 20 除去支撑衬底 32(除去工艺)。在除去支撑衬底 32 中,在执行湿法刻蚀之前,使用机械抛光技术等除去支撑衬底 32 至一定的程度也可以是适当的。利用这种工艺,增加半导体器件 1 和半导体晶片 3 的生产率(图

8)。此外,制备半导体芯片 40,然后半导体芯片 40 以分层结构形成在半导体芯片 20 上。根据上述工艺,获得半导体晶片 3(图 9)。

[0058] 此外,切割在基础晶片 80 中未设置半导体芯片 20 的区域。用上面的这种方法,获得半导体器件 1(图 10)。

[0059] 现在将描述本实施例的效果。

[0060] 在本实施例中,分别用绝缘层 34 和保护膜 38 覆盖半导体芯片 20 的电路形成区 A1 的下表面和侧表面。也就是说,用这些保护膜覆盖半导体芯片 10(或基础晶片 80)上形成的半导体芯片 20 的露出表面。为此,在晶片上芯片工艺中形成分层结构的半导体芯片 20 之后,半导体器件 1 和半导体晶片 3 具有用于执行支撑衬底 32 的去除的适当结构。也就是说,当通过湿法刻蚀技术除去支撑衬底 32 时,可以用上述保护膜(绝缘层 34 和保护膜 38)保护电路形成区 A1 免受刻蚀剂影响。因此,在除去中,可以稳定地执行支撑衬底 32 的刻蚀。

[0061] 此外,在互连层 24 的侧表面设置具有刻蚀剂抵抗性的第三保护膜;因此,可以更稳定地执行支撑衬底 32 的刻蚀。但是,设置第三保护膜不是必不可少的。例如,当互连层 24 的层间绝缘膜具有足够的刻蚀剂抵抗性时,尽管不设置第三保护膜,但是仍充分地保持刻蚀的稳定性。应当注意,代替第三保护膜,或者除第三保护膜之外,上述保护膜 38 可以设置为覆盖互连层 24 的整个侧表面。也就是说,保护膜 38 设置为不仅覆盖电路形成区 A1 的侧表面而且覆盖互连层 24 的侧表面可以是适合的。在此情况下,实现能用简单的结构更稳定地执行支撑衬底 32 的刻蚀的半导体器件。为了获得具有这种结构的保护膜 38,可以在电路形成区 A1 和互连层 24 的形成之后执行保护膜 38 的形成。应当注意,在互连层 24 中,除互连之外,可以包括各种电路元件如电极端子、各种无源元件等。

[0062] 在上述实施例中,使用晶片上芯片工艺制造半导体器件 1 和半导体晶片 3。因此,在基础晶片 80 上预先仅仅形成确定为无缺陷的产品的分层结构的半导体芯片 20 变为可能。为此,可以获得具有高成品率的半导体器件 1 和半导体晶片 3。此外,由于使用晶片上芯片工艺,可以容易地获得其中具有不同尺寸的半导体芯片形成为分层结构的半导体器件。具有不同尺寸的半导体芯片能形成在分层结构中,导致增加半导体器件的布局的自由度。

[0063] 此外,在基础晶片 80 上形成分层结构的半导体芯片 20 之后,执行支撑衬底 32 的除去。为此,与日本特许-公开专利公开 No. 1996-125120 中描述的半导体器件不同,没有必要保证在半导体芯片 20 经受独立地处理的情况下需要的厚度。因此,可以获得非常薄的半导体芯片 20。使每个半导体芯片薄,导致其中每个薄半导体芯片形成为分层结构的半导体器件的高度减小。

[0064] 在半导体器件 1 中,半导体芯片 10 的面积大于半导体芯片 20 的面积。利用这种结构,在半导体芯片 20 的侧面的半导体芯片 10 的表面上产生不形成半导体芯片 20 的区域。例如,在该区域上可以设置外部互连。因此,在最上的芯片(半导体芯片 40 对应于半导体器件 1 中的这些芯片)上设置外部互连变得没有必要;可以实现半导体器件 1 的高度进一步减小。

[0065] 在基础晶片 80 上设置多个半导体芯片。利用这种结构,可以同时制造多个半导体器件;因此增加半导体器件的制造生产率。

[0066] 此外,由于在半导体芯片 20 上设置穿通电极 50,可以容易地实现半导体芯片 20 和

半导体芯片 40 之间的导电性。此外,与通过引线键合等实现半导体芯片 20 和半导体芯片 40 之间的导电性的情况相比较,获得提高处理速度和实现低功耗等的效果。此外,由于用与保护膜 38 的形成工艺相同的工艺制造穿通电极 50,因此在不增加工艺数目的条件下可以获得具有穿通电极 50 的半导体芯片 20。

[0067] 但是,在本实施例中设置穿通电极 50 不是必不可少的。此外,以分层结构在半导体芯片 10 上形成半导体芯片 20 之后,通过从半导体芯片 20 的后表面形成贯穿半导体衬底 22 的孔和通过在孔中填充导电材料实现上述导电性是适合的。此外,用这种方法在分层的半导体芯片 20 上形成外部电极端子使得与导电材料连接是适合的。形成这种外部电极端子的半导体芯片是半导体芯片 10、半导体芯片 20 和半导体芯片 40 的任意一种是适合的。

[0068] 绝缘层 34 包括 SiN 膜 344。为此,绝缘层 34 也适当地用作防止重金属等的扩散的金属扩散阻挡层。此外,在绝缘层 34 包括 SiON 膜或 SiCN 膜的情况下,绝缘层 34 也能用作金属扩散阻挡层。

[0069] 尽管上面根据附图描述了本发明的实施例,但是应当理解以上描述是为说明本发明的目的而给出的,并且还可以采用除上述结构以外的各种结构。

[0070] 例如,通过使用引线键合技术引入普通半导体封装,或通过利用倒装片键合技术等贴装,能在任意系统中引入上述的半导体器件 1。

[0071] 应当注意,在上述实施例中,在半导体器件 1 或半导体晶片 3 上设置半导体芯片 40 不是必不可少的,可以导致半导体芯片 20 变为最上层的芯片的结构也是适合的。此外,绝缘层 34 由多层膜构成不是必不可少的;例如,绝缘层 34 是由 SiO₂ 膜构成的单层膜也是适合的。

[0072] 此外,在半导体芯片 20 上设置晶体管等不是必不可少的。例如,当采用其中在半导体芯片 20 中仅仅设置无源元件或穿通电极的结构时,可以适当地使用半导体芯片 20 作为硅互连衬底。但是,在此情况下,在半导体芯片 20 中设置第一保护膜(绝缘层 34)和第二保护膜(保护膜 38)。

[0073] 此外,半导体芯片 10 具有形成在半导体衬底 12 上的穿通电极;并且可以采用穿通电极通向半导体芯片 10 的下表面(与半导体芯片 20 背对一侧的表面)的结构。

[0074] 此外,在芯片形成为分层结构之后提供重布线形成工艺是适合的。重布线连接到任意的半导体芯片,此外,可以使用外部电极的形成。

[0075] 此外,在半导体器件 1 中,在半导体芯片 10 上设置多个半导体芯片 20 是适合的。

[0076] 图 11 示出了图 1 所示的半导体器件 1 的一个改进例子的剖面图。在半导体器件 1a 中,以分层结构在半导体芯片 10 上连续地形成半导体芯片 91 和半导体芯片 92。此外,在半导体芯片 92 上设置重布线(外部电极)96。半导体芯片 91 和半导体芯片 92 的结构基本上与图 1 所示的半导体芯片 20 相同。这里,芯片区的面积以半导体芯片 10、半导体芯片 91 和半导体芯片 92 的顺序逐渐地减小。

[0077] 图 12 示出了图 1 所示的半导体器件 1 的另一改进例子的剖面图。在半导体器件 1b 中,以分层结构在半导体芯片 10 上连续地形成半导体芯片 93、半导体芯片 94 和半导体芯片 95。半导体芯片 93 的结构和半导体芯片 94 的结构基本上与图 1 所示的半导体芯片 20 的结构相同。此外,半导体芯片 95 的结构基本上与图 1 所示的半导体芯片 40 的结构相同。这里,半导体芯片 93 的芯片面积小于半导体芯片 10 的面积,半导体芯片 94 的芯片面

积大于半导体芯片 93 的面积,以及半导体芯片 95 的芯片面积小于半导体芯片 94 的面积。

[0078] 如由图 11 和 12 可知,在以上描述的实施例的半导体器件 1 中,可以自由地选择芯片尺寸以形成分层结构。应当注意,如图 12 所示,当在相对小的芯片(半导体芯片 93)上形成分层结构的相对大的芯片(半导体芯片 94)时,优选采用具有刻蚀剂抵抗性的材料设置半导体芯片 94 的上表面(在半导体芯片 93 的一侧的表面)。

[0079] 很显然本发明不局限于上述实施例,在不脱离本发明的范围和精神的条件下可以进行修改和改变。

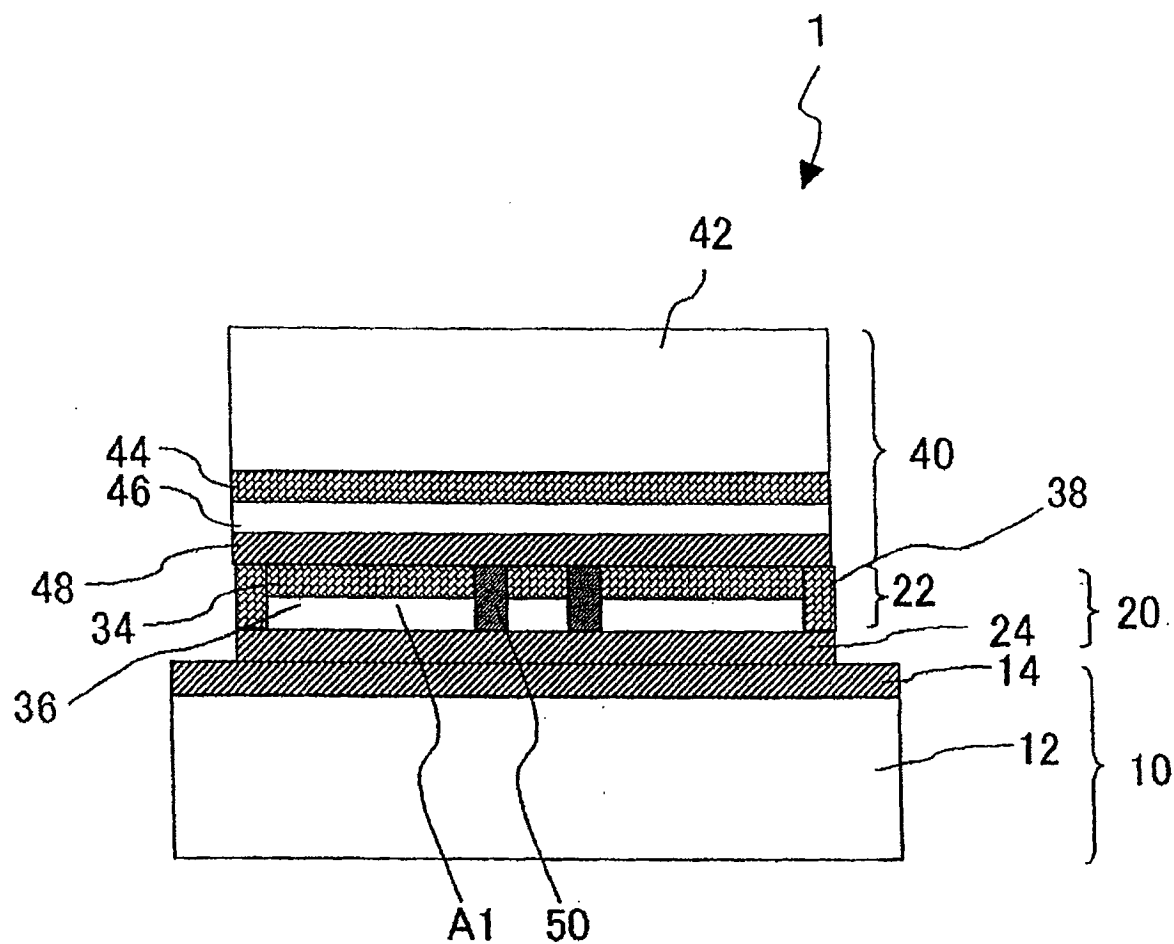


图 1

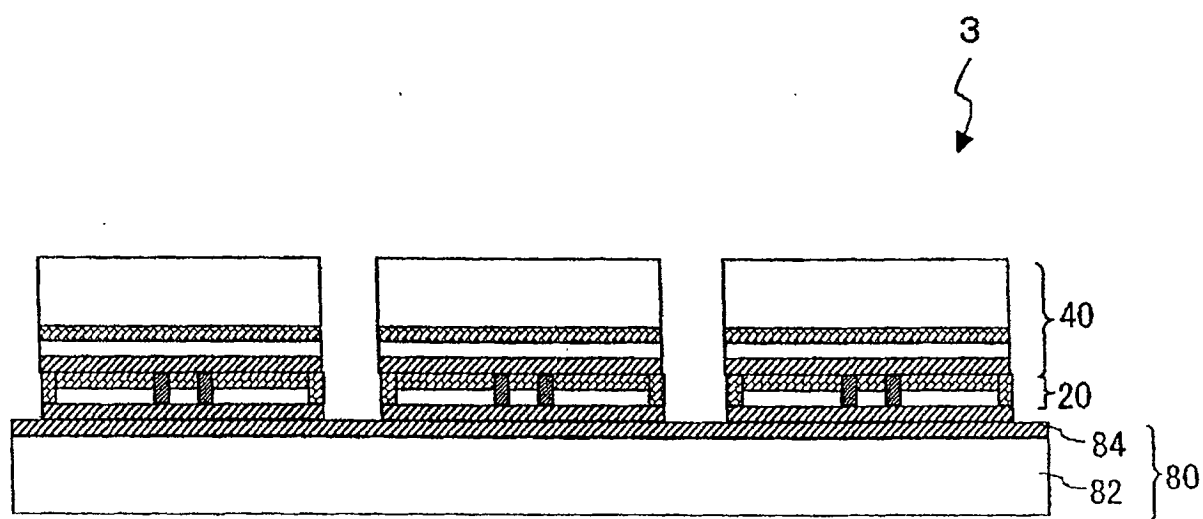


图 2

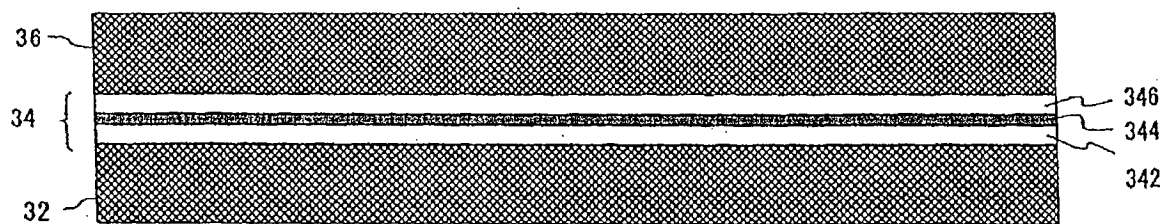


图 3

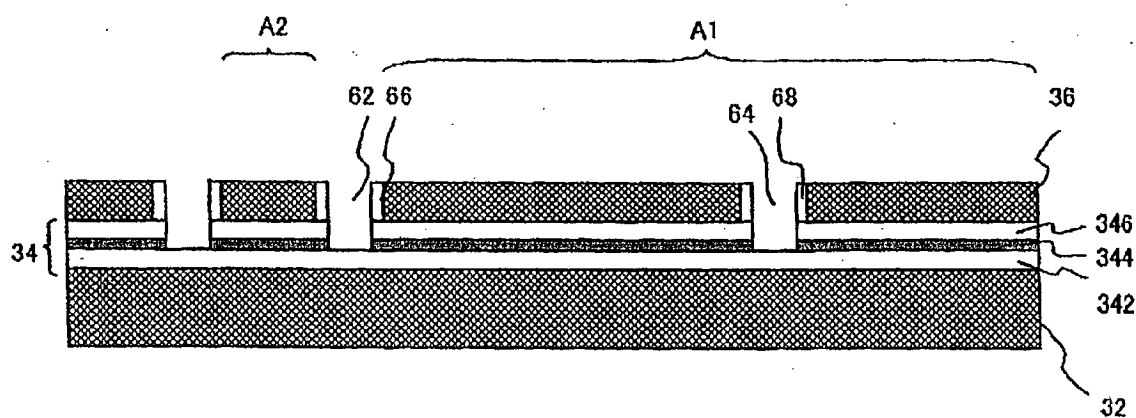


图 4

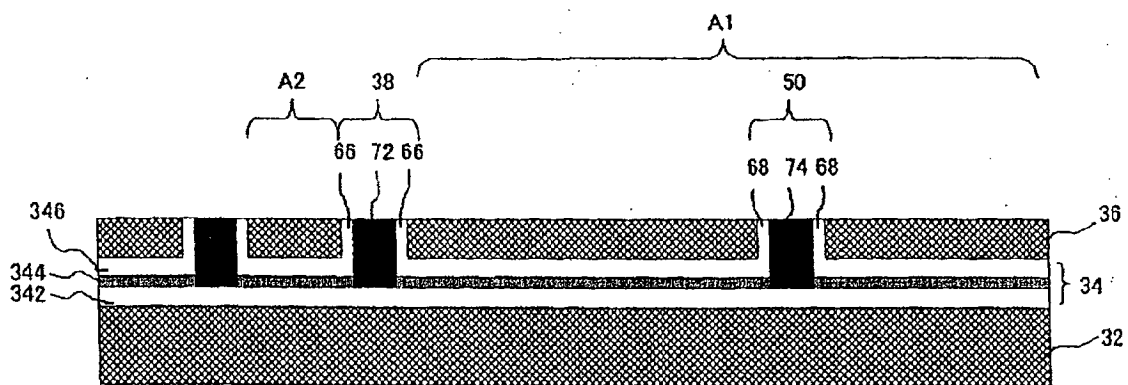


图 5

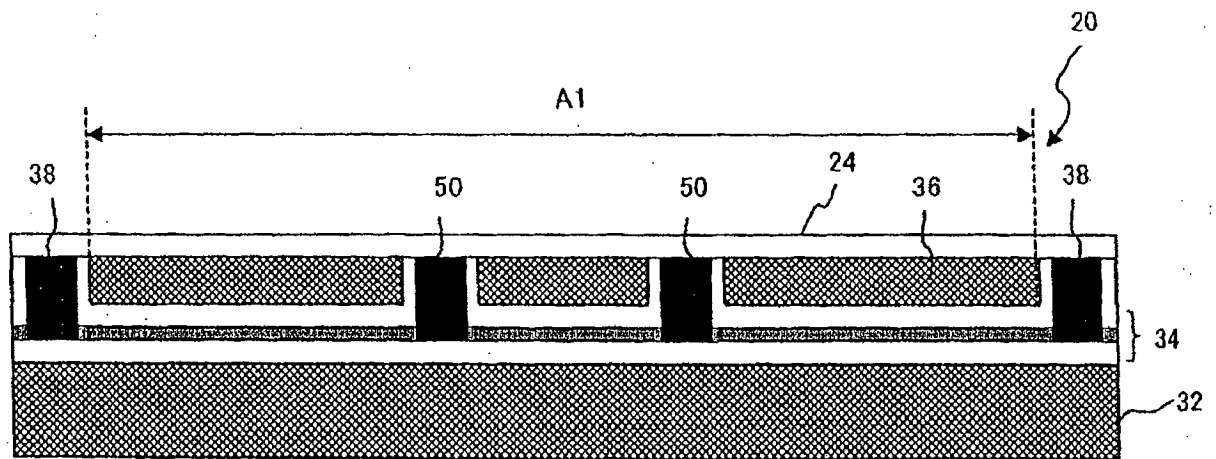


图 6

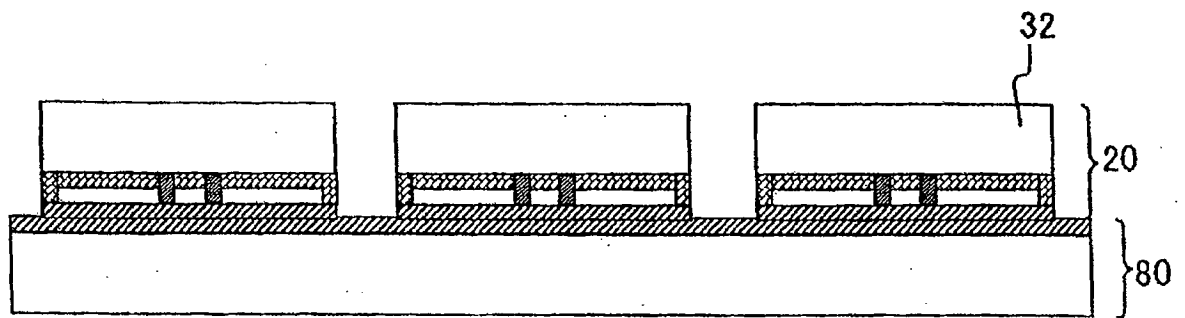


图 7

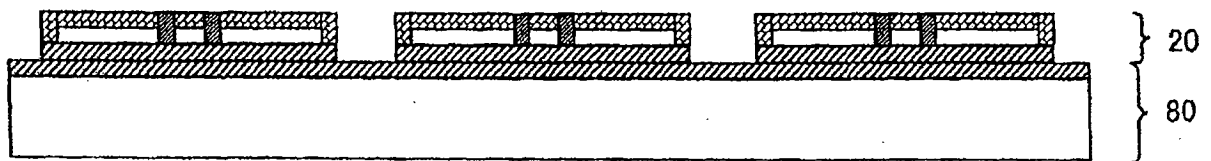


图 8

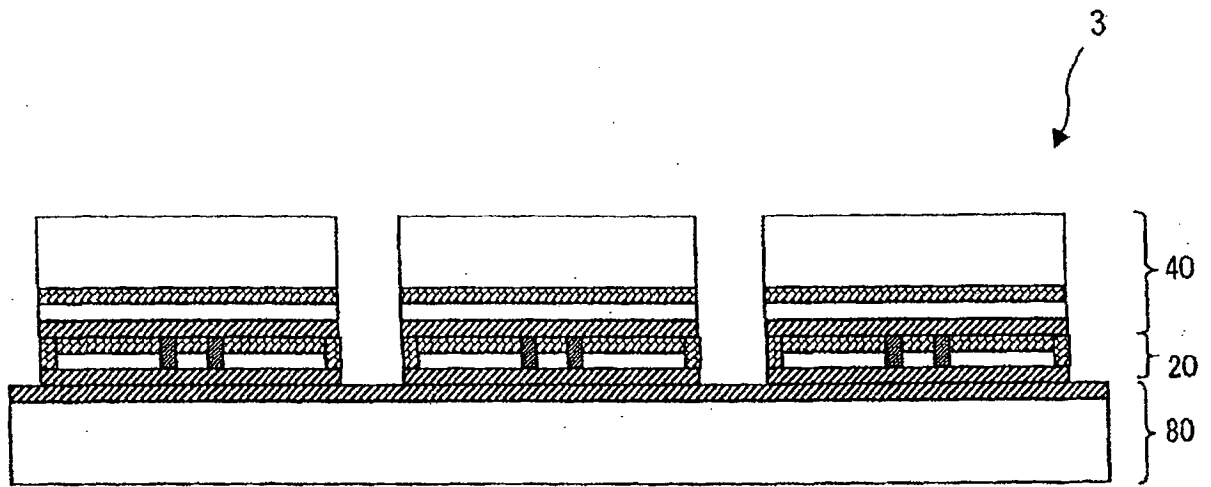


图 9

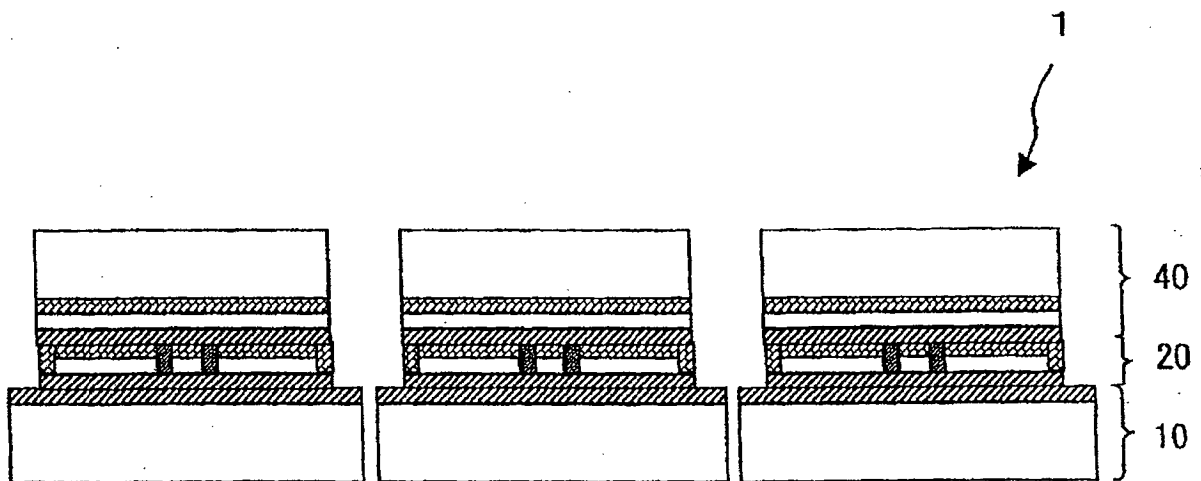


图 10

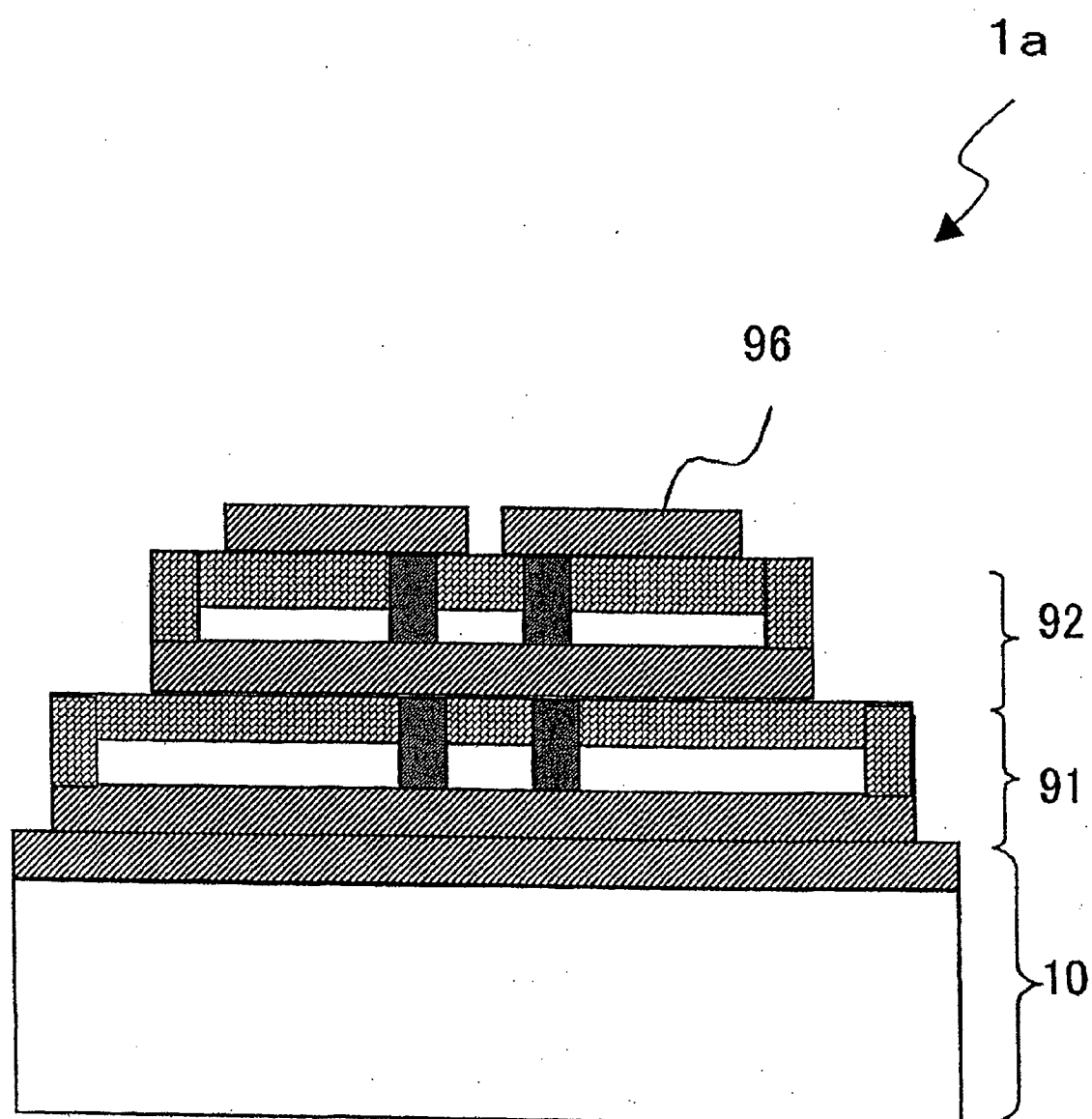


图 11

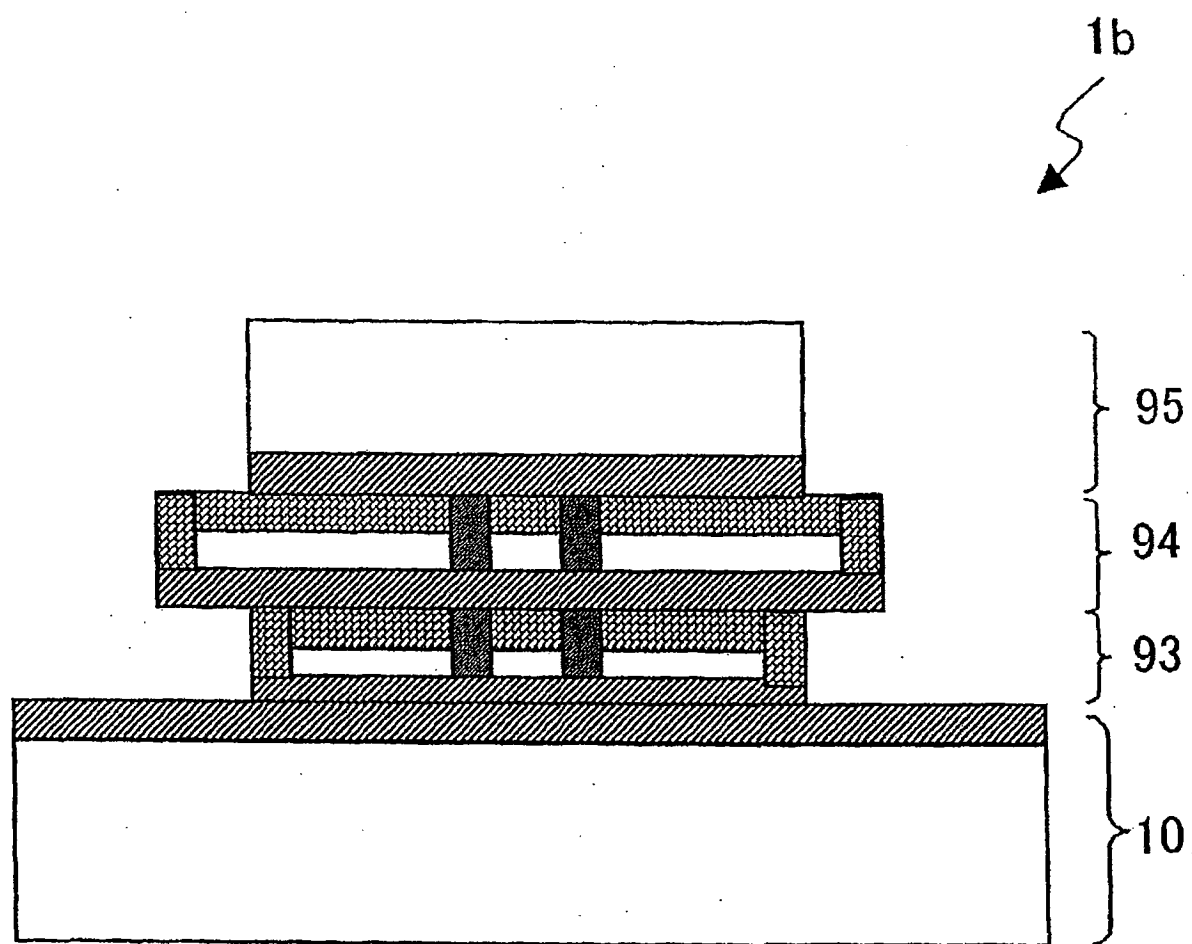


图 12