(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第4090747号
(P4090747)

(45)発行日　平成20年5月28日(2008.5.28)　(24)登録日　平成20年3月7日(2008.3.7)

(51)Int.Cl.		F I		
H01L 29/739	(2006.01)	H01L	29/78	655A
H01L 29/78	(2006.01)	H01L	29/78	652K
H01L 21/336	(2006.01)	H01L	29/78	652M
H01L 29/423	(2006.01)	H01L	29/78	652Q
H01L 29/49	(2006.01)	H01L	29/78	653A

請求項の数 7　(全 14 頁)　最終頁に続く

(21)出願番号　特願2002-23666(P2002-23666)
(22)出願日　平成14年1月31日(2002.1.31)
(65)公開番号　特開2003-224278(P2003-224278A)
(43)公開日　平成15年8月8日(2003.8.8)
審査請求日　平成16年7月27日(2004.7.27)

(73)特許権者　000006013
三菱電機株式会社
東京都千代田区丸の内二丁目７番３号
(74)代理人　100062144
弁理士　青山　葆
(72)発明者　石村　暢一
東京都千代田区丸の内二丁目２番３号　三菱電機株式会社内
(72)発明者　友松　佳史
福岡県福岡市西区今宿東一丁目１番１号　福菱セミコンエンジニアリング株式会社内

審査官　小野田　誠

最終頁に続く

(54)【発明の名称】絶縁ゲート型半導体装置

(57)【特許請求の範囲】

【請求項１】

第１導電型の半導体基体と、

前記第１導電型の半導体基体の下主面に形成された第２導電型のコレクタ領域と、

前記コレクタ領域と接続されたコレクタ電極と、

前記第１導電型の半導体基体の上主面に選択的に形成された第２導電型のベース領域と、

前記ベース領域内に選択的に形成された第１導電型のエミッタ領域と、

前記ベース領域内に選択的に形成され、かつ前記第１導電型の半導体基体まで到達する深さを有する第１のトレンチ、第２のトレンチ及び第３のトレンチと、

前記第１のトレンチ、第２のトレンチ及び第３のトレンチの内部にそれぞれ絶縁膜を介して埋設された第１のゲート電極領域、ダミーゲート領域、第２のゲート電極領域と、

前記ベース領域と前記エミッタ領域および前記ダミーゲート領域が共通に接続されたエミッタ電極と、を備えた絶縁ゲート型半導体装置であって、

前記第２のゲート電極領域は前記第１のゲート電極領域とのみ接続され、

前記エミッタ電極と前記ダミーゲート領域間を部分的に接続するパターン構成の層間絶縁膜を形成したことを特徴とする半導体装置。

【請求項２】

前記ベース領域と前記半導体基体の間に形成され、前記半導体基体より不純物濃度の高い第１導電型のキャリア蓄積領域を有する請求項１に記載の半導体装置。

【請求項３】
前記トレンチが互いに並行かつストライプ状に形成された請求項１または２に記載の半導体装置。
【請求項４】
前記層間絶縁膜の前記ダミーゲート領域上に配置された部分が四角状に分離された構成である請求項１～３のいずれか１項に記載の半導体装置。
【請求項５】
前記第２のトレンチ内部に形成される前記ダミーゲート領域の半導体表面に露出する面積Ｓ１と前記エミッタ電極との接続面積Ｓ２との比が、
Ｓ２／Ｓ１＜７０％
である請求項１～４のいずれか１項に記載の半導体装置。
【請求項６】
前記エミッタ電極はアルミワイヤと超音波接続され、該アルミワイヤとの接続直下の領域以外で前記エミッタ電極と前記ダミーゲート領域とが接続した請求項１～５のいずれか１項に記載の半導体装置。
【請求項７】
前記第１のトレンチと前記第２のトレンチのそれぞれの終端に直交するゲート配線電極を備え、前記ゲート配線電極は前記第１のゲート電極領域とのみ接続され、前記ダミーゲート領域は前記ゲート配線近傍領域のみ前記エミッタ電極と接続された請求項３に記載の半導体装置。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は絶縁ゲート型半導体装置に関し、特に、絶縁ゲートを有するバイポーラトランジスタおよびパワーＭＯＳＦＥＴであって、低抵抗で低ゲート容量、低短絡電流を実現した絶縁ゲート型バイポーラトランジスタに関する。
【０００２】
【従来の技術】
一般に、モータ等を駆動するパワーエレクトロニクスでは、スイッチング素子として、定格電圧が３００Ｖ以上の領域では、その特性から例えば絶縁ゲートバイポーラトランジスタ（Insulated Gate Bipolar Transistor：以後「ＩＧＢＴ」と略記する）の電力用半導体素子が主に用いられている。中でも、トレンチゲートを有する絶縁ゲート型半導体装置、即ちゲート電極が半導体基体の一主面に形成された溝（トレンチ）の中に埋め込まれた構造を有する絶縁ゲート型半導体装置は、微細化が容易であり、集積度を高めることができる利点があるので注目を集めている。
【０００３】
図６は従来のトレンチゲート型ＩＧＢＴ（Trench gate Bipolar Transistor：以後「ＴＩＧＢＴ」と略記する）の構造の一例を示す断面図であり、このＴＩＧＢＴ構成を模式的に示した一例を図７（ａ）の上面図および図７（ｂ）、（ｃ）の断面図として示している。これら図６、図７を参照して、以下にＴＩＧＢＴの構造と動作について簡単に説明する。
【０００４】
図示の構成において、ｐ$^+$基板１０１上にｎ$^+$バッファ層１０２が形成され、ｐ$^+$基板１０１の裏面にはコレクタ電極１１２が形成されている。ｎ$^+$バッファ層１０２上にｎ$^-$半導体（ベース）層１０３が形成され、更に、ＴＩＧＢＴのセル領域では、ｎ$^-$半導体層１０３の表面上には、ｐ型の不純物を拡散することによりｐベース領域１０４が選択的に形成されている。このｐベース領域１０４の表面上の一部または全面には、高濃度のｎ型の不純物を選択的に拡散することによりｎ$^+$エミッタ領域１０５が形成されている。
【０００５】
図７の構成では、複数のトレンチ１０７がｎ$^+$エミッタ領域１０５と直交するように延

在し、一定の間隔（ピッチ）Ｗをもって互いに平行に配列している。各トレンチはｎ＋エミッタ領域１０５の高さ位置からｎ－半導体層１０３内に達する深さにまで形成され、このトレンチ１０７の内部にはＭＯＳトランジスタのトレンチゲート電極１１０がゲート絶縁膜１０８を介して埋め込まれている。ゲート電極と対向し、ｎ＋エミッタ領域１０５とｎ－半導体層１０３との間に介在するｐベース領域１０４がチャネル領域として機能する。ゲート電極１１０の上面およびｎ＋エミッタ領域１０５の表面の一部領域上は層間絶縁膜１０９で被膜され、ｎ＋エミッタ領域１０５の表面の一部領域上と層間絶縁膜１０９の表面を覆うようにエミッタ電極１１１が形成されている。また、図６に示すようにゲート配線層ＧＬの直下の領域部分には耐圧を高く保持するためのｐ型半導体層１１３が設けされている。

【０００６】

図８は、ＴＩＧＢＴの特性を改善するために発案されたキャリア蓄積型ＴＩＧＢＴ（Carrier Stored Trench-gate Bipolar Transistor：以後「ＣＳＴＢＴ」と略記する）の構造を模式的に示す上面図（ａ）および断面図（ｂ），（ｃ）である。図７のＴＩＧＢＴ構造と異なるところは、ｐベース領域１０４とｎ－ベース層１０３との間にキャリア蓄積用のｎ－半導体層（キャリアストアド領域）１１３を介在させたことである。

【０００７】

次に、図７および図８を参照して従来のＩＧＢＴの動作について説明する。両図に示す構造において、エミッタ電極１１１とコレクタ電極１１２間に所定の正のコレクタ電圧V_{CE}を印加した状態で、エミッタ電極１１１とゲート電極１１０間に所定の正のゲート電圧V_{GE}を印加してゲートをオン状態とする。このときチャネル領域がｐ型からｎ型に反転してチャネルが形成され、エミッタ電極１１１から、電子がｎ－半導体層１０３に注入される。この注入された電子によりｐ＋基板１０１とｎ－半導体層１０３間が順バイアス状態とされ、ｐ＋基板１０１から正孔（ホール）が注入されることによりｎ－半導体層１０３の抵抗が大幅に下がり、ＩＧＢＴの電流容量は増大する。このように、ＩＧＢＴではｐ＋基板１０１から正孔（ホール）が注入されることによりｎ－半導体層１０３の抵抗を下げている。

【０００８】

次に、ＩＧＢＴのオン状態からオフ状態にターンオフする場合の動作について説明する。図７および図８の構造において、エミッタ電極１１１とゲート電極１１０間にオン状態で印加されたゲート電圧V_{GE}をゼロまたは負（逆バイアス）にする。即ち、ゲートをオフ状態にすることにより、ｎ型に反転したチャネル領域がｐ型領域にもどり、エミッタ電極１１１からのｎ－半導体層１０３に対する電子の注入が止まる。電子の注入の停止によりｐ＋基板１０１からの正孔（ホール）の注入も止まることになる。その後、ｎ－半導体層１０３（およびｎ＋バッファ層１０２）に蓄積されていた電子と正孔（ホール）はそれぞれコレクタ電極１１２とエミッタ電極１１１へ回収されていくか、または互いに再結合して消滅する。

【０００９】

図７に示すＴＩＧＢＴの場合は、平面ゲート型のＩＧＢＴに比べて表面もＭＯＳトランジスタを約１／１０程度に微細化できるので特性の向上が図れる。また、平面型のＩＧＢＴでは表面でｐベース層に挟まれた領域に電流経路が形成され、この部分での電圧降下が大きかったが、上記ＴＩＧＢＴでは、ゲート１１０がｐベース層１０４を突き抜けて形成されるため、電流経路にはｐベース層に挟まれた領域がなくなり、特性の向上が図れる。

【００１０】

図８に示すＣＳＴＢＴの場合では、ｐベース領域１０４の下面にキャリア蓄積用のｎ－半導体層（キャリアストアド領域）１１３が形成されている。これにより、ｐ＋基板１０１からの正孔（ホール）がエミッタ電極１１１に通過するのを防止し、ｐベース領域１０４の下面側に位置するキャリアストアド領域１１３に正孔（ホール）が蓄積され、ＴＩＧＢＴの場合よりさらにオン電圧を低下させることができる。

【００１１】

【発明が解決しようとする課題】
しかし、上記従来の図７に示すＴＩＧＢＴの場合、セルサイズが平面ゲートの場合に比べて１／１０程度に縮小されているため、オン電圧が非常に低くできるという利点がある反面、ゲート容量および短絡電流が増大するという問題がある。この問題を解決するには、トレンチゲートを形成するピッチを大きくしてセルサイズを大きくすることが考えられるが、セルサイズを大きくすると、ＴＩＧＢＴではオン電圧の上昇を招くことになる。
【００１２】
一方、図８に示すＣＳＴＢＴの場合は、セルサイズを大きくすると、オン電圧の上昇は抑制できるが、耐圧の低下を招くといった問題が生じる。特に、耐圧の低下はスイッチング素子として致命的となるので、単にセルサイズを大きくすることだけでは上記問題は解決しない。
【００１３】
図９および図１０には、ＴＩＧＢＴとＣＳＴＢＴにおけるＰベース間隔（トレンチ間隔Ｗ）を広げた場合の耐圧変化（図９）とオン電圧変化（図１０）の依存性をデバイスシミュレーションを用いて計算した結果を示す。ここでは、従来のＴＩＧＢＴ、ＣＳＴＢＴはｐベース間隔を３μｍとして設計し、このデバイスシミュレーションではトレンチ間隔（ｐベース間隔）を１１μｍまで変化させたときの結果を示している。トレンチ間隔が１１μｍの場合は、セルサイズは従来の３倍になり、ゲート容量は１／３になる。
【００１４】
図示のシミュレーション計算結果から、ＴＩＧＢＴ（●印で示す）では、トレンチ間隔を広げても耐圧はあまり変化しないが（図９）、オン電圧は急激に増大する（図１０）。一方、ＣＳＴＢＴ（△印で示す）では、トレンチ間隔を広げてもオン電圧はあまり変化しないが（図１０）、耐圧は急激に低下し（図９）、トレンチ間隔が５μｍの場合は耐圧は２００Ｖ未満、６μｍでは１００Ｖ以下となり、それ以上に広げると耐圧はほとんど０Ｖに近い値となった。このように、ゲート容量および短絡電流を低下させるためにトレンチ間隔を広げる（即ち、セルサイズを拡大する）と、オン電圧の上昇（ＴＩＧＢＴの場合）または耐圧の低下（ＣＳＴＢＴの場合）を招くことになることを示している。
【００１５】
そこで、従来の改良型として、図１１（ＴＩＧＢＴ）および図１２（ＣＳＴＢＴ）に示すように、例えばトレンチゲートを形成するピッチは変えずに、トレンチ内に形成されたゲート電極１１０とエミッタ電極１１１とを接続する構成部分の改良型が提案されている。即ち、図１１および図１２の構成ではエミッタ電極と第２のゲート電極部１１０ｂ上面が接続されている。
【００１６】
上記構成において、エミッタ電極と接続された第２のゲート電極部１１０ｂのセルは、ゲート電圧V_{GE}が０Ｖであり、ゲートとして機能しないダミーゲート領域であることを意味し、図７および図８に示す従来のＴＩＧＢＴおよびＣＳＴＢＴと同一のセルサイズでも耐圧の低下を招かないという利点がある。
【００１７】
一方、ＩＧＢＴやダイオード等の電力半導体素子は一つのパッケージ内に搭載され、パワーモジュールとして電力変換装置に使用される場合が多い。このときパワーモジュールの電極と電力半導体素子との接続は、例えばアルミワイヤ等を用いて超音波接続することが一般的である。ところが、電力半導体素子は、取扱う電力が非常に大きく、アルミワイヤとエミッタ電極との接合部が温度サイクルによって最終的に剥離する限界（パワーサイクル寿命）が存在し、パワーモジュールの寿命を決定づける一要因となっている。
【００１８】
このパワーサイクル寿命の向上のためには、アルミワイヤとエミッタ電極との接合強度および接合面積を増大させることが効果的であるが、図１１および図１２に示すＴＩＧＢＴやＣＳＴＢＴを使用する構成では、エミッタ電極１１１と第２のゲート電極１１０ｂとの接続領域を起点としてクラックが発生し、ゲートショートや耐圧ショートが発生する確率

が高くなるといった問題があった。これはエミッタ電極と接触する第２のゲート電極との接合強度が比較的高いため、超音波接続による応力がゲート電極を構成するシリコン内部に伝わり易いことが要因として考えられる。

【００１９】

本発明は、上記課題を解決するためになされたもので、ゲート容量や短絡電流を制御でき、かつ、ワイヤボンド接続時の不良発生率を抑制し、良好なパワーサイクル寿命を維持できる絶縁ゲート型半導体装置を提供することを目的とする。

【００２０】

【課題を解決するための手段】

上記目的を達成するために、本発明の第１の態様による半導体装置は、第１導電型の半導体基体と、前記第１導電型の半導体基体の下主面に形成された第２導電型のコレクタ領域と、前記コレクタ領域と接続されたコレクタ電極と、前記第１導電型の半導体基体の上主面に選択的に形成された第２導電型のベース領域と、前記ベース領域内に選択的に形成された第１導電型のエミッタ領域と、前記ベース領域内に選択的に形成され、かつ前記第１導電型の半導体基体まで到達する深さを有する第１、第２、第３のトレンチと、前記第１、第２、第３のトレンチの内部にそれぞれ絶縁膜を介して埋設された第１のゲート電極領域、ダミーゲート領域、第２のゲート電極領域と、前記ベース領域と前記エミッタ領域および前記第２のゲート電極ダミーゲート領域が共通に接続されたエミッタ電極と、を備えた絶縁ゲート型半導体装置であって、前記第２のゲート電極領域は前記第１のゲート電極領域とのみ接続され、前記エミッタ電極と前記ダミーゲート領域間を部分的に接続するパターン構成の層間絶縁膜を形成したことを特徴とする。

【００２１】

上記構成において、前記ベース領域と前記半導体基体の間に形成され、前記半導体基体より不純物濃度の高い第１導電型のキャリア蓄積領域を有してもよい。

【００２２】

また、前記トレンチがそれぞれ並行かつストライプ状に形成される。また、前記第１のトレンチと前記第２のトレンチのそれぞれの終端に直交するゲート配線電極を備え、前記ゲート配線電極は前記第１のゲート電極とのみ接続され、前記ダミーゲート領域は前記ゲート配線近傍領域のみ前記エミッタ電極と接続してもよい。

【００２３】

上記構成により、アルミワイヤとエミッタ電極を超音波接続する際に、ゲート電極のポリシリコン面へ直接応力がかかる部分を減らすことができる。よって、エミッタ電極とダミーゲート領域との接続領域を起点としてクラックが発生するといった従来技術の問題を解消し、ゲートショートや耐圧ショートの発生を効果的に抑制することが可能となる。

【００２５】

本発明の第２の態様による半導体装置は、前記層間絶縁膜の前記ダミーゲート領域上に配置された部分が四角状に分離された構成である。

【００２６】

これにより、ＣＳＴＢＴのターンオフ時に、ｎ⁻半導体層に蓄積されていた正孔（ホール）がｐベース領域を通りエミッタ電極へ抜けていく抜け道（正孔経路）を確保できる。

【００２７】

本発明の第３の態様による半導体装置は、前記第２のトレンチ内部に形成される前記ダミーゲート領域の半導体表面に露出する面積Ｓ１と前記エミッタ電極との接続面積Ｓ２との比が、　　Ｓ２／Ｓ１＜７０％　　である。

【００２８】

上記構成により、エミッタ電極とダミーゲート領域との間に配置した層間絶縁膜が、ゲート電極のシリコン内部への超音波による応力を緩和し、クラックによるゲートショートの発生を効果的に防止できる。

【００２９】

本発明の第４の態様による半導体装置は、前記エミッタ電極はアルミワイヤと超音波接

続され、該アルミワイヤとの接続直下の領域以外で前記エミッタ電極と前記ダミーゲート領域とが接続した構成である。

【００３０】

このような配置構成とすることにより、アルミワイヤと超音波接続されるエミッタ電極部の直下に位置するダミーゲート領域部は、その上面を層間絶縁膜９ｂで覆われているので、クラックによるゲートショートの発生を最小限に抑えることができる。

【００３１】

【発明の実施の形態】

本発明の絶縁ゲート型半導体装置は、例えばＣＳＴＢＴにおいて、ベース領域内に選択的に形成された第１導電型のエミッタ領域と、ベース領域内に選択的に形成され、かつ前記第１導電型の半導体基体まで到達する第１のトレンチと、第１のトレンチの内部に形成された絶縁膜と第１のゲート電極と、ベース領域内に選択的に形成され、かつ前記第１導電型の半導体基体まで到達する第２のトレンチと、第２のトレンチの内部に形成された絶縁膜と第２のゲート電極と、ベース領域と前記エミッタ領域および第２のトレンチ内に形成された前記第２のゲート電極が共通に接続されたエミッタ電極と、第１のトレンチの内部に形成された第１のゲート電極とのみ接続された第３のゲート電極と、コレクタ領域と接続されたコレクタ電極を有し、エミッタ電極と前記第２のゲート電極が部分的に接続されたことを特徴とする。ここで、本実施の形態では、第２のゲート電極と呼ぶ領域は前述のようにそのセルがエミッタ電極と接続されてゲート電圧が０Ｖであり、ゲートとして機能しないダミーゲート領域である。以後の説明において第２のゲート電極と呼ぶ場合はこのダミーゲート領域のことを意味するものとする。

【００３２】

以下、図１乃至図５を用いて本発明の実施例について、ＣＳＴＢＴを代表例として説明する。ただし、本発明はＣＳＴＢＴに限定されるものではなく、他のＩＧＢＴおよびＭＯＳトランジスタにも適用可能である。なお、各図において共通する要素には同一の符号を付し、重複する説明については省略している。

【００３３】

【実施例１】

図１は本実施例１のＣＳＴＢＴの一例を模式的示した上面図（ａ）および断面図（ｂ）、（ｃ）である。本実施例に係るＣＳＴＢＴと図１２に示す従来構成との相違点は、本実施例１ではエミッタ電極と接続される第２のゲート電極上にも部分的に直交するように横切る層間絶縁膜連結部を形成したことである。即ち、横方向に延在する層間絶縁膜連結部９ｂを、ゲート電極上の長手方向に延在する長手方向層間絶縁膜部９ａと一体的にブリッジ状に形成し、第２のゲート電極上に層間絶縁膜部が構成されていない四角形状の窓部１４を複数個網目状に配置した構成である。図１を参照して、以下にその構造について説明する。

【００３４】

図示の構成において、ｐ$^+$基板１の上面にｎ$^+$バッファ層２が形成され、ｐ$^+$基板１の裏面にはコレクタ電極１２が形成され、ｐ$^+$基板１はコレクタ領域として機能している。ｎ$^+$バッファ層２の上面にｎ$^-$半導体（ベース）層３が形成され、更に、セル領域では、ｎ$^-$半導体層３の表面上には、ｎ$^-$半導体層３より不純物濃度の高いキャリア蓄積用のＮ－層（キャリアストアド領域）１３が形成され、キャリアストアド領域１３の上面には、ｐ型の不純物を拡散することによりｐベース領域４が選択的に形成されている。このｐベース領域４の表面上の一部には、高濃度のｎ型の不純物を選択的に拡散することによりｎ$^+$エミッタ領域５が順次積層されている。

【００３５】

上記構成において、ｐベース領域４とｎ$^-$ベース層３との間にキャリア蓄積用のｎ$^-$層（キャリアストアド領域）１３を介在させ、複数のトレンチ７（各参照番号７ａ，７ｂ，７ｃで示す）がＮ＋エミッタ領域５の長手方向と直交する方向に延在するようにストライプ状に形成され、一定の間隔（ピッチ）Ｗをもって互いに平行に配列している。各トレン

チ７はｎ－＋エミッタ領域５の高さ位置からＮ－半導体層３内に達する深さにまで形成され、このトレンチ７の内部にはＭＯＳトランジスタのトレンチゲート電極１０（各参照番号１０ａ，１０ｂ，１０ｃで示す）が埋め込まれている。即ち、トレンチ内にはゲート絶縁膜８を介してその内部にポリシリコン等のゲート電極１０が埋設されている。ゲート絶縁膜８を介してゲート電極と対向し、ｎ＋エミッタ領域５とキャリアストアド領域１３との間に介在するｐベース領域４がチャネル領域として機能する。

【００３６】

第１および第３のゲート電極１０ａ、１０ｃの上面全体およびｎ＋エミッタ領域５の表面の一部領域上には、マスクパターン設定により層間絶縁膜９を適宜形成して被膜し、ｐベース領域４および第２のゲート電極１０ｂの一部上面、ｎ＋エミッタ領域５の表面の一部領域（層間絶縁膜９で被膜されていない領域）上と層間絶縁膜９の表面領域上にはエミッタ電極１１が形成される。このようにして、エミッタ電極１１は、ベース領域４とエミッタ領域５および第２のゲート電極１０ｂと共通に接続され、エミッタ電極１１とコレクタ電極１２が一対の主電極として機能する。

【００３７】

本実施例１では、上記構成において図１（ａ）に示すように、エミッタ電極１１と接続される第２のゲート電極１０ｂ上にも部分的に直交するように横切る層間絶縁膜連結部９ｂを形成したことを特徴としている。即ち、横方向に延在する層間絶縁膜連結部９ｂを、ゲート電極上の長手方向に延在する長手方向層間絶縁膜部９ａと一体的にブリッジ状に構成し、第２のゲート電極上に層間絶縁膜部が構成されていない四角形状の窓部１４を複数個網目状に配置し、この窓部１４に対応する第２のゲート電極面がエミッタ電極と接続して、第２ゲート電極とエミッタ電極との部分接続構成としている。また、ｐベース層４の表面部分には、第１と第３のトレンチ７ａ、７ｃの外側の側壁上部に隣接するようにＮ＋エミッタ領域５が選択的に形成されている。

【００３８】

この第２のゲート電極１０ｂ上に形成される層間絶縁膜連結部９ｂの形成は、例えば、第１又は第３ののゲート電極上の絶縁酸化膜を形成する際に、マスクパターンを変更して、第２のゲート電極上にも交差状に絶縁酸化膜が残るようにマスクパターンを設定することで容易に形成可能である。

【００３９】

図１に示すＩＧＢＴの場合は、平面ゲート型のＩＧＢＴに比べて表面もＭＯＳを約１／１０程度に微細化できるので特性の向上が図れる。また、平面型のＩＧＢＴでは表面でＰベース層に挟まれた領域に形成された電流経路を電流が流れ、この部分での電圧降下が大きかったが、上記ＩＧＢＴでは、ゲート電極１０がＰベース層４およびキャリアストアド領域１３を突き抜けて形成されるため、電流経路にはＰベース層に挟まれた領域がなくなり、特性の向上が図れる。

【００４０】

また、ｐベース領域４の下面にキャリア蓄積用のｎ－層（キャリアストアド領域）１３が形成されていることにより、ｐ＋基板１からの正孔（ホール）がエミッタ電極に通過するのを防止し、ｐベース領域４の下面側に位置するキャリアストアド領域１３に正孔（ホール）が蓄積され、キャリアストアド領域を持たないＴＩＧＢＴの場合よりさらにオン電圧を低下させることができる。

【００４１】

図１のＣＳＴＢＴ構成において、エミッタ電極と接続された第２のゲート電極部１０ｂのセルは、ゲート電圧V_{GE}が０Ｖであり、ゲートとして機能しないダミーゲート領域であることを意味し、図７および図８に示す従来のＴＩＧＢＴおよびＣＳＴＢＴと同一のセルサイズでも耐圧の低下を招かないという利点がある。例えば、ストライプ状に形成されたトレンチゲート領域において、３本のトレンチゲートに対し２本をエミッタ電極１１と接続すると、ゲート容量および短絡電流を１／３に抑制することができる。つまり、ゲート容量および短絡電流は比較的自由に選択できることを意味している。

【００４２】
なお、従来技術の説明で用いた図９および図１０に示すデバイスシミュレーションの結果からも、ＴＩＧＢＴではオン電圧の上昇をもたらすが、ＣＳＴＢＴではオン電圧の上昇が小さいため、ＣＳＴＢＴの方が電力用半導体素子として好ましい。
【００４３】
このように、本実施例１ではエミッタ電極１１と接続される第２のゲート電極上にも部分的に直交するように横切る層間絶縁膜連結部９ｂを設け、層間絶縁膜連結部９ｂを第１および第３のゲート電極上にその長手方向に延在する層間絶縁膜部９ａと一体的にブリッジ状に構成したことにより、アルミワイヤ（不図示）とエミッタ電極１１を超音波接続する際に、ゲート電極１０のポリシリコン面へ直接応力がかかる部分を減らすことができる。よって、エミッタ電極と第２のゲート電極との接続領域を起点としてクラックが発生するといった従来技術の問題を解消し、ゲートショートや耐圧ショートの発生を効果的に抑制することが可能となる。
【００４４】
【実施例２】
図２は本発明の第２の実施例に係るＣＳＴＢＴの上面図（ａ）及び断面図（ｂ）、（ｃ）である。本実施例２の基本構成は前述の実施例１と同様であり、相違点は、本実施例２ではエミッタ電極と第２のゲート電極間を部分的に接続する構成を実現するための層間絶縁膜部９ｂを四角状に分離して第２のゲート電極上に配置したことである。
【００４５】
即ち、実施例１で説明したＣＳＴＢＴの構成では、第１および第３のゲート電極上の長手方向に延在する層間絶縁膜部９ａと一体的にブリッジ状に層間絶縁膜連結部９ｂを連結した構成としているため、図１（ｃ）に示すように、エミッタ電極１１とｐベース領域４の一部が層間絶縁膜９の介在のために接続できない部分が発生する。これは、従来技術の動作で説明したが、ＣＳＴＢＴのターンオフ時に、Ｎ－半導体層に蓄積されていた正孔（ホール）がＰベース領域４を通りエミッタ電極１１へ抜けていくときに、この抜け道（正孔経路）が小さくなることを意味する。このように正孔電流経路が小さくなりすぎると正孔電流の電流集中が発生しやすくなり、その結果、負荷短絡時等の大電流が流れる状況になると、ＣＳＴＢＴラッチアップが発生しやすくなる。したがって、可能な限り正孔電流の抜け道を確保しておくことが望ましい。
【００４６】
このため、本実施例２では図２（ａ）に示すように、第２のゲート電極１０ｂ上に部分的に接続する層間絶縁膜部９ｂを四角状に分離して構成している。これにより、ＣＳＴＢＴのターンオフ時に、Ｎ－半導体層３に蓄積されていた正孔（ホール）がＰベース領域４を通りエミッタ電極１１へ抜けていく抜け道（正孔経路）を確保できる。上記構成により、エミッタ電極と第２のゲート電極との接合領域を起点としたクラックの発生を効果的に抑制することができる。
【００４７】
【実施例３】
本発明の第３の実施例に係るＣＳＴＢＴの基本構成は、前述の実施例１および実施例２と同様である。相違点は、本実施例３では第２のトレンチ内部に形成される第２のゲート電極の半導体表面に露出する全面積Ｓ１に対して、層間絶縁膜９ｂで被膜されていない第２のゲート電極部のエミッタ電極との接合面積Ｓ２の比率を、　Ｓ２／Ｓ１＜７０％　としたことである。
【００４８】
図３は、本実施例３に係るＣＳＴＢＴの特徴を説明するグラフ図であり、エミッタ電極と接続される第２のゲート電極の接合面積の割合によって、アルミワイヤ接合時におけるクラック発生によるゲートショートの発生率が変化する状況を調べた結果を示している。
【００４９】
同図に示す結果から、エミッタ電極の表面積、即ち、第２のゲート電極の半導体表面に露

出する全面積Ｓ１に対して、第２のゲート電極とエミッタ電極との接合面積Ｓ２の比率が７０％を超えるあたりからゲートショートの発生率が急激に増加していることが分かる。これは、エミッタ電極と第２のゲート電極との間に配置した層間絶縁膜が、ゲート電極のシリコン内部への超音波による応力を緩和していることを示している。

【００５０】

以上の結果から、エミッタ電極と第２のゲート電極との接合面積は、第２のゲート電極の半導体表面に露出するエミッタ電極の表面積に対して７０％より小さく設定することが好ましい。このように構成することにより、クラックによるゲートショートの発生を効果的に防止できる。

【００５１】

【実施例４】

図４は本発明の第４の実施例に係るＣＳＴＢＴの上面図（ａ）及び断面図（ｂ）、（ｃ）である。本実施例４に係るＣＳＴＢＴの基本構成は、前述の実施例１～３と同様である。相違点は、本実施例４では、エミッタ電極はアルミワイヤと超音波接続される場合、アルミワイヤと接続されるエミッタ電極部の直下の領域以外の部分でエミッタ電極と第２のゲート電極とを接続したことである。

【００５２】

前記実施例３で説明したように、エミッタ電極と第２のゲート電極との接合面積の割合は、エミッタ電極の表面積に対して可能な限り小さくした方が望ましい。そのために本実施例４では、図４に示すように、第１～第３のゲート電極の終端部の構造を改良して、エミッタ電極と第２のゲート電極との接合面積を最小限に抑えた構成としている。

【００５３】

即ち、第１および第３のゲート電極の終端部はまとめてゲートのアルミ電極（不図示）と接続し、第１および第３のゲート電極を被覆する層間絶縁膜９ａ，９ｃは横方向に延在するブリッジ状の終端部連結絶縁膜部９ｄと一体的に構成されている。一方、第２のゲート電極はその終端部ではエミッタ電極と接続されるように、層間絶縁膜９ｂを形成しない領域を設定し、それ以外の部分では、第２のゲート電極はその上面を層間絶縁膜９ｂで覆われている。

【００５４】

このような配置構成とすることにより、アルミワイヤと超音波接続されるエミッタ電極部の直下に位置する第２のゲート電極部は、その上面を層間絶縁膜９ｂで覆われているので、クラックによるゲートショートの発生を最小限に抑えることができる。

【００５５】

また、上記構成において、従来図６に示したゲート配線電極ＧＬの配置構成については、図５に示すような好ましい実施例では、第１（および第３）のトレンチと第２のトレンチのそれぞれの終端に直交するゲート配線電極ＧＬを備え、ゲート配線電極は第１（および第３）のゲート電極とのみ接続され、第２のゲート電極はゲート配線近傍領域のみエミッタ電極と接続する構成としてもよい。

【００５６】

なお、本発明の実施例１～４ではＣＳＴＢＴを代表例として説明しているが、本発明はこれに限定されるものではなく、トレンチゲートを有するＴＩＧＢＴやＭＯＳＦＥＴ等にもマスキングの設計を変更するだけで容易に適用できるものである。

【００５７】

【発明の効果】

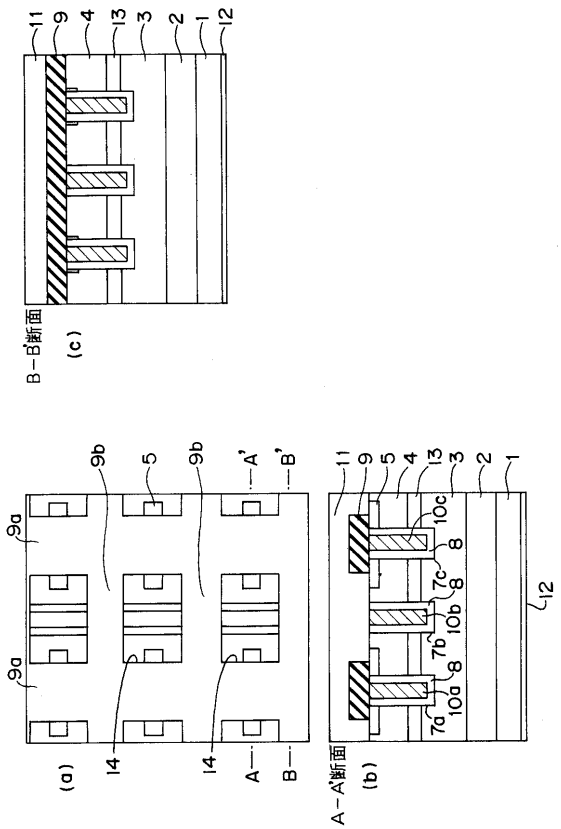
以上のように、本発明によれば、アルミワイヤボンド時の超音波による応力を緩和することができ、クラックによるゲートショートおよび耐圧ショートの発生を抑制することができる。これにより、製造時の歩留りの安定した電界効果型半導体装置を供給することができる。

【図面の簡単な説明】

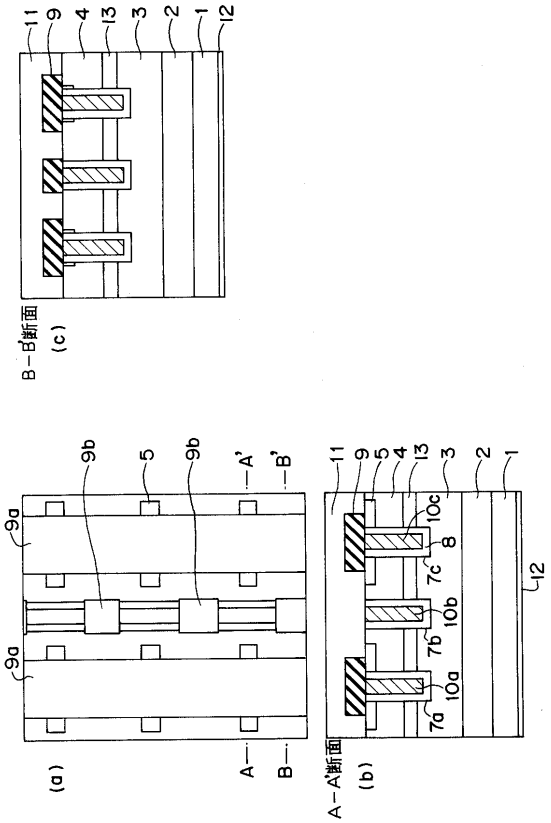
【図１】　本発明の第１の実施例に係る半導体装置を模式的示した（ａ）は上面図および

（ｂ）、（ｃ）は断面図
【図２】　本発明の第２の実施例に係る半導体装置を模式的示した（ａ）は上面図および（ｂ）、（ｃ）は断面図
【図３】　本発明の第３の実施例に係るＣＳＴＢＴの第２ゲート電極の接合面積に関する特徴を説明するグラフ図
【図４】　本発明の第４の実施例に係る半導体装置を模式的示した（ａ）は上面図および（ｂ）、（ｃ）は断面図
【図５】　本発明の一実施例におけるゲート配線電極の配置構成を示す断面図
【図６】　従来のＴＩＧＢＴの構造の一例を示す断面図
【図７】　従来のＴＩＧＢＴを模式的示した（ａ）は上面図および（ｂ）、（ｃ）は断面図
【図８】　従来のＣＳＴＢＴを模式的示した（ａ）は上面図および（ｂ）、（ｃ）は断面図
【図９】　従来のＴＩＧＢＴとＣＳＴＢＴにおけるトレンチ間隔と耐圧変化との関係を示すグラフ図
【図１０】　従来のＴＩＧＢＴとＣＳＴＢＴにおけるトレンチ間隔とオン電圧値との関係を示すグラフ図
【図１１】　従来の改良ＴＩＧＢＴを模式的示した（ａ）は上面図および（ｂ）、（ｃ）は断面図
【図１２】　従来の改良ＣＳＴＢＴを模式的示した（ａ）は上面図および（ｂ）、（ｃ）は断面図。
【符号の説明】
１　ｐ$^{+}$基板
２　ｎ$^{+}$バッファ層
３　ｎ$^{-}$半導体層
４　ｐベース領域
５　ｎ$^{+}$エミッタ領域
７　トレンチ溝
８　ゲート絶縁膜
９　層間絶縁膜
１０　ゲート電極
１１　エミッタ電極
１２　コレクタ電極
１３　キャリアストアド領域

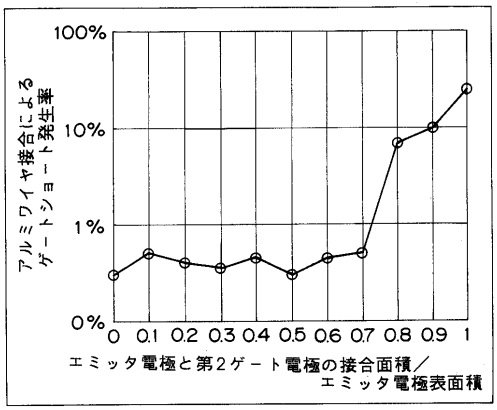
【図１】


B－B'断面
(c)
(a)
(b)
A－A'断面
A
B
A'
B'

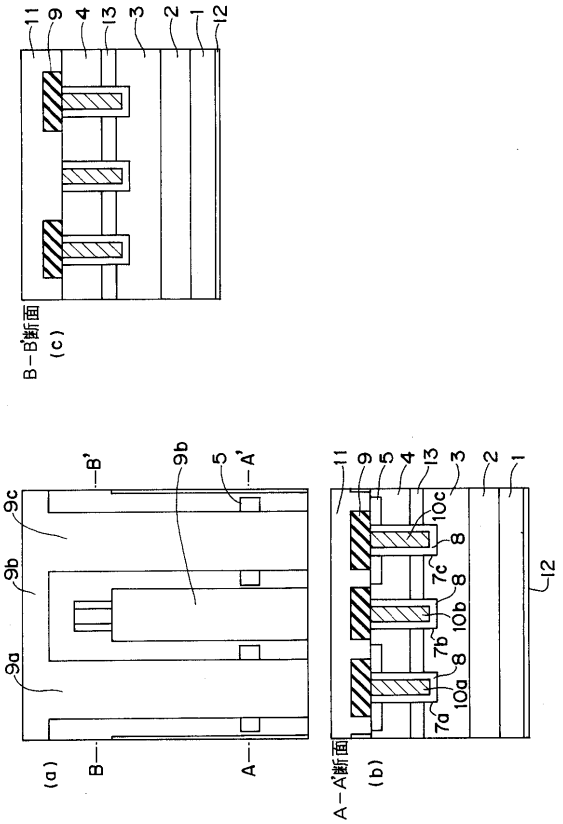
【図２】


B－B'断面
(c)
(a)
(b)
A－A'断面
A
B
A'
B'

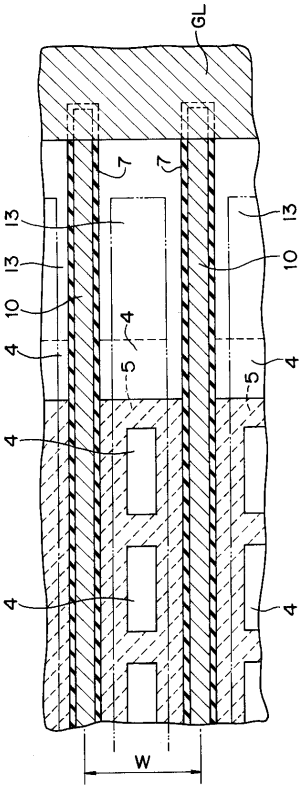
【図３】


アルミワイヤ接合による
ゲートショート発生率
100%
10%
1%
0%
0 0.1 0.2 0.3 0.4 0.5 0.6 0.7 0.8 0.9 1
ヒミッタ電極と第2ゲート電極の接合面積／
ヒミッタ電極表面積

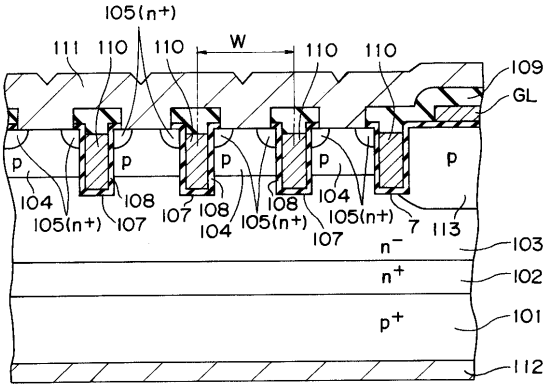
【図４】


B－B'断面
(c)
(a)
(b)
A－A'断面
A
B
A'
B'

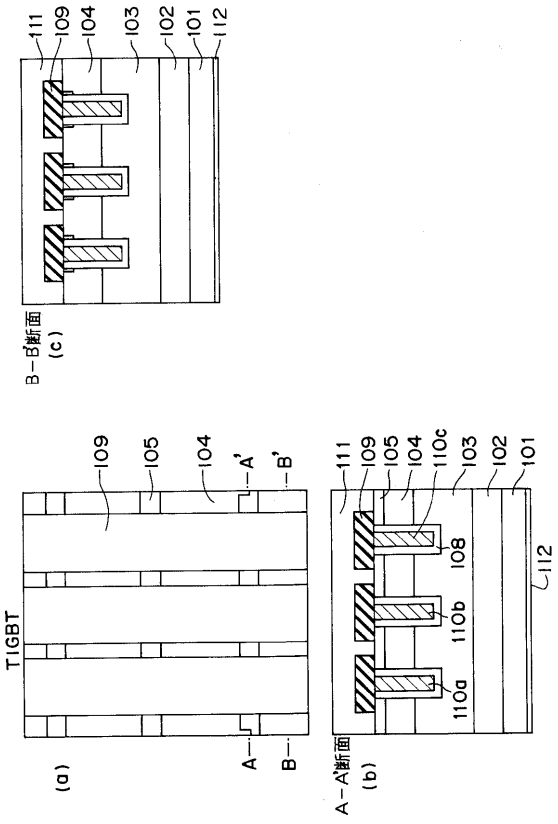
【図５】


GL
7
13
10
4
5
W

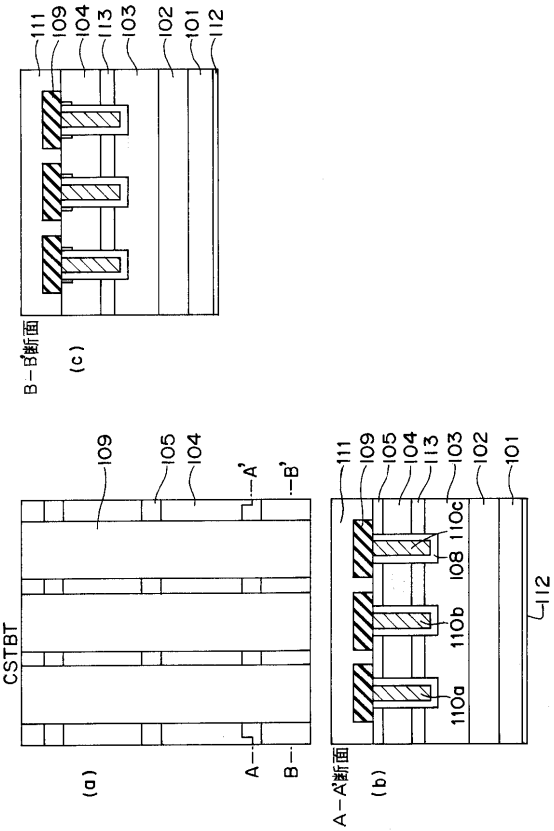
【図６】


105(n+)
111
110
W
109
GL
p
104
108
107
105(n+)
113
n−
n+
p+
103
102
101
112

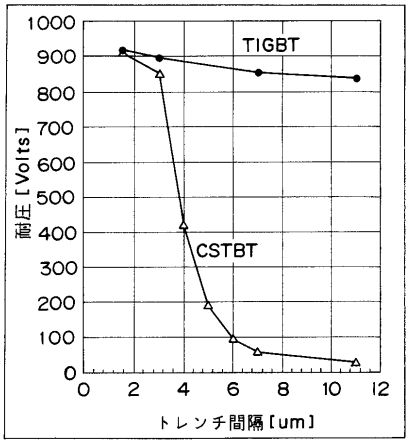
【図７】


111
109
104
103
102
101
112
B−B'断面
(c)
105
A
A'
B
B'
TIGBT
(a)
A−A'断面
(b)
110c
110b
110a
108

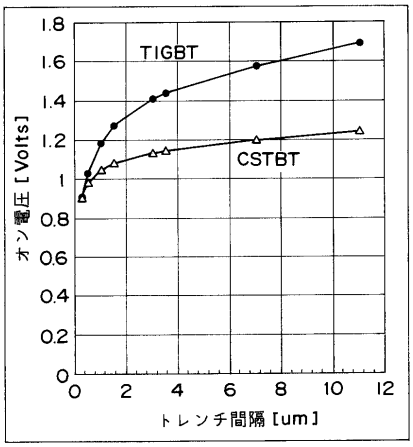
【図８】


111
109
104
113
103
102
101
112
B−B'断面
(c)
105
A
A'
B
B'
CSTBT
(a)
A−A'断面
(b)
110c
110b
110a
108

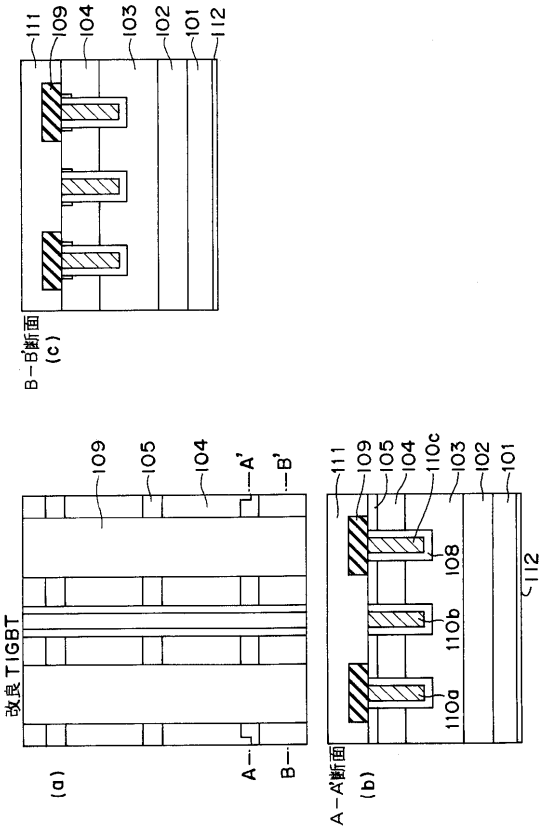
【図９】



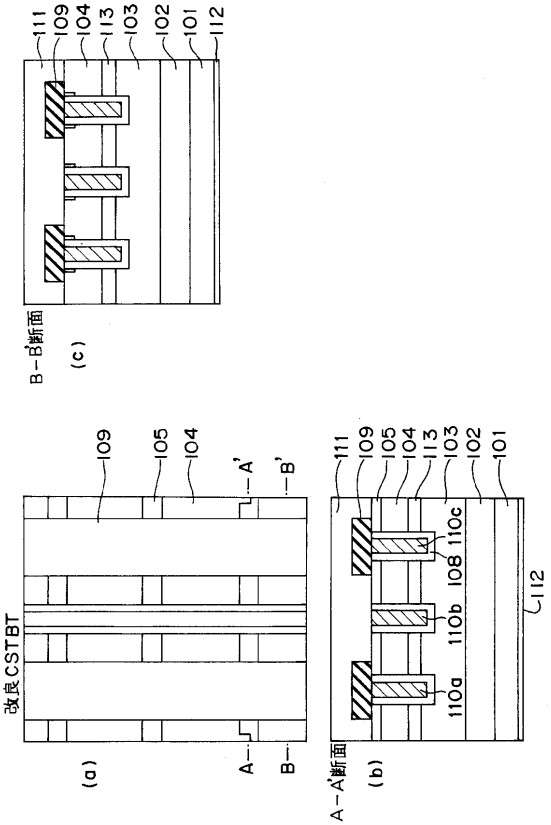
【図１０】



【図１１】



【図１２】



フロントページの続き

(51)Int.Cl.	FI		
	H01L	29/78	658A
	H01L	29/78	658G
	H01L	29/78	658F
	H01L	29/58	G

(56)参考文献 特開２００１－１６８３３３（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)

H01L 29/739
H01L 21/336
H01L 29/423
H01L 29/49
H01L 29/78