



(21) 申请号 201910526394.7

(22) 申请日 2019.06.18

(65) 同一申请的已公布的文献号
申请公布号 CN 110753193 A

(43) 申请公布日 2020.02.04

(30) 优先权数据
10-2018-0085245 2018.07.23 KR

(73) 专利权人 三星电子株式会社
地址 韩国京畿道

(72) 发明人 李景镐

(74) 专利代理机构 中科专利商标代理有限责任
公司 11021
专利代理师 倪斌

(51) Int.Cl.
H04N 25/70 (2023.01)
H04N 25/79 (2023.01)
H01L 27/146 (2006.01)

(56) 对比文件

CN 102625053 A,2012.08.01
CN 105763819 A,2016.07.13
CN 106158897 A,2016.11.23
CN 108141549 A,2018.06.08
JP 2017184181 A,2017.10.05
US 2014139716 A1,2014.05.22
US 2015304586 A1,2015.10.22
US 2016286108 A1,2016.09.29
US 2017019584 A1,2017.01.19

杨帆.“光电跟踪系统及其自动调焦技术的
研究”.中国优秀硕士学位论文全文数据库
.2018,全文.

P. Saidesh Kumar等.“A 32×32 CMOS
image sensor:Tested using process and
temperature compensated voltage
controlled current source”.18th
international symposium on VLSI design
and test.2014,全文.

审查员 郭超

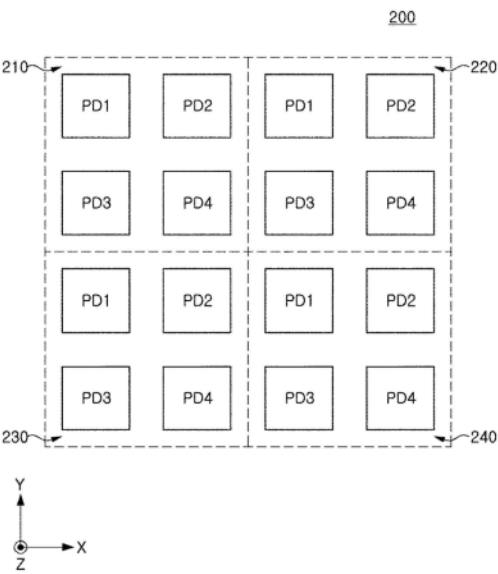
权利要求书3页 说明书14页 附图20页

(54) 发明名称

图像传感器

(57) 摘要

一种图像传感器包括像素阵列,所述像素阵列包括沿第一方向和第二方向布置的多个像素。多个像素中的每个像素包括沿第一方向和第二方向中的至少一个彼此相邻设置的多个光电二极管。所述图像传感器还包括:控制逻辑,被配置为通过从所述多个像素获得像素信号来生成图像数据,并且在基本同一时间读取与由所述多个像素之一中包括的所述多个光电二极管中的两个或更多个光电二极管生成的电荷相对应的像素电压。



1. 一种图像传感器,包括:

像素阵列,包括沿第一方向和第二方向布置的多个像素,其中,所述多个像素中的每一个像素包括被划分成第一光电二极管组和第二光电二极管组的多个光电二极管,并且所述第一光电二极管组和所述第二光电二极管组中的至少一个包括所述多个光电二极管中的沿所述第一方向和所述第二方向中的至少一个方向彼此相邻的两个或更多个光电二极管;和

控制逻辑,被配置为通过从所述多个像素获得像素信号来生成图像数据,并且在同一时间读取与由所述多个像素之一中包括的所述多个光电二极管中的两个或更多个光电二极管生成的电荷相对应的像素电压。

2. 根据权利要求1所述的图像传感器,其中,所述多个像素中的每一个像素包括:

器件连接层,设置在所述多个光电二极管下方并与所述多个光电二极管物理连接,

其中,所述器件连接层通过将所述多个光电二极管中的至少一部分光电二极管彼此连接来将所述多个光电二极管分离成所述第一光电二极管组和所述第二光电二极管组;和

像素电路,设置在所述器件连接层下方。

3. 根据权利要求2所述的图像传感器,其中,所述像素电路包括:

第一传输晶体管,连接到所述第一光电二极管组;

第二传输晶体管,连接到所述第二光电二极管组;和

浮动扩散区,连接到所述第一传输晶体管和所述第二传输晶体管。

4. 根据权利要求3所述的图像传感器,其中,所述像素电路还包括:

驱动晶体管,生成与在所述浮动扩散区中累积的电荷相对应的电压;

选择晶体管,向所述控制逻辑输出由所述驱动晶体管生成的电压;和

复位晶体管,复位所述浮动扩散区。

5. 根据权利要求3所述的图像传感器,其中,所述控制逻辑执行如下操作:通过导通所述第一传输晶体管来检测与由所述第一光电二极管组生成的电荷相对应的第一像素电压;通过导通所述第二传输晶体管来检测与由所述第一光电二极管组和所述第二光电二极管组生成的电荷的总和相对应的总和像素电压;并且通过计算所述总和像素电压与所述第一像素电压之间的差值来检测与由所述第二光电二极管组生成的电荷相对应的第二像素电压。

6. 根据权利要求5所述的图像传感器,其中,在检测到所述第一像素电压之后,在检测到所述总和像素电压之前,所述控制逻辑不复位所述浮动扩散区。

7. 根据权利要求5所述的图像传感器,其中,所述控制逻辑使用所述第一像素电压和所述第二像素电压来提供自动聚焦功能。

8. 根据权利要求2所述的图像传感器,其中,所述器件连接层是掺杂有N型杂质的区域。

9. 根据权利要求2所述的图像传感器,其中,所述多个像素中彼此相邻的像素中的部分像素中包括的所述器件连接层具有不同的面积或形状。

10. 根据权利要求2所述的图像传感器,其中,在所述多个像素中的至少一个像素中,所述第一光电二极管组的光接收面积与所述第二光电二极管组的光接收面积不同。

11. 根据权利要求2所述的图像传感器,其中,在所述多个像素中的至少一个像素中,所述第一光电二极管组的光接收面积与所述第二光电二极管组的光接收面积相同。

12. 根据权利要求1所述的图像传感器,其中,所述多个像素中的每一个像素包括:
多个传输晶体管,分别连接到所述多个光电二极管;和
多条连接线,通过将所述多个传输晶体管的栅电极层中的至少部分栅电极层彼此连接来将所述多个光电二极管分离成所述第一光电二极管组和所述第二光电二极管组。

13. 根据权利要求12所述的图像传感器,其中,所述第一光电二极管组设置在所述多个像素中彼此相邻的像素中的部分像素中的不同位置处。

14. 根据权利要求12所述的图像传感器,其中,所述连接线包括:
第一连接线,用于将所述第一光电二极管组中包括的光电二极管彼此连接;和
第二连接线,用于将所述第二光电二极管组中包括的光电二极管彼此连接。

15. 根据权利要求14所述的图像传感器,其中,所述控制逻辑执行如下操作:通过导通与所述第一连接线连接的传输晶体管来检测与由所述第一光电二极管组生成的电荷相对应的第一像素电压;通过导通与所述第二连接线连接的传输晶体管来检测与由所述第一光电二极管组和所述第二光电二极管组生成的电荷的总和相对应的总和像素电压;并且通过计算所述总和像素电压与所述第一像素电压之间的差值来检测与由所述第二光电二极管组生成的电荷相对应的第二像素电压。

16. 根据权利要求1所述的图像传感器,其中,所述控制逻辑从所述多个像素中的至少部分像素获得用于沿不同方向提供自动聚焦功能的信息。

17. 一种图像传感器,包括:
像素阵列,包括多个像素;和
控制逻辑,被配置为使用在所述多个像素中的每一个像素中生成的电荷来生成图像数据,

其中,所述多个像素中的每一个像素包括:多个光电二极管,形成在半导体衬底中相同的深度处;像素电路,位于所述多个光电二极管下方;以及器件连接层,将所述多个光电二极管中的至少部分光电二极管彼此物理连接并且设置在所述像素电路与所述多个光电二极管之间。

18. 根据权利要求17所述的图像传感器,其中,所述多个像素中的每一个像素包括第一光电二极管、第二光电二极管、第三光电二极管和第四光电二极管。

19. 根据权利要求18所述的图像传感器,其中,所述器件连接层包括:
第一器件连接层,将所述第一光电二极管和所述第二光电二极管彼此物理连接;和
第二器件连接层,将所述第三光电二极管和所述第四光电二极管彼此物理连接。

20. 根据权利要求18所述的图像传感器,其中,所述器件连接层将所述第一光电二极管至所述第四光电二极管中的三个光电二极管彼此物理连接。

21. 根据权利要求17所述的图像传感器,其中,所述多个像素中的每一个像素包括:
浮动扩散区,累积由所述多个光电二极管生成的电荷的至少一部分;和
多个传输晶体管,连接在所述浮动扩散区与所述多个光电二极管之间,
其中,所述多个光电二极管的数量大于所述多个传输晶体管的数量。

22. 一种图像传感器,包括:
像素阵列,包括多个像素;和
控制逻辑电路,被配置为使用在所述多个像素中的每一个像素中生成的电荷来生成图

像数据,

其中,所述多个像素中的每一个像素包括:

多个光电二极管,形成在半导体衬底中的相同的深度处;

多个传输晶体管,分别连接到所述多个光电二极管;和

连接线,用于将所述多个传输晶体管中的至少部分传输晶体管的栅电极层彼此连接。

23.根据权利要求22所述的图像传感器,其中,所述连接线包括第一连接线和第二连接线。

24.根据权利要求23所述的图像传感器,其中,在所述多个像素中的彼此相邻的第一像素和第二像素中,所述第一像素的第一连接线连接到所述第二像素的第一连接线,并且所述第一像素的第二连接线连接到所述第二像素的第二连接线。

25.根据权利要求22所述的图像传感器,其中,所述多个像素包括彼此相邻设置的第一像素和第二像素,所述第一像素的连接线沿第一方向延伸,并且所述第二像素的连接线沿与所述第一方向相交的第二方向延伸。

图像传感器

[0001] 相关申请的交叉引用

[0002] 本申请要求于2018年7月23日在韩国知识产权局递交的韩国专利申请No.10-2018-0085245的优先权,其公开内容通过引用而全部合并于此。

技术领域

[0003] 本发明构思的示例实施例涉及图像传感器。

背景技术

[0004] 图像传感器是接收光以生成电信号的基于半导体的传感器。图像传感器可以包括具有多个像素的像素阵列,并且包括驱动像素阵列并生成图像的逻辑电路。多个像素可以包括光电二极管和像素电路,其中光电二极管响应于外部光而生成电荷,并且像素电路将通过光电二极管生成的电荷转换为电信号。图像传感器可以被应用于各种设备。例如,除了被用于捕获相片或视频的普通相机之外,图像传感器还可以用于智能电话、平板PC、膝上型计算机、电视、车辆等。最近,已经提出了用于改善图像传感器的自动聚焦功能的各种方法,以改善由图像传感器捕获的图像的质量。

发明内容

[0005] 本发明构思的示例实施例提供了一种图像传感器,该图像传感器能够提供改善的自动聚焦功能,并且能够改善用于读取像素电压的读出时间,改善根据读出操作的功耗,并且改善噪声特性。

[0006] 根据本发明构思的示例实施例,一种图像传感器包括像素阵列和控制逻辑。像素阵列包括沿第一方向和第二方向布置的多个像素。所述多个像素中的每一个像素包括被划分成第一光电二极管组和第二光电二极管组的多个光电二极管,并且所述第一光电二极管组和所述第二光电二极管组中的至少一个包括所述多个光电二极管中的沿所述第一方向和所述第二方向中的至少一个方向彼此相邻的两个或更多个光电二极管。所述控制逻辑被配置为通过从所述多个像素获得像素信号来生成图像数据,并且在基本同一时间读取与由所述多个像素之一中包括的所述多个光电二极管中的两个或更多个光电二极管生成的电荷相对应的像素电压。

[0007] 根据本发明构思的示例实施例,一种图像传感器包括像素阵列和控制逻辑。像素阵列包括多个像素。控制逻辑被配置为使用在所述多个像素中的每一个像素中生成的电荷来生成图像数据。所述多个像素中的每一个像素包括:多个光电二极管,形成在半导体衬底中大致相同的深度处;像素电路,位于所述多个光电二极管下方;以及器件连接层,将所述多个光电二极管中的至少部分光电二极管彼此物理连接并且设置在所述像素电路与所述多个光电二极管之间。

[0008] 根据本发明构思的示例实施例,一种图像传感器包括像素阵列和控制逻辑电路。像素阵列包括多个像素。控制逻辑电路被配置为使用在所述多个像素中的每一个像素中生

成的电荷来生成图像数据。多个像素中的每一个包括：多个光电二极管，形成在半导体衬底中的大致相同的深度处；多个传输晶体管，连接到多个光电二极管；和连接线，用于将多个传输晶体管中的至少部分传输晶体管中的栅电极层彼此连接。

附图说明

[0009] 通过参考附图详细描述本发明构思的示例实施例，本发明构思的以上和其他特征将变得更显而易见，在附图中：

[0010] 图1是示出了根据本发明构思的示例实施例的包括图像传感器在内的图像处理装置的图。

[0011] 图2和图3是示出了根据本发明构思的示例实施例的图像传感器的图。

[0012] 图4是示出了根据本发明构思的示例实施例的图像传感器的操作的图。

[0013] 图5是示出了根据本发明构思的示例实施例的图像传感器的像素阵列的图。

[0014] 图6和图7是示出了根据本发明构思的示例实施例的图像传感器的像素电路的电路图。

[0015] 图8至图12是示出了根据本发明构思的示例实施例的图像传感器的像素结构的图。

[0016] 图13和图14是示出了根据本发明构思的示例实施例的图像传感器的像素结构的图。

[0017] 图15和图16是示出了根据本发明构思的示例实施例的图像传感器的像素结构的图。

[0018] 图17是示出了根据本发明构思的示例实施例的图像传感器的图。

[0019] 图18是示出了根据本发明构思的示例实施例的图像传感器的像素电路的电路图。

[0020] 图19是示出了根据本发明构思的示例实施例的图像传感器的操作的时序图。

[0021] 图20是示出了根据本发明构思的示例实施例的包括图像传感器在内的电子设备的框图。

具体实施方式

[0022] 以下将参考附图更全面地描述本发明构思的示例实施例。相似的附图标记可以贯穿附图指代相似的元件。

[0023] 在本文中，可以使用空间相对术语如“下方”、“之下”、“下部”、“下面”、“之上”、“上部”等，以便于描述如在附图中示出的一个元件或特征相对于另外(一个或多个)元件或(一个或多个)特征的关系。将理解的是，空间上的相对术语除了包括附图中示出的方向之外，还意在包含设备在使用中或操作中的不同方向。例如，如果附图中的设备被翻转，则被描述为在其他元素或者特征“之下”或者“下方”或者“下面”的元素将定向在其它元素或者特征“之上”。因此，示例性术语“之下”和“下面”可以涵盖之上和之下的定向。

[0024] 此外，应当理解，除非上下文另有明确说明，否则通常应当认为每个示例实施例中的特征或方面的描述可用于其他示例实施例中的其他类似特征或方面。

[0025] 此外，本领域普通技术人员将理解，当两个或更多个元件或值被描述为彼此基本相同或大致相等时，应当理解，元件或值彼此相同，彼此不可区分或彼此可区分但是在功能

上彼此相同。将进一步理解,本领域普通技术人员将理解,当将两个组件或方向描述为基本彼此平行或垂直地延伸时,这两个组件或方向精确地彼此平行或垂直地延伸,或者在测量误差内大致彼此平行或垂直地延伸。此外,本领域普通技术人员将理解,虽然本文可能将参数描述为具有“约”特定值,但是根据示例实施例应当理解,参数可以精确地是该特定值或者在测量误差内大致是该特定值。

[0026] 此外,本领域普通技术人员将理解,当两个或更多个过程或事件被描述为在基本同一时间(或基本同时)被执行或发生时,应当理解,该过程或事件可以精确地在同一时间或者大致在同一时间被执行或发生。例如,本领域普通技术人员将理解,过程或事件可以在测量误差内的大致同一时间被执行或发生。

[0027] 图1是示出了根据本发明构思的示例实施例的包括图像传感器在内的图像处理装置的图。

[0028] 参考图1,根据本发明构思的示例实施例的图像处理装置1可以包括图像传感器10和图像处理器20。图像传感器10可以包括像素阵列11、行驱动器12、读出电路13、列驱动器15和时序控制器14。如下面进一步详述的,行驱动器12、读出电路13、列驱动器15和时序控制器14是用于控制像素阵列11的电路,并且可以被包括在控制逻辑中。在示例实施例中,可以在图像传感器10中包括附加组件。

[0029] 图像传感器10可以根据从图像处理器20接收的控制命令来操作,并且可以将来自物体30的光转换成电信号并向图像处理器20输出该电信号。图像传感器10中包括的像素阵列11可以包括多个像素PX,并且多个像素PX可以包括接收光并生成电荷的光电元件。例如,光电元件可以是光电二极管PD。在示例实施例中,多个像素PX中的至少一个可以包括两个或更多个光电二极管,并且图像传感器10可以通过使用由多个像素PX中的至少一个中包括的两个或更多个光电二极管中的每一个生成的像素信号的相位差来提供自动聚焦功能。

[0030] 在示例实施例中,多个像素PX中的每个像素可以包括像素电路,该像素电路根据由光电二极管生成的电荷来生成像素信号。在示例实施例中,像素电路可以包括例如传输晶体管、驱动晶体管、选择晶体管和复位晶体管。像素电路可以通过检测来自多个像素PX中的每一个的复位电压和像素电压并计算差值来获得像素信号。像素电压可以是在多个像素PX中的每个像素中包括的光电二极管中生成的电荷所反映的电压。

[0031] 当多个像素PX具有两个或更多个光电二极管时,多个像素PX中的每一个可以包括像素电路,该像素电路用于处理在两个或更多个光电二极管中的每一个中生成的电荷。例如,根据示例实施例,像素电路可以包括以下中的两个或更多个:传输晶体管、驱动晶体管、选择晶体管和复位晶体管中的至少一个。

[0032] 行驱动器12可以按行来驱动像素阵列11。例如,行驱动器12可以生成用于控制像素电路的传输晶体管的传输控制信号,用于控制像素电路的复位晶体管的复位控制信号,以及用于控制像素电路的选择晶体管的选择控制信号。

[0033] 例如,读出电路13可以包括相关双采样器CDS、模数转换器ADC等。相关双采样器可以通过列线连接到由行选择信号选择的行中包括的像素PX,并且可以执行相关双采样以检测复位电压和像素电压,其中行选择信号从行驱动器12提供。模数转换器可以将由相关双采样器检测到的复位电压和像素电压转换成数字信号,并向列驱动器15发送转换后的电压。

[0034] 例如,列驱动器15可以包括放大电路、能够临时存储数字信号的锁存器或缓冲电路等,并且可以临时存储或放大从读出电路13接收的用来生成图像数据的数字信号。行驱动器12、读出电路13和列驱动器15的操作时序可以由时序控制器14确定,并且时序控制器14可以基于从图像处理器20发送的控制命令来操作。图像处理器20可以对从列驱动器15输出的图像数据进行信号处理,以向显示设备输出图像数据,或者可以将图像数据存储在诸如存储器之类的存储设备中。在示例实施例中,图像处理装置1可以安装在自主车辆上,并且图像处理器20可以对图像数据进行信号处理并向主控制器发送图像数据以控制该自主车辆。

[0035] 图2和图3是示出了根据本发明构思的示例实施例的图像传感器的图。

[0036] 为了便于说明,在描述图3时,将省略对参考图2所述的元件和技术方面的重复描述。

[0037] 首先,参考图2,根据本发明构思的示例实施例的图像传感器2可以包括第一层40、设置在第一层40下方的第二层50以及设置在第二层50下方的第三层60。在示例实施例中,可以包括附加层。第一层40、第二层50和第三层60可以沿基本彼此垂直的方向进行堆叠。在示例实施例中,第一层40和第二层50可以在晶片级别上彼此堆叠,并且第三层60可以在芯片级别上附接到第二层50的下部。第一层40至第三层60可以设置在一个半导体封装中。

[0038] 第一层40可以是半导体衬底,该半导体衬底包括其中设置有多个像素PX的感测区域SA以及设置在感测区域SA周围的第一焊盘区域PA1。第一焊盘区域PA1中可以包括多个上焊盘PAD。多个上焊盘PAD可以通过例如通孔连接到控制逻辑LC和第二层50的第二焊盘区域PA2中设置的焊盘。

[0039] 多个像素PX中的每一个可以包括例如光电二极管和像素电路,其中光电二极管接收光并生成电荷,并且像素电路处理由光电二极管生成的电荷。像素电路可以包括多个晶体管,该多个晶体管输出与由光电二极管生成的电荷相对应的电压。

[0040] 第二层50可以包括形成控制逻辑LC的多个器件。控制逻辑LC中包括的多个器件可以被配置为提供用于驱动设置在第一层40中的像素电路的电路。本文中的控制逻辑LC也可以被称为控制逻辑电路。因此,本文中的术语“控制逻辑”和“控制逻辑电路”可以互换地使用。多个器件可以包括例如行驱动器12、列驱动器15和时序控制器14,以及附加器件。控制逻辑LC中包括的多个器件可以通过第一焊盘区域PA1和第二焊盘区域PA2连接到像素电路。控制逻辑LC可以从多个像素PX获得复位电压和像素电压,并且可以使用复位电压和像素电压来生成像素信号。

[0041] 在示例实施例中,多个像素PX中的至少一个可以包括设置在同一水平上的多个光电二极管。根据多个光电二极管中的每一个的电荷生成的像素信号彼此可以具有相位差,并且控制逻辑LC可以基于由一个像素PX中包括的多个光电二极管生成的像素信号的相位差来提供自动聚焦功能。

[0042] 设置在第二层50下方的第三层60可以包括存储器芯片MC和虚拟(dummy)芯片DC,并且包括密封该存储器芯片MC和虚拟芯片DC的保护层EN。存储器芯片MC可以是例如动态随机存取存储器DRAM或静态随机存取存储器SRAM。虚拟芯片DC不能够实际存储数据。存储器芯片MC可以通过例如凸块电连接到第二层50的控制逻辑LC中包括的至少一部分器件,并且可以存储提供自动聚焦功能所需的信息。在示例实施例中,凸块可以是例如微凸块。

[0043] 接下来,参考图3,根据示例实施例的图像传感器3可以包括第一层70和第二层80。第一层70可以包括:其中设置有多个像素PX的感测区域SA、其中设置有用驱动多个像素PX的器件的控制逻辑LC、以及设置在感测区域SA和控制逻辑LC周围的第一焊盘区域PA1。可以在第一焊盘区域PA1中包括多个上焊盘PAD。多个上焊盘PAD可以通过例如通孔连接到设置在第二层80中的存储器芯片MC。第二层80可以包括例如存储器芯片MC、虚拟芯片DC和密封存储器芯片MC和虚拟芯片DC的保护层EN。

[0044] 图4是示出了根据本发明构思的示例实施例的图像传感器的操作的图。

[0045] 参考图4,根据本发明构思的示例实施例的图像传感器100可以包括例如像素阵列110、行驱动器120和读出电路130。行驱动器120可以通过多条行线ROW中包括的行线ROW1至ROW_m向每个像素电路输入传输控制信号、复位控制信号、选择控制信号等。读出电路130可以检测来自像素PX的像素电压和复位电压,其中该像素PX连接到由行驱动器120选择的行线ROW。读出电路130可以包括例如采样电路131和模数转换器132,其中采样电路131包括多个相关双采样器CDS1至CDS_n,并且模数转换器132将多个输出SOUT中包括的采样电路131的输出SOUT1至SOUT_n转换成数字数据。数字数据可以与例如图4中的DOUT相对应,其中DOUT可以由模数转换器132输出。

[0046] 像素阵列110可以包括沿一个方向延伸的多条行线ROW,以及与行线ROW相交的多条列线COL中包括的列线COL1至COL_n。行线ROW和列线COL可以连接到像素PX₁₁至PX_{mn}。像素PX₁₁至PX_{mn}中的每一个可以包括光电二极管和像素电路。在示例实施例中,像素PX₁₁至PX_{mn}中的每一个可以包括设置在相同水平上的多个光电二极管,其中所述多个光电二极管用于提供自动聚焦功能。

[0047] 参考比较性示例,当多个像素PX₁₁至PX_{mn}中的每个像素包括用于提供自动聚焦功能的多个光电二极管时,读出电路130可以检测来自所述多个光电二极管中的每一个的像素电压。因此,因为多次从像素PX₁₁至PX_{mn}中的每一个检测像素电压,所以可能增加读出操作所需的时间和功耗。另外,因为从像素PX₁₁至PX_{mn}中的每一个的光电二极管检测像素电压,所以读出操作中出现的噪声分量可能增加,并且图像传感器100的性能可能降低。

[0048] 相反,在本发明构思的示例实施例中,为了解决在比较性示例中可能发生的上述问题,反映由多个像素PX₁₁至PX_{mn}中的每一个中包括的多个光电二极管中的至少一部分光电晶体管生成的电荷的像素电压可以基本同时被读取。结果,可以减少读出操作所需的时间和功耗,可以减少执行读出操作的次数,并且可以减少噪声分量,这可以使图像传感器100的性能得到改善。

[0049] 图5是示出了根据本发明构思的示例实施例的图像传感器的像素阵列的图。

[0050] 参考图5,根据本发明构思的示例实施例的图像传感器的像素阵列200可以包括多个像素210、220、230和240。多个像素210至240可以沿第一方向(X轴方向)和第二方向(Y轴方向)布置。多个像素210至240中的每个像素可以包括多个光电二极管PD1、PD2、PD3和PD4。在图5所示的示例实施例中,多个像素210至240中的每个像素包括四个光电二极管PD1至PD4。然而,示例性实施例不限于此。例如,根据示例实施例,可以不同地修改多个像素210至240中的每个像素中包括的光电二极管PD1至PD4的数量。

[0051] 在典型情况下,图像传感器的读出电路可以从多个光电二极管PD1至PD4中的每一个读取像素电压,以获得像素信号。例如,从第一像素210获得像素信号的操作可以包括从

第一像素210中包括的第一光电二极管PD1至第四光电二极管PD4中的每一个读取像素电压的操作。因此,为了从第一像素210获得像素信号,读取像素电压的读出操作可以执行四次,这可能导致读出操作所需的时间和/或功耗的增加。另外,因为对于每个读出操作,像素电压中都包括噪声分量,因此图像质量可能降低。

[0052] 在根据本发明构思的示例实施例中,读出电路可以基本同时读取与由包括在多个像素210至240中的每个像素中的多个光电二极管PD1至PD4的至少一部分生成的电荷相对应的像素电压。可以连接光电二极管PD1至PD4的至少一部分,使得读出电路可以基本同时读取与由光电二极管PD1至PD4的至少一部分生成的电荷相对应的像素电压。

[0053] 图6和图7是示出了根据本发明构思的示例实施例的图像传感器的像素电路的电路图。例如,根据图6和图7的示例实施例的像素电路可以是应用于图5所示的图像传感器的像素电路。

[0054] 为了便于说明,在描述图7时,将省略对参考图6所述的元件和技术方面的重复描述。

[0055] 首先,参考图6,根据本发明构思的示例实施例的图像传感器的像素电路可以包括例如复位晶体管RX、驱动晶体管DX、选择晶体管SX、第一传输晶体管TX1和第二传输晶体管TX2。第一传输晶体管TX1可以连接到第一光电二极管PD1和第二光电二极管PD2,并且第二传输晶体管TX2可以连接到第三光电二极管PD3和第四光电二极管PD4。

[0056] 下文将描述图6所示的像素电路的操作。

[0057] 首先,当通过复位控制信号RG导通复位晶体管RX时,浮动扩散区FD可以通过电源电压VDD复位。然后,当通过选择控制信号SEL导通选择晶体管SX时,图像传感器的读出电路可以通过对应的列线COL检测来自浮动扩散区FD的复位电压。

[0058] 当完成检测复位电压的操作时,可以导通第一传输晶体管TX1。此时,第二传输晶体管TX2可以截止。当通过第一传输控制信号TG1导通第一传输晶体管TX1时,由第一光电二极管PD1和第二光电二极管PD2生成的电荷可以在浮动扩散区FD中累积。然后,当导通选择晶体管SX时,读出电路可以通过对应的列线COL检测与由第一光电二极管PD1和第二光电二极管PD2生成的电荷的量相对应的第一像素电压。

[0059] 当完成检测第一像素电压的操作时,可以导通第二传输晶体管TX2。可以通过第二传输控制信号TG2来导通第二传输晶体管TX2。当第二传输晶体管TX2导通时,由第三光电二极管PD3和第四光电二极管PD4生成的电荷可以在浮动扩散区FD中累积。此时,在浮动扩散区FD中累积的电荷可以由第一光电二极管PD1至第四光电二极管PD4生成的电荷。读出电路可以通过对应的列线COL检测与由第一光电二极管PD1至第四光电二极管PD4生成的电荷的总量相对应的总和像素电压。

[0060] 图像传感器的控制逻辑可以通过计算总和像素电压与第一像素电压之间的差值来获得与由第三光电二极管PD3和第四光电二极管PD4生成的电荷的量相对应的第二像素电压。控制逻辑可以通过使用第一像素电压和第二像素电压来获得第一像素信号和第二像素信号,并且可以通过使用第一像素信号与第二像素信号之间的相位差来提供自动聚焦功能。控制逻辑可以通过使用像素信号来生成图像数据,其中像素信号从与由第一光电二极管PD1至第四光电二极管PD4生成的电荷的总和相对应的总和像素电压获得。

[0061] 在本发明构思的示例实施例中,读出电路不通过像素电路从光电二极管PD1至PD4

中的每一个获得像素电压,并且可以基本同时从光电二极管PD1至PD4中的至少一部分读取像素电压。因此,可以减少执行读出操作的次数。结果,可以减少读出操作所需的时间和/或功耗,并且可以显著地减少由于执行读出操作的次数的增加而引起的噪声分量的增加。因此,可以减少图像质量的劣化。

[0062] 接下来,参考图7,在示例实施例中,第一传输晶体管TX1可以连接到第一光电二极管PD1,并且第二传输晶体管TX2可以连接到第二光电二极管PD2到第四光电二极管PD4。当第一传输晶体管TX1导通以使得第一光电二极管PD1的电荷在浮动扩散区FD中累积时,读出电路可以检测与第一光电二极管PD1的电荷相对应的第一像素电压。接下来,当第二传输晶体管TX2导通以使得第二光电二极管PD2至第四光电二极管PD4的电荷移动至浮动扩散区FD时,读出电路可以检测与由第一光电二极管PD1至第四光电二极管PD4生成的电荷的总和相对应的总和像素电压。

[0063] 控制逻辑可以通过计算总和像素电压与第一像素电压之间的差值来获得与由第二光电二极管PD2至第四光电二极管PD4生成的电荷的总和相对应的第二像素电压。控制逻辑可以使用分别根据第一像素电压和第二像素电压生成的第一像素信号和第二像素信号之间的相位差来提供自动聚焦功能。另外,可以通过使用根据总和像素电压生成的像素信号来生成图像数据。

[0064] 在图6和图7所示的每个示例实施例中,可以沿不同方向提供自动聚焦功能。例如,在图6所示的示例实施例中,可以基本同时从第一光电二极管PD1和第二光电二极管PD2的电荷检测像素电压,并且可以基本同时从第三光电二极管PD3和第四光电二极管PD4的电荷检测像素电压。因此,假设图6的像素电路应用于图5的像素阵列200,则图6的像素电路可以生成沿第二方向(Y轴方向)聚焦所需的信息。类似地,图7的像素电路可以提供沿基于第二方向(Y轴方向)逆时针旋转约45度的方向聚焦所需的信息。

[0065] 图8至图12是示出了根据本发明构思的示例实施例的图像传感器的像素结构的图。

[0066] 参考图8,根据本发明构思的示例实施例的图像传感器的像素阵列300可以包括多个像素310、320、330和340。应该理解,为了便于说明,图8仅示出了像素阵列300的部分区域。

[0067] 多个像素310至340中的每个像素可以包括第一至第四光电二极管PD1、PD2、PD3和PD4。第一光电二极管PD1至第四光电二极管PD4可以沿第一方向(X轴方向)和第二方向(Y轴方向)布置,并且可以沿第三方向(Z轴方向)位于基本相同的水平上。可以在多个像素310至340之间设置第一器件隔离膜301,并且可以针对多个像素310至340中的每个像素设置第二器件隔离膜302。用于在多个像素310至340的每个像素中形成第一光电二极管PD1至第四光电二极管PD4的多个单位区域可以由第二器件隔离膜302限定。

[0068] 在图8所示的示例实施例中,多个像素310至340的每个像素中的第一光电二极管PD1至第四光电二极管PD4的至少一部分可以彼此物理连接。例如,在第一像素310的情况下,第一光电二极管PD1至第三光电二极管PD3可以彼此物理连接以形成第一光电二极管组PG1。第一像素310的第四光电二极管PD4可以独立地提供第二光电二极管组PG2。在第二像素320中,第一光电二极管PD1和第二光电二极管PD2可以彼此物理连接以提供第一光电二极管组PG1,并且第三光电二极管PD3和第四光电二极管PD4可以彼此物理连接以提供第二

光电二极管组PG2。

[0069] 第三像素330的第一光电二极管组PG1可以包括彼此物理连接的第一光电二极管PD1和第三光电二极管PD3,并且第二光电二极管组PG2可以包括彼此物理连接的第二光电二极管PD2和第四光电二极管PD4。在第四像素340的情况下,第一光电二极管PD1可以独立地提供第一光电二极管组PG1,并且彼此物理连接的第二光电二极管PD2至第四光电二极管PD4可以提供第二光电二极管组PG2。

[0070] 在以上描述中,物理连接这一表述可以被解释为意味着第一光电二极管PD1至第四光电二极管PD4中的两个或更多个通过器件连接层直接连接。例如,在示例实施例中,在第一像素310的情况下,第一光电二极管PD1至第三光电二极管PD3可以共同连接至器件连接层以形成第一光电二极管组PG1。在本发明构思的示例实施例中,在彼此相邻的像素310至340中,提供第一光电二极管组PG1或第二光电二极管组PG2的器件连接层可以具有不同的形状、面积等。例如,第一像素310和第二像素320的每个器件连接层的形状、面积、数量等可以彼此不同。

[0071] 例如,根据示例实施例,设置在多个光电二极管PD1至PD4的下部的器件连接层可以通过将多个光电二极管PD1至PD4的至少部分彼此连接来将多个光电二极管PD1至PD4分离为第一光电二极管组PG1和第二光电二极管组PG2。

[0072] 第一光电二极管PD1至第四光电二极管PD4的至少一部分可以通过器件连接层彼此连接,使得像素电路可以基本同时从连接至器件连接层的两个或更多个光电二极管PD1至PD4读取像素电压。因此,根据示例实施例,可以减少从多个像素310至340中的每个像素读取像素电压所执行的读出操作的数量,从而减少读出操作的所需时间和功耗。结果,根据示例实施例,可以显著地减少由于执行读出操作的次数的增加而导致的噪声增加。另外,传输晶体管可以通过一个接一个的方式连接到第一光电二极管组PG1和第二光电二极管组PG2中的每一个。例如,多个像素310至340的每个像素中的光电二极管PD1至PD4的数量可以大于传输晶体管的数量。

[0073] 图9和图10分别是图8中所示的像素阵列300的沿着线I-I'和II-II'截取的截面图。参考图9和图10,第三像素330和第四像素340可以通过第一器件隔离膜301彼此分离,并且第二器件隔离膜302可以形成在第三像素330和第四像素340中的每一个内部。第三像素330和第四像素340中的每一个可以具有由第二器件隔离膜302限定的多个单位区域,并且多个光电二极管PD1至PD4可以形成在该多个单位区域中。

[0074] 第三像素330和第四像素340可以包括微透镜331和341、滤色器333和343、以及像素电路335和345。在彼此相邻设置的第三像素330和第四像素340中的每一个中,滤色器333和343可以传输不同颜色的光。例如,第三像素330的滤色器333可以是传输绿光的绿色滤色器,而第四像素340的滤色器343可以是传输红光的红色滤色器。像素电路335和345可以包括例如驱动晶体管、复位晶体管、选择晶体管、传输晶体管等。

[0075] 在第三像素330中,第一光电二极管PD1和第三光电二极管PD3可以通过第一器件连接层CL1彼此连接以提供第一光电二极管组PG1,并且第二光电二极管PD2和第四光电二极管PD4可以通过第二器件连接层CL2彼此连接以提供第二光电二极管组PG2。在第四像素340中,第二光电二极管PD2至第四光电二极管PD4可以通过一个器件连接层CL彼此连接,以提供第二光电二极管组PG2。

[0076] 如图9和图10所示,器件连接层CL1、CL2和CL可以设置在光电二极管PD1至PD4与像素电路335和345之间。此外,在示例实施例中,器件隔离膜301和302并非连接到滤色器333和343以及像素电路335和345中的全部。器件连接层CL1、CL2和CL可以形成在未形成器件隔离膜301和302的区域中。例如,器件连接层CL1、CL2和CL可以掺杂有杂质,以物理地连接光电二极管PD1至PD4中的一些,并且电连接到像素电路335和345的浮动扩散区。在示例实施例中,器件连接层CL1、CL2和CL可以掺杂有N型杂质。

[0077] 图11是图8所示的像素阵列300的沿着线III-III'截取的截面图。参考图11,第一像素310和第三像素330可以通过第一器件隔离膜301彼此分离,并且第二器件隔离膜302可以形成在第三像素330和第四像素340中的每一个内部。第一器件隔离膜301和第二器件隔离膜302沿第三方向(Z轴方向)的深度可以小于形成有光电二极管PD1至PD4的半导体衬底的深度。第一像素310可以包括微透镜311和滤色器313。

[0078] 在第一像素310中,第一光电二极管PD1至第三光电二极管PD3可以通过器件连接层CL连接。通过器件连接层CL连接的第一光电二极管PD1至第三光电二极管PD3可以提供第一光电二极管组PG1,并且第四光电二极管PD4可以独立地提供第二光电二极管组PG2。第一像素310的像素电路315可以通过器件连接层CL基本同时获得与在第一光电二极管PD1至第三光电二极管PD3中生成的电荷的总和相对应的第一像素电压。因此,通过减少用于获得像素电压的读出操作的数量,可以改善图像传感器的操作速度、功耗和/或噪声特性。

[0079] 图12是图8所示的像素阵列300的沿着线IV-IV'截取的截面图。参考图12,第二像素320和第四像素340可以通过第一器件隔离膜301彼此分离,并且第二器件隔离膜302可以形成在第二像素320和第四像素340中的每一个的内部。第二像素320可以包括微透镜321、滤色器323和像素电路325。器件连接层CL1、CL2和CL可以沿第三方向(Z轴方向)设置在器件隔离膜301和302与像素电路325和345之间。

[0080] 第二像素320可以包括具有第一器件连接层CL1以及第一光电二极管PD1和第二光电二极管PD2的第一光电二极管组PG1,并且包括具有第二器件连接层CL2以及第三光电二极管PD3和第四光电二极管PD4的第二光电二极管组PG2。在第四像素340中,第二光电二极管PD2至第四光电二极管PD4可以通过一个器件连接层CL彼此物理连接,以提供第二光电二极管组PG2。

[0081] 图像传感器可以使用从像素310至340中的每一个的光电二极管组PG1和PG2获得的像素信号的相位差来提供自动聚焦功能。在参考图8至图12描述的示例实施例中,在彼此相邻的像素310至340的至少一部分中,光电二极管组PG1和PG2可以具有不同的形状和/或面积。因此,因为彼此相邻的像素310至340的至少一部分提供沿不同方向聚焦所需的信息,所以可以通过沿各个方向提供自动聚焦功能来改善图像传感器的性能。另外,根据本发明构思的示例实施例,通过将像素310至340中的每一个中包括的光电二极管PD1至PD4的至少一部分捆绑成光电二极管组PG1和PG2,可以减少读出操作所需的功耗和时间以及在读出操作中生成的噪声。

[0082] 图13和图14是示出了根据本发明构思的示例实施例的图像传感器的像素结构的图。

[0083] 图13是示出了根据本发明构思的示例实施例的图像传感器的像素阵列400的部分区域的平面图。图14是图13所示的像素阵列400的沿着线V-V'截取的截面图。

[0084] 参考图13和图14,多个像素410、420、430和440可以通过器件隔离膜401彼此分离。多个像素410至440中的每个像素可以包括第一光电二极管PD1至第四光电二极管PD4。在多个像素410至440中的每个像素中,第一光电二极管PD1至第四光电二极管PD4的至少一部分可以彼此连接,以提供第一光电二极管组PG1或第二光电二极管组PG2。光电二极管组PG1和PG2可以由连接第一光电二极管PD1至第四光电二极管PD4的至少一部分的器件连接层CL1、CL2和CL来限定。第三像素430可以包括微透镜431、滤色器433和像素电路435。第四像素440可以包括微透镜441、滤色器443和像素电路445。

[0085] 在图13和图14所示的示例实施例中,器件隔离膜401可以仅形成在多个像素410至440之间的边界处,并且器件隔离膜401不形成在多个像素410至440中的每个像素的内部。另外,参考图14,器件连接层CL1、CL2和CL可以设置在像素电路435和445与滤色器433和443之间,以将第一光电二极管PD1至第四光电二极管PD4的至少一部分彼此物理连接。

[0086] 器件连接层CL1、CL2和CL可以掺杂有N型杂质,并且彼此相邻的多个像素410至440中包括的器件连接层CL1、CL2和CL可以具有不同的形状或面积。例如,形成在第四像素440中的器件连接层CL的面积可以比形成在第三像素430中的第一器件连接层CL1和第二器件连接层CL2的面积更大。

[0087] 多个像素410至440中包括的光电二极管组PG1和PG2的光接收面积可以由器件连接层CL1、CL2和CL来确定。例如,在示例实施例中,第三像素430的光电二极管组PG1和PG2的光接收面积可以与第四像素440的光电二极管组PG1和PG2的光接收面积不同。相反,在示例实施例中,第三像素430的光电二极管组PG1和PG2的光接收面积可以与第二像素420的光电二极管组PG1和PG2的光接收面积基本相同。

[0088] 图15和图16是示出了根据本发明构思的示例实施例的图像传感器的像素结构的图。

[0089] 图15是示出了根据本发明构思的示例实施例的图像传感器的像素阵列500的部分区域的平面图。图16是图15所示的像素阵列500的沿着线VI-VI'截取的截面图。

[0090] 像素阵列500可以包括由器件隔离膜501分离的多个像素510、520、530和540。多个光电二极管PD1至PD4可以沿第一方向(X轴方向)和第二方向(Y轴方向)设置在多个像素510至540中的每个像素中。多个像素510至540中的每个像素中的多个光电二极管PD1至PD4的至少一部分可以通过器件连接层CL1、CL2和CL彼此连接,以提供光电二极管组PG1和PG2。参考图16,第三像素530可以包括微透镜531、滤色器533和像素电路535。第四像素540可以包括微透镜541、滤色器543和像素电路545。器件连接层CL1、CL2和CL可以设置在像素电路535和545与滤色器533和543之间。微透镜531和541可以形成在滤色器533和543的上部。

[0091] 在图15和图16所示的示例实施例中,可以形成将光电二极管PD1至PD4彼此连接的电荷传输层CM。例如,在第三像素530中,当光被过度地引入到第一光电二极管PD1以使其饱和时,在第一光电二极管PD1中生成的一些电荷可以通过电荷传输层CM传输到第二光电二极管PD2。因此,可以通过电荷传输层CM来防止或减少光电二极管PD1至PD4的饱和。根据示例实施例,电荷传输层CM可以连接在不同的光电二极管组PG1与PG2之间,或者也可以连接在属于相同的光电二极管组PG1和PG2的光电二极管PD1至PD4之间。如图16所示,电荷传输层CM可以沿第三方向(Z轴方向)设置在器件连接层CL1、CL2和CL与滤色器533和543之间。

[0092] 图17是示出了根据本发明构思的示例实施例的图像传感器的图。

[0093] 图17是示出了根据本发明构思的示例实施例的图像传感器的像素阵列600的部分区域的平面图。参考图17,像素阵列600可以包括沿第一方向(X轴方向)和第二方向(Y轴方向)布置的多个像素610、620、630和640。多个像素610至640中的每个像素可以包括多个光电二极管PD1至PD4。可以不同地修改多个像素610至640中的每个像素中包括的多个光电二极管PD1至PD4的数量。

[0094] 在图17所示的示例实施例中,多个像素610至640中的每个像素可以包括连接到多个光电二极管PD1至PD4的传输晶体管。在多个像素610至640中的每个像素中,光电二极管PD1至PD4的数量和传输晶体管的数量可以彼此相等。另外,在多个像素610至640中的每个像素中,传输晶体管的栅电极层的至少一部分可以通过连接线611、612、621、622、631、632、641和642彼此连接。

[0095] 例如,参考第一像素610,连接到第一光电二极管PD1和第三光电二极管PD3的传输晶体管的栅电极层可以通过第一连接线611彼此连接。第一连接线611可以通过中间线613连接到第一传输控制线TL1。在第一像素610中,连接到第二光电二极管PD2和第四光电二极管PD4的传输晶体管的栅电极层可以通过第二连接线612彼此连接。第二连接线612可以通过中间线614连接到第二传输控制线TL2。

[0096] 因此,在第一光电二极管PD1和第三光电二极管PD3中生成的电荷可以通过传输控制信号来一起移动到浮动扩散区,其中该传输控制信号通过第一传输控制线TL1来传输。另外,在第二光电二极管PD2和第四光电二极管PD4中生成的电荷可以通过传输控制信号来一起移动到浮动扩散区,其中该传输控制信号通过第二传输控制线TL2来传输。例如,第一光电二极管PD1和第三光电二极管PD3可以作为第一光电二极管组PG1进行操作,而第二光电二极管PD2和第四光电二极管PD4可以作为第二光电二极管组PG2进行操作。

[0097] 接下来,参考第二像素620,连接到第一光电二极管PD1和第二光电二极管PD2的传输晶体管的栅电极层可以通过第一连接线621彼此连接。第一连接线621可以通过中间线623连接到第一传输控制线TL1。在第二像素620中,连接到第三光电二极管PD3和第四光电二极管PD4的传输晶体管的栅电极层可以通过第二连接线622彼此连接。第二连接线622可以通过中间线624连接到第二传输控制线TL2。

[0098] 根据示例实施例,连接线611、612、621、622、631、632、641和642中的至少一些可以通过将多个传输晶体管的栅电极层的至少一部分彼此连接来将多个光电二极管PD1至PD4分离成第一光电二极管组PG1和第二光电二极管组PG2。

[0099] 在第二像素620的第一光电二极管PD1和第二光电二极管PD2中生成的电荷可以通过传输控制信号来一起移动到浮动扩散区,其中该传输控制信号通过第一传输控制线TL1来传输。另外,在第二像素620的第三光电二极管PD3和第四光电二极管PD4中生成的电荷可以通过传输控制信号来一起移动到浮动扩散区,其中该传输控制信号通过第二传输控制线TL2来传输。例如,第一光电二极管PD1和第二光电二极管PD2可以作为第一光电二极管组PG1进行操作,而第三光电二极管PD3和第四光电二极管PD4可以作为第二光电二极管组PG2进行操作。

[0100] 在示例实施例中,第三像素630可以具有与第一像素610类似的结构,并且第四像素640可以具有与第二像素620类似的结构。备选地,在示例实施例中,第三像素630可以具有与第二像素620类似的结构,并且第四像素640可以具有与第一像素610类似的结构。

[0101] 参考第一像素610和第二像素620,第一传输控制线TL1可以连接到第一光电二极管组PG1,并且第二传输控制线TL2可以连接到第二光电二极管组PG2。因此,第一像素610和第二像素620的第一光电二极管组PG1可以通过第一传输控制线TL1基本同时被激活,并且第一像素610和第二像素620的第二光电二极管组PG2可以通过第二传输控制线TL2基本同时被激活。

[0102] 参考第三像素630,连接线631可以通过中间线633连接到第一传输控制线TL1,并且连接线632可以通过中间线634连接到第二传输控制线TL2。

[0103] 参考第四像素640,连接线641可以通过中间线643连接到第一传输控制线TL1,并且连接线642可以通过中间线644连接到第二传输控制线TL2。

[0104] 下文中将参考图18和图19更详细地描述图像传感器的操作。

[0105] 图18是示出了根据本发明构思的示例实施例的图像传感器的像素电路的电路图。图19是示出了根据本发明构思的示例实施例的图像传感器的操作的时序图。

[0106] 图18是示出了图17所示的像素阵列600的第一像素610和第二像素620的像素电路的电路图。参考图18,第一像素610和第二像素620中的每一个可以包括第一光电二极管PD1至第四光电二极管PD4、第一传输晶体管TX1至第四传输晶体管TX4、复位晶体管RX、驱动晶体管DX和选择晶体管SX。第一像素610的选择晶体管SX可以连接到第一列线COL1,并且第二像素620的选择晶体管SX可以连接到第二列线COL2。

[0107] 第一像素610和第二像素620的复位晶体管RX可以由复位控制信号RG控制,并且第一像素610和第二像素620的选择晶体管SX可以由选择控制信号SEL控制。第一像素610的第一传输晶体管TX1和第三传输晶体管TX3以及第二像素620的第一传输晶体管TX1和第二传输晶体管TX2可以由第一传输控制信号TG1控制,其中第一传输控制信号TG1通过第一传输控制线TL1来传输。另外,第一像素610的第二传输晶体管TX2和第四传输晶体管TX4以及第二像素620的第三传输晶体管TX3和第四传输晶体管TX4可以由第二传输控制信号TG2控制,其中第二传输控制信号TG2通过第二传输控制线TL2来传输。

[0108] 参考图19,可以通过由复位控制信号RG导通复位晶体管RX来开始根据本发明构思的示例实施例的图像传感器的操作。当复位晶体管RX导通时,第一像素610和第二像素620的浮动扩散区FD可以通过电源电压VDD复位。参考图19,在复位晶体管RX截止之后,读出电路可以在复位采样时间TR期间对第一像素610和第二像素620中的每一个的复位电压进行采样,在该期间中复位电压采样信号SHR具有高逻辑值。

[0109] 当经过了复位采样时间TR时,第一像素610的第一传输晶体管TX1和第三传输晶体管TX3以及第二像素620的第一传输晶体管TX1和第二传输晶体管TX2可以通过第一传输控制信号TG1导通。因此,第一像素610的第一光电二极管PD1和第三光电二极管PD3的电荷可以一起移动到浮动扩散区FD。此外,第二像素620的第一光电二极管PD1和第二光电二极管PD2的电荷可以一起移动到浮动扩散区FD。

[0110] 当第一像素610的第一传输晶体管TX1和第三传输晶体管TX3以及第二像素620的第一传输晶体管TX1和第二传输晶体管TX2截止时,读出电路可以响应于像素电压采样信号SHS在第一像素610和第二像素620中的每一个处获得第一像素电压。由读出电路在第一像素610处获得的第一像素电压可以是与第一像素610的第一光电二极管PD1和第三光电二极管PD3的电荷相对应的电压。此外,由读出电路在第二像素620处获得的第一像素电压可以

是与第二像素620的第一光电二极管PD1和第二光电二极管PD2的电荷相对应的电压。由读出电路获得的第一像素电压可以存储在例如存储器中。例如,存储器可以是包括在图像传感器和一个半导体封装中的存储器。

[0111] 当经过了第一采样时间TS1时,第一像素610的第二传输晶体管TX2和第四传输晶体管TX4以及第二像素620的第三传输晶体管TX3和第四传输晶体管TX4可以通过第二传输控制信号TG2导通。因此,第一像素610的第二光电二极管PD2和第四光电二极管PD4的电荷可以一起移动到浮动扩散区FD。另外,第二像素620的第三光电二极管PD3和第四光电二极管PD4的电荷可以一起移动到浮动扩散区FD。

[0112] 在示例实施例中,在第一传输控制信号TG1具有高逻辑值的时段与第二传输控制信号TG2具有高逻辑值的时段之间,不存在浮动扩散区FD被复位控制信号RG复位的时段。因此,在第二传输控制信号TG2具有高逻辑值时,在第一光电二极管PD1至第四光电二极管PD4中生成的电荷可以在第一像素610和第二像素620的每个浮动扩散区FD中累积。

[0113] 当第一像素610的第二传输晶体管TX2和第四传输晶体管TX4以及第二像素620的第三传输晶体管TX3和第四传输晶体管TX4被第二传输控制信号TG2截止时,读出电路可以在第二采样时间TS2期间检测总和像素电压。由读出电路从第一像素610检测的总和像素电压可以是与第一像素610的第一光电二极管PD1至第四光电二极管PD4的电荷的总和相对应的电压。类似地,由读出电路从第二像素620检测的总和像素电压可以是与第二像素620的第一光电二极管PD1至第四光电二极管PD4的电荷的总和相对应的电压。

[0114] 包括读出电路在内的控制逻辑可以使用在第一像素610和第二像素620中的每一个处检测到的总和像素电压来生成图像数据。另外,控制逻辑可以通过计算在第一像素610和第二像素620中的每一个中检测到的总和像素电压与第一像素电压之间的差值来获得第二像素电压。在第一像素610的情况下,第二像素电压可以是与在第二光电二极管PD2和第四光电二极管PD4中生成的电荷相对应的电压。在第二像素620的情况下,第二像素电压可以是与在第三光电二极管PD3和第四光电二极管PD4中生成的电荷相对应的电压。

[0115] 控制逻辑可以使用以上述方式获得的第一像素电压和第二像素电压来计算多个像素610至640中的每个像素中的第一像素信号和第二像素信号。例如,第一像素信号可以是与在多个像素610至640中的每个像素的第一光电二极管组PG1中生成的电荷相对应的信号,并且第二像素信号可以是与在第二光电二极管组PG2中生成的电荷相对应的信号。

[0116] 控制逻辑可以计算第一像素信号与第二像素信号之间的相位差,以生成图像传感器的聚焦调整所需的信息。如图17所示,因为第一光电二极管组PG1和第二光电二极管组PG2在像素610至640的至少一部分中以不同方式来定义,所以控制逻辑可以生成沿各个方向调整聚焦所需的信息。同时,可以仅通过次数小于多个像素610至640的每个像素中包括的光电二极管PD1至PD4的数量的读出操作来获得聚焦调整所需的信息和图像数据。因此,可以减少读出操作所需的时间和功耗,并且可以减少读出操作中生成的噪声的影响,从而改善图像传感器的性能。

[0117] 如示出了多个光电二极管PD1至PD4的截面图的附图所示,根据示例实施例,多个光电二极管PD1至PD4中的至少一些可以形成在半导体衬底中的大致相同的深度处(例如,图2中的第一层40),其中多个光电二极管PD1至PD4形成在该半导体衬底中。例如,在示例实施例中,多个光电二极管PD1至PD4中的至少一些光电二极管中的每一个的高度可以彼此大

致相等。此外,在示例实施例中,多个光电二极管PD1至PD4中的至少一些光电二极管中的每一个的上表面与它们所形成于的半导体衬底的上表面之间的距离可以彼此大致相同。

[0118] 图20是示出了根据本发明构思的示例实施例的包括图像传感器在内的电子设备的框图。

[0119] 根据图20所示的示例实施例的计算机设备1000可以包括图像传感器1010、显示器1020、存储器1030、处理器1040和端口1050。另外,计算机设备1000还可以包括有线/无线通信设备、电源设备等。在图20所示的组件中,端口1050可以用于例如与视频卡、声卡、存储卡、USB设备等通信。计算机设备1000可以是例如台式计算机或膝上型计算机、智能电话、平板PC、诸如智能手表之类的可穿戴设备等。

[0120] 处理器1040可以执行特定操作或命令、任务等。处理器1040可以是例如中央处理单元CPU或微处理单元MCU、片上系统SOC等,并且可以与图像传感器1010、显示器1020和存储器1030以及经由总线1060连接到端口1050的其他设备通信。

[0121] 存储器1030可以是存储计算机设备1000的操作所需的数据、多媒体数据等的存储介质。存储器1030可以包括诸如随机存取存储器RAM之类的易失性存储器,或诸如闪存之类的非易失性存储器。另外,存储器1030还可以包括固态驱动器SSD、硬盘驱动器HDD和光学驱动器ODD中的至少一个作为存储设备。输入/输出设备可以包括诸如键盘、鼠标、触摸屏等的输入设备,以及诸如显示器、音频输出单元等的输出设备。

[0122] 图像传感器1010可以安装在封装衬底上并且通过总线1060或其他通信手段连接到处理器1040。图像传感器1010可以以参考图1至图19描述的各种示例实施例的形式用于计算机设备1000中。

[0123] 如在本发明构思的领域中常见的,在功能块、单元和/或模块方面描述并在附图中示出示例实施例。本领域技术人员将理解,这些块、单元和/或模块通过诸如逻辑电路、分立组件、微处理器、硬连线电路、存储器元件、布线连接等的电子(或光学)电路物理地实现,其中所述电子(或光学)电路可以使用基于半导体的制造技术或其它制造技术来形成。在块、单元和/或模块由微处理器等实现的情况下,它们可以使用软件(例如,微代码)来编程以执行本文讨论的各种功能,并且可以可选地由固件和/或软件驱动。备选地,每个块、单元和/或模块可以通过专用硬件实现或实现为执行一些功能的专用硬件和执行其他功能的处理器(例如,一个或多个编程的微处理器和相关联的电路)的组合。

[0124] 如上所述,根据本发明构思的示例实施例,通过基本同时读取与在多个光电二极管的至少一部分中生成的电荷相对应的像素电压,可以减少在读出操作中消耗的读出时间和功率,其中多个光电二极管包括在图像传感器的多个像素中的每个像素中。

[0125] 尽管已经参考本发明构思的示例实施例具体示出和描述了本发明构思,但是本领域普通技术人员将理解的是,在不脱离所附权利要求所限定的本发明构思的精神和范围的情况下,可以进行形式和细节上的多种改变。

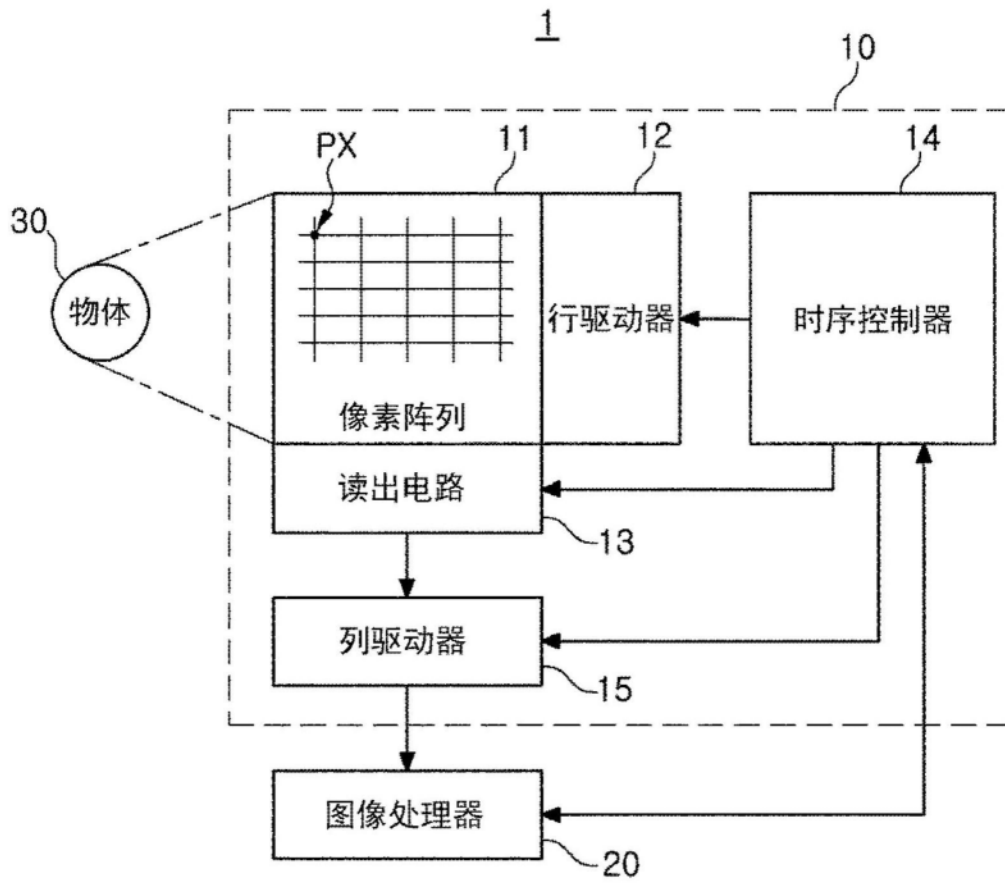


图1

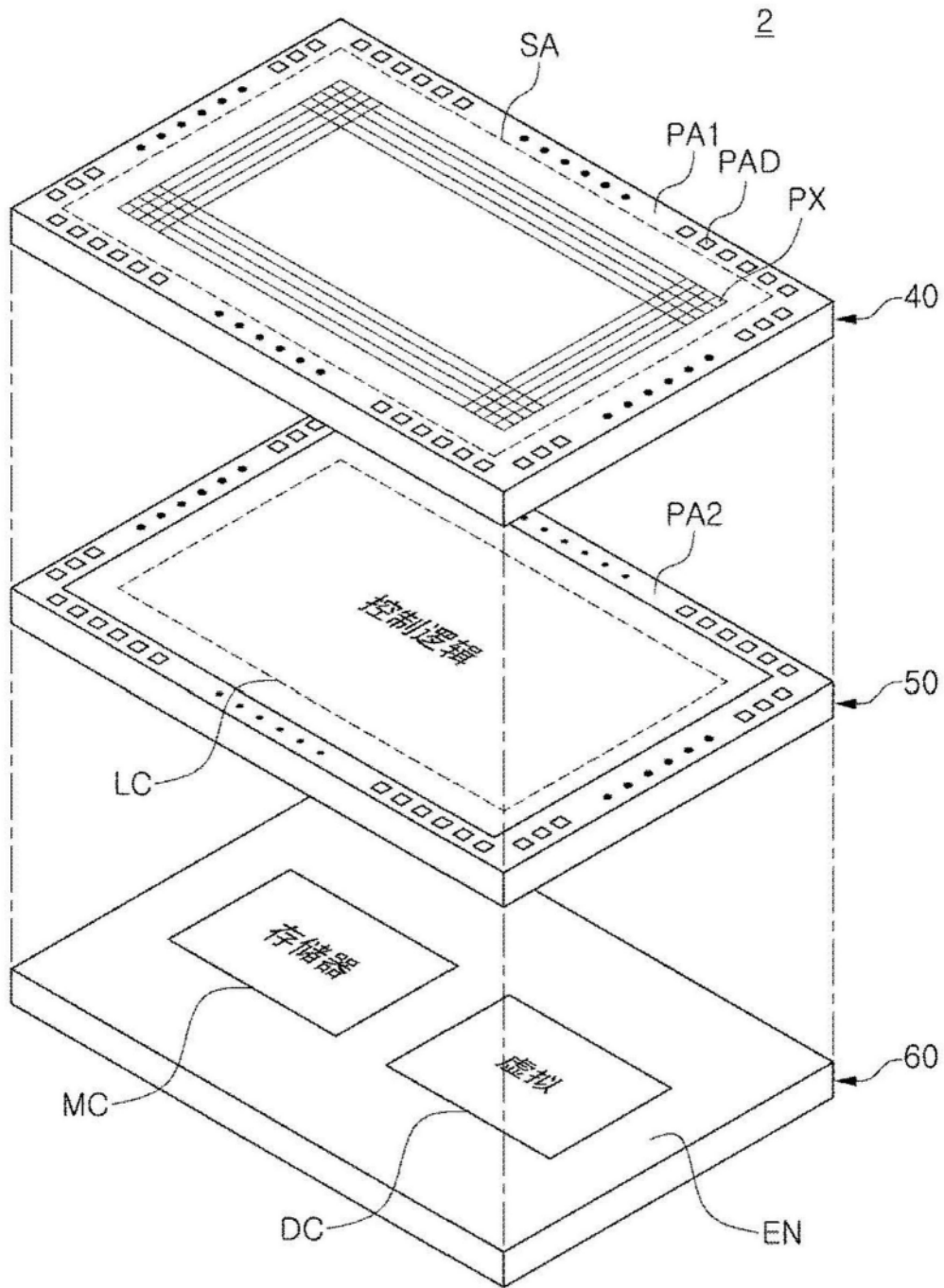


图2

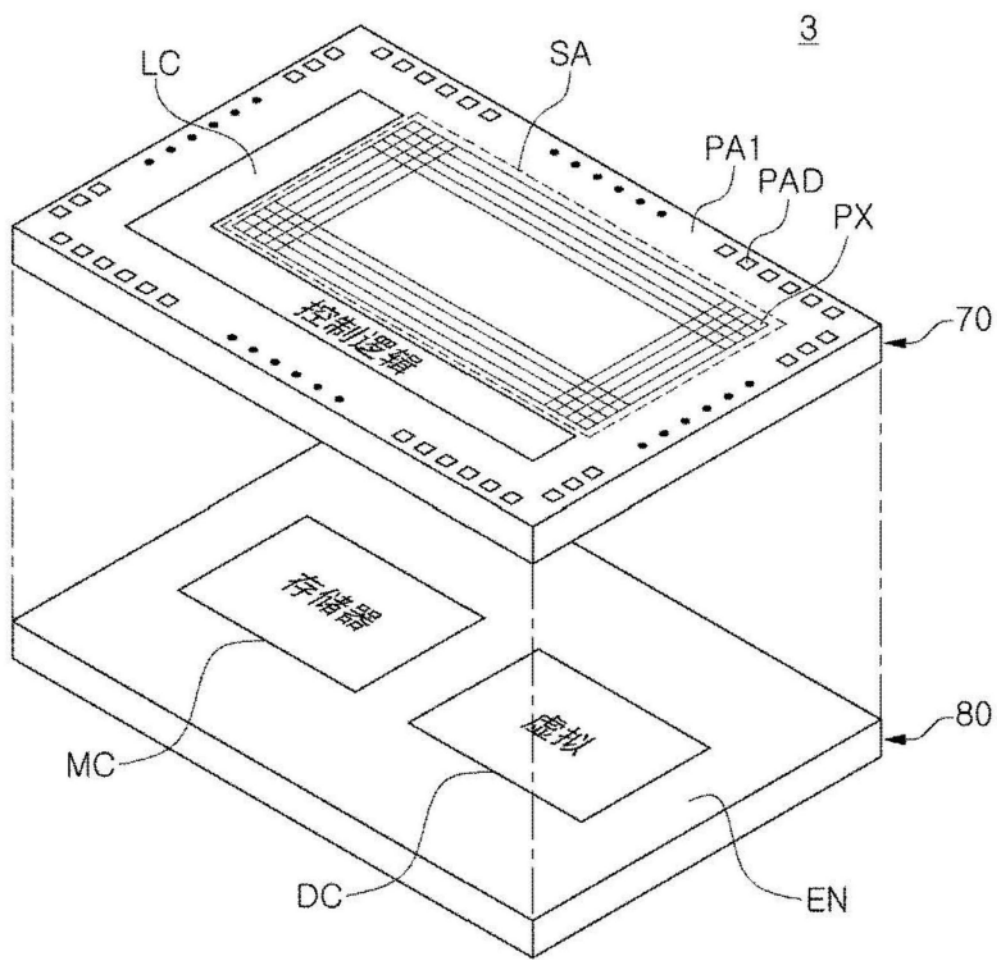


图3

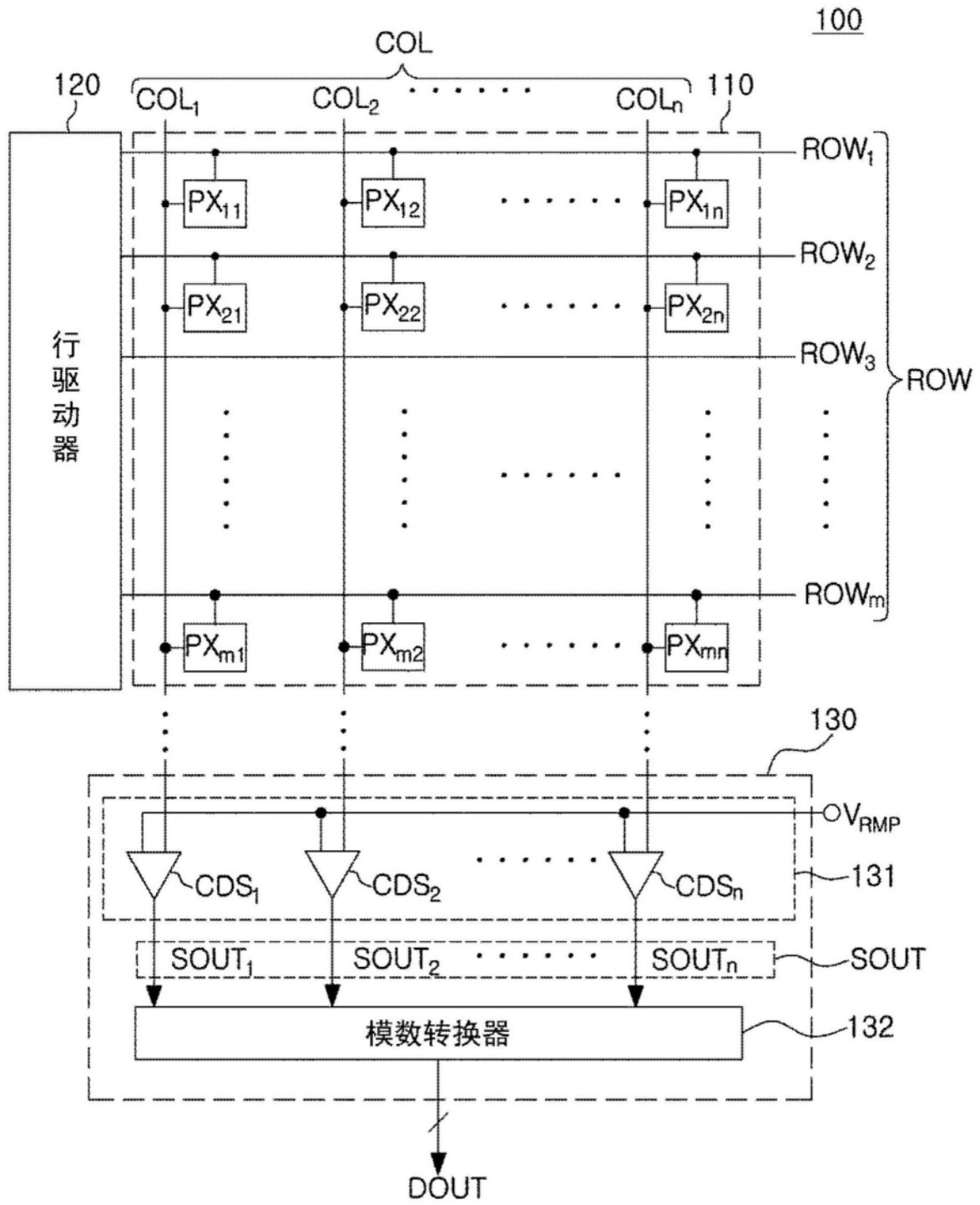


图4

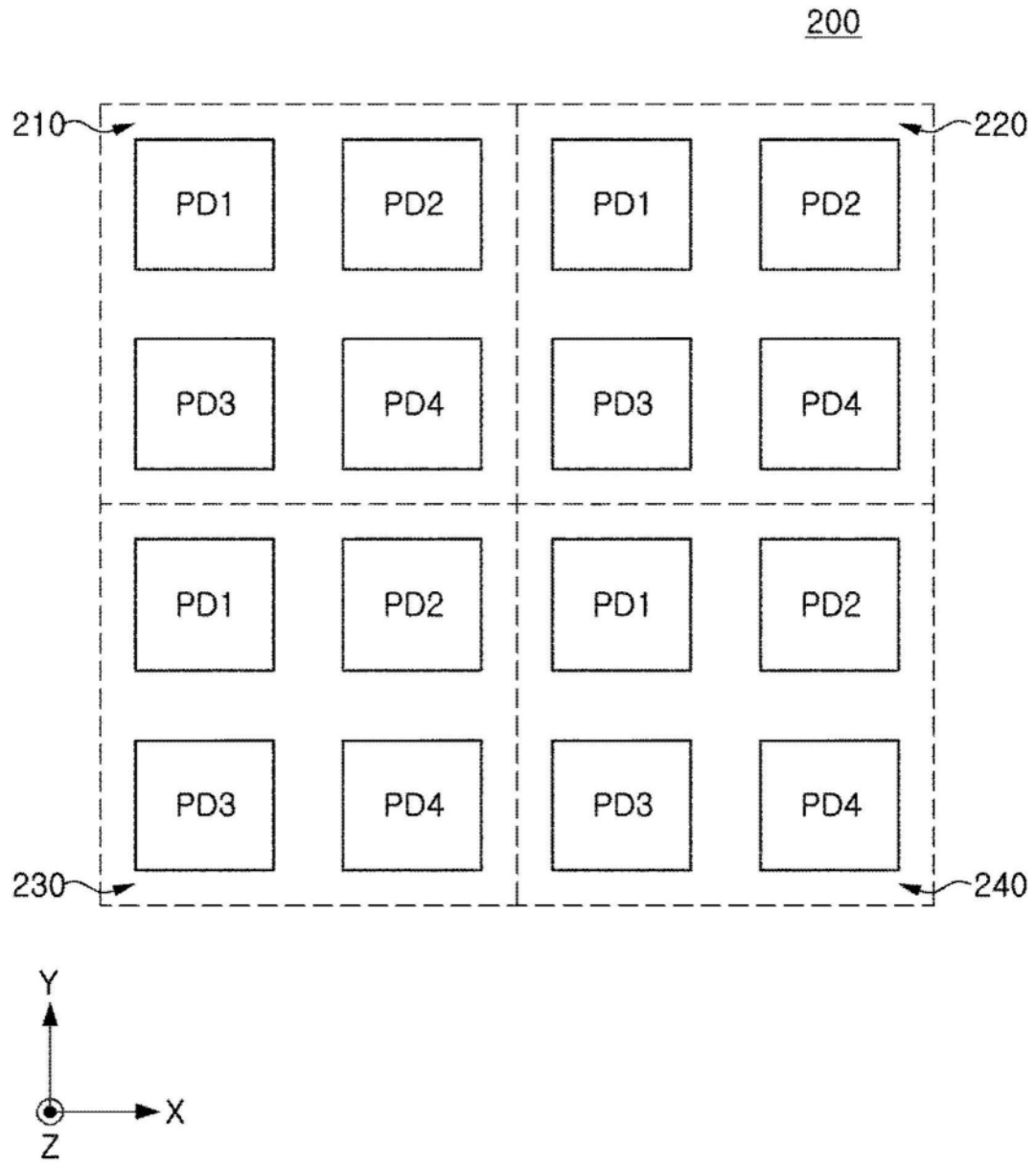


图5

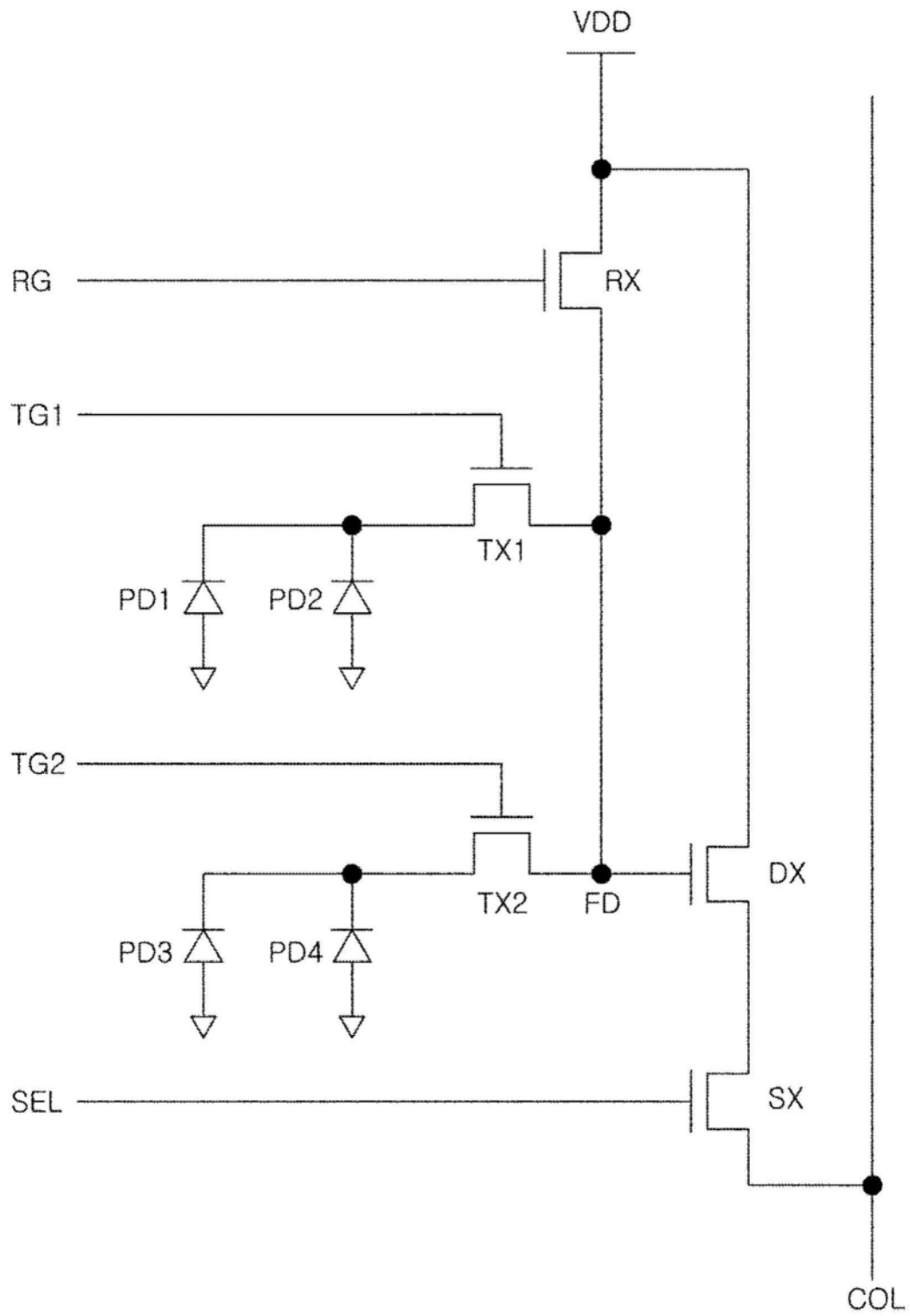


图6

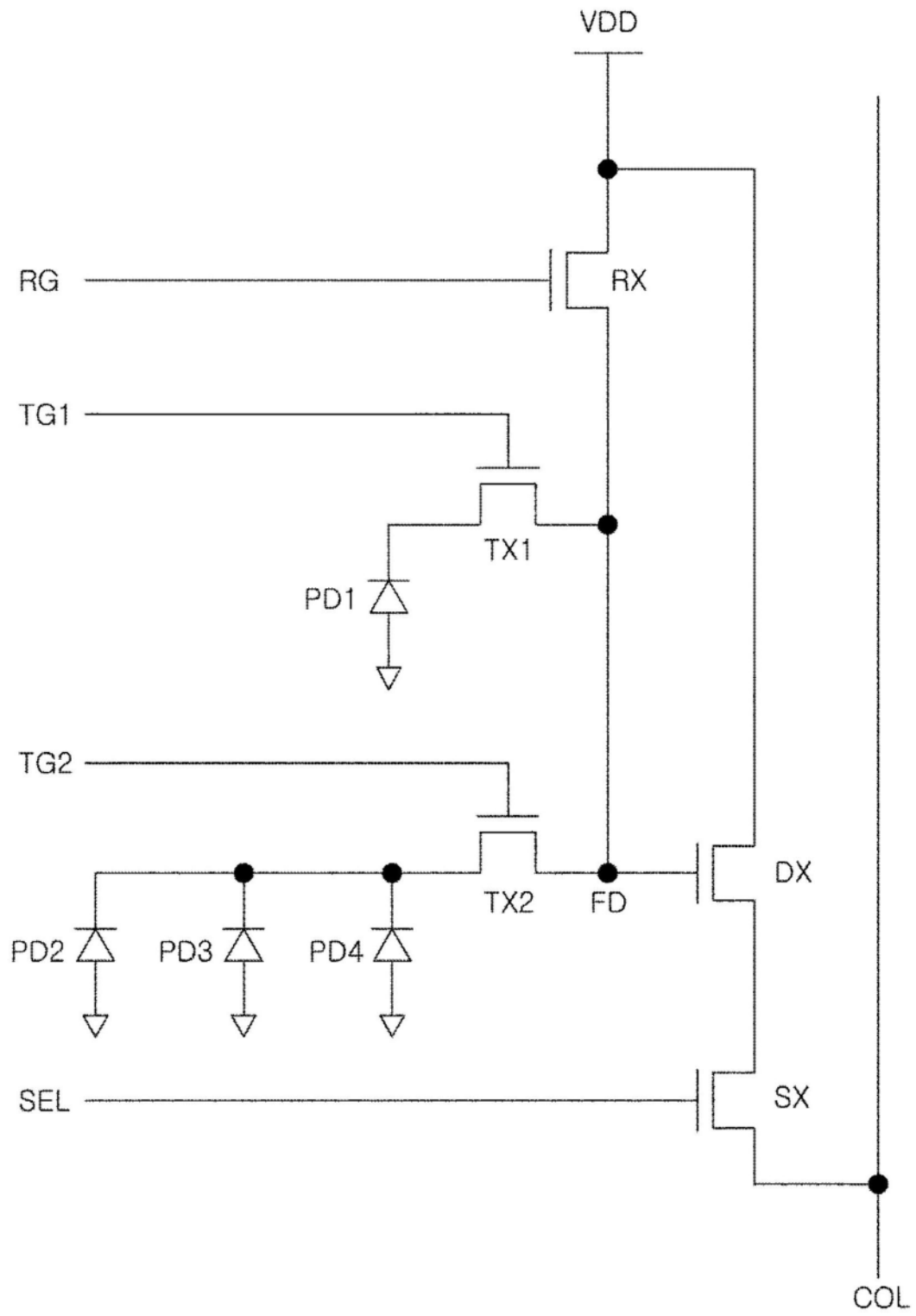


图7

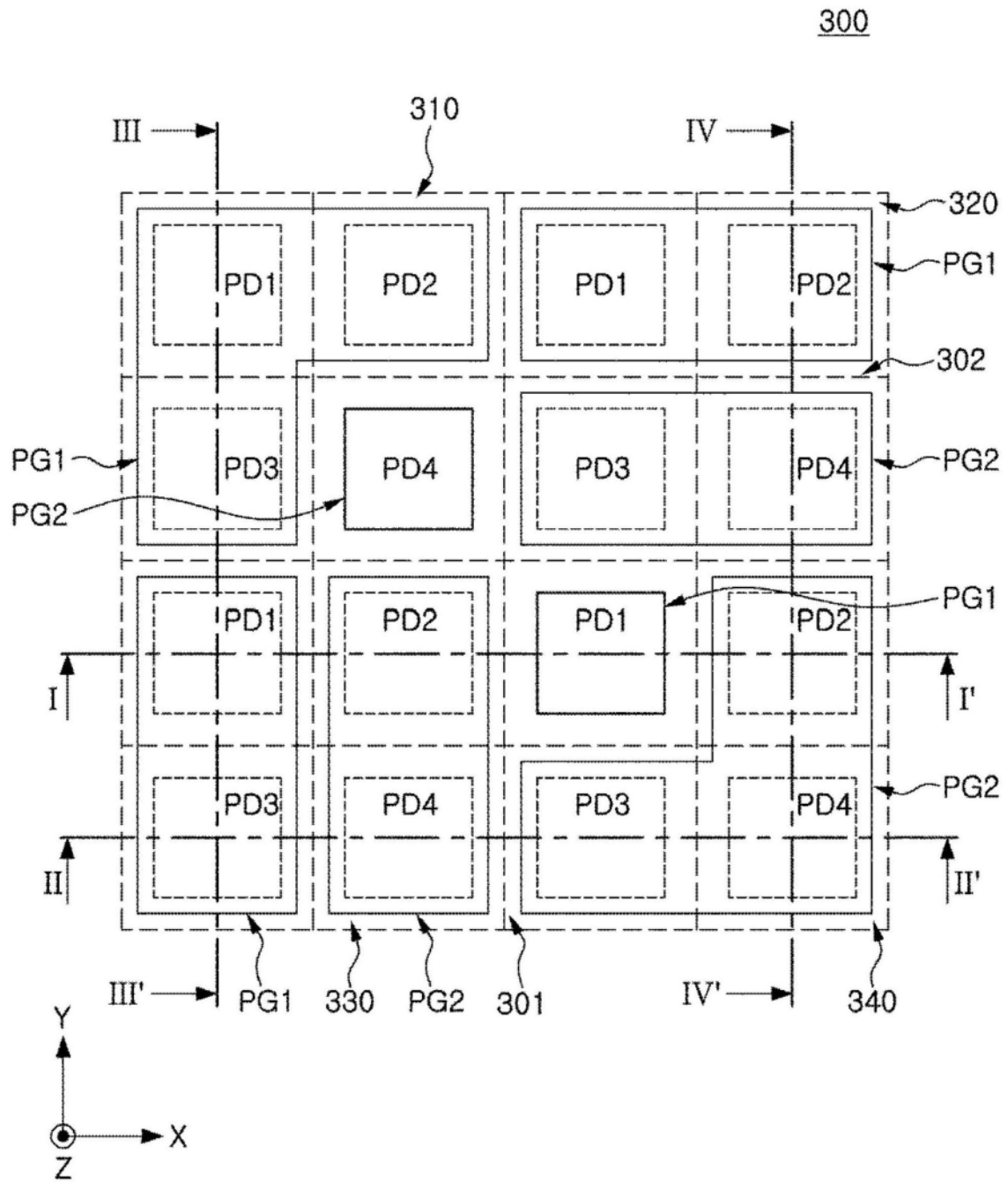


图8

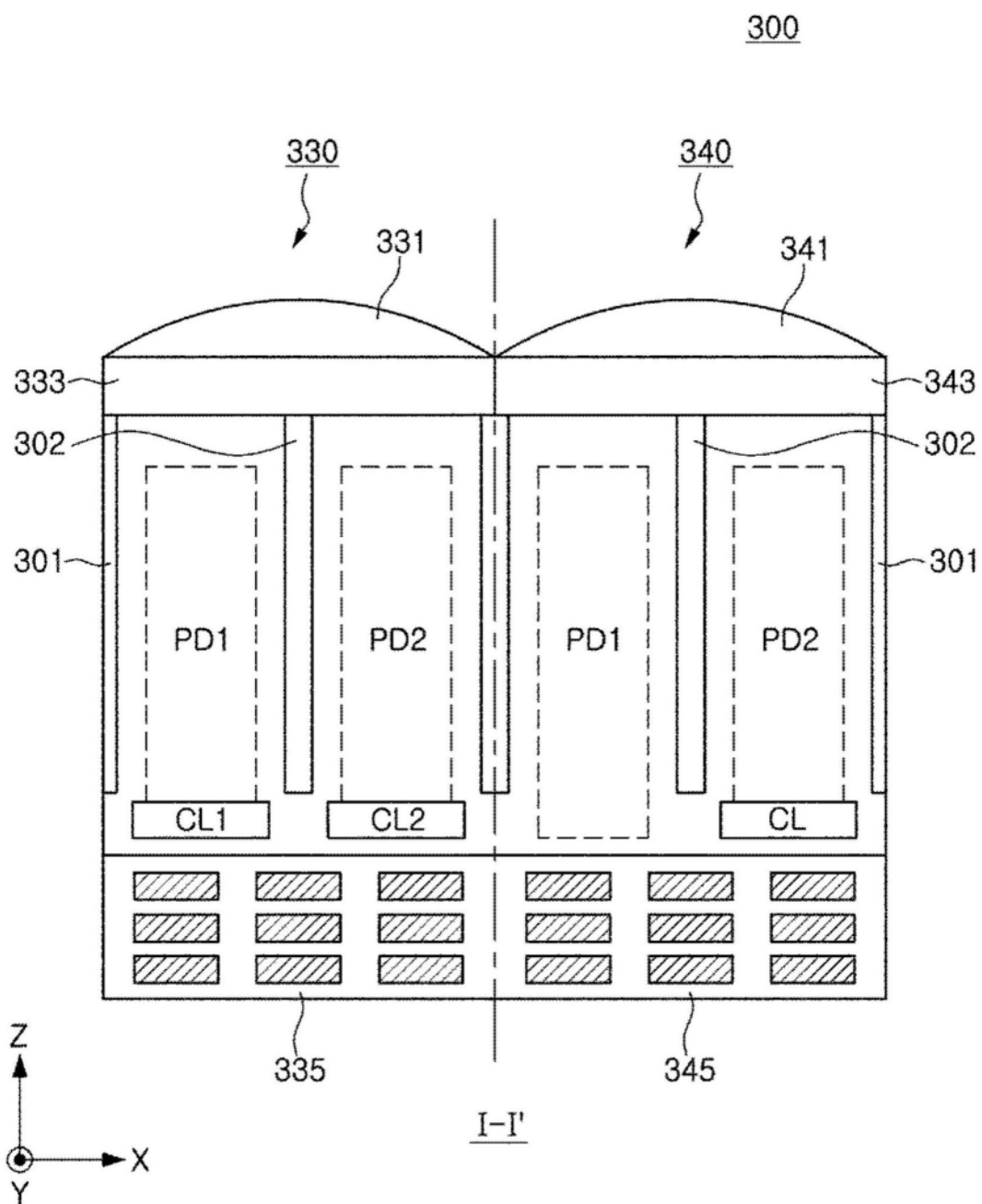


图9

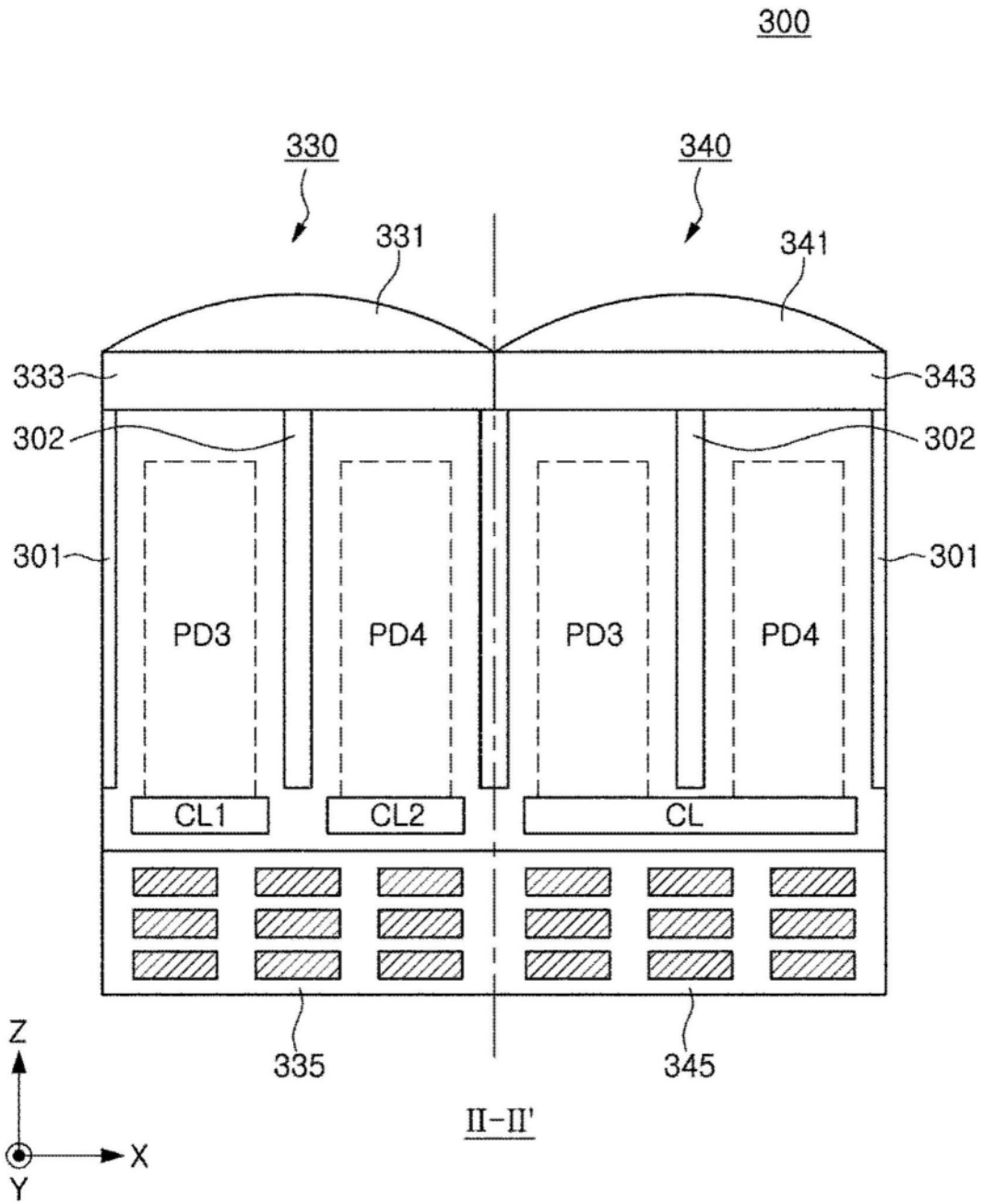


图10

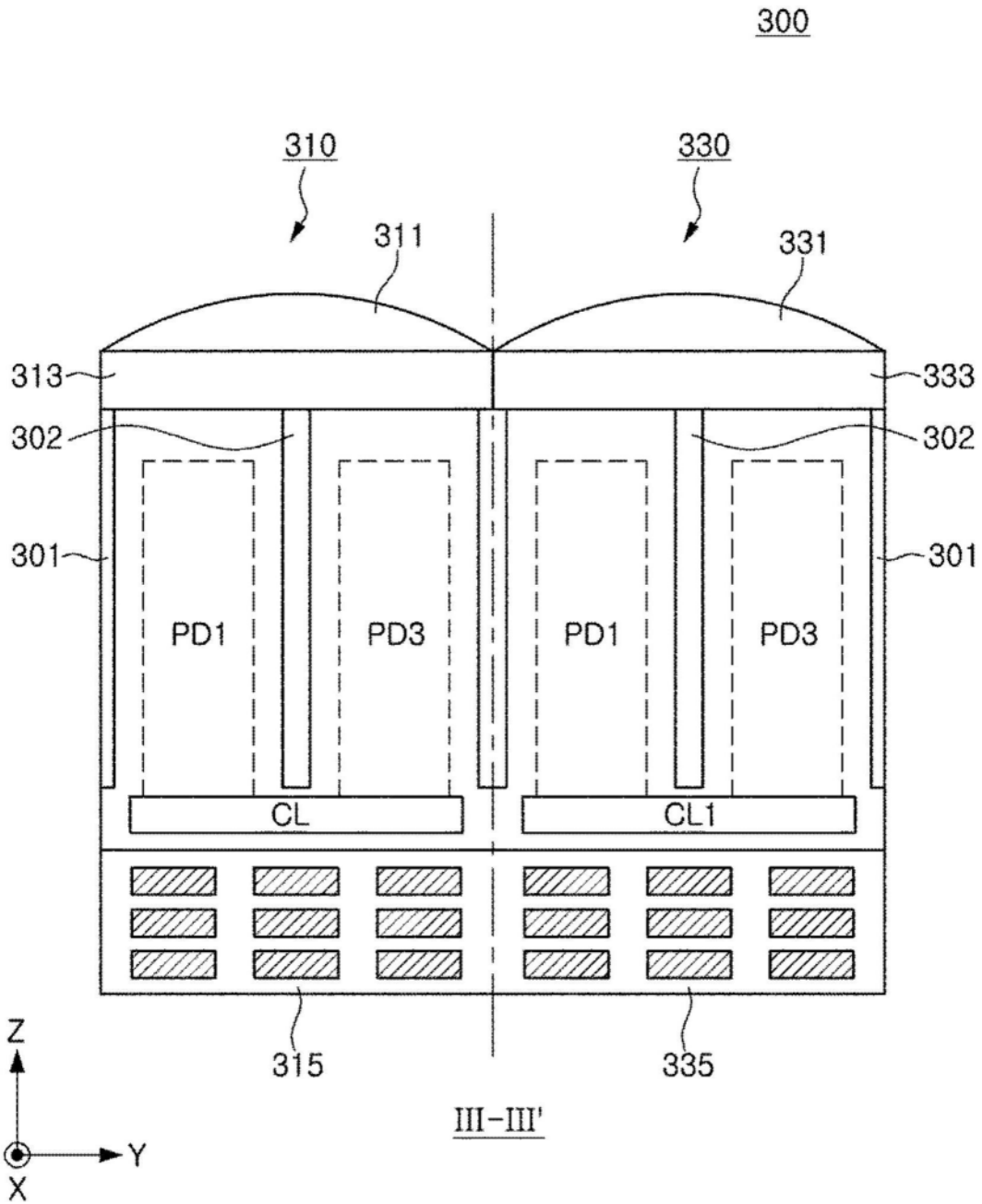


图11

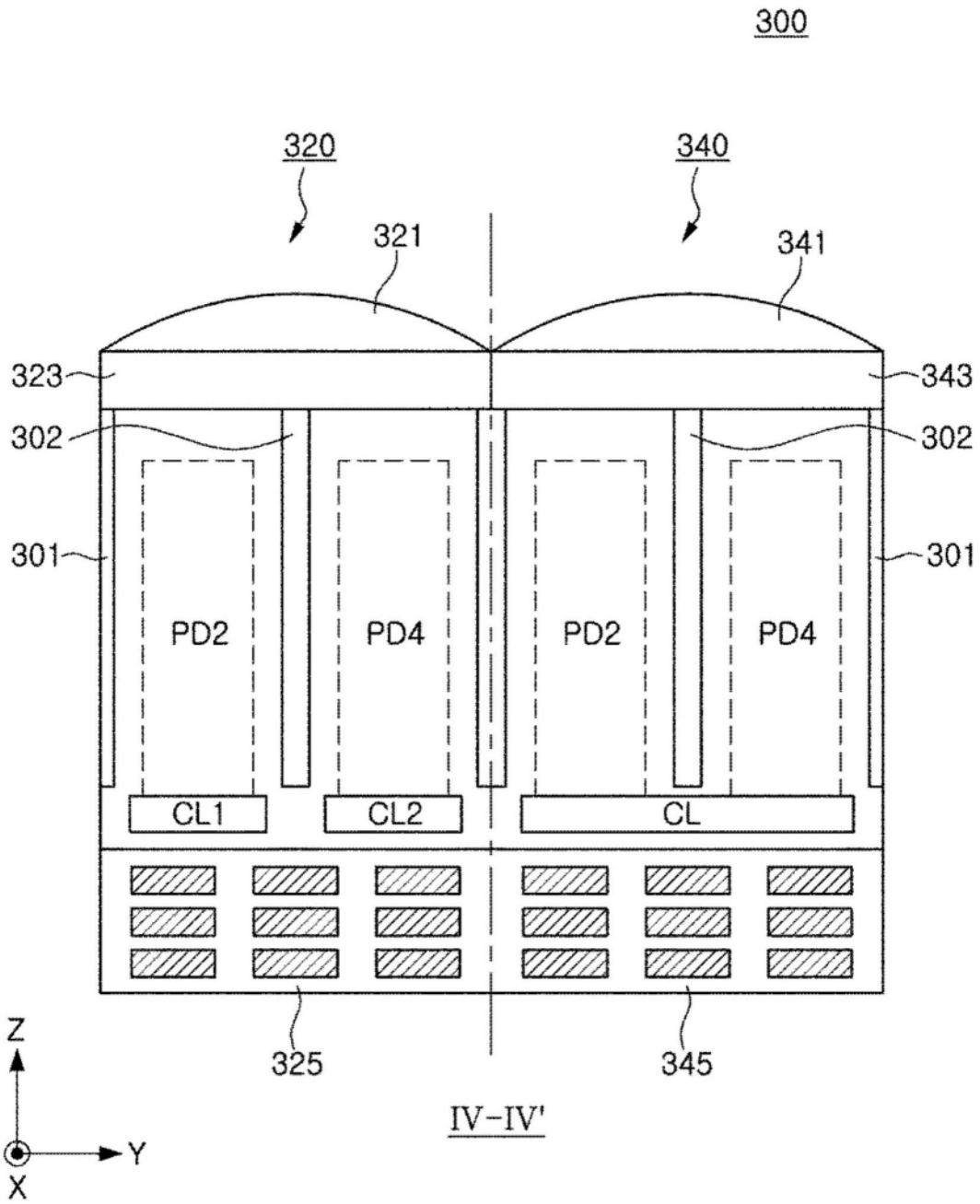


图12

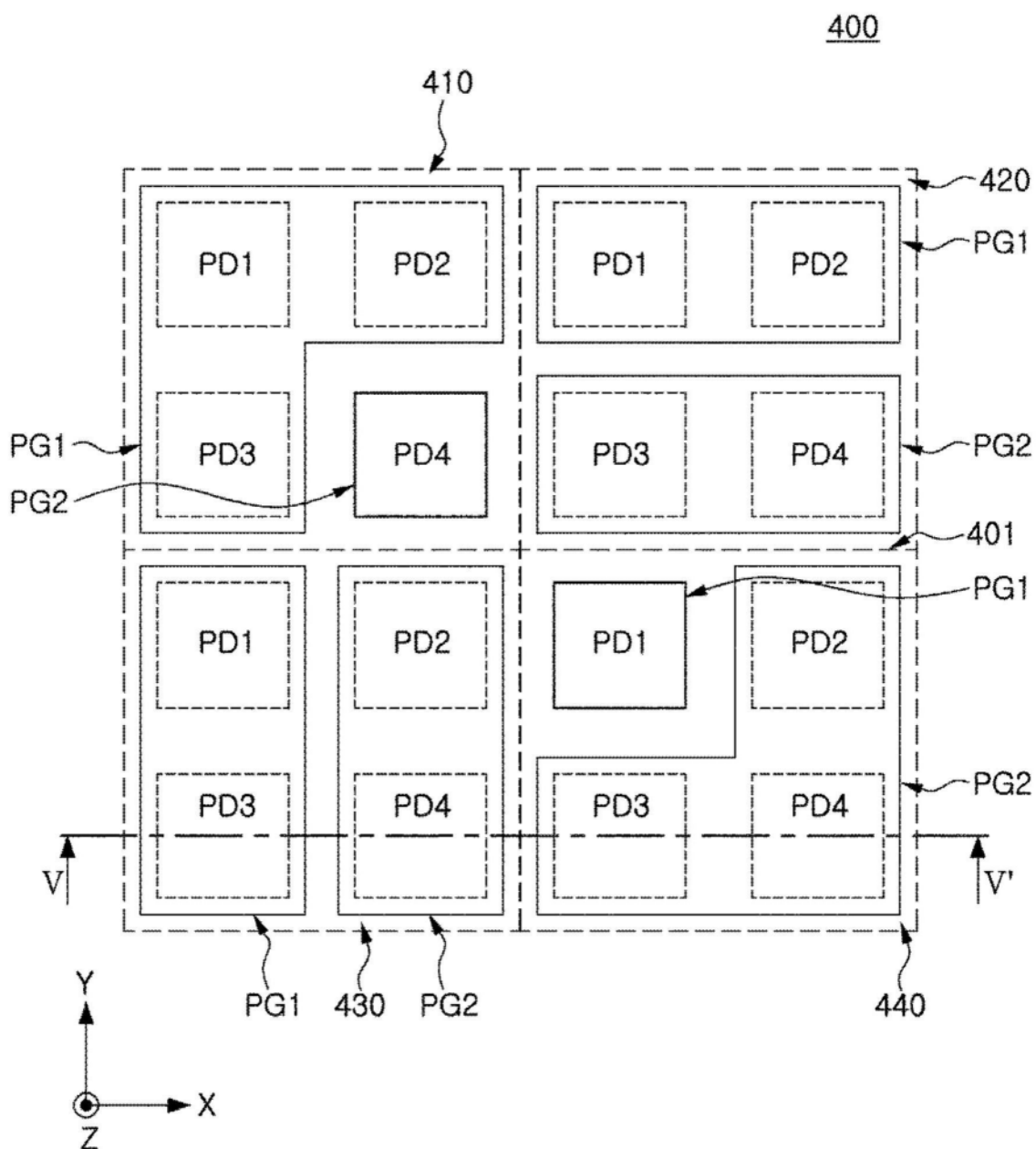


图13

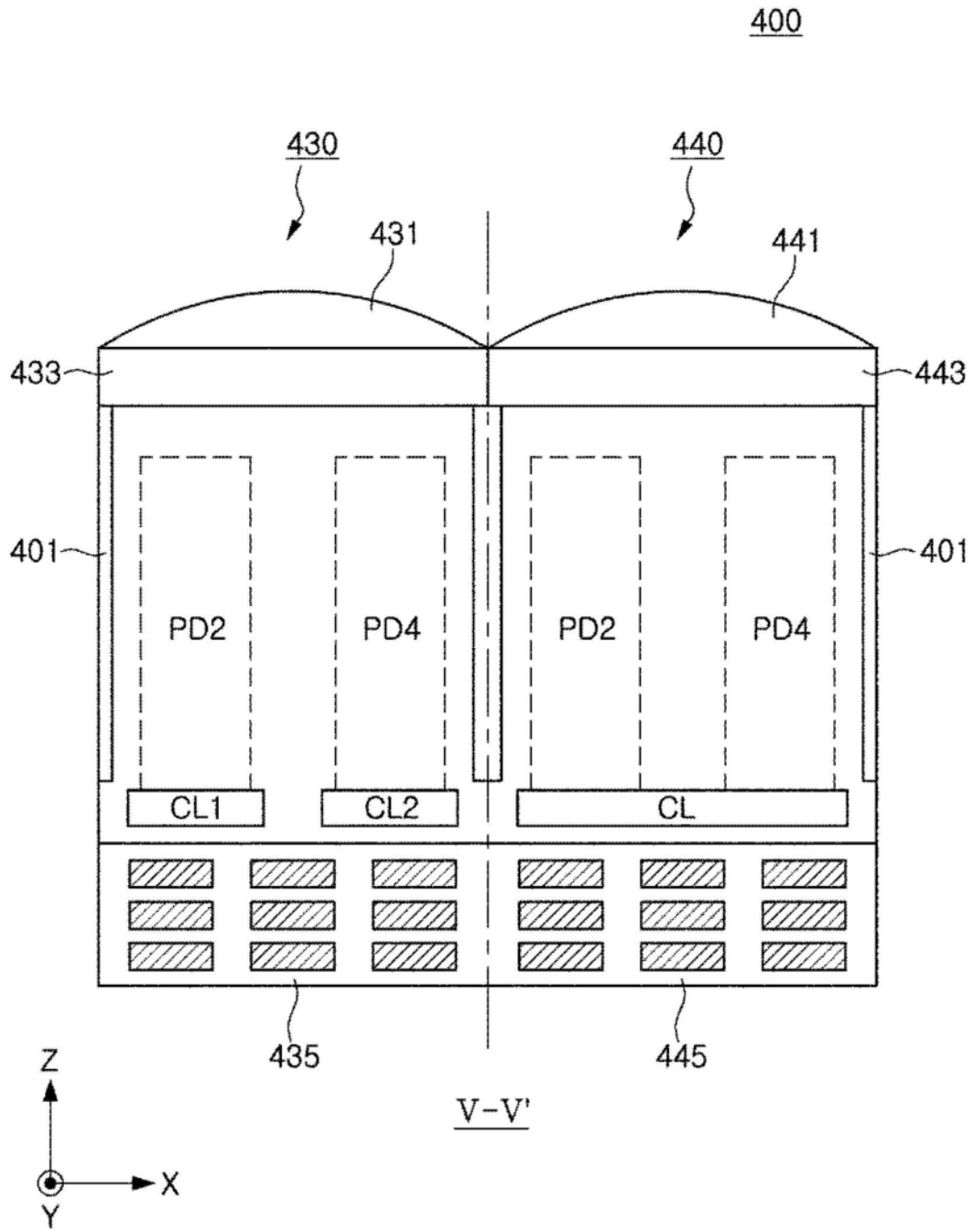


图14

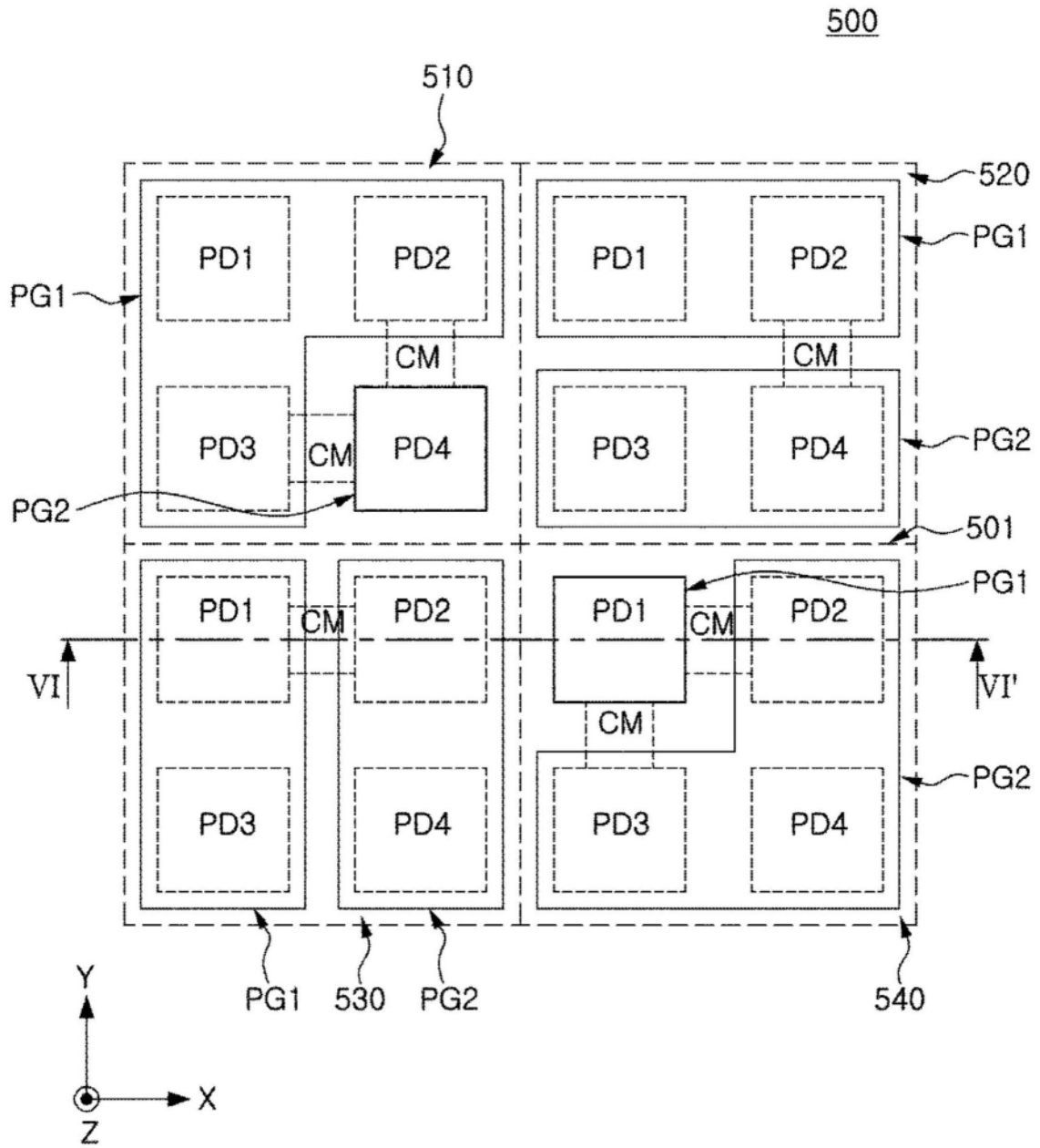


图15

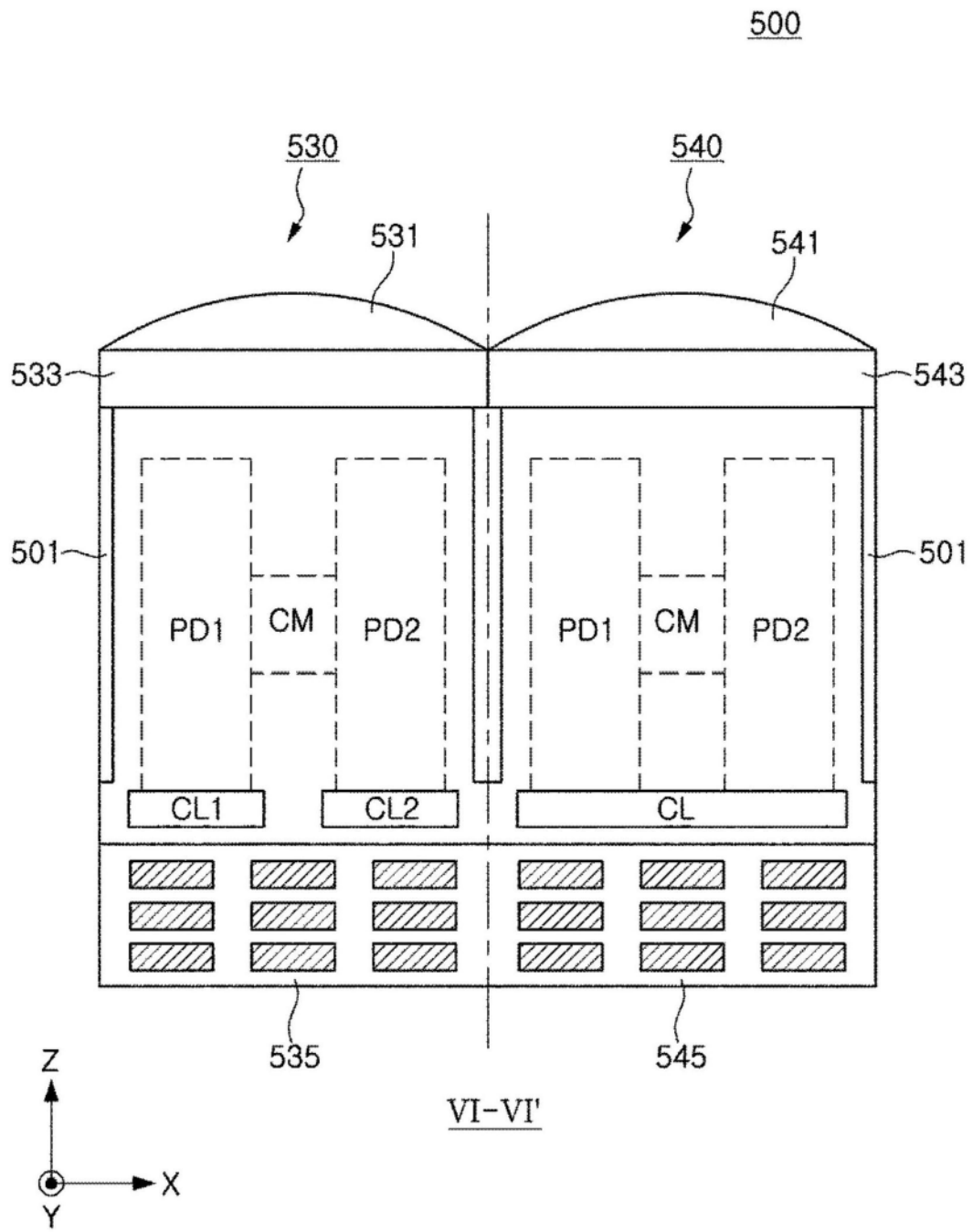


图16

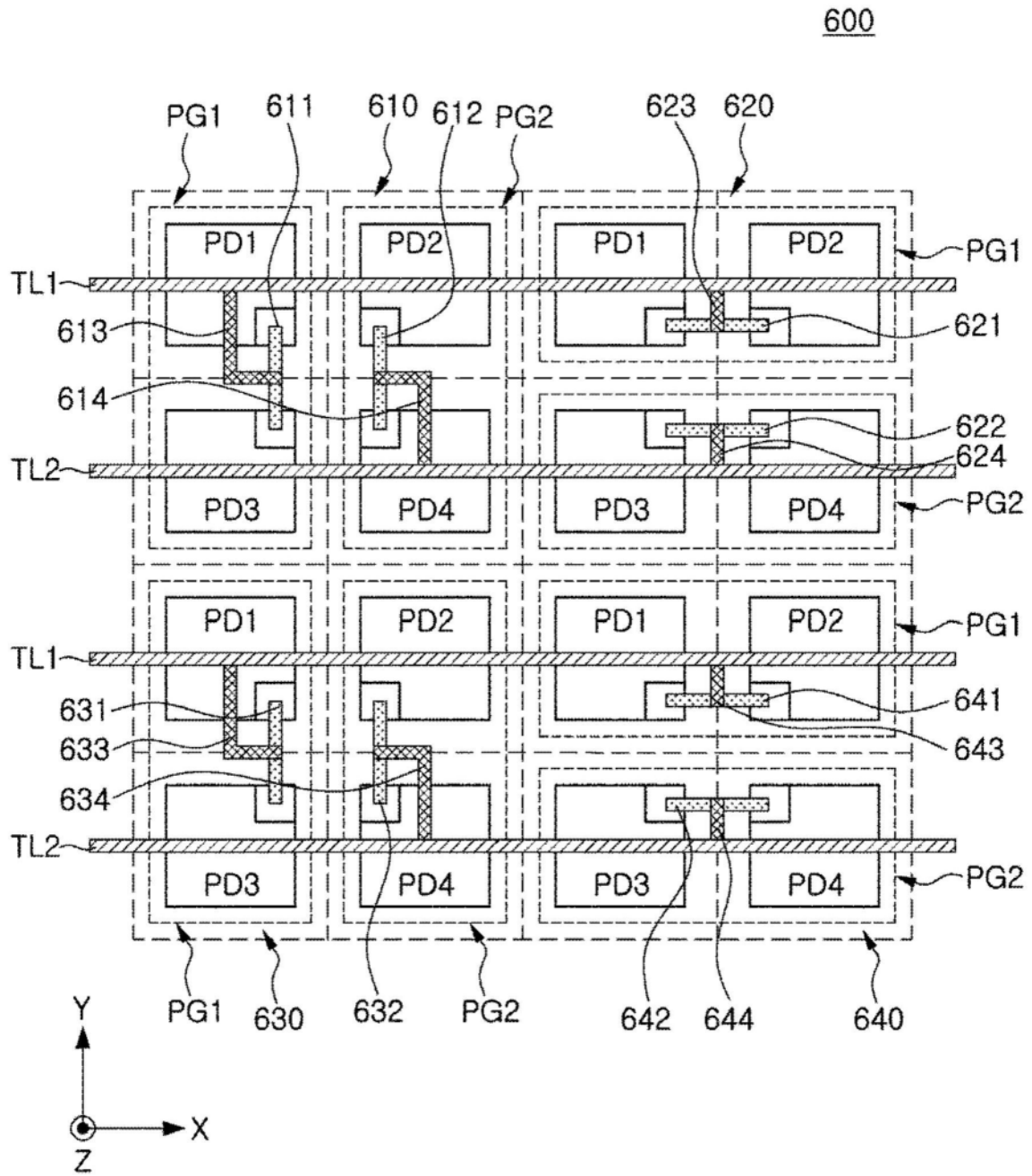


图17

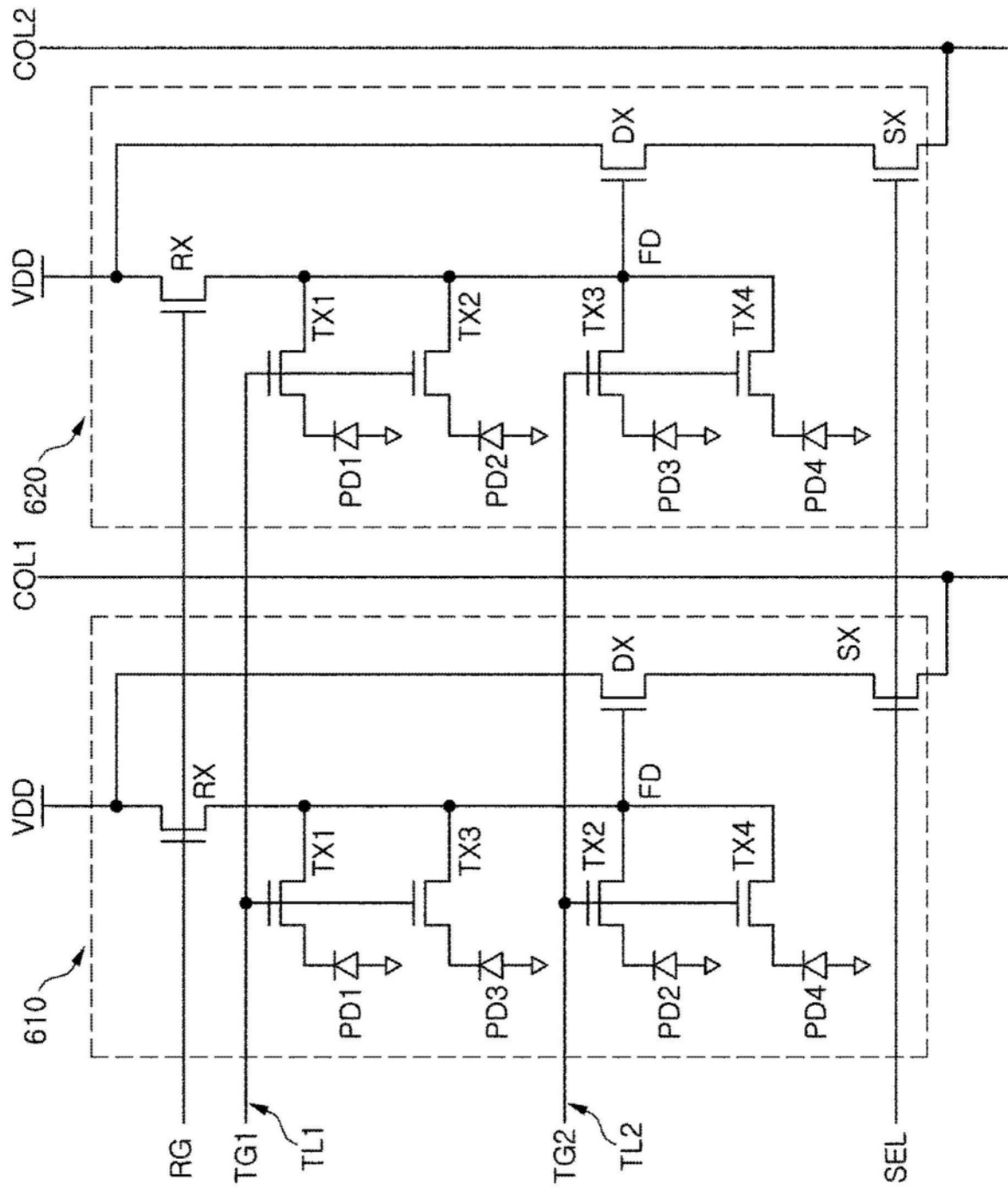


图18

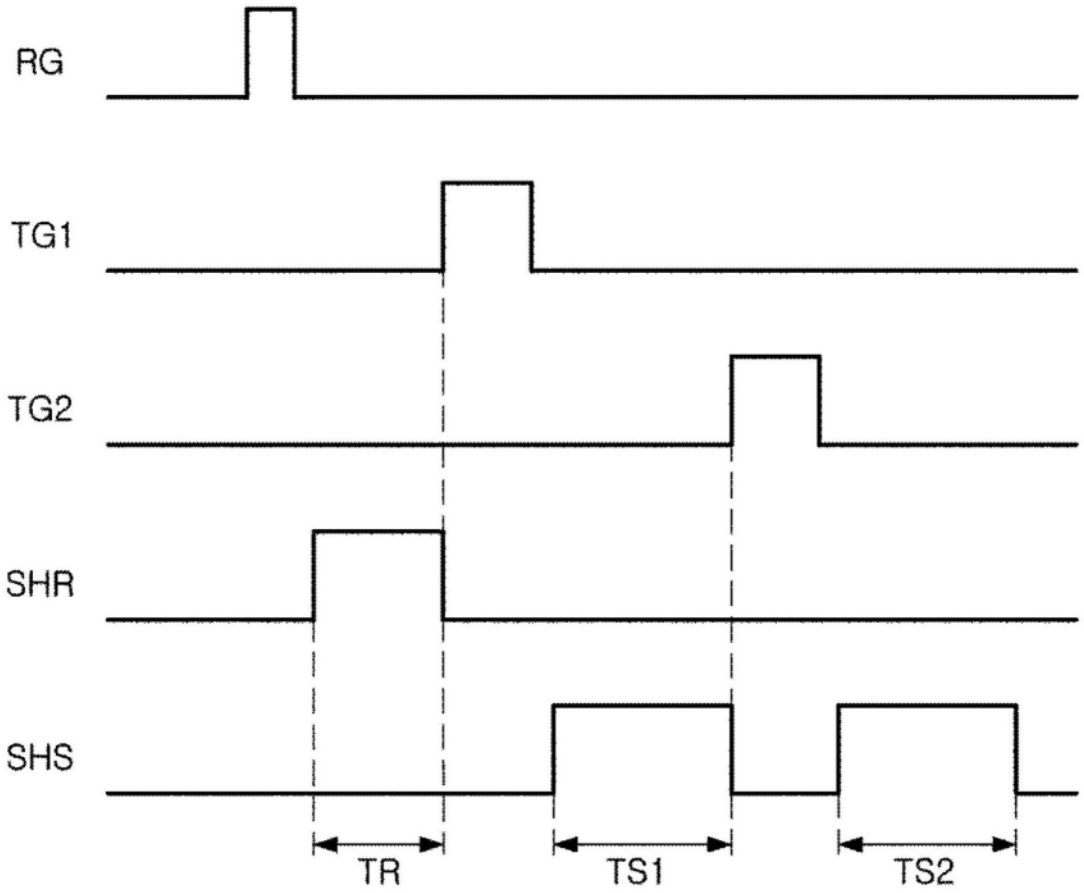


图19

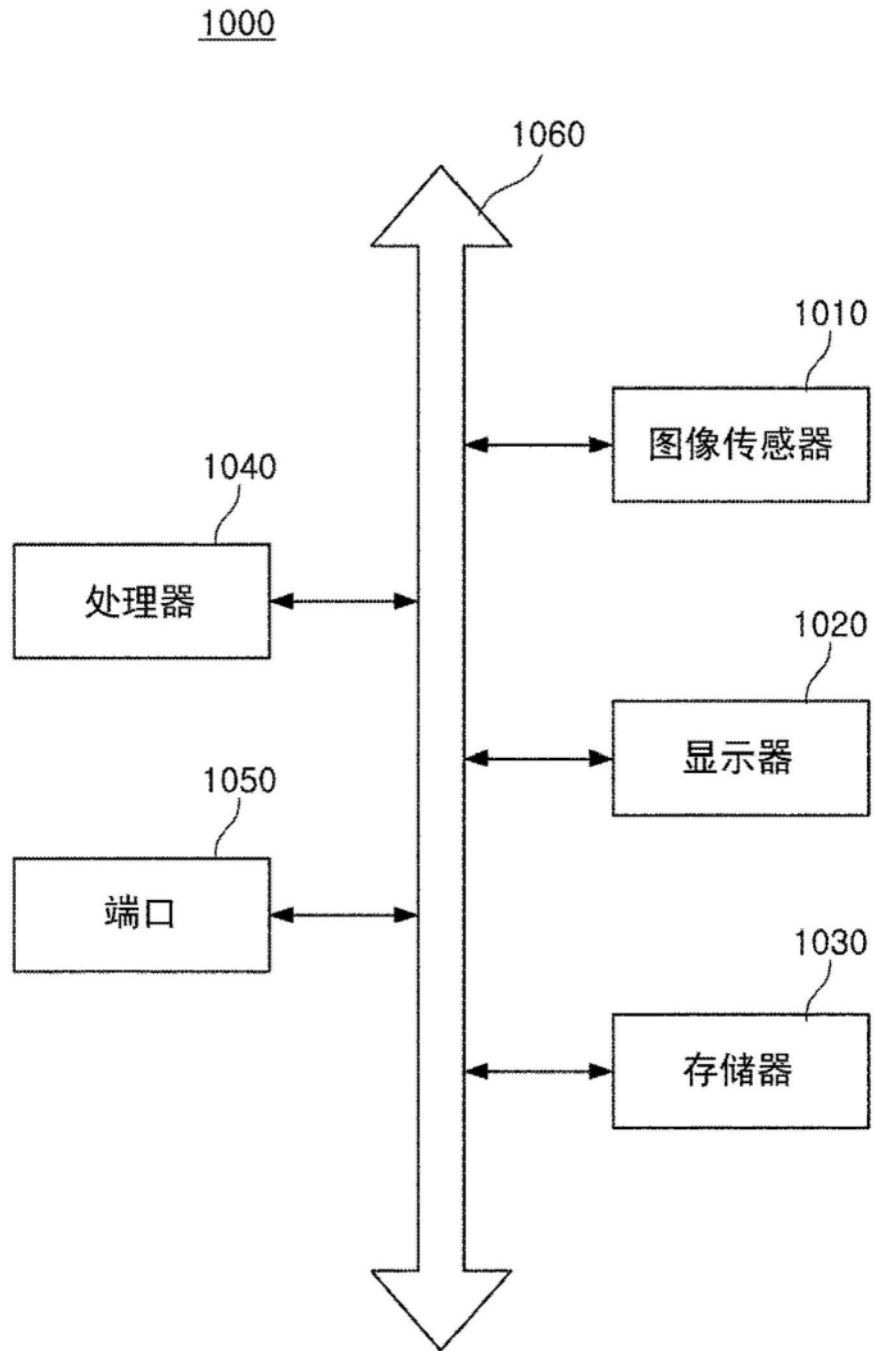


图20