

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5132687号  
(P5132687)

(45) 発行日 平成25年1月30日(2013.1.30)

(24) 登録日 平成24年11月16日(2012.11.16)

(51) Int. Cl. F I  
**G 0 6 F 1 2 / 1 6 ( 2 0 0 6 . 0 1 )**  
 G 0 6 F 1 2 / 1 6 3 2 0 G  
 G 0 6 F 1 2 / 1 6 3 3 0 D

請求項の数 13 (全 9 頁)

(21) 出願番号	特願2009-541444 (P2009-541444)	(73) 特許権者	593096712 インテル コーポレーション
(86) (22) 出願日	平成19年11月8日 (2007.11.8)		アメリカ合衆国 95054 カリフォル ニア州 サンタ クララ ミッション カ レッジ ブールバード 2200
(65) 公表番号	特表2010-512601 (P2010-512601A)	(74) 代理人	100070150 弁理士 伊東 忠彦
(43) 公表日	平成22年4月22日 (2010.4.22)	(74) 代理人	100091214 弁理士 大貫 進介
(86) 国際出願番号	PCT/US2007/084175	(74) 代理人	100107766 弁理士 伊東 忠重
(87) 国際公開番号	W02008/073654	(72) 発明者	エイラート, ショーン アメリカ合衆国 95663 カリフォル ニア州 ペンリン イングリッシュ コロ ニー 1721
(87) 国際公開日	平成20年6月19日 (2008.6.19)		
審査請求日	平成21年6月11日 (2009.6.11)		
(31) 優先権主張番号	11/638, 689		
(32) 優先日	平成18年12月14日 (2006.12.14)		
(33) 優先権主張国	米国 (US)		

最終頁に続く

(54) 【発明の名称】 メモリにおけるキャッシュを利用した誤り検出及び訂正方法及び装置

(57) 【特許請求の範囲】

【請求項1】

メモリに格納されるコードワードにおける誤りを検出及び訂正する方法であって、  
ビットに第1の誤りを含む前記コードワードへのアクセス中に、前記コードワードの前記ビットにおいて第1の誤りを検出及び訂正し、前記第1の誤りの誤り訂正情報を格納するステップと、

前記ビットにおける同一の第1の誤りと前記同一のコードワードの他のビットにおける第2の誤りとを現在含む前記同一のコードワードへの次のアクセス中に、前記第1の誤りの格納されている誤り訂正情報を用いて前記ビットにおける前記第1の誤りを訂正し、前記他のビットにおける前記第2の誤りを検出及び訂正し、前記第2の誤りの誤り訂正情報を格納するステップと、

を有し、

前記第1の誤りと前記第2の誤りととの誤り訂正情報は、誤りの行のアドレス、前記行におけるシンボルの位置、及び前記誤りを有する前記ビットを含む前記シンボルの訂正值を含む方法。

【請求項2】

前記第1の誤りの誤り訂正情報をエラーキャッシュRAM (Random Access Memory) に格納するステップを有する、請求項1記載の方法。

【請求項3】

誤りを検出するため前記メモリをスキャンするステップと、

前記格納されている誤り訂正情報を用いて既知の誤りを訂正するステップと、  
 新たな誤りを訂正し、前記新たな誤りの誤り訂正情報を格納するステップと、  
 を有する、請求項 1 記載の方法。

【請求項 4】

前記誤り訂正情報をバックアップメモリに格納するステップを有する、請求項 1 記載の方法。

【請求項 5】

検出された誤りを含むメモリ行を誤り訂正された行と置換することによって、前記メモリに永久誤り訂正を実行するステップを有する、請求項 1 記載の方法。

【請求項 6】

メモリセルの配列と、  
ビットに第 1 の誤りを含むコードワードへのアクセス中に、前記コードワードの前記ビットにおける前記第 1 の誤りを検出し、前記コードワードの前記ビットにおける前記第 1 の誤りの誤り訂正情報を生成する誤り検出訂正エンジンと、

前記第 1 の誤りの誤り訂正情報を格納するエラーキャッシュ RAM ( Random Access Memory ) と、  
 を有する装置であって、

前記ビットにおける前記第 1 の誤りと前記同一のコードワードの他のビットにおける第 2 の誤りとを現在含む前記同一のコードワードへの次のアクセス中に、前記誤り検出訂正エンジンは、前記第 1 の誤りの格納されている誤り訂正情報を用いて前記ビットにおける第 1 の誤りを訂正し、前記他のビットにおける第 2 の誤りを検出及び訂正し、

前記エラーキャッシュ RAM は、前記第 2 の誤りの誤り訂正情報を格納し、  
前記第 1 の誤りと前記第 2 の誤りととの誤り訂正情報は、誤りの行のアドレス、前記行におけるシンボルの位置、及び前記誤りを有する前記ビットを含む前記シンボルの訂正值を含む装置。

【請求項 7】

メモリセルの配列の各行の誤りをスキャンするアドレススキャンエンジンを有する、請求項 6 記載の装置。

【請求項 8】

前記誤り訂正情報のバックアップを格納する不揮発性キャッシュを有する、請求項 6 記載の装置。

【請求項 9】

検出された誤りを含むメモリ行を誤り訂正された行と置換することによって、メモリセルの配列における誤りを修復する永久修復アルゴリズムを有する、請求項 6 記載の装置。

【請求項 10】

前記メモリセルの配列は、NORフラッシュメモリを有する、請求項 6 記載の装置。

【請求項 11】

前記誤り検出訂正エンジンと前記エラーキャッシュ RAM とは、メモリコントローラの一部である、請求項 6 記載の装置。

【請求項 12】

前記メモリコントローラは、検出された誤りを含むメモリ行を誤り訂正された行と置換することによって、メモリセルの配列における誤りを修復する永久修復アルゴリズムを有する、請求項 11 記載の装置。

【請求項 13】

前記メモリセルの配列は、NORフラッシュメモリを有する、請求項 6 記載の装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施例は、一般に記憶装置に関する。

10

20

30

40

50

## 【背景技術】

## 【0002】

記憶装置は、コード及びデータを格納するため、多数の異なるタイプのシステムにおいて利用される。コード及びデータは、アクセス要求により2つの異なるメモリに格納されることがある。例えば、典型的には、コードはシステム製造中又はコードインストール若しくは更新中、大きなデータブロックとして記憶装置に書き込まれる。コードは、ランダムに読み込まれ、ソフトウェアルーチンのプログラムカウンタ、ジャンプ及びブランチにより指示される。大部分のデータは、アプリケーション処理中にブロック単位で読み書きされる。

## 【0003】

メモリに格納されている命令の直接的な実行は、これらの命令が、比較的短い初期アクセス遅延、おそらく100ナノ秒などの期間内に、それらの正しい形式により利用可能とされることを要求する。これらのメモリのロジックの能力の範囲内で、システムに命令を出力する前に命令の複数セルの訂正を実行することは実現可能でない。

## 【0004】

多くの場合、マルチセルエラーはまずシングルセルエラーとして出現する。その後、同じコードワードの内部において第2エラーが生じる。従来技術によると、このマルチセルエラーは訂正可能でなく、誤ったデータがシステムに返される。

## 【図面の簡単な説明】

## 【0005】

本発明とみなされる主題は、特に明細書の結論部分において指摘及び請求される。しかしながら、本発明は、その課題、特徴及び効果と共に、構成と処理方法の両方に関して、添付した図面を読むときに以下の詳細な説明を参照することにより最も良く理解されるかもしれない。

【図1】図1は、本発明の一実施例によるメモリのブロック図を概略的に示す。

【図2】図2は、本発明の他の実施例によるメモリシステムのブロック図を概略的に示す。

【図3】図3は、本発明の一実施例による誤ったコードワードにおけるエラーの誤り検出及び訂正方法のフローチャートを示す。

【図4】図4は、本発明の各実施例による図3のコードワードにおける以降のエラーの誤り検出及び訂正方法のフローチャートを示す。異なる図における同一の参照符号の使用は、同様又は同一のアイテムを示す。

## 【0006】

説明の簡単化のため、図示される各要素は必ずしもスケールリングして図示されていないことが理解されるであろう。例えば、一部の要素の大きさは、簡単化のため他の要素に対して誇張されるかもしれない。さらに、適当と考えられる場合、対応する又は類似した要素を示すため、参照符号が図面を通じて繰り返されるかもしれない。

## 【発明を実施するための形態】

## 【0007】

以下の説明では、多数の具体的な詳細が与えられる。しかしながら、本発明の各実施例は、これらの具体的な詳細なしに実現可能であることが理解されるであろう。また、本説明の理解を不明りょうにしないように、周知の方法、構成及び技術は詳細には示されない。

## 【0008】

“一実施例”、“ある実施例”、“一例となる実施例”、“各実施例”などの表現は、開示される本発明の実施例が特定の機能、構成又は特徴を有するが、必ずしもすべての実施例が当該特定の機能、構成又は特徴を有するとは限らないことを示す。さらに、“一実施例では”という表現の繰り返しの使用は、必ずしも同一の実施例について言及するものでない。

## 【0009】

10

20

30

40

50

特段の断りがない場合、共通のオブジェクトを記述する序数の形容詞“第1の”、“第2の”、“第3の”などの使用は、同様のオブジェクトの異なるインスタンスが参照されていることを単に示すだけであり、記載されたオブジェクトが時間的、空間的、ランキングにおいて又は他の何れかの方法において所与の順序でなければならないことを意味するものでない。

【0010】

特段の断りがない場合、以下の説明から明らかなように、明細書を通じて、“処理”、“計算”、“算出”などの用語を用いた説明は、電子などの物理量として表現されるデータを物理量として同様に表現されるデータに処理及び/又は変換するコンピュータ、計算システム又は同様の電子計算装置のアクション及び/又はプロセスを表すことが理解されるであろう。

10

【0011】

同様に、“プロセッサ”という用語は、レジスタ及び/又はメモリからの電子データをレジスタ及び/又はメモリに格納可能な他の電子データに変換するよう処理する何れかの装置又はその一部を表すかもしれない。“計算プラットフォーム”は、1以上のプロセッサを有するかもしれない。

【0012】

“メインアレイ”という用語は、コード又はデータを格納するのに用いられるメモリセルアレイを表すかもしれない。“冗長な要素”という用語は、誤ったコード又はデータを修復するのに利用される追加的なメモリ要素を表すかもしれない。“EDACエンジン”という用語は、誤り検出及び訂正回路を表すかもしれない。“エラーキャッシュRAM”という用語は、コードワードにおいて検出された誤りをコードワードを格納するのに用いられる揮発性メモリを表し、“NVエラーキャッシュ”という用語は、コードワードにおける検出された誤りを永久に格納するのに用いられる不揮発性メモリ(NV)を表すかもしれない。

20

【0013】

図1を参照するに、本発明の一実施例によるメモリ100のブロック図の概略が示される。本発明の範囲はこれに限定されるものでないが、記憶装置100は、メインメモリセルアレイ110と、UCODE永久修復アルゴリズム120と、EDACエンジン130と、エラーキャッシュRAM140と、NVエラーキャッシュ150とを有する。

30

【0014】

本発明の上記実施例によると、メモリ100は、限定されることなく、NOR FLASHであってもよく、NORベースメモリセルアレイを有してもよい。

【0015】

本発明の上記実施例によると、システム105(計算プラットフォームなど)は、メインアレイ110に誤りを含むアドレスにアクセスするかもしれない。EDACエンジン130は、所望される場合、システムによりアクセスされるアドレスのコードワードのビットに誤りを検出及び訂正するかもしれない。EDACエンジン130は、エラーキャッシュRAM140にコードワードのビットの誤り訂正情報を格納してもよい。エラーキャッシュRAM140は、この誤り訂正情報を用いて、当該コードワードの当該ビットにおけるさらなる誤りの出現において、ビットの誤りを訂正するかもしれない。

40

【0016】

本発明の上記実施例によると、エラーキャッシュRAMは、ビットの誤り訂正情報をNVエラーキャッシュ150に格納してもよい。NVエラーキャッシュは、メモリ100の電力不調及び/又は電力ダウンの場合におけるメモリミラーであるかもしれない。他の実施例では、高速リード/ライトNVメモリは、所望の場合、エラーキャッシュRAM140を置換するかもしれない。コードワードの永久修復は、UCODE永久修復アルゴリズム120によって実行されてもよい。

【0017】

本発明の各実施例によると、UCODE永久修復アルゴリズム120は、メインアレイ1

50

10における永久に修復される誤りに対する方法であってもよい。例えば、Uコード永久修復アルゴリズム120は、消去アルゴリズム中、電力アップ中又は装置がメインレイ110の既知の誤りを修復するための時間を許可するユーザコマンドに応答して実行されてもよい。Uコード永久修復アルゴリズム120は、誤りを有する行を消去し、代わりにNVエラーキャッシュ150からダウンロードされた修復された行を書き込むかもしれない。Uコード永久修復アルゴリズム120は、エラーキャッシュRAM140とNVエラーキャッシュ150のサイズ要求を効果的に減少させるかもしれない。

**【0018】**

本発明はこれに限定されるものでないが、EDACエンジン130と、Uコード永久修復アルゴリズム120と、メモリ100の他のコンポーネントとがハードウェア、ソフトウェア又はハードウェアとソフトウェアの何れか所望の組み合わせにより実現可能であることが理解されるべきである。

10

**【0019】**

図2を参照するに、本発明の他の実施例によるメモリシステム200のブロック図が概略的に示される。本発明はこれに限定されるものでないが、メモリシステム200は、メモリ210と、メモリコントローラ220とを有する。メモリ210は、メインレイ215を有してもよい。メモリコントローラ220は、Uコード永久修復アルゴリズム230と、EDACエンジン240と、エラーキャッシュRAM250と、NVエラーキャッシュ260とを有してもよい。

**【0020】**

20

本発明の上記実施例によると、メモリ210は、限定されることなく、NANDフラッシュベースメモリであってもよく、メインレイ215は、メモリセルのNANDベースレイを有してもよい。

**【0021】**

本発明の上記実施例によると、アドレススキャンエンジン205は、メモリ210のアドレスをスキャンする。アドレススキャンエンジン205は、誤りを含むアドレスにアクセスするかもしれない。メモリコントローラ220のEDACエンジン240は、所望される場合、コードワードのビットにおいて誤りを検出及び訂正するかもしれない。EDACエンジン240は、コードワードのビットの誤り訂正情報をエラーキャッシュRAM250に格納してもよい。エラーキャッシュRAM250は、この誤り訂正情報を利用して、当該コードワードの当該ビットのさらなる誤りの出現において、ビットの誤りを訂正するようにしてもよい。

30

**【0022】**

本発明の上記実施例によると、エラーキャッシュRAM250は、メモリ210の電力不調及び/又は電力ダウンの場合におけるメモリミラーとして、ビットの誤り訂正情報をNVエラーキャッシュ260に格納してもよい。他の実施例では、高速リード/ライトNVメモリは、エラーキャッシュRAM250を置換するかもしれない。コードワードの永久修復は、Uコード永久修復アルゴリズム230により実行されてもよい。

**【0023】**

本発明の各実施例によると、Uコード永久修復アルゴリズム230は、メモリ210における永久修復された誤りに対する方法であるかもしれない。例えば、Uコード永久修復アルゴリズム230は、消去アルゴリズム中、電力アップ中又は装置がメインレイ215の既知の誤りを修復するための時間を許可するユーザコマンドに応答して実行されてもよい。Uコード永久修復アルゴリズム230は、誤りを有する行を消去し、代わりに誤り訂正された行を書き込んでよい。誤り訂正された行は、所望される場合、NVエラーキャッシュ150からダウンロードされてもよい。

40

**【0024】**

本発明はこれに限定されるものでないが、EDACエンジン240と、Uコード永久修復アルゴリズム230と、他のコンポーネントなどのメモリコントローラ220のコンポーネントがハードウェア、ソフトウェア又はハードウェアとソフトウェアの何れか所望の

50

組み合わせにより実現可能であることが理解されるべきである。

【0025】

図3を参照するに、本発明のいくつかの実施例によるコードワードにおける1以上のビットの誤り検出及び訂正方法のフローチャートが示される。本発明のいくつかの実施例によると、本方法は、テキストブロック310に示されるように、誤りを含むメモリのメインアレイのアドレスがシステム（計算プラットフォームなど）によりアクセスされることにより開始されるかもしれない。

【0026】

本発明の他の実施例によると、本方法は、テキストブロック320に示されるように、誤りを含むメモリのメインアレイのアドレスがスキャンエンジン（図示せず）によりアクセスされることにより開始されるかもしれない。本発明の何れかの実施例において、EDACエンジン（EDAC130など）は、テキストブロック330に示されるように、コードワードのビット（ビット4など）における誤りを検出及び訂正するかもしれない。EDACエンジンは、誤り訂正情報をエラーキャッシュRAMに格納してもよい（テキストブロック340）。本発明の各実施例によると、この誤り訂正情報は、誤りの行のアドレス、当該行のシンボル位置、及び誤りを有するビット（ビット4など）を含むシンボルの訂正值を含むかもしれない。本方法は、限定されるものでないが、システムに所望のアドレス（アドレス1000など）の訂正されたデータを提示することによって終了するかもしれない。

【0027】

図4を参照するに、本発明の他の実施例による図3のコードワードにおける以降の誤りの誤り検出及び訂正方法のフローチャートが示される。本発明のいくつかの実施例によると、本方法は、システムにある誤り訂正情報を用いて、コードワードのビットの既知の誤りを訂正するかもしれない（図3の方法により提供されるように）。本方法は、テキストブロック410に示されるように、誤りを含むメモリのメインアレイのアドレスがシステム（計算プラットフォームなど）によりアクセスされることにより開始されるかもしれない。

【0028】

本発明の他の実施例によると、本方法は、テキストブロック420に示されるように、誤りを含むメモリのメインアレイのアドレスがスキャンエンジン（図示せず）によりアクセスされることにより開始されるかもしれない。本発明の何れかの実施例において、エラーキャッシュRAM（エラーキャッシュRAM140など）は、テキストブロック430に示されるように、コードワード（コードワード100など）のビットにおける既知の誤りを検出及び訂正するようにしてもよい。EDACエンジンは、コードワードの他のビット（ビット6など）における他の誤りを検出及び訂正してもよい（テキストブロック440）。また、新たな誤り訂正情報をエラーキャッシュRAMに格納してもよい（テキストブロック450）。この新たな誤り訂正情報は、誤りの行のアドレス、当該行のシンボル位置及び誤りを有するビット（ビット6など）を含むシンボルの訂正值を含むかもしれない。本方法は、限定されるものでないが、システムに所望のアドレス（アドレス1000など）の訂正されたデータを提示することによって終了するようにしてもよい。

【0029】

図3及び4の方法を用いた具体例が提供される。本例によると、最初の日にコードワード3のビット4において誤りが出現するかもしれない。EDACは、この誤りを検出及び訂正し、訂正されたデータをホストシステムに提供する。この誤りは、エラーキャッシュRAMに格納される。他の日に、コードワード3のビット6に他の誤りが発生する（例えば、ビット4の誤りは依然として存在する）。メインアレイ出力は、ビット4と6に誤りを有する。本発明の各実施例によると、ビット4の誤りは、最初の日から格納されている情報を用いて訂正され、ビット6の誤りは、EDACエンジンを用いて訂正される。

【0030】

上述された技術は、本方法を実行するよう計算システムを設定するコンピュータ可読媒

10

20

30

40

50

体に実現されてもよい。コンピュータ可読媒体は、例えば、限定されることなく、ディスク及びテープ記憶媒体を含む磁気記憶媒体、コンパクトディスク媒体（CD-ROM、CD-Rなど）やデジタルビデオディスク記憶媒体などの光記憶媒体、ホログラフィックメモリ、FLASHメモリ、EEPROM、EPROM、ROMなどの半導体ベース記憶ユニットを含む不揮発性メモリ記憶媒体、レジスタ、バッファ若しくはキャッシュ、メインメモリ、RAMなどを含む揮発性記憶媒体、及び永久及び断続的コンピュータネットワーク、ポイント・ツーポイント通信装置、搬送波伝送媒体、インターネットを含むデータ伝送媒体の何れかを含むものであってもよい。他の新規な及び各種タイプのコンピュータ可読媒体が、ここに記載されるソフトウェアモジュールを格納及び/又は送信するのに利用可能である。計算システムは、限定されるものでないが、メインフレーム、ミニコンピュータ、サーバ、ワークステーション、パーソナルコンピュータ、ノートパッド、携帯情報端末、各種無線装置、及び埋め込みシステムを含む多数の形態を見つけることができる。典型的な計算システムは、少なくとも1つの処理ユニット、係るメモリ及びいくつかの入出力（I/O）装置を含む。計算システムは、プログラムに従って情報を処理し、I/O装置を介し結果として得られる出力情報を生成する。

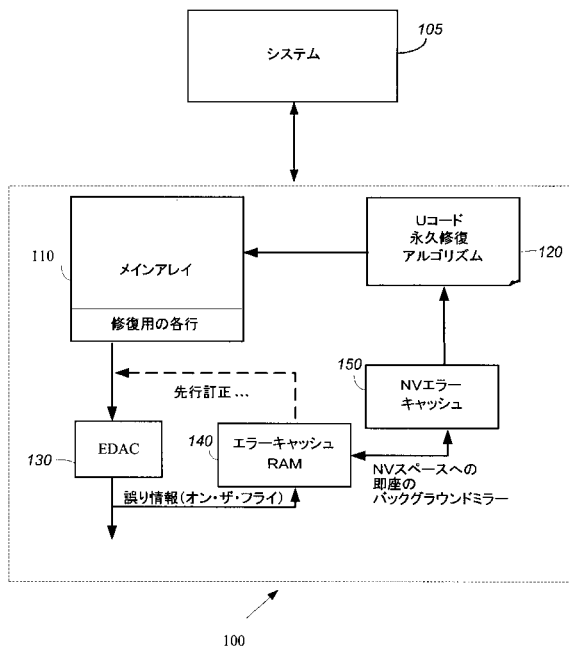
10

【0031】

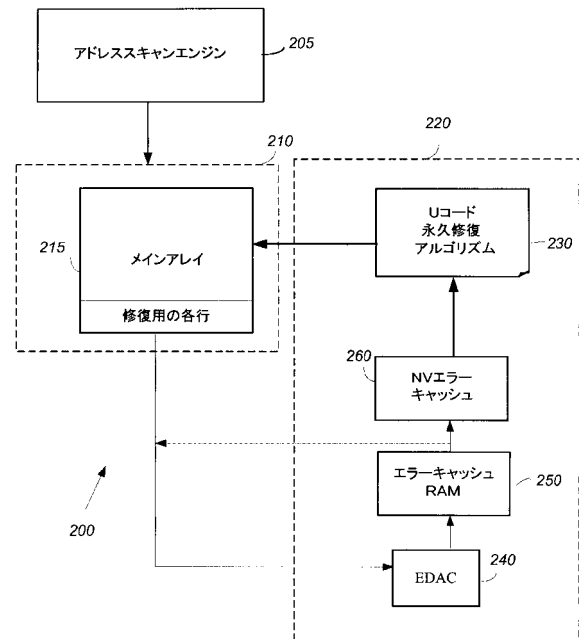
本発明による実現形態が、特定の実施例に関して説明された。これらの実施例は、例示的なものであって、限定するものでない。多数の変形、変更、追加及び改良が可能である。複数のインスタンスが、単一のインスタンスとしてここに記載されたコンポーネントに対して提供されるかもしれない。各種コンポーネント、処理及びデータストアの間の境界は任意的なものであり、特定の処理は具体的な例示的構成に関して説明される。他の機能の割当てが、以下の請求項の範囲内に含まれる。最後に、各種構成の各コンポーネントとして与えられた構成及び機能は、合成された構成又はコンポーネントして実現可能である。上記及び他の変形、変更、追加及び改良は、以下の請求項に規定されるような本発明の範囲内に属するかもしれない。

20

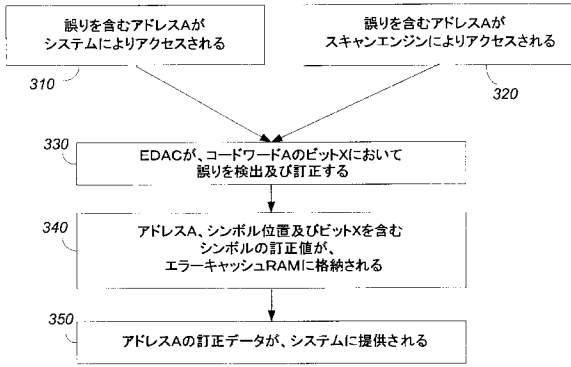
【図1】



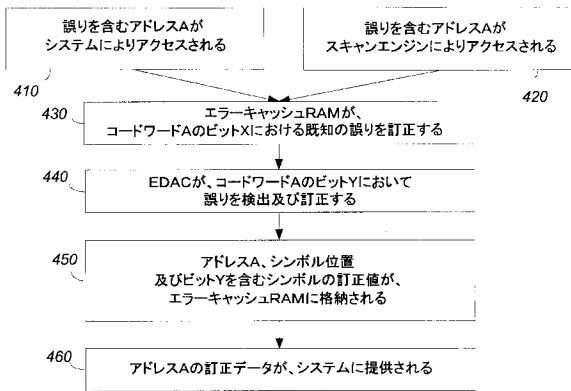
【図2】



【図3】



【図4】





---

フロントページの続き

審査官 桜井 茂行

- (56)参考文献 特開平03 - 152643 (JP, A)  
特開平03 - 116258 (JP, A)  
特開平10 - 049448 (JP, A)  
特開平01 - 286060 (JP, A)  
特開平06 - 149685 (JP, A)  
特開平05 - 081145 (JP, A)  
特開2004 - 055100 (JP, A)  
特開平04 - 153754 (JP, A)  
特開平04 - 162161 (JP, A)  
特開2005 - 196680 (JP, A)  
特開平07 - 122087 (JP, A)  
米国特許出願公開第2004 / 0117688 (US, A1)

(58)調査した分野(Int.Cl., DB名)

G06F 12/16

G06F 11/08