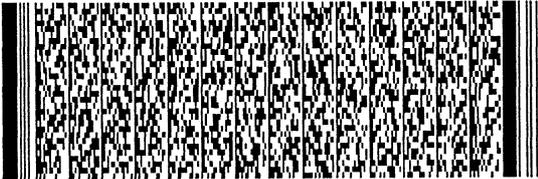


申請日期：92.4.4	案號：92102291
類別：H01L 21/3205	

(以上各欄由本局填註)

發明專利說明書

200301938

一、 發明名稱	中文	絕緣層上有矽之半導體結構
	英文	Semiconductor Structure With Silicon On Insulator
二、 發明人	姓名 (中文)	1. 黃俊仁 2. 蕭維滄
	姓名 (英文)	1. Jiunn-Ren HWANG 2. Wei-Tsun SHIAU
	國籍	1. 中華民國 2. 中華民國
	住、居所	1. 新竹市滿雅街189之1號13樓 2. 高雄縣美濃鎮文化街19號
三、 申請人	姓名 (名稱) (中文)	1. 聯華電子股份有限公司
	姓名 (名稱) (英文)	1. United Microelectronics Corp.
	國籍	1. 中華民國
	住、居所 (事務所)	1. 新竹科學工業園區新竹市力行二路3號
	代表人 姓名 (中文)	1. 曹興誠
代表人 姓名 (英文)	1. Hsing-Cheng TSAO	
		

本案已向

國(地區)申請專利

申請日期

案號

主張優先權

無

有關微生物已寄存於

寄存日期

寄存號碼

無

五、發明說明 (1)

一、【發明所屬之技術領域】

本發明係關於一種半導體結構，特別是關於一種絕緣層上有矽之半導體結構。

二、【先前技術】

近年來，隨著半導體製程技術的發展，對於半導體元件的積集度之要求有著日益提昇的趨勢。由於在高積集度的要求下，半導體元件的尺寸勢必隨著積集度的提昇而隨之縮小。然而，隨著半導體元件尺寸的縮小，在半導體製程上也發現了許多新的問題有待解決。

以金屬氧化半導體場效應電晶體 (Metal Oxide Semiconductor Field Effect Transistor; MOSFET) 為例，隨著 MOSFET 的尺寸縮小，閘極的通道長度將會持續的變短，以得到較高的驅動電流 (driving current)。較短的通道長度往往會造成較高的漏電流 (leakage current)。因此，習知技藝者開始研發一些新的底材與 / 或結構，例如絕緣層上有矽 (silicon on insulator; SOI) 及雙重閘極裝置 (double-gate device)，以期改善短通道的半導體元件之效能。

在習知技藝者的研究中已經發現，電子在半導體底材中的遷移能力 (mobility) 與半導體底材的晶格排列方向有著密切的關聯性。當半導體元件形成於一晶格排列於一有



五、發明說明 (2)

利於電子遷移的方向之底材的時候，將可以提昇上述半導體元件中的電子傳遞速率。但是，上述半導體底材的晶格排列方向雖然有利於電子遷移，卻不利於半導體結構的切割製程。所以，上述的半導體元件常會在切割製程中受到損傷，進而影響半導體元件的良率。特別是當半導體元件的尺寸隨著積集度提昇而縮小的時候，上述半導體元件在切割製程中受到損傷的問題將會愈形嚴重。

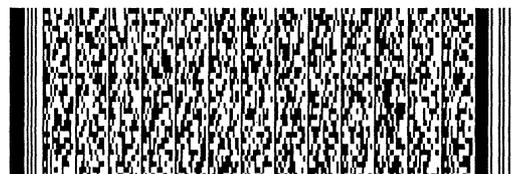
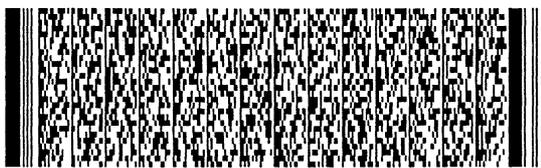
因此，如何提供一種可以有效提昇半導體元件的電子傳遞速率，並且可以降低半導體元件再切割製程中受到損傷的半導體結構已是一項重要的研究目標。

三、【發明內容】

鑑於上述的發明背景中，習知技藝在半導體結構方面所產生的諸多缺點，本發明之一主要目的為提供一半導體結構，上述的半導體結構可以藉由使用一晶格排列方向有利於切割製程之底材來降低半導體元件受損的機率，進而可以提昇上述半導體元件之良率。

本發明之另一目的為提供一半導體結構。根據本發明的半導體結構可藉由使用一晶格排列方向有利於電子遷移的底材，以提昇上述半導體結構中的半導體元件之效能。

根據以上所述之目的，本發明提供了一項半導體結構



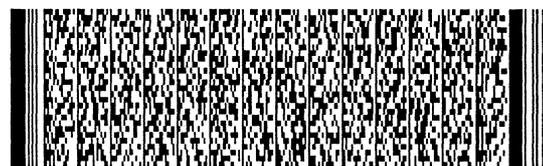
五、發明說明 (3)

。上述的半導體結構至少包含一第一底材，一絕緣層位於上述第一底材上，與一第二底材位於上述絕緣層上。再上述第二底材上可以包含至少一半導體元件。上述第一底材與第二底材中的晶格排列方向分別係排列於第一方向與第二方向。上述的第一底材中的晶格係排列於一有利於切割製程的晶格排列方向，以降低半導體元件在切割製程中受到損傷的機率。且上述的第二底材中的晶格係排列於一有利於電子遷移之晶格排列方向，以提昇半導體元件中的電子傳遞速率。因此，根據本發明的設計不僅可以有效的提昇半導體元件之良率，更可以有效的提昇半導體元件之效能。

相較於習知技藝之半導體結構的缺點，根據本發明的設計之半導體結構可以結合兩種不同晶格排列方向之底材。上述之一底材的晶格排列方向可以是一有利於半導體結構的切割之晶格排列方向，且上述的另一底材的晶格排列方向可以是排列於一有利於電子遷移的方向。因此，根據本發明的設計不僅可以有效的提昇半導體元件的良率，並同時可以有效的提昇上述半導體元件的效能。

四、【實施方式】

本發明的一些實施例會詳細描述如下。然而，除了詳細描述外，本發明還可以廣泛地在其他的實施例施行，且本發明的範圍不受限定，其以之後的專利範圍為準。



五、發明說明 (4)

再者，在本說明書中，各元件的不同部分並沒有依照尺寸繪圖。某些尺度與其他相關尺度相比已經被誇張，以提供更清楚的描述和本發明的理解。

從習知技藝者的研究發現，底材的晶格排列方向與半導體結構之特性有著密不可分的關聯性。例如，當底材的晶格排列於某一方向上的時候，對半導體結構進行切割時，不僅上述的半導體底材容易沿著切割道來分開，也不會對所形成的半導體元件造成損傷。另一方面，當底材的晶格沿著某一方向來排列的時候，將有助於提昇在上述半導體底材上的半導體元件之電子傳遞速率。根據本發明的半導體結構將結合上述的兩種晶格排列方向之特性，以避免半導體元件在切割過程中受到損傷，並同時可以提升上述半導體元件之電子傳遞速率。

本發明之一較佳實施例係一半導體結構。上述的半導體結構至少包含一第一底材，一絕緣層位於上述第一底材上，以及一第二底材位於上述絕緣層上。上述的第一底材與第二底材之晶格排列方向分別排列於一第一方向與一第二方向。

上述的第一方向係一適合於上述半導體結構進行切割之晶格排列方向。換言之，根據本實施例的設計，上述第



五、發明說明 (5)

一底材的晶格排列方向可以讓上述的半導體結構更容易切割，而且在切割的過程中不會造成半導體元件的損傷。另一方面，上述第二底材中的晶格排列方向有助於提昇將來在第二底材上所形成之半導體元件，例如 MOSFET，之電子傳遞速率。所以，根據本實施例的設計，上述的半導體結構不僅可以有效的避免半導體結構中的半導體元件在切割過程中受到損傷，更可以有效的提昇上述半導體元件之電子傳遞速率，進而增進上述半導體元件之效能。

本發明之另一較佳實施例係一半導體結構。上述的半導體結構可以包含一絕緣層上有矽 (SOI) 之結構。第一圖係一根據本實施例之半導體結構的示意圖。參考第一圖，上述的半導體結構至少包含一第一底材 100，一絕緣層 120 位於第一底材 100 上，以及一第二底材 140 位於上述絕緣層 120 上。第一底材 100 與第二底材 140 之組成可以包含矽。上述的絕緣層 120 可以包含氧化矽。

根據本實施例，第一底材 100 中的晶格可以排列於一第一方向。上述的第一底材 100 之晶格排列方向，第一方向，有利於上述半導體結構之切割。換言之，根據本實施例的設計，在切割上述半導體結構時，上述的半導體結構將可以整齊的沿著切割道 (scribe lines) 來切開，而且在切割後所得到的半導體元件將不會受到任何的損傷。在根據本實施例之一較佳範例中，上述的第一方向可以是 $\langle 110 \rangle$



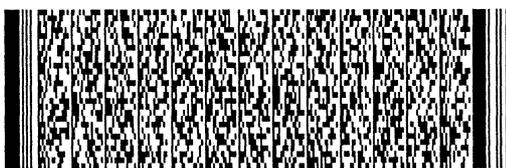
五、發明說明 (6)

>。

在第二底材 140 上可以更包含至少一組諸如 MOSFET 之類的半導體元件。第二底材 140 的晶格排列於一第二方向。上述的第二方向可以是一有助於提昇上述半導體元件的電子傳遞速率的晶格排列方向，使得第二底材 140 可以有有效的提昇上述半導體元件之效能。

根據本實施例，第二底材 140 可以藉由一晶片黏接技術 (wafer bonding) 來形成於第一底材 100 上。上述的第二底材 140 可以先相對於第一底材 100 旋轉一角度後，再黏接於第一底材 100 上。在根據本實施例之一較佳範例中，上述的第一底材 100 之晶格排列方向可以是 $\langle 110 \rangle$ ，上述第二底材 140 的晶格排列方向可以是 $\langle 100 \rangle$ 。在本範例中，上述的第二底材 140 可以直接藉由一晶片黏接技術來形成於第一底材 100 上。也就是說，根據本範例，上述晶格排列方向為 $\langle 100 \rangle$ 的第二底材 140 在黏接至第一底材 100 之前的旋轉角度為 0 度。

在根據本實施例之另一範例中，上述第一底材 100 與第二底材 140 之晶格排列方向可以皆為 $\langle 110 \rangle$ 。在本範例中，為了使根據本範例的半導體結構可以同時具有容易切割與較佳的電子傳遞速率等功能，上述的第二底材 140 可以先相對於第一底材 100 旋轉 45 度之後，再黏接至第一底材



五、發明說明 (7)

100上。所以，在根據本範例的半導體結構中，第一底材100的晶格排列於一有利於切割的晶格方向，且第二底材140的晶格排列於一有利於電子傳遞的晶格方向。

根據本實施例之設計，由於上述的第一底材100之晶格排列方向有利於半導體結構的切割，所以，在對根據本實施例的半導體結構進行切割的時候，將不會對半導體元件造成損傷。另一方面，由於第二底材140的晶格排列方向有助於提昇電子傳遞速率，所以，本實施例的設計可以有效的提昇半導體元件的效能。因此，根據本實施例的設計不僅可以防止半導體元件在切割的過程中受到損傷，更可以有效的提昇半導體元件的效能。

為了更進一步的說明本實施例的設計，在下文中將藉由根據本發明之另一較佳實施例來揭露一根據本發明的半導體結構之形成方法。此一形成方法僅用以協助本發明之了解，且本發明之申請專利範圍並不以此為限。上述的半導體結構可以包含一黏接與回蝕刻的絕緣層上有矽結構 (bonding and etch-back silicon on insulator; BESOI)。第二A圖至第二C圖係形成一根據本實施例之半導體結構的示意圖。

首先，提供一第一底材200與一第二底材220。在第二底材220之表面形成一氧化矽層240。接著，在第二底材



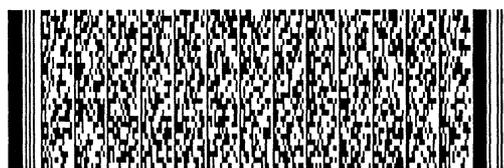
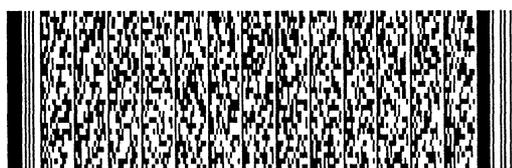
五、發明說明 (8)

220的一表面上進行離子植入。上述離子植入的步驟所使用的離子可以是氫離子(H⁺)。上述離子植入的區域可以表示為260。

然後，參考第二B圖，上述的第二底材220可以藉由晶片黏合的技術將第二底材220經過離子植入之一側與第一底材200黏合。上述的晶片黏合製程可以藉由一高溫製程來完成。此時，可以形成一第一底材200-氧化矽層240-第二底材220之絕緣層上有矽的半導體結構，如第二B圖。

上述的第二底材220在與第一底材200黏合之前，可以先相對於第一底材200旋轉一角度。在根據本實施例之一範例中，上述第一底材200與第二底材220的晶格排列方向可以皆為<110>。在本範例中，為了使第一底材200的晶格排列方向有利於半導體結構的切割，且使第二底材220之晶格排列方向有利於電子的遷移，在第二底材220黏合至第一底材200上之前，第二底材220可以先相對於第一底材200旋轉45度。

在另一範例中，上述的第一底材200之晶格排列方向為<110>，且第二底材220之晶格排列方向為<100>。在本範例中，上述的第二底材220在黏合至第一底材200上之前之旋轉角度為0度。換言之，第二底材220可以直接黏合至第一底材200上。



五、發明說明 (9)

接著，藉由一智慧切割 (smart cut) 的技術來移除部分的第二底材 220。在一高溫製程下，將第二底材 220 中沒有離子植入的區域，如第二 B 圖中的 225，予以剝除。上述的智慧切割至少包含一高溫製程，用以剝除第二底材 220 中沒有離子植入的區域 225，與一化學機械研膜製程 (chemical mechanical polishing; CMP)，用以對留在第一底材 200 上之離子植入區域 260 的表面進行平坦化。在經過上述智慧切割的步驟後，原本第二底材 220 中的離子植入區域 260 將會留在第一底材 200 上，且第二底材 220 中沒有離子植入的區域 225 將會被移除，進而形成如第二 C 圖所示的半導體結構。上述第二底材 220 中沒有離子植入的區域 225 在剝除之後，可以加以回收並再次用來作為上述的第一底材 200 或是第二底材 220。

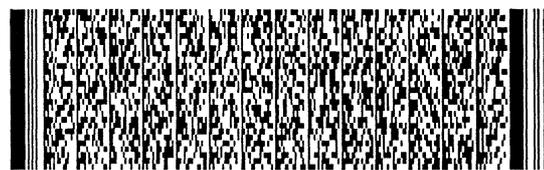
在習知技藝的半導體結構中，為了方便半導體結構的切割並避免在切割時損傷半導體元件，上述的半導體元件可以形成於一晶格排列於有利於半導體結構切割的方向之半導體底材上，例如一晶格排列方向為 $\langle 110 \rangle$ 之半導體底材。然而，在上述的半導體結構中，上述半導體底材的晶格排列方向雖然有助於半導體結構的切割，卻不利於電子的遷移。所以，在上述半導體結構中，半導體元件的效能將會因為電子傳遞速率下降而大打折扣。



五、發明說明 (10)

在另一種習知技藝的半導體結構中，為了提昇半導體元件的效能，可以將半導體元件形成於一晶格排列方向有利於電子遷移的半導體底材上，例如一晶格排列方向為 $\langle 100 \rangle$ 之半導體底材。如此一來，將可有效的提昇上述的半導體結構中的電子傳遞速率，進而提昇上述半導體元件之效能。然而，在上述半導體結構中，由於上述半導體底材之晶格排列方向不利於半導體結構之切割，所以，在對上述半導體結構進行切割時，將會損傷上述的半導體元件，進而降低半導體元件之良率。

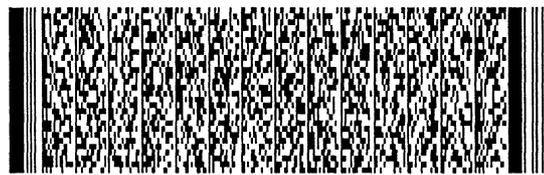
相較於習知技藝中的半導體結構，本發明的設計可以藉由一絕緣層上有矽的結構來結合兩種不同晶格排列方向的半導體底材。其中，一半導體底材的晶格排列方向可以是一有利於半導體結構的切割之方向，而另一半導體底材在黏合至上述半導體底材後的晶格排列方向係一有利於電子遷移之方向。根據本發明的半導體結構中的電子傳遞速率可以比習知技藝中的半導體結構之電子傳遞速率更快。在根據本發明之一較佳範例中，根據本發明之半導體結構中的電子傳遞速率可以比習知技藝中的半導體結構之電子傳遞速率高約70~80%。因此，根據本發明的設計不僅可以在切割的過程中降低半導體元件的損傷機率，更可以有效的提昇半導體元件的電子傳遞速率。所以，根據本發明的半導體結構可以有效的提昇半導體元件的良率，並同時可以有效的提昇上述半導體元件的效能。



五、發明說明 (11)

綜合上述，本發明提供了一種具有絕緣層上有矽 (SOI) 的半導體結構。上述的半導體結構至少包含一第一底材，一絕緣層位於上述第一底材之上，以及一第二底材位於上述絕緣層之上。在上述第二底材上可以更包含至少一半導體元件。上述的第一底材之晶格排列於一有助於切割製程的晶格排列方向。上述的第二底材可藉由一晶片黏合技術來形成於第一底材上。上述的第二底材再黏合至第一底材上之前可以先旋轉一角度。上述的第二底材之晶格係排列於一有利於電子遷移之晶格排列方向。所以，根據本發明之半導體結構不僅可以避免在半導體結構的切割過程中對半導體元件造成損傷，更可以提昇在上述半導體結構中的電子傳遞速率。因此，根據本發明的設計可以有效的提昇半導體元件之良率，並可有效的提昇上述半導體元件之效能。

以上所述僅為本發明之較佳實施例而已，此實施例僅係用來說明而非用以限定本發明之申請專利範圍。在不脫離本發明之實質內容的範疇內仍可予以變化而加以實施，此等變化應仍屬本發明之範圍。因此，本發明之範疇係由以下之申請專利範圍所界定。



圖式簡單說明

五、【圖式簡單說明】

第一圖為一根據本發明之半導體結構的示意圖；及

第二 A圖至第二 C圖為一根據本發明之半導體結構的示意圖。

主要部份之代表符號：

100 第一底材

120 絕緣層

140 第二底材

200 第一底材

220 第二底材

225 第二底材 220中沒有離子植入的區域

240 氧化矽層

260 第二底材 220中具有離子植入的區域



四、中文發明摘要 (發明之名稱：絕緣層上有矽之半導體結構)

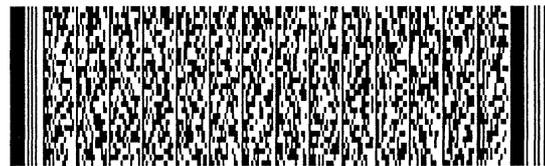
本發明係為一種半導體結構。本發明之半導體結構至少包含兩底材，其中上述兩底材中的晶格分別排列一第一方向與一第二方向。上述的第一方向係一有利於切割製程的晶格排列方向。上述的第二方向係一有利於電子遷移之晶格排列方向。因此，根據本發明的設計，可以藉由降低半導體元件在切割製程中受到損傷的機率來提昇半導體元件的良率。此外，根據本發明的設計更可以藉由提昇半導體元件的電子傳遞速率來有效的提昇上述半導體元件之效能。

代表圖：第二 C圖；

元件符號：

英文發明摘要 (發明之名稱：Semiconductor Structure With Silicon On Insulator)

A semiconductor structure with silicon on insulator is disclosed in this present invention. The semiconductor structure at least comprises a first substrate and a second substrate. The crystal direction of the first substrate is in a first direction favorable for dicing the semiconductor structure into chips, and the crystal direction of the second substrate is in a second crystal direction favorable to the electron carrier mobility. Hence, this invention can



四、中文發明摘要 (發明之名稱：絕緣層上有矽之半導體結構)

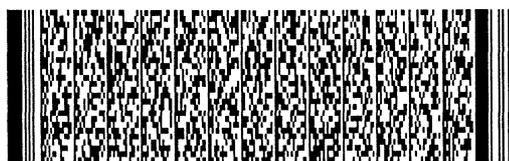
200 第一底材

240 氧化矽層

260 第二底材 220中具有離子植入的區域

英文發明摘要 (發明之名稱：Semiconductor Structure With Silicon On Insulator)

efficiently improve the yield of the semiconductor device by reducing the fracture during dicing. Additionally, this invention can improve the performance of the semiconductor device by raising the electron mobility in the substrate.



六、申請專利範圍

1. 一種半導體結構，其中該半導體結構包含：
 - 一第一底材，該第一底材之晶格排列於一第一方向；
 - 一氧化層位於該第一底材上；及
 - 一第二底材位於該氧化層上，其中該第二底材之晶格排列於一第二方向。
2. 如申請專利範圍第 1 項之半導體結構，其中上述之第一方向係 $\langle 110 \rangle$ 。
3. 如申請專利範圍第 2 項之半導體結構，其中上述之第二方向係 $\langle 100 \rangle$ 。
4. 如申請專利範圍第 2 項之半導體結構，其中上述之第二方向係 $\langle 110 \rangle$ 。
5. 如申請專利範圍第 4 項之半導體結構，其中上述之第二底材係相對於該第一底材旋轉一角度後，再黏合於該第一底材上。
6. 如申請專利範圍第 1 項之半導體結構，其中上述之第二底材係藉由一晶片黏接技術 (wafer bonding) 來形成於該第一底材上。
7. 一種半導體結構，其中該半導體結構包含：



六、申請專利範圍

- 一 第一底材，該第一底材之晶格排列於一第一方向；
 - 一 絕緣層位於該第一底材上；及
 - 一 晶格排列於一第二方向之第二底材位於該絕緣層上，其中該第二底材係相對於該第一底材旋轉一角度後黏合於該第一底材上。
- 8.如申請專利範圍第7項之半導體結構，其中上述之第二底材係藉由一晶片黏接技術來形成於該第一底材上。
- 9.如申請專利範圍第7項之半導體結構，其中上述之第一方向係 $\langle 110 \rangle$ 。
- 10.如申請專利範圍第9項之半導體結構，其中上述之第二方向係 $\langle 100 \rangle$ 。
- 11.如申請專利範圍第10項之半導體結構，其中上述之第二底材之該旋轉角度係 0度。
- 12.如申請專利範圍第9項之半導體結構，其中上述之第二方向係 $\langle 110 \rangle$ 。
- 13.如申請專利範圍第12項之半導體結構，其中上述之第二底材之該旋轉方向係 45度。



六、申請專利範圍

14.如申請專利範圍第7項之半導體結構，其中上述之絕緣層包含氧化矽。

15.一種半導體結構，其中該半導體結構具有一黏接與回蝕刻之絕緣層上有矽 (bonding and etch-back silicon on insulator) 的結構，該半導體結構包含：

一第一底材，該第一底材之晶格排列方向係 $\langle 110 \rangle$ ；

一氧化矽層位於該第一底材上；及

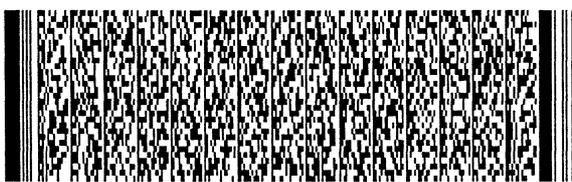
一第二底材位於該氧化矽層上，其中該第二底材係相對於該第一底材旋轉一角度後黏接於該第一底材上。

16.如申請專利範圍第15項之半導體結構，其中上述之第二底材之晶格排列方向係 $\langle 100 \rangle$ 。

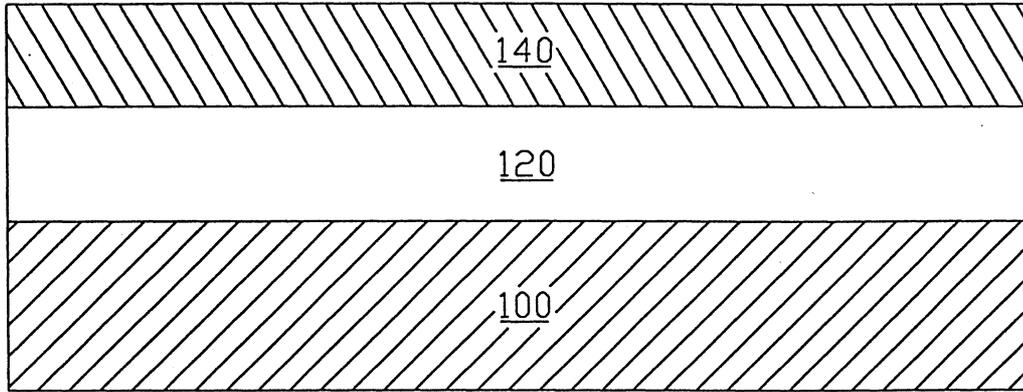
17.如申請專利範圍第16項之半導體結構，其中上述之第二底材之該旋轉角度係0度。

18.如申請專利範圍第15項之半導體結構，其中上述之第二底材之晶格排列方向係 $\langle 110 \rangle$ 。

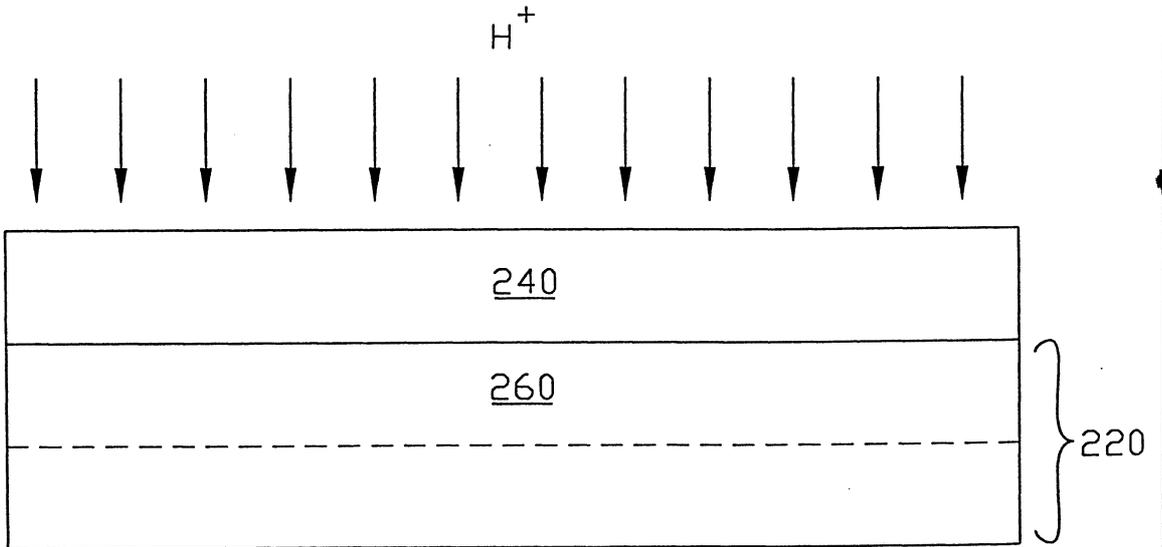
19.如申請專利範圍第18項之半導體結構，其中上述之第二底材之該旋轉角度係45度。



圖式

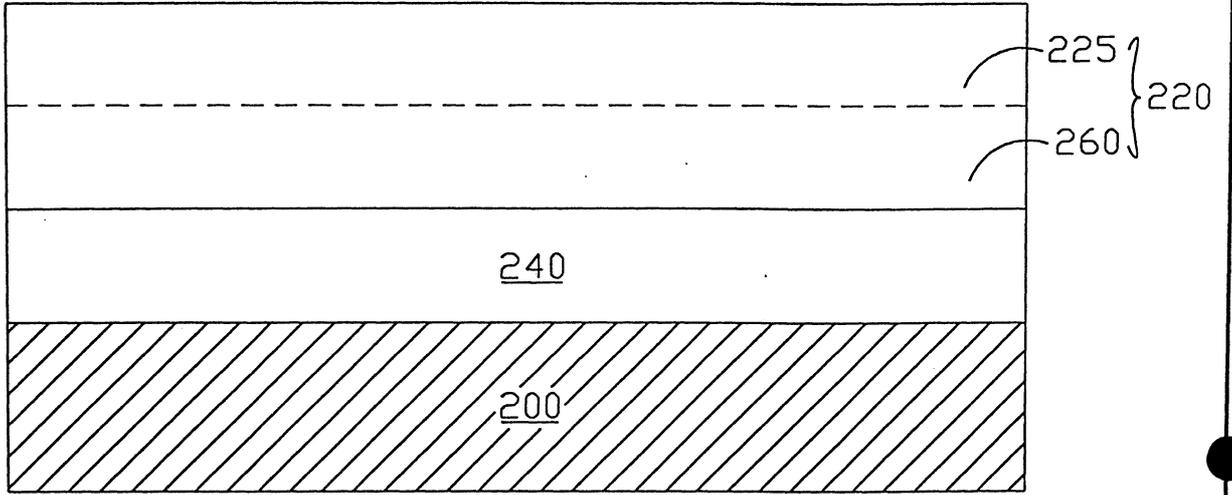


第一圖

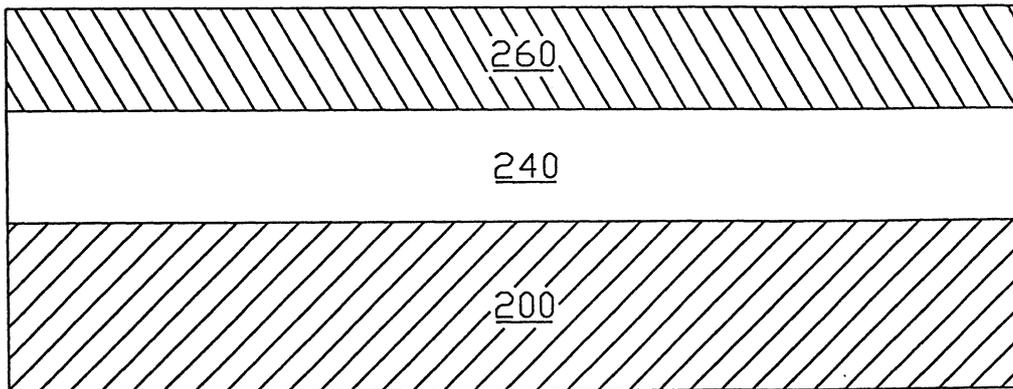


第二A圖

圖式



第二B圖



第二C圖