



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I493675 B

(45)公告日：中華民國 104 (2015) 年 07 月 21 日

(21)申請案號：102115571

(22)申請日：中華民國 102 (2013) 年 05 月 01 日

(51)Int. Cl. : H01L23/52 (2006.01)

H01L21/768 (2006.01)

(71)申請人：矽品精密工業股份有限公司(中華民國) SILICONWARE PRECISION INDUSTRIES CO., LTD. (TW)

臺中市潭子區大豐路3段123號

(72)發明人：葉俊威 YEH, CHUN WEI (TW)；沈駿賢 SHEN, CHUN HSIEN (TW)；李秀容 LI, HSIU JUNG (TW)；賴雅怡 LAI, YA YI (TW)；黃富堂 HUANG, FU TANG (TW)

(74)代理人：陳昭誠

(56)參考文獻：

TW 201214639A

審查人員：蕭允政

申請專利範圍項數：16 項 圖式數：4 共 21 頁

(54)名稱

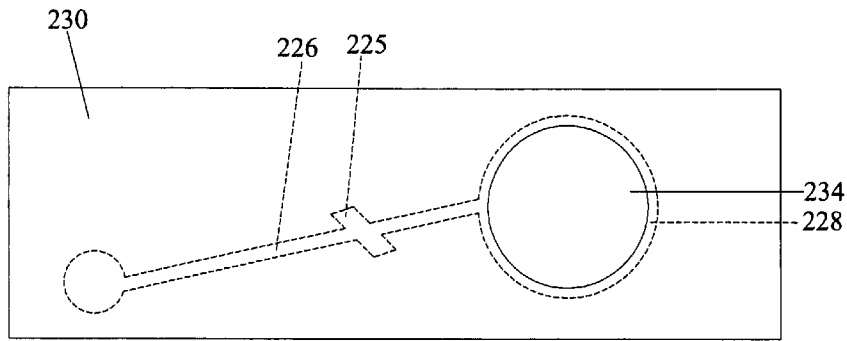
封裝結構及其製法

SEMICONDUCTOR PACKAGE AND METHOD OF MANUFACTURE

(57)摘要

一種封裝結構及其製法，該封裝結構係包括：基板，係包括：本體；複數電性連接墊，係形成於該本體上；以及表面鈍化層，係形成於該本體與電性連接墊上，並具有外露該電性連接墊之表面鈍化層開孔；複數導電盲孔，係形成於該表面鈍化層開孔中；複數線路，係形成於該表面鈍化層上以電性連接該導電盲孔，俾藉由該導電盲孔電性連接於該電性連接墊，且該線路具有複數電性接點；至少一圖案部，係形成於該表面鈍化層上，並相交於該線路；以及第一鈍化層，係形成於該表面鈍化層、線路與圖案部上，且形成有開孔，以外露部分該電性接點。本發明係可增加線路與鈍化層之間的接合力。

The invention provides a semiconductor package and a method of manufacturing the same, the semiconductor package including a substrate having a main body; a plurality of electrical connecting pads formed on the main body; a surface passivation layer formed on the main body and the electrical connecting pads and having a passivation layer opening; a plurality of conductive blind vias formed in the passivation layer opening; a plurality of circuits formed on the surface passivation layer for electrically connecting the conductive blind vias such that the blind vias can connect with the electrical connecting pads, each of the circuit having an electrical connecting point; and a patterned portion formed on the surface passivation layer and intersecting the circuits; and a first passivation layer formed on the surface passivation layer, the circuits and the patterned portion, the first passivation layer having an opening for exposing parts of the electrical connecting point therefrom, thereby increasing the bonding between the circuits and the passivation layers.



- 225 . . . 圖案部
- 226 . . . 線路
- 228 . . . 電性接點
- 230 . . . 第一鈍化層
- 234 . . . 導電元件

第2B圖

發明摘要

※申請案號：102115571

※申請日：102. 5. 01

※IPC分類：

H01L 23/52 (2006.01)
H01L 21/768 (2006.01)

【發明名稱】(中文/英文)

封裝結構及其製法

SEMICONDUCTOR PACKAGE AND METHOD OF
MANUFACTURE

【中文】

一種封裝結構及其製法，該封裝結構係包括：基板，係包括：本體；複數電性連接墊，係形成於該本體上；以及表面鈍化層，係形成於該本體與電性連接墊上，並具有外露該電性連接墊之表面鈍化層開孔；複數導電盲孔，係形成於該表面鈍化層開孔中；複數線路，係形成於該表面鈍化層上以電性連接該導電盲孔，俾藉由該導電盲孔電性連接於該電性連接墊，且該線路具有複數電性接點；至少一圖案部，係形成於該表面鈍化層上，並相交於該線路；以及第一鈍化層，係形成於該表面鈍化層、線路與圖案部上，且形成有開孔，以外露部分該電性接點。本發明係可增加線路與鈍化層之間的接合力。

【英文】

The invention provides a semiconductor package and a method of manufacturing the same, the semiconductor package including a substrate having a main body; a plurality of electrical connecting pads formed on the main body; a surface passivation layer formed on the main body and the electrical connecting pads and having a passivation layer opening; a plurality of conductive blind vias formed in the passivation layer opening; a plurality of circuits formed on the surface passivation layer for electrically connecting the conductive blind vias such that the blind vias can connect with the electrical connecting pads, each of the circuit having an electrical connecting point; and a patterned portion formed on the surface passivation layer and intersecting the circuits; and a first passivation layer formed on the surface passivation layer, the circuits and the patterned portion, the first passivation layer having an opening for exposing parts of the electrical connecting point therefrom, thereby increasing the bonding between the circuits and the passivation layers.

【代表圖】

【本案指定代表圖】：第（ 2B ）圖。

【本代表圖之符號簡單說明】：

225	圖案部
226	線路
228	電性接點
230	第一鈍化層
234	導電元件

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

本案無化學式。

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

封裝結構及其製法

SEMICONDUCTOR PACKAGE AND METHOD OF
MANUFACTURE

【技術領域】

本發明係有關於一種封裝結構及其製法，尤指一種具有線路重佈層的封裝結構及其製法。

【先前技術】

線路重佈層(Redistribution layer，簡稱 RDL)為一種將原設計的晶片線路接點位置(例如 I/O pad)透過晶圓級金屬佈線製程和凸塊製程來改變其接點位置，使晶片能與封裝結構藉由更佳的線路布局而具有更好的電氣特性和接合強度，以使半導體晶片能應用於不同的元件模組。

第 1A 圖所示者，係習知之具有線路重佈層的封裝結構之剖面圖，而第 1B 圖所示者，係習知之具有線路重佈層的封裝結構之上視圖。其中，第 1B 圖係由第一鈍化層 130 之上方俯視，且該第一鈍化層 130 之圖框範圍僅係線路重佈層結構之整體平面的示意性之一部分，又第 1B 圖為了方便圖示而省略導電凸塊 140。

如第 1A 與 1B 圖所示者，該封裝結構係本體 100 上形成有具有表面鈍化層開孔 114 的表面鈍化層 110，其中，該表面鈍化層開孔 114 內形成有複數電性連接墊 112，接

著，形成覆蓋於該表面鈍化層 110 和該電性連接墊 112 上的第二鈍化層 120，且該第二鈍化層 120 形成有第一開口 122 以對應及外露該電性連接墊 112，然後，導電盲孔 124 被形成於第一開口 122 中，複數線路 126 和其末端的複數電性接點 128 被圖案化形成在該第二鈍化層 120 上且電性連接至該導電盲孔 124，接著，第一鈍化層 130 被形成以覆蓋於該第二鈍化層 120、該線路 126 和其末端之該電性接點 128 上，且該第一鈍化層 130 形成有開孔 132 以對應外露該電性接點 128，然後，形成導電元件 134 於該開孔 132 中且電性連接至該電性接點 128，最後，導電凸塊 140 形成於該導電元件 134 上。

然而，由於目前晶片的設計更趨多功能化，因此晶片線路接點位置的數量也大幅增加，且由於對線路的電阻、電感、電容(RLC)等特性的特殊要求，故線路重佈層可能會設計成細長的線路（例如寬度小於 25 微米），然此導致了在晶片接合時，線路與鈍化層間因應力集中且接觸面積不足而造成線路的裂開問題。再者，晶片於工作時因溫度變化而造成的熱脹冷縮現象亦會造成線路的裂開問題。

【發明內容】

有鑒於上述習知技術之缺失，本發明提供一種封裝結構，其係包括：基板，係包括：本體；複數電性連接墊，係形成於該本體上；以及表面鈍化層，係形成於該本體與複數電性連接墊上，並具有外露該電性連接墊之表面鈍化層開孔；複數導電盲孔，係形成於該表面鈍化層開孔中；

複數線路，係形成於該表面鈍化層上以電性連接該導電盲孔，俾藉由該導電盲孔電性連接於該電性連接墊，且該線路具有電性接點；至少一圖案部，係形成於該表面鈍化層上，並相交於該線路；以及第一鈍化層，係形成於該表面鈍化層、線路與圖案部上，且形成有開孔，以外露部分該電性接點。

本發明又提供一種封裝結構之製法，係包括：提供一基板，其包括：本體；複數電性連接墊，係形成於該本體上；以及表面鈍化層，係形成於該本體與電性連接墊上，並具有外露該電性連接墊之表面鈍化層開孔；形成第二鈍化層於該表面鈍化層和該電性連接墊上；形成第一開口與第二開口於該第二鈍化層中，該第一開口外露部分之該電性連接墊，且該第二開口係連通該第二鈍化層且未外露該電性連接墊；於該第二鈍化層上形成複數線路和相交於該線路的至少一圖案部，並於該第一開口中形成連接該電性連接墊與該線路的導電盲孔，且於該第二開口中形成連接於該圖案部的固定銷；以及形成第一鈍化層於該第二鈍化層、該線路和該圖案部上，且於該第一鈍化層中形成外露部分該電性接點的開孔。

由上可知，本發明係於形成複數線路時額外形成圖案部，或在該線路上增置彎折部，或於該圖案部上增置嵌入第二鈍化層的固定銷，以增強該線路與該第二鈍化層間的合作力。

【圖式簡單說明】

第 1A 與 1B 圖所示者係分別為習知之封裝結構的剖面圖和上視圖；

第 2A 與 2B 圖所示者係分別為本發明之封裝結構之第一實施例的剖面圖和上視圖；

第 3 圖所示者係本發明之封裝結構之第二實施例的上視圖；以及

第 4A 與 4B 圖所示者係分別為本發明之封裝結構之第三實施例的剖面圖和上視圖。

● 【實施方式】

以下藉由特定的具體實施例說明本發明之實施方式，熟悉此技藝之人士可由本說明書所揭示之內容輕易地瞭解本發明之其他優點及功效。

須知，本說明書所附圖式所繪示之結構、比例、大小等，均僅用以配合說明書所揭示之內容，以供熟悉此技藝之人士之瞭解與閱讀，並非用以限定本發明可實施之限定條件，故不具技術上之實質意義，任何結構之修飾、比例關係之改變或大小之調整，在不影響本發明所能產生之功效及所能達成之目的下，均應仍落在本發明所揭示之技術內容得能涵蓋之範圍內。同時，本說明書中所引用之如「交叉」、「末端」、「上方」、「對應」、「外露」及「上」等之用語，亦僅為便於敘述之明瞭，而非用以限定本發明可實施之範圍，其相對關係之改變或調整，在無實質變更技術內容下，當亦視為本發明可實施之範疇。

第 2A 至 2B 圖所示者，分別係本發明之封裝結構之第

一實施例的剖面圖與上視圖。其中，第 2B 圖係由第一鈍化層 230 之上方俯視，且該第一鈍化層 230 之圖框範圍僅係封裝結構中線路重佈層結構之整體平面的示意性之一部分，又第 2B 圖爲了方便圖示而省略導電凸塊 240。

如圖所示，本發明之封裝結構係先提供一包括本體 200、複數電性連接墊 212 與表面鈍化層 210 的基板，於本體 200 上形成有電性連接墊 212。本說明書爲簡化起見，僅示例性繪出一電性連接墊 212，惟其數量並不對本發明作出限制。

該本體 200 可爲晶圓、晶片或其他表面上形成有該電性連接墊的電子元件或半導體元件，於該本體 200 與電性連接墊 212 上形成有表面鈍化層 210，且藉由如光阻塗佈顯影及蝕刻的製程於預定位置形成有對應外露部分該電性連接墊 212 的表面鈍化層開孔 214；其後，形成覆蓋於該表面鈍化層 210 和電性連接墊 212 上的第二鈍化層 220，形成該第二鈍化層 220 之材質可爲聚醯亞胺 (polyimide, PI) 或聚對二唑苯 (polybenzoxazole, PBO)，且該第二鈍化層 220 可藉由如光阻塗佈顯影及蝕刻的製程於預定位置形成有複數第一開口 222 以對應及外露該電性連接墊 212；再來，導電盲孔 224 以電鍍或濺鍍等方式被形成於該第一開口 222 中以電性連接於該電性連接墊 212。是以，該表面鈍化層 210 係形成於該本體 200 與電性連接墊 212 上，並具有外露該電性連接墊 212 與導電盲孔 224 之表面鈍化層開孔 214，且該表面鈍化層 210 係介於該本體 200 與第二鈍化層

220 之間。

複數線路 226 (例如線路重佈層 (RDL)) 和其末端的電性接點 228 可藉由如鍍膜－光阻塗佈顯影－蝕刻的製程於預定位置被圖案化形成在第二鈍化層 220 上以電性連接於導電盲孔 224，其中，本發明之封裝結構係如第 2B 圖所示地具有圖案部 225，其係形成於該第二鈍化層 220 上可不限角度地相交於該線路 226，以實質上增加該線路 226 之面積，進而強化該線路 226 與第二鈍化層 220 之間的接合力，且該圖案部 225 之尺寸及形狀並不受限制，然該圖案部 225 之較佳實施例為約 25 微米寬和約 50 微米長的尺寸之線段，且該圖案部 225 之寬度可等於該線路 226 之寬度。接著，形成覆蓋於該第二鈍化層 220、線路 226 與圖案部 225 上的第一鈍化層 230，形成該第一鈍化層 230 之材質可為聚醯亞胺 (polyimide, PI) 或聚對二唑苯 (polybenzoxazole, PBO)，且該第一鈍化層 230 可藉由如光阻塗佈顯影及蝕刻的製程於預定位置處形成有開孔 232 以對應外露該電性接點 228，再來，如凸塊底下金屬層之導電元件 234 以電鍍或濺鍍等方式形成於該開孔 232 中以電性連接於該電性接點 228；最後，導電凸塊 (bump) 240 係藉由迴焊 (reflow) 方式將位於該導電元件 234 上的銲錫形成球狀而被形成，但本發明並不限於此。

本發明係可在不增加該線路寬度的情況下，增加該線路與鈍化層的接觸面積，進而增進該線路的附著力。

於另一實施例中，該線路 226 亦可形成於該表面鈍化

層 210 上，而無須形成該第二鈍化層 220。

第 3 圖所示者，係本發明之封裝結構之第二實施例的上視圖。

在此實施例中，與上述第一實施例之主要結構係為相同，其差異僅在於：於設計複數線路 326 時，使該線路 326 的佈線圖案具有至少一彎折部 327，該彎折部 327 之彎折角度係不特定。藉由如此的設計使製程過程中溫度升降的熱漲冷縮所產生的應力得以於該彎折部 327 釋放，從而避免該線路 326 裂開。

第 4A 圖所示者，係本發明之封裝結構之第三實施例的剖面圖；第 4B 圖所示者，係本發明之封裝結構之第三實施例的上視圖。第 4B 圖係由第一鈍化層 430 之上方俯視，且該第一鈍化層 430 之圖框範圍僅係封裝結構中線路重佈層結構之整體平面的示意性之一部分，又第 4B 圖為了方便圖示而省略導電凸塊 440。

在此實施例中，與上述第一實施例之主要結構係為相同，其差異僅在於：在第二鈍化層 420 中形成有第一開口 422 以對應外露複數電性連接墊 412 時，亦可同時在預定之圖案部 425 處形成複數第二開口 423。此外，該第二開口 423 可部分重疊於預定之該圖案部 425 或是位於預定之該圖案部 425 的末端，且該第二開口 423 並未接觸該電性連接墊 412，但本發明並不限於此。

在該第二開口 423 形成後，於該第二開口 423 中形成固定銷 429，使其嵌入該第二鈍化層 420，例如貫穿該第二

鈍化層 420，且該固定銷 429 並未接觸該電性連接墊 412，如此可藉由將該固定銷 429 形成於該第二鈍化層 420 中且與該圖案部 425 連接以強化複數線路 426 與該第二鈍化層 420 的接合力，但本發明並不限於此。

又，本發明提供了第 4A 和 4B 圖所示之封裝結構的製法，其步驟包括：提供一基板，其包括：本體 400、複數電性連接墊 412 與表面鈍化層 410，該電性連接墊 412 係形成於該本體上，該表面鈍化層 410 係形成於該本體 400 與電性連接墊 412 上，並具有外露該電性連接墊 412 之表面鈍化層開孔 414，其後，形成覆蓋於該表面鈍化層 410 和電性連接墊 412 上的第二鈍化層 420，且該第二鈍化層 420 可藉由如光阻塗佈顯影及蝕刻的製程於預定位置形成有第一開口 422 以對應外露該電性連接墊 412、以及形成連通該第二鈍化層 420 且未外露該電性連接墊 412 的第二開口 423；而後，於該第一開口 422 與第二開口 423 中分別形成導電盲孔 424 與固定銷 429，並分別形成電性連接該導電盲孔 424 的複數線路 426 和連接於該固定銷 429 的圖案部 425 在該第二鈍化層 420 上，該圖案部 425 相交於該線路 426，且該線路 426 具有複數電性接點 428，該固定銷 429 係位於該圖案部 425 之末端；接著，形成覆蓋該第二鈍化層 420、線路 426 與圖案部 425 的第一鈍化層 430，且該第一鈍化層 430 可藉由如光阻塗佈顯影及蝕刻的製程於預定位置處形成有開孔 432 以對應外露該電性接點 428，之後，以電鍍或濺鍍等方式形成如凸塊底下金屬層之

導電元件 434 於該開孔 432 中以電性連接於該電性接點 428；最後，藉由迴焊(reflow)方式於該導電元件 434 上形成導電凸塊(bump)440。

上述實施例係用以例示性說明本發明之原理及其功效，而非用於限制本發明。任何熟習此項技藝之人士均可在不違背本發明之精神及範疇下，對上述實施例進行修改。因此本發明之權利保護範圍，應如後述之申請專利範圍所列。

【符號說明】

100、200、400	本體
110、210、410	表面鈍化層
112、212、412	電性連接墊
114、214、414	表面鈍化層開孔
120、220、420	第二鈍化層
122、222、422	第一開口
423	第二開口
124、224、424	導電盲孔
126、226、326、426	線路
128、228、428	電性接點
130、230、430	第一鈍化層
132、232、432	開孔
134、234、434	導電元件
140、240、440	導電凸塊
225、425	圖案部

327

彎折部

429

固定銷

申請專利範圍

1. 一種封裝結構，係包括：

基板，係包括：

本體；

複數電性連接墊，係形成於該本體上；以及

表面鈍化層，係形成於該本體與電性連接墊上，並具有外露該電性連接墊之表面鈍化層開孔；

複數導電盲孔，係形成於該表面鈍化層開孔中；

複數線路，係形成於該表面鈍化層上以電性連接該導電盲孔，俾藉由該導電盲孔電性連接於該電性連接墊，且該線路具有複數電性接點；

至少一圖案部，係形成於該表面鈍化層上，並相交於該線路，其中，該圖案部係為線段，且該線段之寬度係等於該線路之寬度；以及

第一鈍化層，係形成於該表面鈍化層、線路與圖案部上，且形成有開孔，以外露部分該電性接點。

2. 如申請專利範圍第 1 項所述之封裝結構，復包括第二鈍化層，係形成於該表面鈍化層和電性連接墊上，且形成有複數對應外露部分該電性連接墊之開口，且該第二鈍化層係介於該表面鈍化層與線路之間。

3. 如申請專利範圍第 1 項所述之封裝結構，復包括導電元件，係形成於該開孔中，且電性連接於該電性接點。

4. 如申請專利範圍第 3 項所述之封裝結構，其中，該導電元件係為凸塊底下金屬層。

5. 如申請專利範圍第 3 項所述之封裝結構，復包括導電凸塊，係形成於該導電元件上。
6. 如申請專利範圍第 1 項所述之封裝結構，其中，該線路之佈線圖案係具有至少一彎折部。
7. 如申請專利範圍第 2 項所述之封裝結構，復包括複數固定銷，係連接於該圖案部，且嵌入該第二鈍化層。
8. 如申請專利範圍第 7 項所述之封裝結構，其中，該固定銷係位於該圖案部之末端。
9. 如申請專利範圍第 1 項所述之封裝結構，其中，該圖案部之寬度約為 25 微米且長度約為 50 微米。
10. 一種封裝結構之製法，係包括：

提供一基板，其包括：

本體；

複數電性連接墊，係形成於該本體上；以及

表面鈍化層，係形成於該本體與電性連接墊

上，並具有外露該電性連接墊之表面鈍化層開孔；

形成第二鈍化層於該表面鈍化層和該電性連接墊

上；

形成第一開口與第二開口於該第二鈍化層中，該第一開口外露部分之該電性連接墊，且該第二開口係連通該第二鈍化層且未外露該電性連接墊；

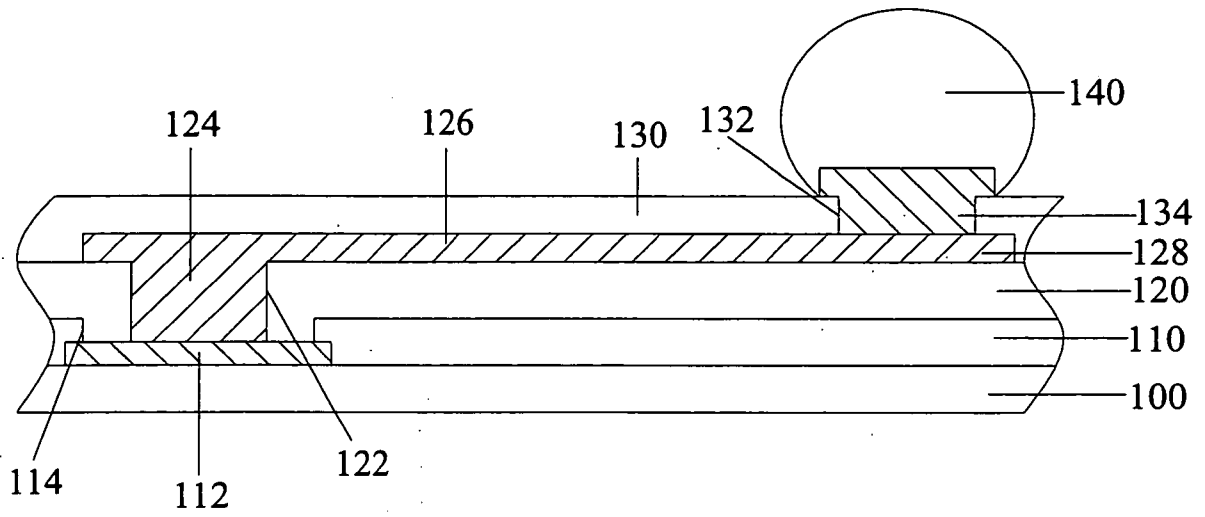
於該第二鈍化層上形成複數線路和相交於該線路的至少一圖案部，其中，該圖案部係為線段，且該線段之寬度係等於該線路之寬度，並於該第一開口中形

成連接該電性連接墊與該線路的導電盲孔，且於該第二開口中形成連接於該圖案部的固定銷，又該線路具有複數電性接點；以及

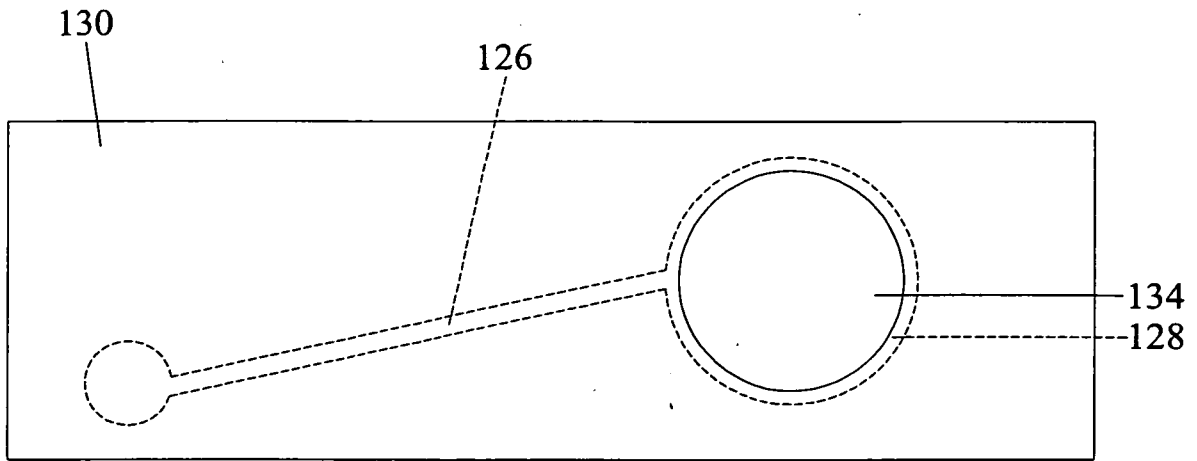
形成第一鈍化層於該第二鈍化層、該線路和該圖案部上，且於該第一鈍化層中形成外露部分該電性接點的開孔。

11. 如申請專利範圍第 10 項所述之封裝結構之製法，復包括在該開孔中形成導電元件，該導電元件係電性連接於該電性接點。
12. 如申請專利範圍第 11 項所述之封裝結構之製法，其中，該導電元件係為凸塊底下金屬層。
13. 如申請專利範圍第 11 項所述之封裝結構之製法，復包括在該導電元件上形成導電凸塊。
14. 如申請專利範圍第 10 項所述之封裝結構之製法，其中，該線路之佈線圖案係具有至少一彎折部。
15. 如申請專利範圍第 10 項所述之封裝結構之製法，其中，該固定銷係位於該圖案部之末端。
16. 如申請專利範圍第 10 項所述之封裝結構之製法，其中，該圖案部之寬度約為 25 微米且長度約為 50 微米。

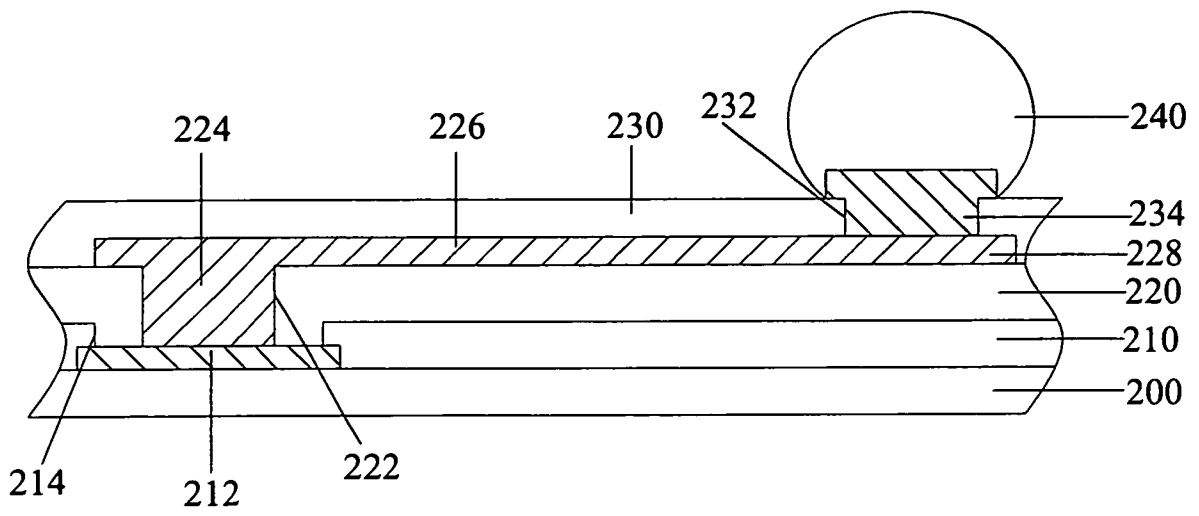
圖式



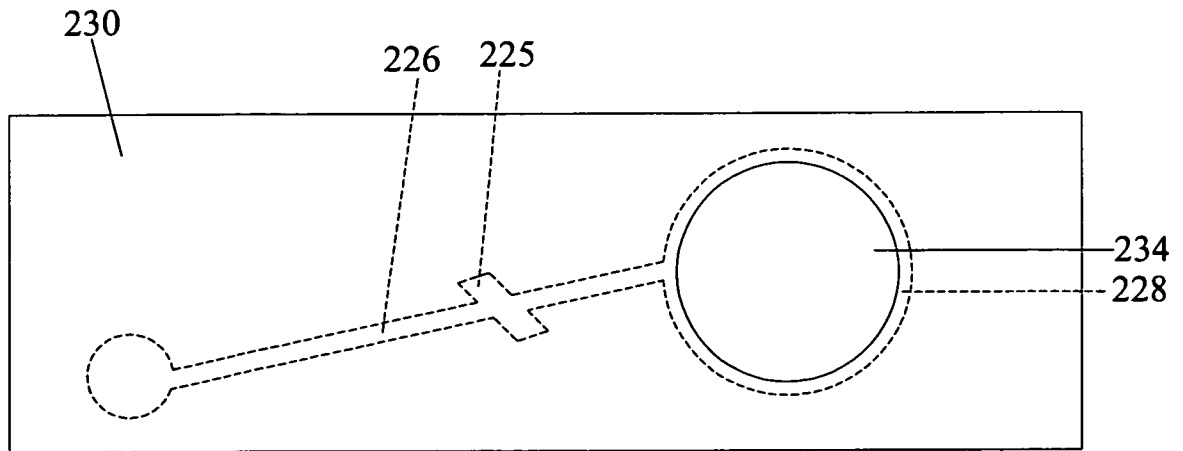
第1A圖



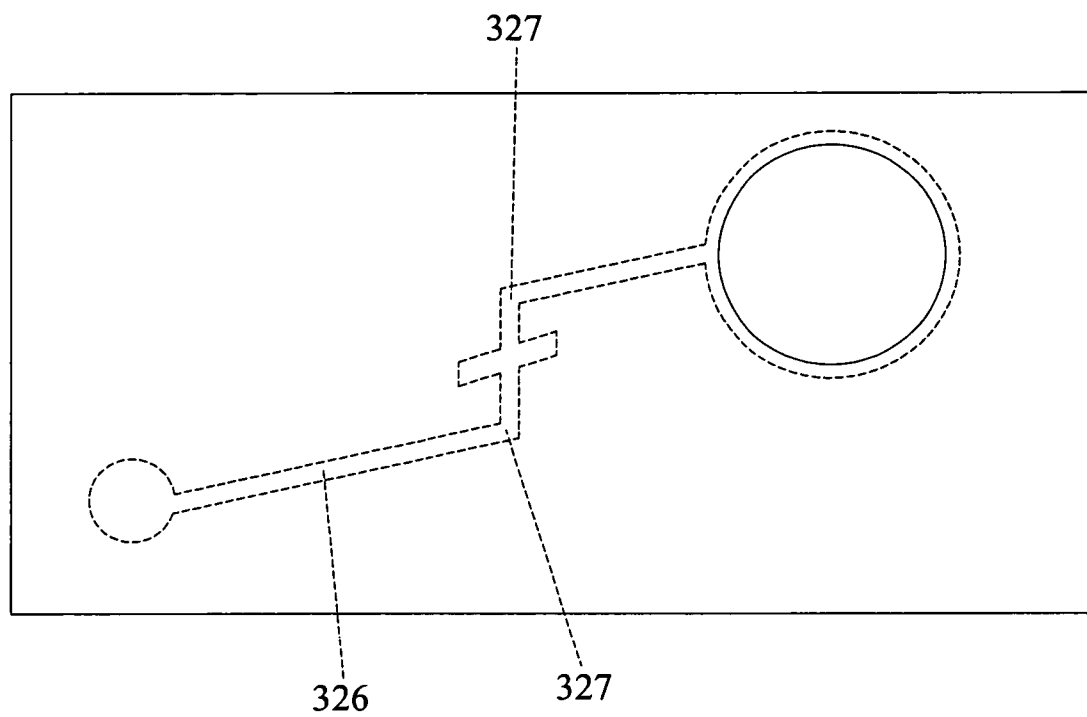
第1B圖



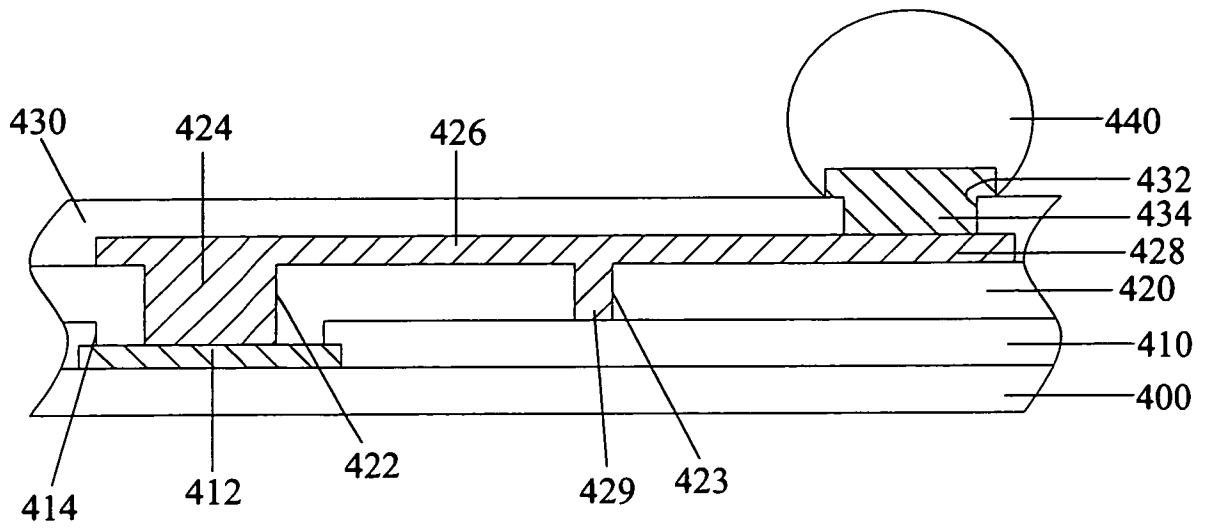
第2A圖



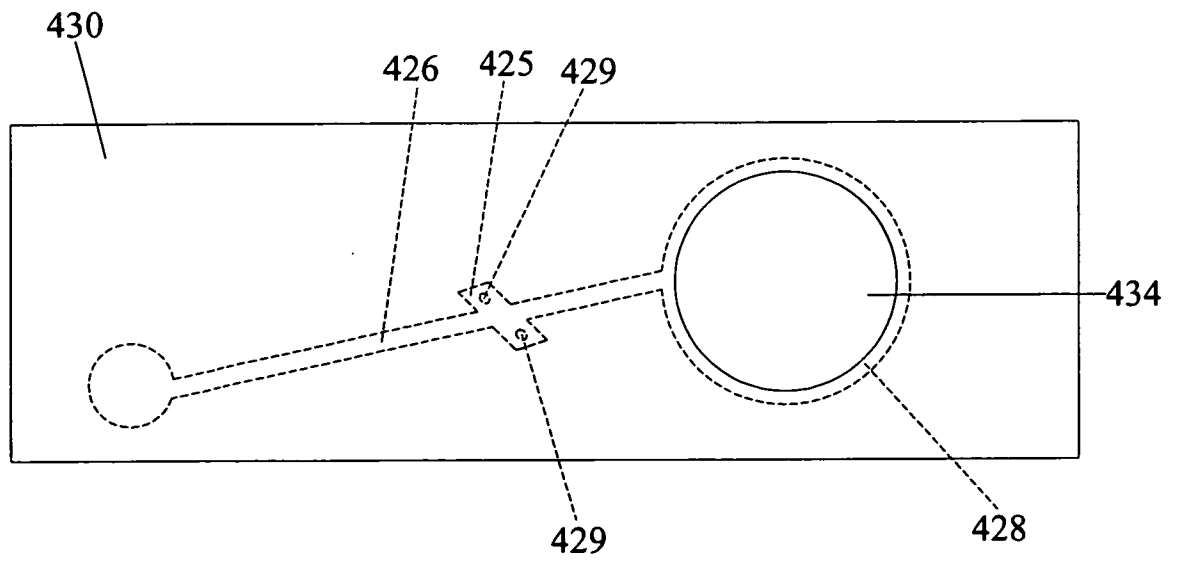
第2B圖



第3圖



第4A圖



第4B圖