



(12) 发明专利申请

(10) 申请公布号 CN 103165417 A

(43) 申请公布日 2013. 06. 19

(21) 申请号 201210199482. 9

(22) 申请日 2012. 06. 14

(30) 优先权数据

13/328, 264 2011. 12. 16 US

(71) 申请人 台湾积体电路制造股份有限公司

地址 中国台湾新竹

(72) 发明人 王文娟 林世杰 刘沛怡 许照荣
林本坚

(74) 专利代理机构 北京德恒律治知识产权代理
有限公司 11409

代理人 章社呆 孙征

(51) Int. Cl.

H01L 21/033 (2006. 01)

G03F 9/00 (2006. 01)

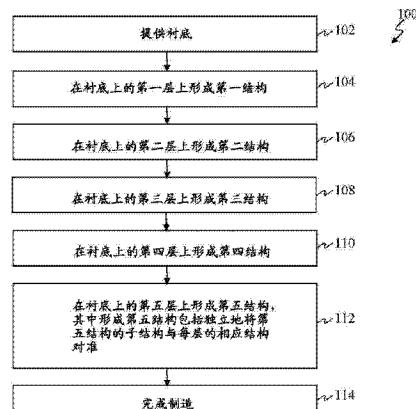
权利要求书2页 说明书10页 附图9页

(54) 发明名称

多层图案化覆盖拆分方法

(57) 摘要

本发明公开了一种用于制造半导体器件的方法。一种示例性方法包括通过第一曝光在第一层中形成第一结构，以及确定第一结构的布置信息。所述方法进一步包括通过第二曝光在位于第一层上方的第二层中形成第二结构，以及确定第二结构的布置信息。所述方法进一步包括通过第三曝光在位于第二层上方的第三层中形成包括第一和第二子结构的第一结构。形成第三结构包括独立地将第一子结构与第一结构对准以及独立地将第二子结构与第二结构对准。本发明还公开了多层图案化覆盖拆分方法。



1. 一种方法,包括:

通过第一曝光在第一层中形成第一结构;

确定所述第一结构的布置信息;

通过第二曝光在位于所述第一层上方的第二层中形成第二结构;

确定所述第二结构的布置信息;

通过第三曝光在位于所述第二层上方的第三层中形成包括第一子结构和第二子结构的第三结构;

其中形成所述第三结构包括独立地将所述第一子结构与所述第一结构对准以及独立地将所述第二子结构与所述第二结构对准。

2. 根据权利要求 1 所述的方法,进一步包括:

存储所述第一结构的所述布置信息到数据文件中;以及

存储所述第二结构的所述布置信息到所述数据文件中;

其中独立地对准所述第一子结构包括使用来自所述数据文件的所述第一结构的所述布置信息,以及

其中独立地对准所述第二子结构包括使用来自所述数据文件的所述第二结构的所述布置信息。

3. 一种方法,包括:

在衬底上形成包括第一结构的第一层;

从对准标记获得第一层对准数据;

根据所述第一层对准数据确定第一布置信息数据;

在所述第一层上方形成包括第二结构的第二层;

从所述对准标记获取第二层对准数据;

根据所述第二层对准数据确定第二布置信息数据;

在所述第二层上方形成包括第三结构的第三层,所述第三结构包括第一子结构和第二子结构;

其中形成所述第三结构包括使用所述第一布置信息数据独立地将所述第一子结构与所述第一结构对准,以及使用所述第二布置信息数据独立地将所述第二子结构与所述第二结构对准。

4. 根据权利要求 3 所述的方法,进一步包括:

从所述对准标记获得第三层对准数据;

根据所述第三层对准数据确定第三布置信息数据;

其中获得所述第三层对准数据包括获得第一子结构对准数据和第二子结构对准数据。

5. 根据权利要求 3 所述的方法,其中形成所述第二结构包括使用所述第一布置信息数据将所述第二层与所述第一层对准。

6. 根据权利要求 3 所述的方法,其中所述第一布置信息数据包括所述第一层的第一平移误差和第一转动误差;以及

所述第二布置信息数据包括所述第二层的第二平移误差和第二转动误差。

7. 根据权利要求 3 所述的方法,其中:

形成所述第一结构包括在所述第一层上形成第一图案的第一曝光工艺;

形成所述第二结构包括在所述第二层上形成第二图案的第二曝光工艺；以及
形成所述第三结构包括在所述第三层上形成第三图案的电子束曝光工艺。

8. 一种方法，包括：

在衬底的第一层中形成第一结构，其中形成所述第一结构包括形成第一图案的第一曝光工艺，所述第一图案限定所述第一结构；

在所述衬底的第二层中形成第二结构，其中所述第二层覆盖所述第一层，其中形成所述第二结构包括形成第二图案的第二曝光工艺，所述第二图案限定所述第二结构；

在所述衬底的第 n 层中形成包括第一子结构和第二子结构的第 n 结构，其中所述第 n 层覆盖所述第一层和所述第二层，其中形成所述第 n 结构包括形成第 n 图案的第 n 曝光工艺，所述第 n 图案限定所述第 n 结构；

其中形成所述第 n 结构包括使用第一对准数据独立地将所述第一子结构与所述第一结构对准以及使用第二对准数据独立地将所述第二子结构与所述第二结构对准。

9. 根据权利要求 8 所述的方法，进一步包括：

在所述衬底的第三层中形成第三结构，其中所述第三层覆盖所述第二层，其中形成所述第三结构包括形成第三图案的第三曝光工艺，所述第三图案限定所述第三结构；以及

在所述衬底的第四层中形成第四结构，其中所述第四层覆盖所述第三层并且位于所述第 n 层的下方，其中形成所述第四结构包括形成第四图案的第四曝光工艺，所述第四图案限定所述第四结构；

其中所述第 n 结构包括第三子结构和第四子结构；以及

其中形成所述第 n 结构包括使用第三对准数据独立地将所述第三子结构与所述第三结构对准以及使用第四对准数据独立地将所述第四子结构与所述第四结构对准。

10. 根据权利要求 9 所述的方法，其中所述第一对准数据包括与所述第一结构关联的第一布置信息数据，所述第一布置信息数据从第一对准标记获得；

其中所述第二对准数据包括与所述第二结构关联的第二布置信息数据，所述第二布置信息数据从第二对准标记获得。

多层图案化覆盖拆分方法

技术领域

[0001] 本发明涉及半导体技术领域,更具体地,涉及多层图案化覆盖拆分方法。

背景技术

[0002] 半导体集成电路 (IC) 工业经历了快速增长。在 IC 发展过程中,功能密度 (即,每芯片面积互连器件的数量) 广泛增加,与此同时几何尺寸 (即,能使用构造工艺创建的最小元件 (或线路)) 不断降低。这种减小尺寸的工艺通过提高生产效率以及降低相关成本总体上提供了益处。这种尺寸减小也增加了工艺和制造 IC 的复杂性,并且为了实现这些进步,在 IC 制造中也需要类似的发展。

[0003] 例如,由于半导体工业已进入纳米技术工艺节点以追求更高的器件密度、更高的性能和更低的成本。因此对多层图案化工艺需要更严格的要求。例如,在多层上使用多层图案化的更小器件要求半导体器件内的各层之间的对准 (也称为覆盖 (overlay)) 精确且准确。换句话说,就是期望能够降低覆盖误差 (overlay error)。尽管目前的多层图案化方法总体上胜任它们的预期目的,然而他们并不是在各个方面都令人完全满意。

发明内容

[0004] 为了解决现有技术中所存在的问题,根据本发明的一个方面,提供了一种方法,包括:

[0005] 通过第一曝光在第一层中形成第一结构,以及确定第一结构的布置信息;

[0006] 通过第二曝光在位于第一层上方的第二层中形成第二结构,以及确定第二结构的布置信息;

[0007] 通过第三曝光在位于第二层上方的第三层中形成包括第一子结构和第二子结构的第三结构;

[0008] 其中形成第三结构包括独立地将第一子结构与第一结构对准以及独立地将第二子结构与第二结构对准。

[0009] 在一些实施例中,所述方法进一步包括存储第一结构的布置信息到一数据文件中,以及存储第二结构的布置信息到该数据文件中;并且独立地对准第一子结构包括使用来自所述数据文件的所述第一结构的所述布置信息,独立地对准第二子结构包括使用来自所述数据文件的第二结构的布置信息。

[0010] 在一些实施例中,确定第一结构的布置信息包括从对准标记获得第一结构的对准数据;确定第二结构的布置信息包括从所述对准标记获得第二结构的对准数据。

[0011] 在各种实施方式中,对准标记包括与第一结构关联的第一对准标记和与第二结构关联的第二对准标记。

[0012] 在一些实施例中,对准标记形成在有源层、多晶硅层和 / 或接触层中。

[0013] 在进一步的实施例中,第一曝光是光学曝光,第二曝光是光学曝光,和第三曝光是电子束曝光。

[0014] 在一些实施例中，数据文件包括与第一结构关联的第一数据文件和与第二结构关联的第二数据文件。

[0015] 在各种实施例中，第一结构包括第一多晶硅栅极，第二结构包括第二多晶硅栅极，以及第三结构包括与第一子结构关联的第一接触件和与第二子结构关联的第二接触件。

[0016] 在一些实施例中，实施电子束曝光从而同时曝光限定第一子结构的第一图案和限定第二子结构的第二图案。

[0017] 在一些实施例中，按顺序实施电子束曝光，从而首先曝光限定第一子结构的第一图案，之后曝光限定第二子结构的第二图案。

[0018] 根据本发明的另一个方面，还提供了一种方法，包括：

[0019] 在衬底上形成包括第一结构的第一层；

[0020] 从对准标记获得第一层对准数据；

[0021] 根据所述第一层对准数据确定第一布置信息数据；

[0022] 在所述第一层上方形成包括第二结构的第二层；

[0023] 从所述对准标记获取第二层对准数据；

[0024] 根据所述第二层对准数据确定第二布置信息数据；

[0025] 在所述第二层上方形成包括第三结构的第三层，所述第三结构包括第一子结构和第二子结构；

[0026] 其中形成所述第三结构包括使用所述第一布置信息数据独立地将所述第一子结构与所述第一结构对准，以及使用所述第二布置信息数据独立地将所述第二子结构与所述第二结构对准。

[0027] 在一些实施例中，所述方法进一步包括从所述对准标记获得第三层对准数据以及根据所述第三层对准数据确定第三布置信息数据。获得第三层对准数据包括获得第一子结构对准数据和第二子结构对准数据。

[0028] 在一些实施例中，形成所述第二结构包括使用所述第一布置信息数据将所述第二层与所述第一层对准。

[0029] 在各种实施例中，所述第一布置信息数据包括第一层的第一平移误差和第一转动误差，第二布置信息数据包括第二层的第二平移误差和第二转动误差。

[0030] 在一些实施例中，形成所述第一结构包括在所述第一层上形成第一图案的第一曝光工艺；形成所述第二结构包括在所述第二层上形成第二图案的第二曝光工艺；以及形成所述第三结构包括在所述第三层上形成第三图案的电子束曝光工艺。

[0031] 根据本发明的又一方面，还提供了一种方法，包括：

[0032] 在衬底的第一层中形成第一结构，其中形成所述第一结构包括形成第一图案的第一曝光工艺，所述第一图案限定所述第一结构；

[0033] 在所述衬底的第二层中形成第二结构，其中所述第二层覆盖所述第一层，其中形成所述第二结构包括形成第二图案的第二曝光工艺，所述第二图案限定所述第二结构；

[0034] 在所述衬底的第 n 层中形成包括第一子结构和第二子结构的第 n 结构，其中所述第 n 层覆盖所述第一层和所述第二层，其中形成所述第 n 结构包括形成第 n 图案的第 n 曝光工艺，所述第 n 图案限定所述第 n 结构；

[0035] 其中形成所述第 n 结构包括使用第一对准数据独立地将所述第一子结构与所述

第一结构对准以及使用第二对准数据独立地将所述第二子结构与所述第二结构对准。

[0036] 在一些实施例中,所述方法进一步包括:在所述衬底的第三层中形成第三结构,其中所述第三层覆盖所述第二层,其中形成所述第三结构包括形成第三图案的第三曝光工艺,所述第三图案限定所述第三结构;以及在所述衬底的第四层中形成第四结构,其中所述第四层覆盖所述第三层并且位于所述第 n 层的下方,其中形成所述第四结构包括形成第四图案的第四曝光工艺,所述第四图案限定所述第四结构;

[0037] 其中所述第 n 结构包括第三子结构和第四子结构;以及形成所述第 n 结构包括使用第三对准数据独立地将所述第三子结构与所述第三结构对准以及使用第四对准数据独立地将所述第四子结构与所述第四结构对准。

[0038] 在一些实施例中,所述第一对准数据包括与所述第一结构关联的第一布置信息数据,所述第一布置信息数据从第一对准标记获得;其中所述第二对准数据包括与所述第二结构关联的第二布置信息数据,所述第二布置信息数据从第二对准标记获得。

[0039] 在一些实施例中,所述第三对准数据包括与所述第三结构关联的第三布置信息数据,所述第三布置信息数据从第三对准标记获得;以及其中所述第四对准数据包括与所述第四结构关联的第四布置信息数据,所述第四布置信息数据从第四对准标记获得。在一些实施例中,总覆盖误差 (TOE) 小于 $\sqrt{OE1^2 + OE2^2 + OE3^2 + OE4^2 + OEn^2}$, 其中, OE1 是第 n+1 结构与所述第一结构之间的覆盖误差, OE2 是所述第 n+1 结构与所述第二结构之间的覆盖误差, OE3 是所述第 n+1 结构与所述第三结构之间的覆盖误差, OE4 是所述第 n+1 结构与所述第四结构之间的覆盖误差, 以及 OEn 是所述第 n+1 结构与所述第 n 结构之间的覆盖误差。

附图说明

[0040] 当结合附图进行阅读时,根据下面详细的描述可以更好地理本发明。应该强调的是,根据工业中的标准实践,各种部件没有被按比例绘制并且仅仅用于说明的目的。实际上,为了清楚的讨论,各种部件的数量和尺寸可以被任意增加或减少。

[0041] 图 1 示出了根据本发明各方面的将晶圆上的各层对准的方法的流程图;

[0042] 图 2 示出了根据本发明各个实施例的晶圆的俯视图;

[0043] 图 3 示出了根据本发明各个实施例包括具有器件区和对准区的管芯 / 芯片的曝光场的俯视图;

[0044] 图 4 示出了根据本发明各个实施例包括具有器件区的芯片的曝光场的俯视图;

[0045] 图 5 示出了根据本发明各个实施例的典型的覆盖误差的俯视图;

[0046] 图 6 至图 10 示出了包括根据图 1 所示的方法形成的结构的管芯的俯视图。

具体实施方式

[0047] 以下公开的内容提供了多种不同实施例或实例,用于实现本发明的不同特征。以下将描述组件和布置的具体实例以简化本发明。当然,这些仅是实例并且不旨在限制本发明。例如,以下描述的一部件在另一部件上形成可以包括这些部件以直接接触方式形成的实施例,也可以包括额外部件介于这些部件之间使得它们以不直接接触方式形成的实施例。另外,本公开在各种实例中可重复参考数字和 / 或字母。这种重复是为了简单和清楚

起见，其自身并不表示所讨论的各种实施例和 / 或构造之间的关系。此外，本文所公开的元件可在不背离本发明的范围的前提下以不同于本文所示典型实施例的方式布置、组合或配置。应该理解的是，本领域普通技术人员能够设计出本文没有明确描述但体现本发明原则的各种等效。

[0048] 以下将参考图 1 至图 10，共同描述方法 100 和集成电路器件。图 1 示出了根据本发明各方面的将晶圆上的包括结构的多层对准的方法的流程图。方法 100 从框 102 开始，在该框中提供具有衬底的晶圆。在框 104，在所述衬底的第一层上形成第一结构。形成第一结构可包括一次或多次图案化、蚀刻和 / 或沉积步骤。在框 106 中，在所述衬底的第二层上形成第二结构。形成第二结构可包括一次或多次图案化、蚀刻和 / 或沉积步骤。该方法接着进行框 108，在该框中，在所述衬底的第三层上形成第三结构。形成第三结构可包括一次或多次图案化、蚀刻和 / 或沉积步骤。在框 110 中，在所述衬底的第四层上形成第四结构。形成第四结构可包括一次或多次图案化、蚀刻和 / 或沉积步骤。在框 112 中，在所述衬底的第五层上形成第五结构。形成第五结构可包括一次或多次图案化、蚀刻和 / 或沉积步骤。形成第五结构包括独立地将第五结构中的子结构与每个在下面的层中的相应结构对准。该对准可包括使用包括多组参数的数据文件来限定与每个在下面的层中的每个结构关联的覆盖误差。可以理解的是，方法 100 可包括在任意数量（例如，n）的层上形成任意数量（例如，n）的结构。在方法 100 之前、在方法 100 期间和在方法 100 之后可增加额外的步骤，并且对于该方法的其他实施例，所描述的一些步骤可被替代或去除。以下讨论描述根据图 1 的方法 100 在多层上形成结构的各种实施例。

[0049] 图 2 示出了根据本发明各种实施例的图 1 的方法的晶圆的俯视图。晶圆 200 包括衬底（例如，半导体衬底）、掩模（光掩模或光罩，统称为掩模）、或任何在其上实施工艺以形成材料层、图案部件和 / 集成电路的基材。例如，晶圆 200 包括：元素半导体，包括晶体硅和 / 或晶体锗；化合物半导体，包括碳化硅、砷化镓、磷化镓、磷化铟、砷化铟和 / 或锑化铟；合金半导体，包括 SiGe、GaAsP、AlInAs、AlGaAs、GaInAs、GaInP 和 / 或 GaInAsP；或者它们的组合。所述合金半导体可具有梯度 SiGe 部件，其中 Si 和 Ge 的成分从梯度 SiGe 部件的一位置处的一比例变化到梯度 SiGe 部件的另一位置处的另一比例。可在硅衬底上方形成合金 SiGe。所述 SiGe 衬底可以是应变的。进一步地，所述半导体衬底可为绝缘体上半导体（SOI）。在一些实例中，所述半导体衬底可包括掺杂的外延层。在一些实例中，所述硅衬底可包括多层化合物半导体结构。可选地，晶圆 200 可包括非半导体材料，例如用于薄膜晶体管液晶显示（TFT-LCD）器件的玻璃衬底或者用于光掩模（掩模）的熔融石英或者氟化钙。

[0050] 正如以下进一步的讨论，晶圆 200 经过一次或多次沉积、图案化和 / 或蚀刻工艺以在其上形成多个图案化和未图案化的层。例如，晶圆 200 经过光刻工艺在该晶圆上形成一个或多个部件。在本实施例中，晶圆 200 经过光刻工艺在其上形成集成电路器件。术语光刻包括浸没式光刻、照相光刻和光学光刻。光刻工艺将集成电路器件的图像投影到晶圆 200 的曝光场上，由此将图案（即，集成电路器件的图像）从掩模（也称为光掩模或光罩）转移到晶圆上。所述工艺可包含多次在晶圆 200 上投影所述图像，每次投影图案化晶圆 200 的曝光场 210。如图 2 所示，晶圆 200 被分成一个或多个场 210。晶圆 200 被分成曝光场 210-1、210-2、210-3，… 210-n。各个场 210 由切割线或切割道 212 分离或限定。在本实施例中，在各个场 210 之间设置切割线 212 以确定每个场 210 的外围边缘。曝光场包括通过曝光工

艺（例如，光学曝光或电子束曝光）曝光的衬底的区域。因此，当晶圆 200 经受光刻工艺时，曝光工艺可用于将图案转移到每个场（即，210-1、210-2、210-3、… 210-n）以在每个场 210 内形成集成电路。当每个场 210 被曝光时，在场 210 内图案化一个或多个管芯（芯片）。

[0051] 图 3 示出了包括具有对准区的管芯 / 芯片的曝光场的俯视图，该对准区包括根据图 1 的方法形成的对准掩模。参考图 3，在每个曝光场 210 内图案化晶圆 200 的一个或多个管芯（芯片）220，并且因此，可在单个曝光场 210 内图案化多个管芯。曝光场 210 可图案化在每个曝光场 210 内的 1x1 阵列（即，单个芯片）、1x2 阵列（即，两个芯片）、2x2 阵列（即，4 个芯片）、至 nxm 阵列。在所示的实施例中，在曝光场 210-1 上示出了 2x2 列阵。如果多个曝光场 210 描绘在晶圆 200 上，如图 2 所示，则图案形成在每个曝光场 210 内。例如，如果曝光场 210 图案化 2x2 芯片列阵，则每个曝光场 210（即，曝光场 210-1、210-2… 210-n）将包括 4 个图案化芯片 / 管芯（220-1、220-2、220-3、220-4）。与场 210 的描绘类似，切割区 / 切割线 212 分离（或限定）相邻的管芯 220。在后续制造工艺中沿切割区 / 切割线 212 进行切割来提供单个管芯，然后可将该管芯封装成单独的集成电路芯片销售。以不损坏形成在每个管芯内的半导体器件的方式切割切割区 / 切割线 212。

[0052] 如上文所述，光刻工艺（或其他曝光工艺）在晶圆上形成部件。在本实例中，在晶圆 200 上形成集成电路器件以形成多个管芯 220。光刻工艺图案化一系列图案化和未图案化的层，并且在连续的图案化层上的部件在空间上彼此关联。在制造过程中，每个图案化层必须与之前的图案化层以一定的精确度对准。因此，成功光刻的关键部分在于图案对准技术。较低的（之前的）图案化层会包括覆盖目标，然后在上面的（下一个）图案化层上的第二图案可被对准。

[0053] 图案对准技术利用包括对准标记的对准区 222。该对准区可设置在环绕每个场 210 的切割线 212 上或者设置在场 210 的每个管芯 220 内的选择区内。根据设计要求，对准区 222 可位于场 210 内的任何位置或在环绕每个场 210 的切割线 212 上。对准区 222 可包括由设计规范确定的各种类型的对准标记。例如，对准区 222 可包括框中框（box-in-box，BIB）图案对准（或覆盖）标记。该 BIB 对准标记利用覆盖目标（即，外框）和内框。该对准技术使内框与覆盖目标对准。该外框可形成在较低的（之前的）图案化层内并且该内框会形成在上部的（下一个）图案化层内。在两个图案化层之间可能存在一层或多层。对准（或覆盖）标记 222 可形成在任何适合的层内。对准标记 222 可设计为包括除了框以外的形状，包括三角形、矩形、圆形、T 形、L 形、加号形、十字形、八角形、其他适合的形状和 / 或它们的组合。图案对准技术还可利用其他目标设计，例如框中框、片段框、高级成像技术（AIM）和短游标（SVNR）。

[0054] 在典型的图案对准方法中，外框曝光在由合适的发生器产生的辐射下。该辐射包括可见辐射、不可见辐射、荧光辐射和 / 或极化辐射（极化辐射可包括单模或多模）。例如，发生器包括不可见电磁波发生器，其能产生多种不可见电磁波，包括 X 射线、紫外线（UV）和 / 或深紫外（DUV）波。进一步考虑的，所述辐射可具有单波长或多波长。然后，通过探测器探测来自外框的反射束，探测器可包括波长色散光谱仪、能量色散光谱仪和 / 或其他探测器。当探测所述反射束时，就可识别出外框的位置。因此，可恰当地定位内框。

[0055] 参考图 4，其示出了一个典型场，该场包括在曝光场 210-1 内的图案化的单个芯片（即，1x1 芯片阵列）220-1。如上所述，切割线 212 限定了曝光场 210-1 和芯片 220-1 的外

围边缘。切割线 212 可包括任何适合的尺寸。芯片 / 管芯 220-1 包括集成电路区（包括一个或多个器件区）224。集成电路区包括多层，例如有源层（OD 层，其限定集成电路区的有源区）、多晶硅层（P0 层，其限定集成电路区的栅极区）、接触层（CO 层，其限定接触 OD 层和 P0 层的接触结构）、N 阵注入层（NW 层）、P 阵注入层（PW 层）、P+ 注入层（PP 层）、N+ 注入层（NP 层）、金属层（M1、M2、… MN）、晶体管门限调节注入层（VT 层）和 / 或其他合适的层。集成电路区 224 内的多层形成各种器件，包括诸如电阻、电容、电感和 / 或熔丝的无源元件；和诸如 P 沟道场效应晶体管（PFET）、N 沟道场效应晶体管（NFET）、金属氧化物半导体场效应晶体管（MOSFET）、互补金属氧化物半导体晶体管（CMOS）、高压晶体管和 / 或高频晶体管的有源元件、其他合适的元件和 / 或它们的组合。

[0056] 管芯 220-1 进一步包括密封环 226 和角应力释放区。管芯 220-1 的角的一部分，其包括密封环 226 的一部分和角应力释放区，可称为管芯 - 角 - 电路 - 禁止（DCCF）区。在本实施例中，密封环 226 环绕集成电路区 224 的外围。密封环 226 构成阻止水分、腐蚀气体和化学药品渗透入集成电路区 224 内部的屏障。密封环 226 可包括多层。例如，该密封环可包括多个导电层、多个绝缘层、多个通孔和触点、多个金属层和 / 或它们的组合。可以理解的是，在一些实施例中，管芯 220 可仅包括集成电路区 224 而没有环绕的密封环 226。

[0057] 参考图 5，尽管对多层进行了对准，仍然存在与每层 / 结构相关的覆盖误差。例如，该覆盖误差可为转动误差（A）、平移误差（B）、相对尺寸变化误差（C）（run-in/run-out error）或其他由制造引起的误差。平移误差可在 x 和 y 方向对准当前层时产生的误差。转动误差可在中心轴周围对准当前层时产生的误差。相对尺寸变化误差可为掩模或晶圆的直径发生改变使得两个区不再准时的误差。相对尺寸变化误差可以由制造期间的热量变化而引起。例如，掩模和晶圆的温度变化会产生覆盖相对尺寸变化误差，其源于掩模和晶圆可能具有不同的热膨胀系数。这样，掩模和晶圆的直径不再相同。

[0058] 参考图 6 至图 10，示出了包括根据图 1 方法形成的器件结构的管芯的俯视图。可以理解的是，根据图 1 方法形成的结构仅是示例性的。因此，本文所描述的具体结构并不构成限制，除非特别说明。参考图 6，集成电路区 224 包括衬底 230。在衬底 230 的第一层上形成第一结构 232。可以理解的是，尽管第一结构 232 形成在其上的层被定义为“第一”层，事实上在第一层下方可能存在其他层。所述第一层可为多晶硅层。例如，第一结构 232 可为形成在集成电路区 224 的第一层上的多晶硅栅极结构。形成第一结构 232 可包括一次或多次图案化、光学曝光、电子束曝光、蚀刻工艺和 / 或沉积工艺。在本实施例中，形成第一结构 232 包括光学曝光图案到衬底 230 的第一层上的光刻工艺。在第一层上的第一结构 232 的形成期间，使用对准技术来恰当对准第一层并确定第一层 / 结构 232 的布置信息或覆盖信息。所述布置信息或覆盖信息包括实际坐标，该实际坐标可与设计坐标相对比。该图案对准技术与前述图案对准技术类似，例如，可使用形成在晶圆对准区内的对准标记（参见图 3 至图 4）。所述第一结构 232 和第一层的布置信息，连同其他的多组参数，存储在用于后续对准的第一数据文件内。所述数据文件可为例如 .txt 数据文件，或任何其他数据文件格式。

[0059] 参考图 7，在衬底 230 的第二层上形成第二结构 234。所述第二层可为多晶硅层。例如，第二结构 234 可为形成在集成电路区 224 的第二层上的第二多晶硅栅极结构。形成第二结构 234 可包括一次或多次图案化、光学曝光、电子束曝光、蚀刻工艺和 / 或沉积工艺。在本实施例中，形成第二结构 234 包括光学曝光图案到衬底 230 的第二层上的光刻工艺。

在第二层上的第二结构 234 的形成期间, 使用对准技术来恰当地使第二层(包括第二结构 234)相对于第一层(包括第一结构 232)对准, 并确定第二层 / 结构的布置信息。该图案对准技术与上述图案对准技术类似, 例如, 可使用形成在晶圆对准区内的对准标记(参见图 3 至图 4)。所述图案对准技术可使用来自第一数据文件的布置信息数据。所述第二结构 234 和第二层的布置信息数据, 连同其他的多组参数, 存储在用于后续对准的第二数据文件内。所述数据文件可为例如 .txt 数据文件, 或任何其他数据文件格式。

[0060] 参考图 8, 在衬底 230 的第三层上形成第三结构 236。所述第三层可为有源层。例如, 第三结构 236 可为形成在集成电路区 224 的第三层上的有源区。形成第三结构 236 可包括一次或多次图案化、光学曝光、电子束曝光、蚀刻工艺和 / 或沉积工艺。在本实施例中, 形成第三结构 236 包括光学曝光图案到衬底 230 的第三层上的光刻工艺。在第三层上的第三结构 236 的形成期间, 使用对准技术来使第一层和第二层与第三层恰当对准, 并确定第三层 / 结构 236 的布置信息。该图案对准技术与上述图案对准技术类似, 例如, 可使用形成在晶圆对准区内的对准标记(参见图 3 至图 4)。所述对准技术可包括使用来自数据文件(例如, 第一和第二数据文件)的在先的对准和 / 或布置信息数据使得第三结构 236 可分别恰当地对准在第一结构 232 和第二结构 234 上。所述第三结构 236 和第三层的布置信息数据, 连同其他多组参数, 存储在用于后续对准的第三数据文件内。所述数据文件可为例如 .txt 数据文件, 或任何其他数据文件格式。

[0061] 参考图 9, 第四结构 238 形成在衬底 230 的第四层上。第四层可以是有源层。第四结构, 238, 例如可以是形成在集成电路区 224 的第四层上的有源区。形成第四结构可包括一次或多次图案化、光学曝光、电子束曝光、蚀刻工艺和 / 或沉积工艺。在本实施例中, 形成第四结构 238 包括光学曝光图案到衬底 230 的第四层上的光刻工艺。在第四层上的第四结构 238 的形成期间, 使用对准技术使第一、第二和第三层与第四层恰当地对准, 并且确定第四层的布置信息。该图案对准技术与上述图案对准技术相类似, 例如, 可使用形成在晶圆的对准区内的对准标记(参见图 3 至图 4)。所述图案对准技术可包括使用来自数据文件(例如, 第一、第二和第三数据文件)的在先的对准和 / 或布置信息数据使得第四结构 238 可恰当地对准在第一、第二和第三结构 232, 234, 236 上。第四结构 238 和第四层的布置信息数据连同其他的多组参数存储在第四数据文件中, 该第四数据文件在后续对准中被使用。该数据文件可以是例如 a. txt 数据文件, 或任何其他数据文件格式。数据文件(例如, 第一、第二、第三和第四数据文件)可以是单一文件, 其包括第一、第二、第三和第四结构 / 层的数据。相反地, 每一个结构 / 层可具有单独的数据文件。应当理解。文件的数量(例如每一个或多个层 / 结构具有一个或多个文件)或者文件的类型并不构成限制, 除非特别说明。

[0062] 参考图 10, 第五结构 240 包括形成在衬底 230 的第五层上的一个或多个子结构 240-1, 240-2, 240-3, 和 240-4。第五层可以是接触层。第五结构可以是相对于先前的结构(例如第一结构到第四结构)的顶部结构 / 最后结构。第五结构 240, 例如, 可包括一个或多个形成在集成电路区 224 的第五层上的接触件(例如子结构 240-1, 240-2, 240-3 和 240-4)。形成第五结构 240 可包括一次或多次图案化、光学曝光、电子束曝光、蚀刻工艺和 / 或沉积工艺。在本实施例中, 形成第五结构 240 包括形成图案到衬底 230 的第五层上的电子束曝光。形成图案到衬底 230 的第五层上的电子束曝光可以同时或分别(即按顺序)对第五结构 240 的每一个子结构 240-1, 240-2, 240-3 和 240-4 曝光。通过电子束曝光形成第

四结构 240 的图案包括使用来自每个文件（例如，第一、第二、第三和第四数据文件）的在先的对准和 / 或布置信息使得第五结构 240 的每一个子结构 240-1, 240-2, 240-3 和 240-4 可分别与第一、第二、第三和第四结构 232, 234, 235 和 238 恰当并独立地对准。在第四结构 240 的形成期间。第五层 / 结构 240（包括子结构 240-1, 240-2, 240-3 和 240-4）的布置信息可由对准标记确定并存储在第五数据文件中。

[0063] 例如，将第一子结构 240-1 与第一结构 232 对准包括使用第一数据文件计算第一子结构 240-1 和第一结构 232 之间的布置差以便独立地将第一子结构与第一结构 232 对准，该第一数据文件包括第一层和第一结构 232 的布置信息。这样，第一子结构 240-1 与第一结构 232 的对准不受第二、第三和第四层 / 结构的影响。换句话说，第一子结构与第一层和第一结构的对准与其他子结构与它们对应的层和结构的对准拆分开来。

[0064] 作为进一步的例子，将第二子结构 240-2 与第二结构 234 对准包括使用第二数据文件计算第二子结构 240-2 和第二结构 234 之间的布置差来独立地将第二子结构 240-2 与第二结构 234 对准，该第二数据文件包括第二层和第二结构 234 的布置信息。这样，第二子结构 240-2 与第二结构 234 的对准不受第一、第三和第四层 / 结构的布置信息的影响。这种方法也用于将每一个子结构 240-3 和 240-4 分别与下面的第三层的结构 236 和第四层的结构 238 对准。

[0065] 因此，拆分方法 (decoupling method)（例如，使用单独的数据文件将每一个子结构与每个下面的结构 / 层对准）允许每个子结构 / 结构的单个对准。在对准工艺之后，第五层曝光在电子束下以限定第五结构 240 的图案（包括子结构 240-1, 240-2, 240-3 和 240-4）。在形成第五结构的图案后，通过例如蚀刻和沉积工艺形成第五结构 240，从而形成包括子结构（例如 240-1, 240-2, 240-3 和 240-4）的第五结构 240。明显地，每一个子结构（例如 240-1, 240-2, 240-3 和 240-4）与每一下面层的每个下面结构独立地对准。

[0066] 在此公开的方法 100 的优点在于通过独立地对准在其上具有图案 / 结构的多层来拆分总覆盖误差。例如，可通过在不考虑其他图案 / 结构的对准的情况下将一个图案 / 结构与上面的图案 / 结构对准（例如，仅使用将与该上面的图案 / 结构对准的图案 / 结构的对准数据）来实施独立地对准多层。没有拆分覆盖误差的方案具有总覆盖误差：

$(TOE) = \sqrt{OE1^2 + OE2^2 + OE3^2 + \dots OEn^2}$ ，其中， $OE1$ 是第 $n+1$ 层 / 结构与第一层 / 结构之间的覆盖误差， $OE2$ 是第 $n+1$ 层 / 结构与第二层 / 结构之间的覆盖误差，以此类推，直到第 $n+1$ 层 / 结构与第 n 层 / 结构之间的覆盖误差 OEn 。相对比地，拆分覆盖误差能够降低 TOE。例如，拆分可使得 $TOE = \text{MAX}(OE1, OE2, OE3, \dots OEn)$ 。通过所公开的方法减小 TOE 使得达到制造设备的能力极限。因此，所公开的方法使得 TOE 减小从而使得多层 / 结构被恰当对准，因而提高了器件性能和可靠性。进一步地，所公开的用于实现减小在此描述的覆盖误差的方法，很容易利用当前工艺实施。不同的实施例可具有不同的优点，没有特别的优点要求任一实施例都必须具备。

[0067] 芯片 220-1 可包括通过后续工艺形成的附加部件。例如，各种接触件 / 通孔 / 线和多层互连部件（例如金属层和层间电介质）可形成在衬底的上方，配置成连接芯片 220-1 的各种部件或结构。附加部件可提供与芯片 220-1 的电互连。例如，多层互连件包括诸如常规通孔或接触件的垂直互连件，和诸如金属线的水平互连件。各种互连部件可用各种导

电材料实施。

[0068] 因此,提供了一种方法。示例性方法包括通过第一曝光在第一层中形成第一结构,以及确定第一结构的布置信息。所述方法进一步包括通过第二曝光在位于第一层上方的第二层中形成第二结构,以及确定第二结构的布置信息。所述方法进一步包括通过第三曝光在位于第二层上方的第三层中形成包括第一和第二子结构的第三结构。形成第三结构包括独立地将第一子结构与第一结构对准以及独立地将第二子结构与第二结构对准。

[0069] 在一些实施例中,所述方法进一步包括存储第一结构的布置信息到一数据文件中,以及存储第二结构的布置信息到该数据文件中;并且独立地对准第一子结构包括使用来自所述数据文件的所述第一结构的所述布置信息,独立地对准第二子结构包括使用来自所述数据文件的第二结构的布置信息。

[0070] 在一些实施例中,确定第一结构的布置信息包括从对准标记获得第一结构的对准数据;确定第二结构的布置信息包括从所述对准标记获得第二结构的对准数据。在各种实施方式中,对准标记包括与第一结构关联的第一对准标记和与第二结构关联的第二对准标记。在某些实施例中,对准标记形成在有源层、多晶硅层和/或接触层中。在进一步的实施例中,第一曝光是光学曝光,第二曝光是光学曝光,和第三曝光是电子束曝光。在一些实施例中,数据文件包括与第一结构关联的第一数据文件和与第二结构关联的第二数据文件。在各种实施例中,第一结构包括第一多晶硅栅极,第二结构包括第二多晶硅栅极,以及第三结构包括与第一子结构关联的第一接触件和与第二子结构关联的第二接触件。在某些实施例中,实施电子束曝光从而同时曝光限定第一子结构的第一图案和限定第二子结构的第二图案。在一些实施例中,按顺序实施电子束曝光,从而首先曝光限定第一子结构的第一图案,之后曝光限定第二子结构的第二图案。

[0071] 还提供了方法的可选实施例。示例性方法包括在衬底上形成包括第一结构的第一层。所述方法进一步包括从对准标记获得第一层对准数据,以及根据所述第一层对准数据确定第一布置信息数据。所述方法进一步包括在所述第一层上方形成包括第二结构的第二层。所述方法进一步包括从所述对准标记获取第二层对准数据,以及根据所述第二层对准数据确定第二布置信息数据。所述方法进一步包括在所述第二层上方形成包括第三结构的第三层。所述第三结构包括第一子结构和第二子结构。形成所述第三结构包括使用第一布置信息数据独立地将第一子结构与第一结构对准,以及使用第二布置信息数据独立地将第二子结构与第二结构对准。

[0072] 在一些实施例中,所述方法进一步包括从所述对准标记获得第三层对准数据以及根据所述第三层对准数据确定第三布置信息数据。获得第三层对准数据包括获得第一子结构对准数据和第二子结构对准数据。

[0073] 在一些实施例中,形成所述第二结构包括使用所述第一布置信息数据将所述第二层与所述第一层对准。在各种实施例中,所述第一布置信息数据包括第一层的第一平移误差和第一转动误差,第二布置信息数据包括第二层的第二平移误差和第二转动误差。

[0074] 还提供了一种可选的方法。所述方法包括在衬底的第一层中形成第一结构。形成第一结构包括形成第一图案的第一曝光工艺,所述第一图案限定所述第一结构。所述方法进一步包括在衬底的第二层中形成第二结构。第二层覆盖第一层。形成第二结构包括形成第二图案的第二曝光工艺。所述第二图案限定第二结构。所述方法进一步包括在衬底的最

终层中形成包括第一和第二子结构的最终结构。所述最终层覆盖第一层和第二层。形成最终结构包括形成最终图案的最后的曝光工艺。所述最终图案限定所述最终结构。形成最终结构包括使用第一对准数据独立地将所述第一子结构与所述第一结构对准以及使用第二对准数据独立地将所述第二子结构与所述第二结构对准。

[0075] 在一些实施方式中，所述方法进一步包括在衬底的第三层中形成第三结构，其中所述第三层覆盖所述第二层，其中形成所述第三结构包括形成第三图案的第三曝光工艺，所述第三图案限定所述第三结构；以及在衬底的第四层中形成第四结构，其中所述第四层覆盖所述第三层并且位于所述最终层的下方，其中形成所述第四结构包括形成第四图案的第四曝光工艺，所述第四图案限定所述第四结构。所述最终结构包括第三子结构和第四子结构。形成所述最终结构包括使用第三对准数据独立地将所述第三子结构与所述第三结构对准以及使用第四对准数据独立地将所述第四子结构与所述第四结构对准。

[0076] 在进一步的实施方式中，第一对准数据包括与所述第一结构关联的第一布置信息数据，所述第一布置信息数据从第一对准标记获得。第二对准数据包括与所述第二结构关联的第二布置信息数据，第二布置信息数据从第二对准标记获得。在又一实施例中，所述第三对准数据包括与第三结构关联的第三布置信息数据，所述第三布置信息数据从第三对准标记获得。第四对准数据包括与所述第四结构关联的第四布置信息数据，第四布置信息数据从第四对准标记获得。并且，与最终结构关联的最终布置信息数据从最终对准标记获得。

总覆盖误差 (TOE) 小于 $\sqrt{OE1^2 + OE2^2 + OE3^2 + OE4^2 + OEn^2}$ ，其中，OE1 是第 n+1 结构与第一结构之间的覆盖误差，OE2 是第 n+1 结构与第二结构之间的覆盖误差，OE3 是第 n+1 结构与第三结构之间的覆盖误差，OE4 是第 n+1 结构与第四结构之间的覆盖误差，以及 OEn 是第 n+1 结构与第 n 结构（最终结构）之间的覆盖误差。

[0077] 上面概述了若干实施例的部件，使得本领域普通技术人员可以更好地理解本发明的各个方面。本领域普通技术人员应该理解，可以很容易地使用本发明作为基础来设计或更改其他工艺和结构以用于达到与这里所介绍实施例相同的目的和 / 或实现相同优点。本领域普通技术人员也应该意识到，这种等效构造并不背离本发明的精神和范围，并且在不背离本发明的精神和范围的情况下，可以进行多种变化、替换以及改变。

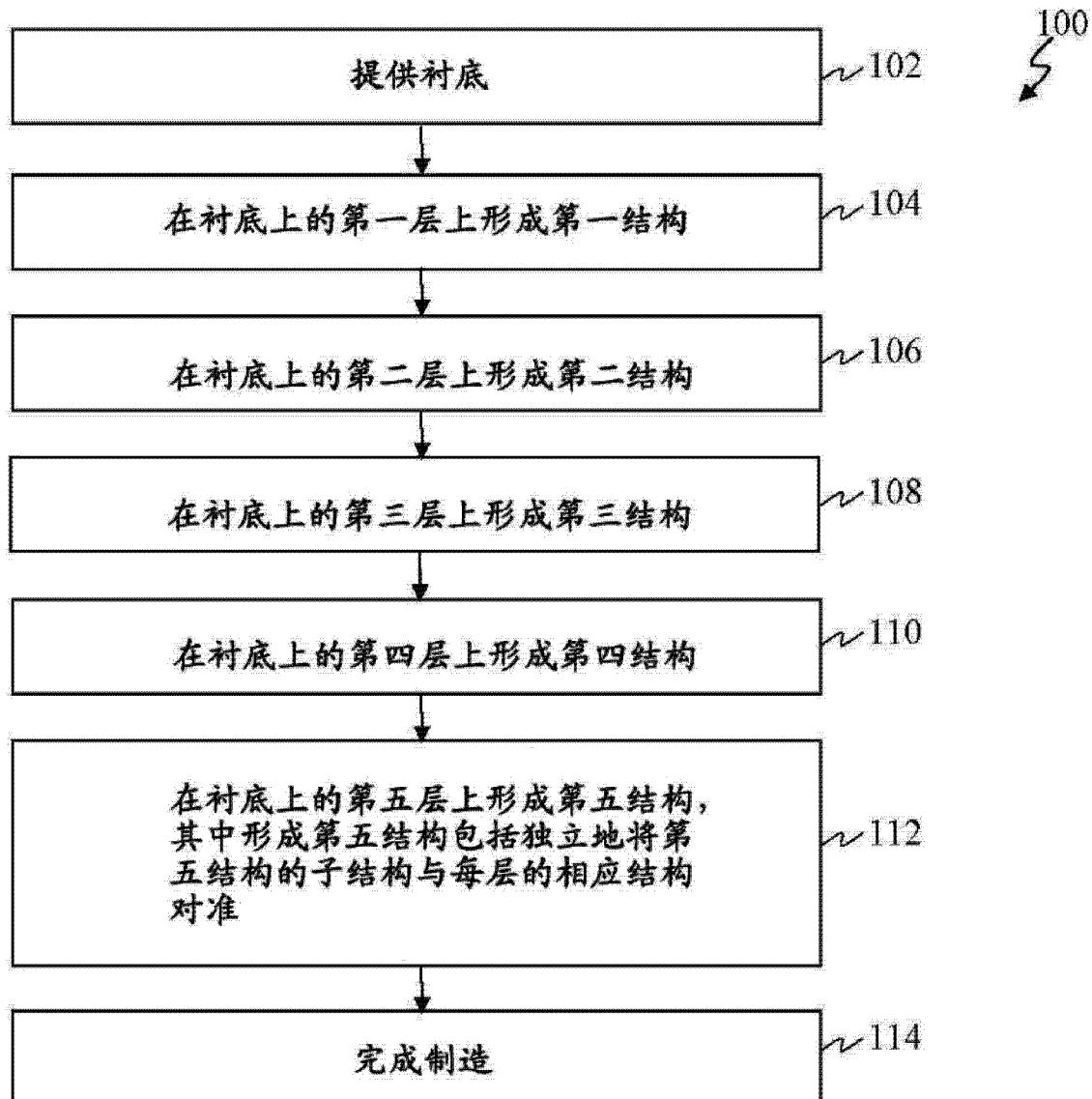


图 1

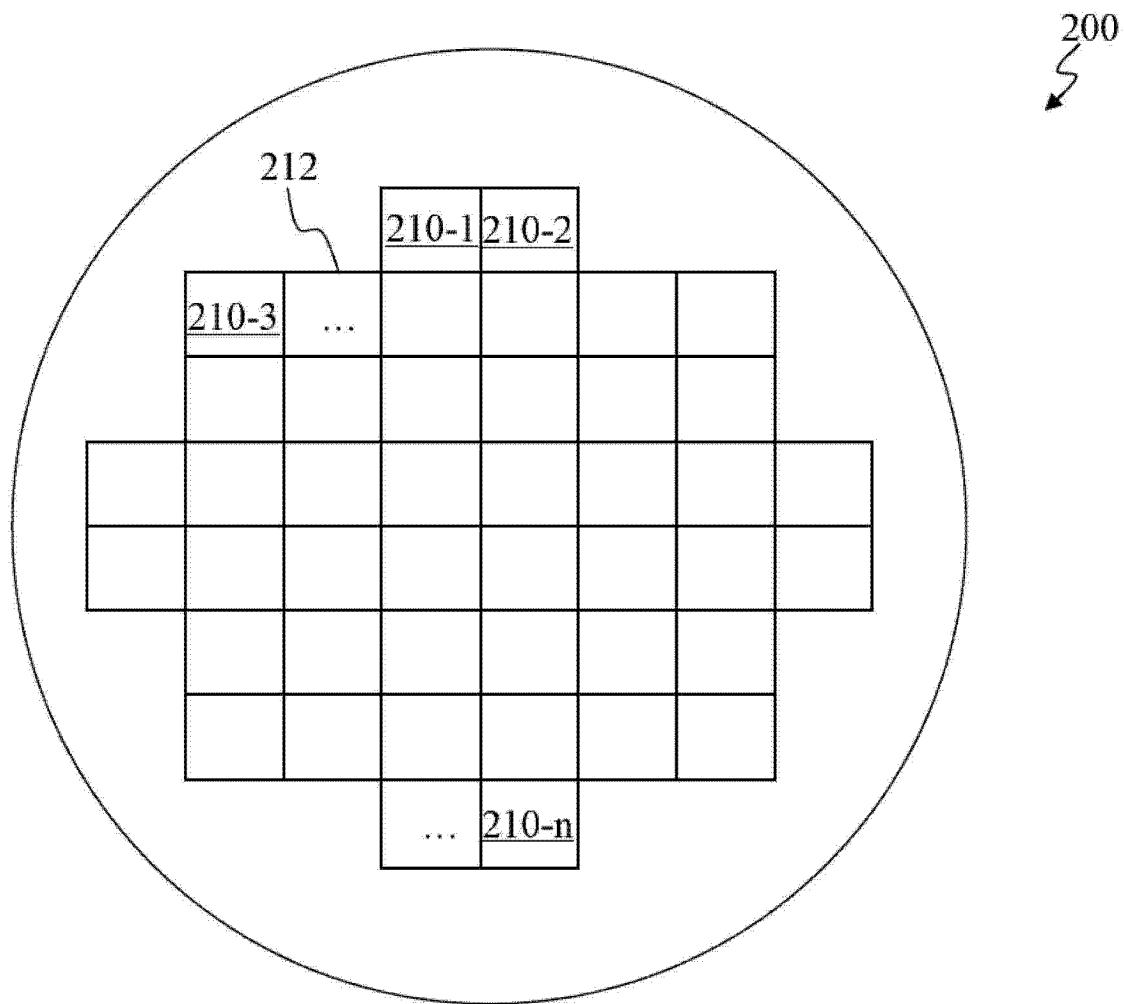


图 2

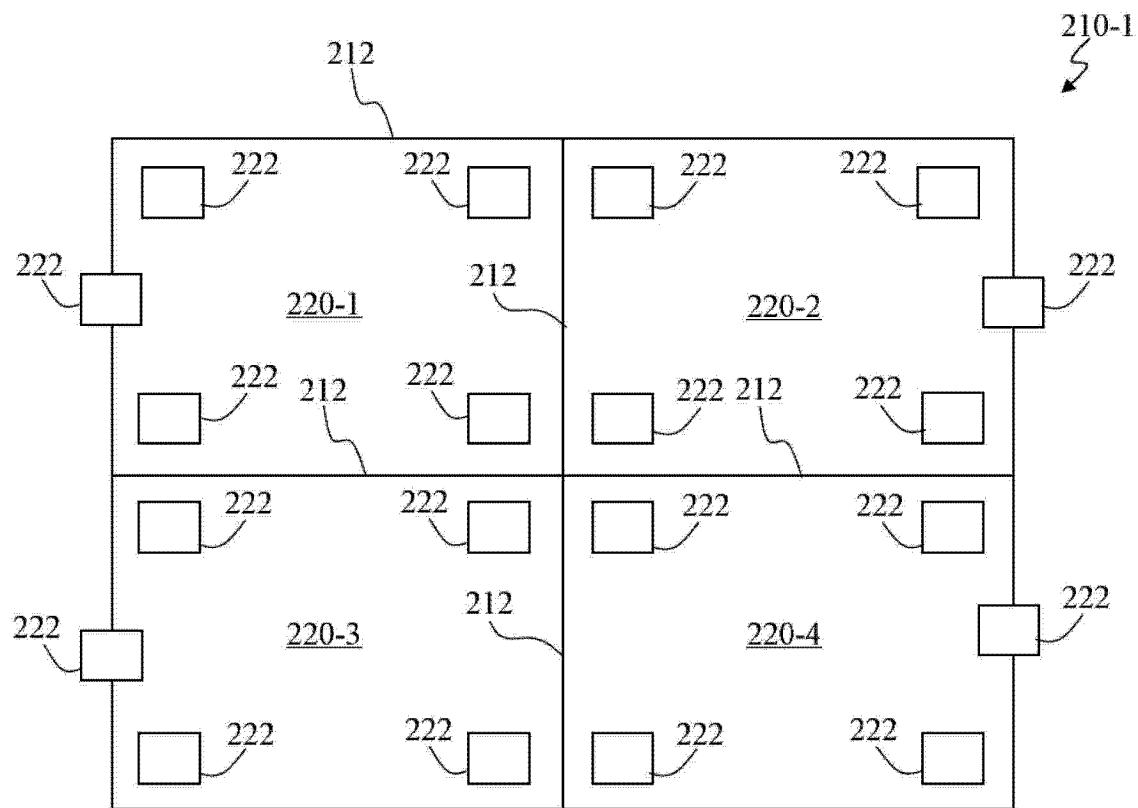


图 3

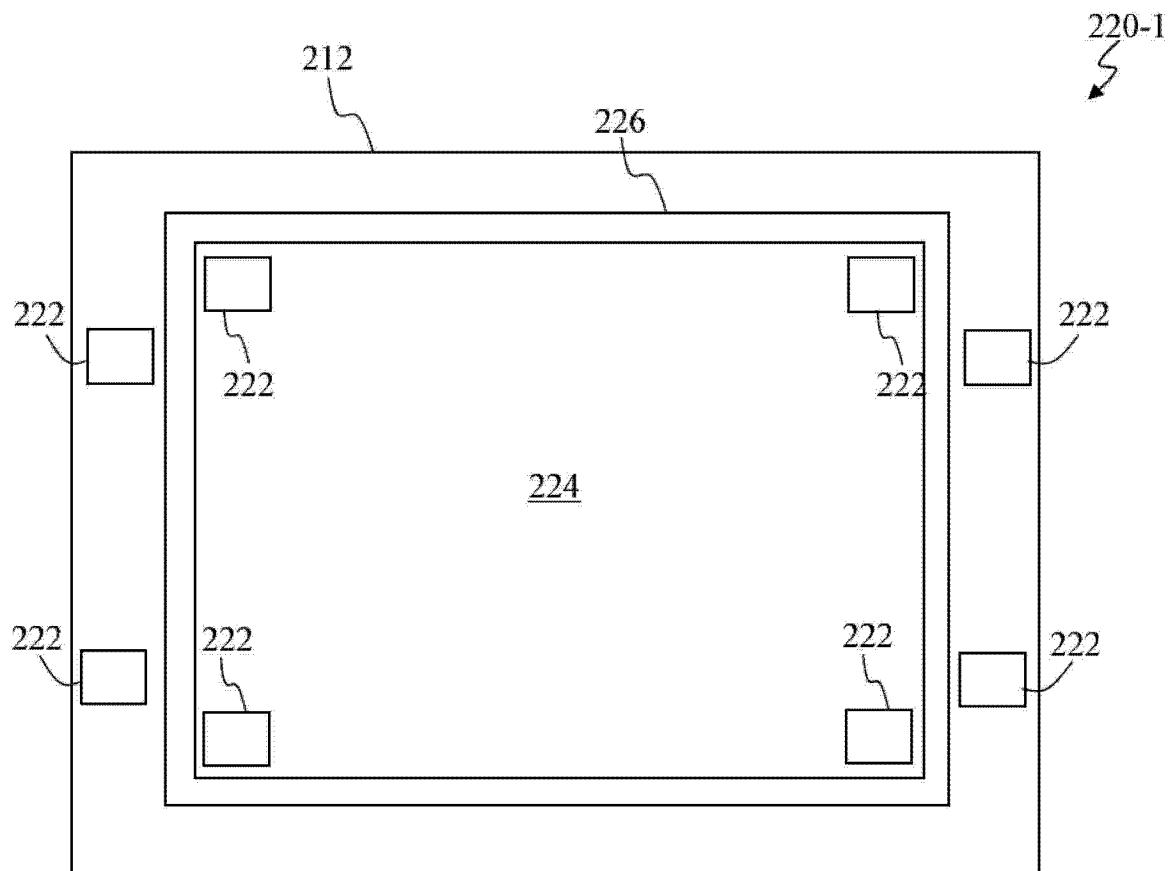


图 4

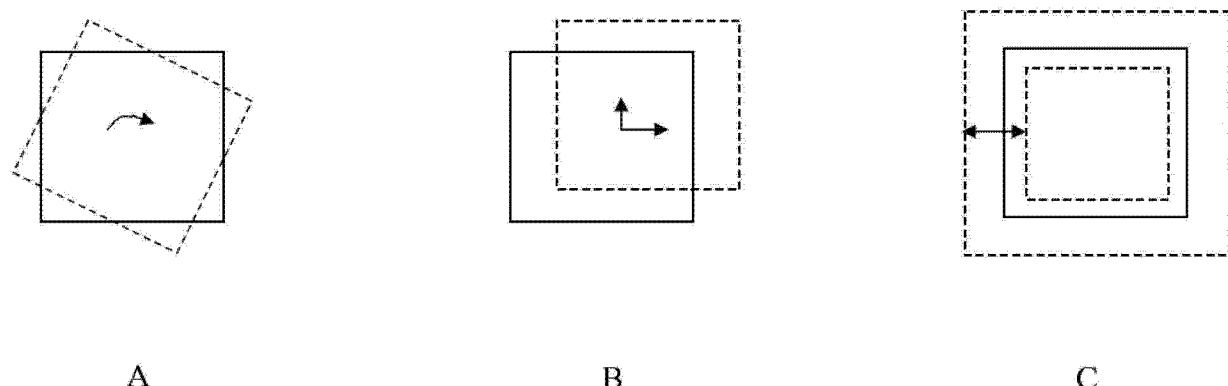


图 5

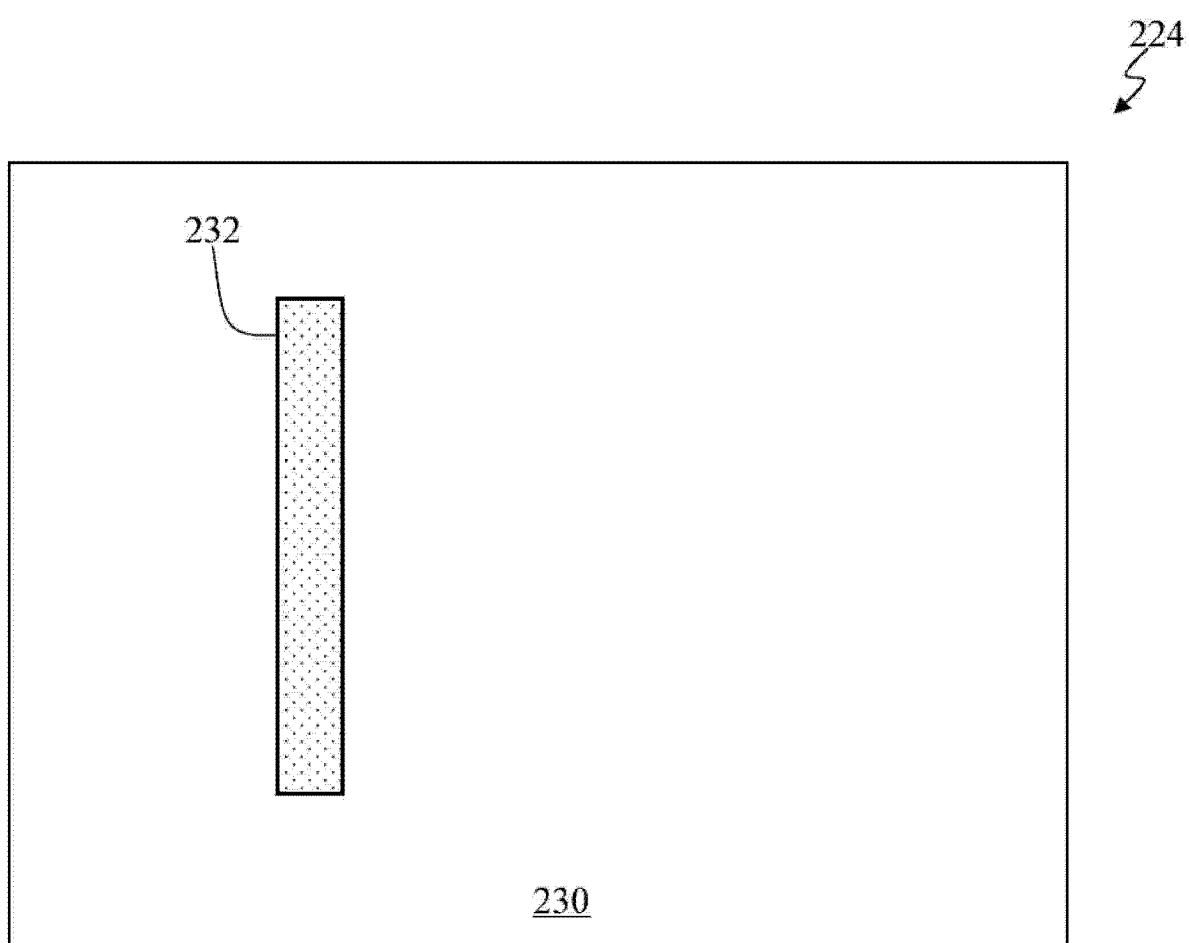


图 6

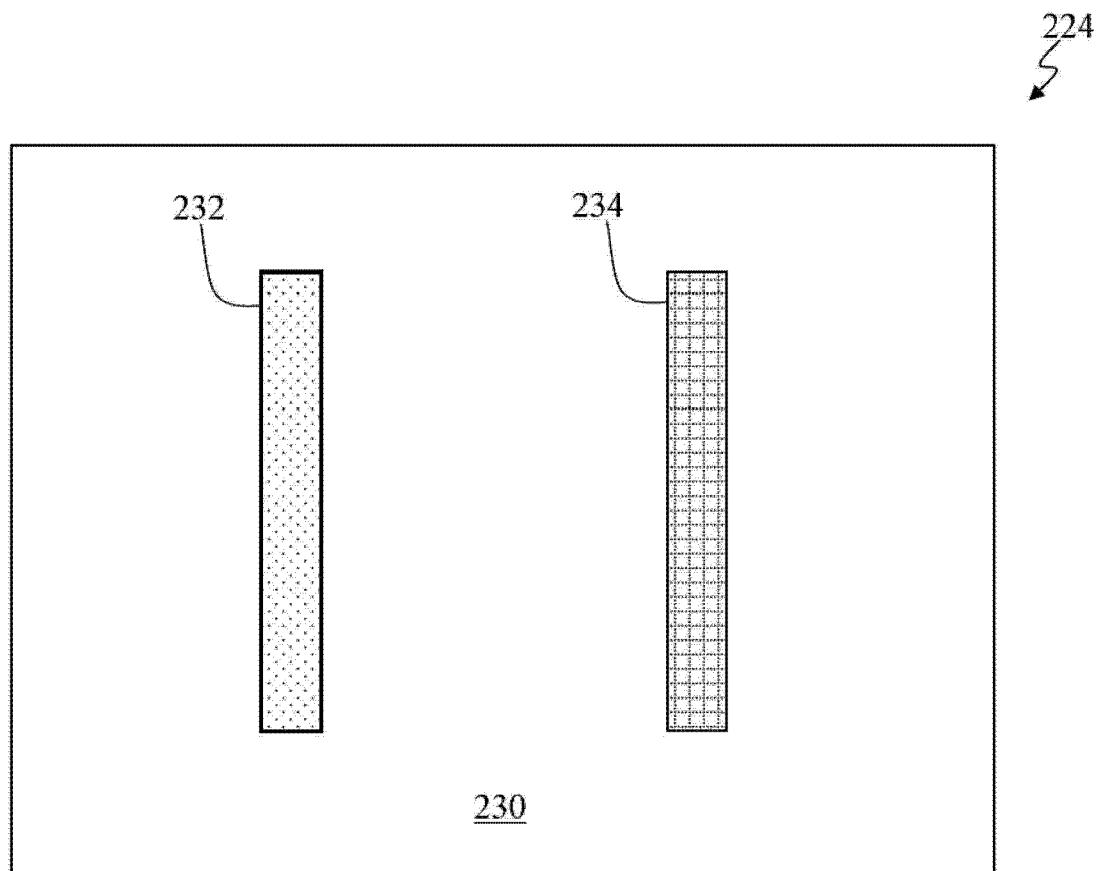


图 7

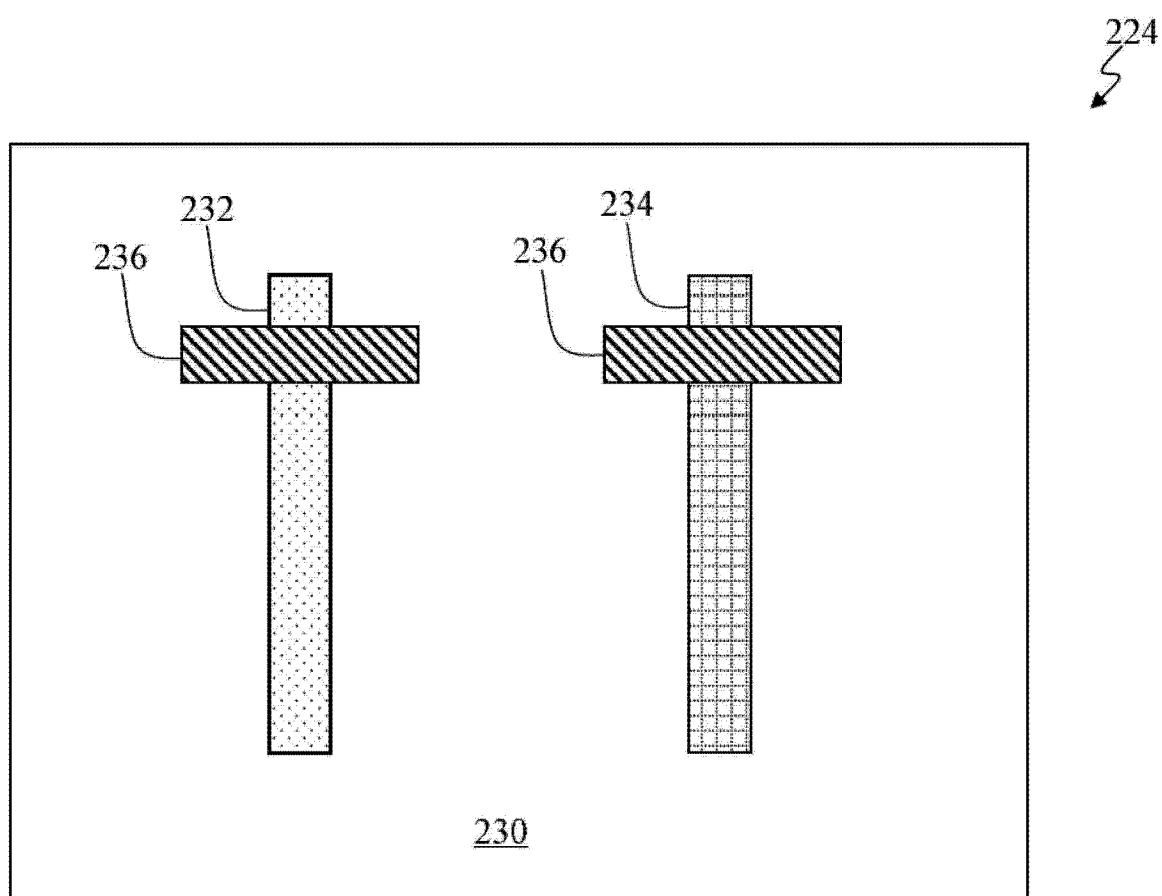


图 8

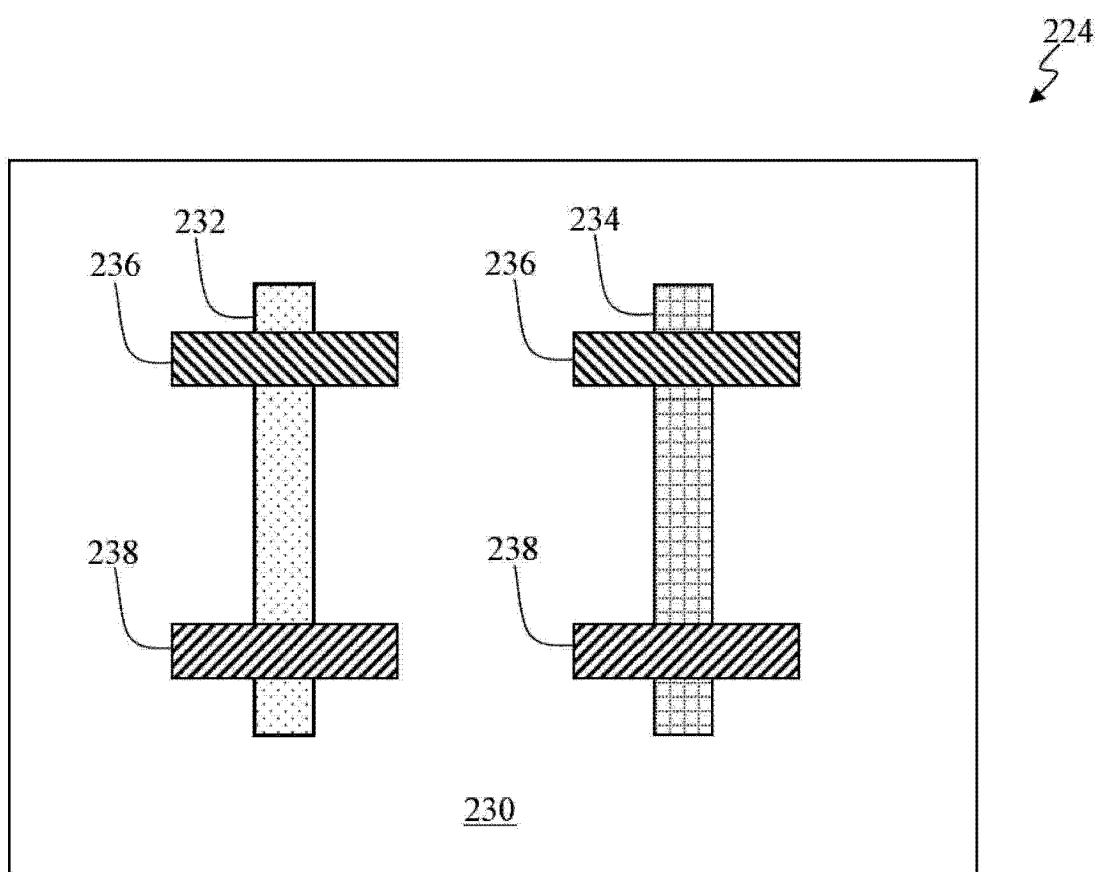


图 9

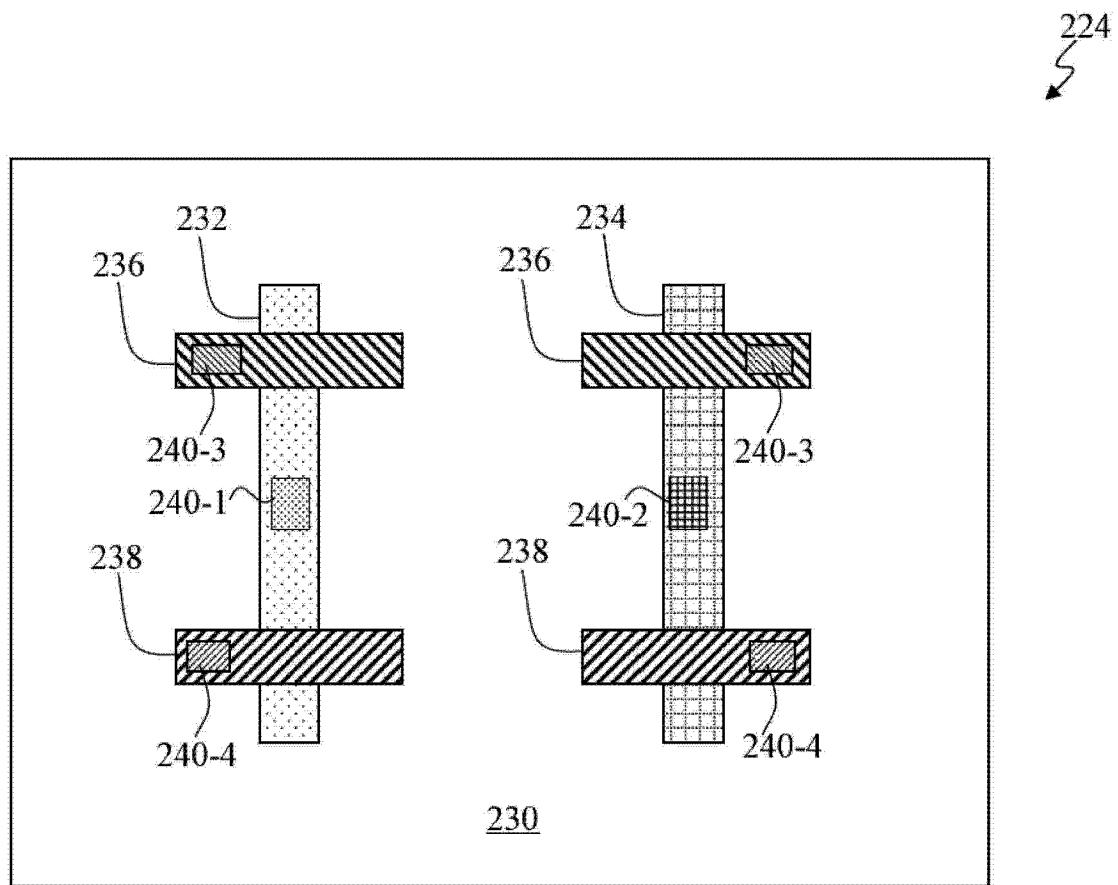


图 10