



(12) 发明专利

(10) 授权公告号 CN 102544027 B

(45) 授权公告日 2016. 02. 17

(21) 申请号 201110418419. 5

(22) 申请日 2005. 09. 13

(30) 优先权数据

2004-267673 2004. 09. 15 JP

(62) 分案原申请数据

200580030578. 0 2005. 09. 13

(73) 专利权人 株式会社半导体能源研究所

地址 日本神奈川县

(72) 发明人 桧垣欣成 坂仓真之 山崎舜平

(74) 专利代理机构 上海专利商标事务所有限公司

司 31100

代理人 杨洁

(51) Int. Cl.

H01L 27/12(2006. 01)

H01L 29/786(2006. 01)

H01L 29/45(2006. 01)

(56) 对比文件

JP 2001281694 A, 2001. 10. 10,

US 2002080293 A1, 2002. 06. 27,

JP 特开平 6-202146 , 1994. 07. 22,

JP 特开平 7-312425 , 1995. 11. 28,

审查员 刘宁

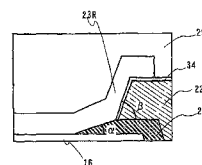
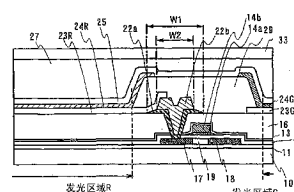
权利要求书4页 说明书19页 附图16页

(54) 发明名称

半导体器件

(57) 摘要

本发明涉及具有包括薄膜晶体管 (TFT) 的电路的半导体器件及其制造方法。本发明的目的是连接用两种不相容的膜 (ITO 膜和铝膜) 构成的引线、电极等, 同时不增大该引线的横截面面积, 并且即使屏幕尺寸变得更大也能够实现低功耗。本发明提供了一种包括上层和下层的双层结构, 下层宽度大于上层宽度。第一导电层是用 Ti 和 Mo 构成的, 第二导电层是用铝 (纯净的铝) 构成的, 第二导电层具有低电阻且位于第一导电层上。从上层的端部突出来的那部分下层与 ITO 接合。



1. 一种半导体器件,包括:

基板上的薄膜晶体管;

在所述薄膜晶体管之上的第一导电层,所述第一导电层与所述薄膜晶体管的半导体薄膜相接触;

在所述第一导电层上的第二导电层;

覆盖所述第二导电层的上表面的氧化膜;以及

在所述氧化膜之上并与所述氧化膜相接触的透明导电膜,

其中所述透明导电膜与从所述第二导电层的端部延伸出的所述第一导电层的一部分相接触,

其中所述透明导电膜不与所述第二导电层相接触。

2. 如权利要求 1 所述的半导体器件,其特征在于,所述第一导电层和所述第二导电层在同一溅射装置中连续地形成。

3. 如权利要求 1 所述的半导体器件,其特征在于,还包括:

包括所述半导体膜之上的接触孔的绝缘层;

其中,所述第一导电层形成在所述绝缘层之上,并且通过所述接触孔与所述半导体膜相接触。

4. 一种半导体器件,包括:

基板上的薄膜晶体管,所述薄膜晶体管包括半导体膜、包括第一导电层和形成在所述第一导电层上的第二导电层的栅极电极,以及置于所述半导体膜和所述栅极电极之间的栅绝缘膜;

在所述薄膜晶体管之上的第三导电层,所述第三导电层与所述半导体膜相接触;

在所述第三导电层上的第四导电层;

覆盖所述第四导电层的氧化膜;以及

在所述氧化膜之上并与所述氧化膜相接触的透明导电膜,

其中所述第三导电层具有从所述第四导电层的端部突出的一部分,

其中所述透明导电膜与从所述第四导电层的端部突出来的第三导电层的所述部分相接触,

其中所述第三导电层包括钛或钼,

其中所述第四导电层包括铝,以及

其中所述第四导电层不与所述透明导电膜相接触。

5. 一种半导体器件,包括:

基板上的薄膜晶体管,所述薄膜晶体管包括半导体膜、包括第一导电层和形成在所述第一导电层上的第二导电层的栅极电极,以及置于所述半导体膜和所述栅极电极之间的栅绝缘膜;

在所述薄膜晶体管之上的第三导电层,所述第三导电层与所述半导体膜相接触;

在所述第三导电层上的第四导电层;

覆盖所述第四导电层的氧化膜;以及

在所述氧化膜之上并与所述氧化膜相接触的透明导电膜,

其中所述透明导电膜与所述第三导电层侧面部分相接触,

其中所述第三导电层的所述侧面部分具有比所述第四导电层的侧面部分更小的锥角，
其中所述第三导电层包括钛或钼，
其中所述第四导电层包括铝，以及
其中所述第四导电层不与所述透明导电膜相接触。

6. 一种半导体器件，包括：

基板上的薄膜晶体管，所述薄膜晶体管包括半导体膜、包括第一导电层和形成在所述第一导电层上的第二导电层的栅极电极，以及置于所述半导体膜和所述栅极电极之间的栅绝缘膜；

在所述薄膜晶体管之上的第三导电层，所述第三导电层与所述半导体膜相接触；
在所述第三导电层上的第四导电层；
覆盖所述第四导电层的氧化膜；以及
在所述氧化膜之上并与所述氧化膜相接触的透明导电膜，
其中所述透明导电膜与所述第三导电层侧面部分相接触，
其中所述第三导电层的所述侧面部分具有比所述第四导电层的侧面部分更大的锥角，
其中所述第三导电层包括钛或钼，
其中所述第四导电层包括铝，以及
其中所述第四导电层不与所述透明导电膜相接触。

7. 一种半导体器件，包括：

基板上的薄膜晶体管，所述薄膜晶体管包括半导体膜、包括第一导电层和形成在所述第一导电层上的第二导电层的栅极电极，以及置于所述半导体膜和所述栅极电极之间的栅绝缘膜；

在所述薄膜晶体管之上的第三导电层，所述第三导电层与所述半导体膜相接触；
在所述第三导电层上的第四导电层；
覆盖所述第四导电层的氧化膜；以及
在所述氧化膜之上并与所述氧化膜相接触的透明导电膜，
其中所述透明导电膜与所述第三导电层侧面部分相接触，
其中所述第三导电层的所述侧面部分与所述第四导电层的侧面部分具有相同的锥角，
其中所述第三导电层包括钛或钼，
其中所述第四导电层包括铝，以及
其中所述第四导电层不与所述透明导电膜相接触。

8. 一种半导体器件，包括：

基板上的薄膜晶体管，所述薄膜晶体管包括半导体膜、包括第一导电层和形成在所述第一导电层上的第二导电层的栅极电极，以及置于所述半导体膜和所述栅极电极之间的栅绝缘膜；

在所述薄膜晶体管之上的第三导电层，所述第三导电层与所述半导体膜相接触；
在所述第三导电层上的第四导电层；
覆盖所述第四导电层的氧化膜；以及
在所述氧化膜之上并与所述氧化膜相接触的透明导电膜，
其中所述透明导电膜与从所述第四导电层的端部延伸的所述第三导电层的一部分相

接触，

其中所述第三导电层具有比所述第四导电层更大的宽度，

其中所述第一导电层包括钛，

其中所述第二导电层包括铜，

其中所述第三导电层包括钛或钼，

其中所述第四导电层包括铝，以及

其中所述第四导电层不与所述透明导电膜相接触。

9. 一种半导体器件，包括：

在基板之上的薄膜晶体管，所述薄膜晶体管包括半导体薄膜，包括第一导电层和第二导电层的栅极电极；

在所述薄膜晶体管之上的第三导电层，所述第三导电层与所述半导体薄膜相接触；

在所述第三导电层上的第四导电层；

覆盖所述第四导电层的氧化膜；以及

在所述氧化膜之上并与所述氧化膜相接触的透明导电膜，

其中所述第一导电层具有第一锥角且所述第二导电层具有第二锥角；

其中所述第一锥角不同于所述第二锥角；

其中所述第三导电层具有比所述第四导电层更大的宽度，

其中所述透明导电膜与从所述第四导电层的端部延伸的所述第三导电层的一部分相接触，

其中所述第三导电层包括钛或钼，

其中所述第四导电层包括铝，以及

其中所述第四导电层不与所述透明导电膜相接触。

10. 一种半导体器件，包括：

基板上的薄膜晶体管，所述薄膜晶体管包括半导体薄膜，包括第一导电层和第二导电层的栅极电极；

在所述薄膜晶体管之上的第三导电层，所述第三导电层与所述半导体薄膜相接触；

在所述第三导电层上的第四导电层；

覆盖所述第四导电层的氧化膜；以及

在所述氧化膜之上并与所述氧化膜相接触的透明导电膜，

其中所述第一导电层具有第一锥角且所述第二导电层具有第二锥角；

其中所述第一锥角不同于所述第二锥角；

其中所述第三导电层具有从所述第四导电层的端部突出的一部分，

其中所述透明导电膜与从所述第四导电层的端部突出来的所述第三导电层的所述部分相接触，

其中所述第三导电层包括钛或钼，

其中所述第四导电层包括铝，以及

其中所述第四导电层不与所述透明导电膜相接触。

11. 如权利要求 1 至 10 中的任一项所述的半导体器件，其特征在于，还包括：

发光元件，在其中所述透明导电膜用作阳极或阴极。

12. 如权利要求 1 至 10 中的任一项所述的半导体器件,其特征在于,还包括:
液晶元件,在其中所述透明导电膜用作像素电极。

13. 如权利要求 1 至 10 中的任一项所述的半导体器件,其特征在于,所述透明导电膜用 ITO 或 IZO 形成。

14. 如权利要求 1 至 10 中的任一项所述的半导体器件,其特征在于,所述半导体器件是移动信息终端、摄像机、数字照相机,或个人计算机。

15. 如权利要求 5 至 10 中的任一项所述的半导体器件,其特征在于,所述第三导电层和所述第四导电层在同一溅射装置中连续地形成。

16. 如权利要求 5 至 8 中的任一项所述的半导体器件,其特征在于,还包括:
包括所述半导体膜之上的接触孔的绝缘层;

其中,所述第三导电层形成在所述绝缘层之上,并且通过所述接触孔与所述半导体膜相接触。

17. 如权利要求 9 或 10 中任一项所述的半导体器件,其特征在于,还包括:
包括在所述半导体薄膜之上的接触孔的平整化绝缘层;

其中所述第三导电层形成在所述平整化绝缘层之上,并且通过所述接触孔与所述半导体薄膜相接触。

18. 如权利要求 5 至 8 中的任一项所述的半导体器件,其特征在于,所述第一导电层具有第一锥角且所述第二导电层具有第二锥角。

19. 如权利要求 18 所述的半导体器件,其特征在于,所述第一锥角不同于所述第二锥角。

半导体器件

[0001] 本申请是申请日为 2007 年 3 月 12 日,申请号为 200580030578.0(国际申请号为 PCT/JP2005/017223),名为“半导体器件”申请的分案申请。”

技术领域

[0002] 本发明涉及具有包括薄膜晶体管(在下文中被称为 TFT)的电路的半导体器件及其制造方法。例如,本发明涉及一种电子设备,其中安装了发光显示器作为其部件,这种发光显示器件是以有机发光元件或以液晶显示板为代表的光电器件。

[0003] 要注意,本说明书中的半导体器件表示所有可以利用半导体特性而工作的器件,并且光电器件、半导体电路和电子设备都被包括在半导体器件中。

背景技术

[0004] 近年来,一种用于形成薄膜晶体管(TFT)的技术正吸引着人们的注意力,该技术使用在具有绝缘表面的基板上所形成的半导体薄膜(其厚度大约几微米到几百微米)。薄膜晶体管广泛地应用于像 IC 这样的电子器件或光电器件。特别是,在图像显示器件中薄膜晶体管作为开关元件的开发推进得很快。

[0005] 按常规,在由 TFT 驱动的有源矩阵液晶显示器中,在基板上垂直且水平地设置了大量的扫描线和数据线,并且根据这些引线的交叉点设置了大量的 TFT。在每一个 TFT 中,栅极引线电连接到扫描线,源极电极电连接到数据线,而漏极电极电连接到像素电极。

[0006] 在透射式液晶显示器中,具有透光性和导电性的 ITO 常常被用于像素电极。由一层绝缘材料使像素电极与金属引线(比如数据线和扫描线)绝缘。通过绝缘膜上特定位置处所形成的接触孔,像素电极和金属引线彼此接触。

[0007] 随着显示屏面积不断变大,因引线的阻抗所导致的信号延迟变为一个越来越值得注意的问题。因此,有必要彻底地改变引线 and 电极的形状,或者将像铝这样的低阻材料用于引线 and 电极。

[0008] 当被用作引线和电极的材料铝接触被用作像素电极的材料 ITO 时,在接合界面处出现了一种被称为电蚀的反应。此外,当铝接触 ITO 时,铝的表面被氧化且变得不导电。

[0009] 结果,为了防止当用这两种不相容的膜构成的引线、电极等连接时所出现的电蚀,已经提出了一种技术,其中在 ITO 和铝引线(或电极)之间设置具有高熔点的金属膜(比如钛膜)、具有高熔点的金属化合物膜(比如氮化钛膜)等。

[0010] 申请人在专利文献 1-3 中描述了,薄膜晶体管的漏极和用作像素电极的 ITO,通过在两者之间夹入一种包括钛膜、铝膜和钛膜的多层膜,进而相连。

[0011] 此外,申请人在专利文献 4 中描述了,薄膜晶体管的漏极和用作像素电极的 ITO,通过在两者之间夹入一种包括钛膜和铝膜的多层膜,进而相连。此外,申请人在专利文献 5 中描述了,薄膜晶体管的漏极和用作像素电极的 ITO,通过在两者之间夹入一种包括氮化钛膜和铝膜的多层膜,进而相连。

[0012] 申请人在专利文献 6 中描述了,薄膜晶体管的栅极电极是用具有不同宽度的两个层构成的,以便形成 GOLD 结构。

[0013] (专利文献 1) 已公布的日本专利申请特开第 H9-45927

[0014] (专利文献 2) 已公布的日本专利申请特开第 H10-32202

[0015] (专利文献 3) 已公布的日本专利申请特开第 H6-232129

[0016] (专利文献 4) 已公布的日本专利申请特开第 2004-6974

[0017] (专利文献 5) 已公布的日本专利申请特开第 H8-330600

[0018] (专利文献 6) 已公布的日本专利申请特开第 2001-281704

发明内容

[0019] 然而,当钛膜或氮化钛膜层叠在铝引线(电极)和 ITO 之间时,引线阻抗会增大,这使功耗也增大,当显示屏具有较大的尺寸时尤其如此。通过增大作为引线的金属膜的横截面面积,可以减小引线阻抗;然而,在通过增大膜厚度进而增大横截面面积的情况下,基板的表面与较厚的引线的表面之间出现台阶差,这使液晶具有定向缺陷。

[0020] 即使在由 TFT 驱动的有源矩阵发光器件中,也可以将透明的导电膜用作发光元件的阳极(或阴极)。相似的是,包括透明导电膜的阳极形成于夹层绝缘膜上,以便与各种引线电绝缘。因此,当用作阳极的 ITO 连接到 TFT 的电极(铝)时,上述电蚀以相同的方式出现。

[0021] 本发明的目的是,在不增大引线的横截面面积的情况下,连接用两种不相容的膜(ITO 膜和铝膜)所构成的引线、电极等,并且即使显示屏很大也要实现低功耗。

[0022] 在将铝用作引线材料来制造 TFT 的情况下,可能形成像小丘或晶须这样的凸起,或者铝原子可能因热处理而扩散到沟道形成区域,由此产生 TFT 的操作缺陷以及 TFT 性能下降。结果,按常规,使用在铝中含另一种元素(例如硅)的铝合金膜,来防止小丘等的产生。然而,即使这种铝合金膜也无法解决如下问题:因接合界面处铝的氧化以及 ITO 膜的减少,接合阻抗会改变。

[0023] 另外,本发明的目的是,当铝被用作引线材料时要防止铝原子扩散到沟道形成区域中,以及在有源矩阵显示器中允许良好的欧姆接合。

[0024] 根据本发明,电极(或引线)是用双层结构形成的,这包括作为下层的第二导电层以及作为上层的第二导电层。第二导电层是用高熔点金属(比如 Ti 和 Mo)或高熔点金属氮化物(比如 TiN)构成的,第二导电层是用铝或含铝的合金构成的。具有双层结构的电极(或引线)具有这样的横截面形状,即第二导电层的宽度(W1)大于第一导电层的宽度(W2)。换句话说,在形成下层(第二导电层)的端部比上层(第一导电层)的端部更靠外的结构之后,形成透明导电膜以便覆盖并接触具有双层结构的电极(或引线)。

[0025] 根据本发明,在包括双层的电极(或引线)中,通过使露出且不与第二导电层重叠的那部分第二导电层与透明导电膜(通常是 ITO)相连,便解决了上述诸多问题。

[0026] 根据本发明的一方面,图 1A 或 2A 所示的半导体器件示例包括在具有绝缘表面的基板上的透明导电膜以及多个薄膜晶体管,这些薄膜晶体管具有半导体薄膜,其中该半导体器件还包括一种电极或引线,在这种电极或引线中层叠着与半导体薄膜相接触的第二导电层和在第二导电层上的第一导电层,其中第二导电层具有比第一导电层更大的宽度(W1)

或 W3), 其中透明导电膜与从第二导电层端部延伸出来的那部分第一导电层相接触。

[0027] 根据本发明的另一个方面, 半导体器件包括在具有绝缘表面的基板上的透明导电膜以及多个薄膜晶体管, 这些薄膜晶体管具有半导体薄膜, 其中该半导体器件还包括一种电极或引线, 在这种电极或引线中层叠着与半导体薄膜相接触的第一导电层和在第一导电层上的第二导电层, 其中透明导电膜与从第二导电层端部突出来的那部分第一导电层相接触。

[0028] 根据本发明的另一个方面, 半导体器件包括在具有绝缘表面的基板上的透明导电膜以及多个薄膜晶体管, 这些薄膜晶体管具有半导体薄膜, 其中该半导体器件还包括一种电极或引线, 在这种电极或引线中层叠着与半导体薄膜相接触的第一导电层和在第一导电层上的第二导电层, 其中如图 1A 所示与第二导电膜的侧面部分相比, 第一导电层的侧面部分具有更小的锥角, 并且其中透明导电膜与第一导电层的侧面部分相接触。

[0029] 根据本发明的另一个方面, 如图 3 所示, 半导体器件包括在具有绝缘表面的基板上的透明导电膜以及多个薄膜晶体管, 这些薄膜晶体管具有半导体薄膜, 其中该半导体器件还包括一种电极或引线以及平整化绝缘膜, 在这种电极或引线中层叠着与半导体薄膜相接触的第一导电层和在第一导电层上的第二导电层, 而平整化绝缘膜则形成于这种电极或引线的一部分之上, 其中透明导电膜形成于平整化绝缘膜之上, 其中电极或引线通过平整化绝缘膜上所设置的接触孔而与透明导电膜相互接触, 并且其中电极或引线的端部位于接触孔中。

[0030] 在每一种上述结构中, 第二导电层的表面都用氧化膜来覆盖。

[0031] 此外, 用于实现上述结构的制造方法也被包括在本发明中。根据下文所示的方法, 其中进行多次蚀刻, 实现了下层 (第一导电层) 端部比上层 (第二导电层) 端部更靠外的结构。

[0032] 作为第一种方法, 在包括双层的金属多层膜上形成掩模之后, 通过第一干蚀过程, 形成了具有宽度 W1 和锥形端部的金属多层膜图形。接下来, 通过第二干蚀过程, 只对上层 (含铝的材料) 进行各向异性地蚀刻, 由此形成比下层的 W1 要小的宽度 W2。结果, 在未与上层重叠的那部分下层露出的地方, 形成了电极 (或引线)。

[0033] 作为第二种方法, 在包括双层的金属多层膜上形成掩模之后, 根据掩模图形, 用蚀刻剂只除去上层 (含铝的材料)。在该步骤中, 因蚀刻的围绕物, 上层的端部从掩模的端部起向后退。之后, 通过干蚀过程, 只除去未被掩模覆盖的那部分下层。结果, 在未与上层重叠的那部分的下层露出的地方, 形成了电极 (或引线)。

[0034] 作为第三种方法, 在包括双层的金属多层膜上形成掩模之后, 通过干蚀过程形成金属多层膜图形。接下来, 用蚀刻剂只处理上层 (含铝的材料), 由此使上层的宽度变窄。在该步骤中, 因蚀刻的围绕物, 上层的端部从掩模的端部起向后退。结果, 在未与上层重叠的那部分的下层露出的地方, 形成了电极 (或引线)。

[0035] 作为第四种方法, 在包括双层的金属多层膜上形成第一掩模之后, 通过干蚀过程或湿法蚀刻过程形成金属多层膜图形。接下来, 除去第一掩模之后, 形成第二掩模, 并且根据第二掩模图形来处理金属多层膜图形。在该步骤中, 使第二掩模图形比第一掩模图形更窄些。结果, 在未与上层重叠的那部分的下层露出的地方, 形成了电极 (或引线)。

[0036] 在任何一种上述方法中, 通过使用光掩模, 借助使用等离子体装置的干蚀或使用

蚀刻剂的湿法蚀刻,使电极或引线图形化。

[0037] 然后,形成透明导电膜,以便覆盖并接触通过上述方法而获得的电极(或引线)。结果,电极(或引线)的下层与透明导电膜彼此接触,使得它们主要在该部分处彼此电连接。

[0038] 已按常规揭示了透明导电膜与下层在下层的端部彼此接触这样一种结构;然而,在大多数常规结构中,透明导电膜主要接触最上层的顶面,使得它们彼此电连接。同时,在本发明中,为了使下层和透明导电膜电连接,有意地设置其锥角比上层要小的锥形部分或从上层的端部起突出来的部分,以确保下层与透明导电膜相接触的区域,使得下层与透明导电膜彼此完全接触。

[0039] 根据本发明,因为在透明导电膜与用含铝的材料构成的上层之间形成了薄氧化膜,所以上层和透明导电膜没有直接相连,并且它们通过插放于其间的下层而电连接。在这一点,本发明的结构与常规结构很不同。

[0040] 要注意,发光元件具有阳极、阴极以及含有机化合物的层(在下文中该层被称为EL层),通过对其施加电场该有机化合物提供发光(电发光)。来自有机化合物的发光包括当单激发态返回基态时所发射的光(荧光)以及当三激发态返回基态所发出的光(磷光)。在用本发明的薄膜形成装置和薄膜形成方法所制造的发光器件中,荧光或磷光都可以使用。

[0041] 此外,在本说明书中,第一电极是指用作发光元件的阳极或阴极的那个电极。发光元件的结构包括第一电极、在第一电极上的含有机化合物的层、以及在含有机化合物的层上的第二电极。在基板上首先形成的电极被称为第一电极。

[0042] 作为第一电极的排列方式,可以使用条形排列、 Δ 排列、镶嵌排列等。

[0043] 本说明书中的发光器件是指图像显示器件、发光器件、或光源(包括照明设备)。此外,下列模块全都被包括在发光器件中:像FPC(柔性印刷电路)、TAB(卷带自动接合)卷带、或TCP(卷带式封装)这样的连接器附着于发光器件的模块;印刷引线板设置在TAB卷带或TCP尖端处的模块;以及IC(集成电路)通过COG(玻璃上芯片)方法直接安装在发光元件中的模块。

[0044] 在本发明的发光器件中,屏幕显示的驱动方法并不特别地限制。例如,可以使用点顺序驱动方法、线顺序驱动方法、面顺序驱动方法等。通常,使用线顺序驱动方法,可以适当地使用时分灰度驱动方法或域分灰度驱动方法。此外,要输入到发光器件的源极线路的视频信号可以是模拟信号或数字信号。根据视频信号,可以适当地设计驱动电路等。

[0045] 在视频信号为数字式的发光器件中,要被输入到像素中的视频信号可以使用恒定电压(CV)或恒定电流(CC)。当视频信号使用恒定电压(CV)时,加到发光元件上的电压是恒定的(CVCV)或流过发光元件的电流是恒定的(CVCC)。另一方面,当视频信号使用恒定电流时,加到发光元件上的电压是恒定的或流过发光元件的电流是恒定的(CCCC)。

[0046] 在本发明的发光显示器中,可以提供保护电路(比如保护二极管)以避免静电破坏。

[0047] 在有源矩阵类型的情况下,提供多个TFT以便与第一电极相连,并且无论TFT结构如何都可以应用本发明。例如,可以使用顶部栅TFT、底部栅(反向交错)TFT、或交错TFT。不仅可以使使用单栅结构的TFT,还可以使用具有多个沟道形成区域的多栅TFT,例如双栅TFT。

[0048] 要与发光元件电连接的 TFT 可以是 p 型沟道 TFT 或 n 型沟道 TFT。当发光元件与 p 型沟道 TFT 相连时,发光元件与阳极相连。具体地讲,在将空穴注入层 / 空穴输运层 / 发光层 / 电子输运层按顺序地层叠在阳极上之后,可以形成阴极。当发光元件与 n 型沟道 TFT 相连时,发光元件与阴极相连。具体地讲,在将电子输运层 / 发光层 / 空穴输运层 / 空穴注入层按顺序地层叠在阴极上之后,可以形成阳极。

[0049] 作为 TFT 的沟道形成区域,可以适当地使用非晶半导体膜、包括晶体结构的半导体膜、包括非晶结构的化合物半导体膜等。此外,作为 TFT 的沟道形成区域,也可以使用半非晶半导体膜(也被称为微晶半导体膜)。半非晶半导体膜具有介于非晶结构与晶体结构(包括单晶和多晶)之间的中间结构,并且具有从自由能的角度来讲是稳定的第三态。半非晶半导体膜还包括结晶区域,该区域具有短范围量级和晶格畸变。

[0050] 在本说明书中,像素电极是指要与 TFT 相连的电极,还指与对置基板上所设置的对置电极配对的电极。此外,液晶元件是指像素电极、对置电极以及设置在这些电极之间的液晶层。在有源矩阵液晶显示器中,通过驱动按矩阵排列的像素电极,显示图形便形成于屏幕上。具体来讲,通过在选中的像素电极以及该像素电极所对应的对置电极之间施加电压,便对设置在该像素电极和对置电极之间的液晶层进行了光调制,并且该光调制被观察者识别为显示图形。

[0051] 根据本发明,将含高熔点金属的层设置成引线的上层这一步骤可以忽略,这按常规是必需的,同时电极(或引线)与像素电极之间的接触阻抗并不增大。这提供了许多优点,比如生产所用的成本和时间可以减小。

附图说明

[0052] 在附图中:

[0053] 图 1A 和 1B 是示出了实施例 1 的像素的横截面图;

[0054] 图 2A 和 2B 是示出了实施例 2 的像素的横截面图;

[0055] 图 3 是示出了实施例 3 的像素的横截面图;

[0056] 图 4A 和 4B 是 SEM 照片,图 4C 是透视图,所有这些都示出了蚀刻出的电极的端部;

[0057] 图 5A 和 5B 示出了第一 TEG 图形;

[0058] 图 6A 和 6B 示出了第二 TEG 图形;

[0059] 图 7 示出了使用第一 TEG 图形的电测量结果(包括钛和铝的多层的实验结果);

[0060] 图 8 示出了使用第二 TEG 图形的电测量结果;

[0061] 图 9 是 EL 显示板(实施例 1)的横截面图;

[0062] 图 10 是 EL 显示板(实施例 2)的横截面图;

[0063] 图 11A 和 11B 是示出了 EL 显示板(实施例 3)的俯视图;

[0064] 图 12 是示出了液晶板(实施例 4)的横截面图;

[0065] 图 13A-13H 示出了电子设备的示例;

[0066] 图 14 示出了电子设备的示例;以及

[0067] 图 15 示出了使用第一 TEG 图形的电测量结果(包括钼和铝的多层的实验结果)。

具体实施方式

[0068] 下文描述本发明的各实施例。

[0069] (实施例 1)

[0070] 在本实施例中,使用有源矩阵发光器件作为示例来描述本发明。

[0071] 图 1A 是一放大的横截面图,示出了发光器件的一部分像素部分。下文示出了具有图 1A 所示发光元件的半导体器件的制造步骤。

[0072] 首先,在基板 10 上形成底部绝缘膜 11。在提取光的情况下,假定基板 10 的一侧是显示表面,最好使用具有透光性的玻璃基板或石英基板作为基板 10。此外,具有透光性且能够耐受处理温度的塑料基板也可以使用。同时,在提取光的情况下,假定基板 10 的那一侧的反面是显示表面,则除了上述各种基板以外,还可以使用其上形成有绝缘膜的硅基板、金属基板、或不锈钢基板。此处,玻璃基板被用作基板 10。要注意,玻璃基板具有大约 1.55 的折射率。

[0073] 作为底部绝缘膜 11,形成包括绝缘膜的底部膜,绝缘膜可以是氧化硅膜、氮化硅膜、或氧氮化硅膜。尽管此处的底部膜是使用双层结构的示例,但是该底部膜可以具有单层结构或其中层叠了两层或更多层的多层结构。要注意,没必要必须形成底部绝缘膜。

[0074] 接下来,在底部绝缘膜上形成半导体层。该半导体层是以下列方式形成的:在用已知手段(溅射方法、LPCVD 方法、等离子体 CVD 方法等)形成具有非晶结构的半导体膜之后;用已知的结晶化处理(激光结晶化方法、热结晶化方法、使用像镍这样的催化剂的热结晶化方法)使该半导体膜结晶化以便成为结晶半导体膜;然后,用第一光掩模使结晶半导体膜图形化成所期望的形状。半导体层的厚度被设为 25-80 纳米的范围(最好是 30-70 纳米)。尽管结晶半导体膜的材料并不特别限定,但是最好使用硅或硅锗(SiGe)合金。

[0075] 在具有非晶结构的半导体膜的结晶化过程中,可以使用连续波激光器。为了使非晶半导体膜结晶化从而获得具有大晶粒尺寸的晶体,最好使用连续波固态激光器所发出的基波的二次到四次谐波中的任一种谐波。通常,最好使用 Nd:YVO₄激光器(基波是 1064 纳米)的二次谐波(532 纳米)或三次谐波(355 纳米)。当使用连续波激光器时,非线性光学元件将由 10W 所驱动连续波 YVO₄激光器所发出的激光束转换成谐波。通过将 YVO₄晶体和非线性光学元件放入谐振器中,便可以获得谐波。在照射表面上最好用光学系统将激光束定形为矩形或椭圆形激光束,然后将该激光束传递到物体上。此处,要求能量密度处于大约 0.01-100MW/cm²的范围中(最好是 0.1-10MW/cm²)。然后,该半导体膜最好以相对于激光束大约 10-2000cm/s 的速度进行移动。

[0076] 接下来,在除去抗蚀剂掩模之后,形成栅绝缘膜 12 以便覆盖半导体层。通过等离子体 CVD 方法或溅射方法,栅绝缘膜 12 所形成的厚度为 1-200 纳米。

[0077] 接下来,在栅绝缘膜 12 上形成厚度为 100-600 纳米的导电膜。通过溅射方法,形成具有多层的导电膜,其中包括 TaN 膜和 W 膜。尽管所形成的导电膜是包括 TaN 膜和 W 膜的多层,但是该结构并不特别限定。可以形成所含元素选自 Ta、W、Ti、Mo、Al 和 Cu 的单层或多层,或以上述元素为其主要成分的合金材料或化合物材料。或者,可以使用以掺有杂质元素(比如磷)的多晶硅膜为代表的半导体膜。

[0078] 接下来,用第二光掩模形成抗蚀剂掩模。通过干蚀方法或湿法蚀刻方法,进行蚀刻。通过该蚀刻步骤,导电膜被蚀刻了,由此获得导电层 14a 和 14b。这些导电层 14a 和 14b 充当 TFT 的栅。

[0079] 接下来,在除去抗蚀剂掩模之后,通过使用第三光掩模,新形成抗蚀剂掩模。进行第一掺杂步骤,用赋予n型导电性的杂质元素(通常是磷或砷)对半导体进行低浓度掺杂,所以形成n型沟道TFT(未示出)。抗蚀剂掩模覆盖要成为p型沟道TFT的区域以及导电层的周围。在绝缘膜中进行第一掺杂步骤,由此形成低浓度杂质区域。一个发光元件由多个TFT驱动,并且当只用p型沟道TFT来驱动时,上述掺杂步骤便不是特别必需的了。

[0080] 接下来,在除去抗蚀剂掩模之后,通过使用第四光掩模,新形成抗蚀剂掩模。进行第二掺杂步骤,以便用赋予p型导电性的杂质元素(通常是硼)对半导体进行高浓度掺杂。在栅绝缘膜12中进行第二掺杂步骤,由此形成p型高浓度杂质区域17和18。

[0081] 接下来,通过使用第五掩模,新形成抗蚀剂掩模。进行第三掺杂步骤,用赋予n型导电性的杂质元素(通常是磷或砷)对半导体进行高浓度掺杂,所以形成n型沟道TFT(未示出)。在剂量范围是 1×10^{13} – $5 \times 10^{15}/\text{cm}^2$ 且加速电压范围是60–100keV的条件下,通过离子掺杂方法,进行第三掺杂步骤。抗蚀剂掩模覆盖要成为p型沟道TFT的区域以及导电层的周围。在栅绝缘膜12中进行第三掺杂步骤,由此形成n型高浓度杂质区域。

[0082] 之后,除去抗蚀剂掩模,然后形成含氢的夹层绝缘膜13。接下来,激活半导体层中所添加的杂质元素,并且进行氢化。作为含氢的第一夹层绝缘膜13,使用了通过PCVD方法而获得的氮氧化硅膜(SiNO膜)。另外,当用于诱导结晶化的金属元素(通常是镍)被用于使半导体膜结晶化时,可以在激活的同时进行消气以便减少沟道形成区域19中的镍。

[0083] 接下来,形成平整化绝缘膜16,它要成为第二夹层绝缘膜。作为平整化绝缘膜16,使用通过涂敷方法获得的绝缘膜,该绝缘膜的骨架结构包括硅(Si)氧(O)键。

[0084] 接下来,通过使用第六掩模,进行蚀刻,以便在平整化绝缘膜16中形成接触孔。同时,除去基板四周处的那部分平整化绝缘膜。此处,在第一夹层绝缘膜13和平整化绝缘膜16之间的选择性比率是不同的这一条件下,进行蚀刻。尽管所用的蚀刻气体并不受到限制,但是 CF_4 、 O_2 、He和Ar是合适的。在RF功率为3000W、气压为25Pa且 CF_4 、 O_2 、He、Ar的流速分别为380sccm、290sccm、500sccm、500sccm这样的条件下,进行干蚀。为了进行蚀刻以便不在第一夹层绝缘膜13上留下残余物,蚀刻时间最好大约增大10–20%。通过进行一次或多次蚀刻,可以使平整化绝缘膜16逐渐变薄。此处,干蚀进行了两次,且第二次干蚀是在如下条件下进行的:RF功率为3000W,气压为25Pa,且 CF_4 、 O_2 、He的流速分别为550sccm、450sccm、350sccm。平整化绝缘膜的端部最好具有大于30度且小于75度的锥角 θ 。

[0085] 接下来,再次使用第六掩模,进行蚀刻,由此选择性地除去栅绝缘膜12和第一夹层绝缘膜13的露出部分。具体来讲,用 CHF_3 和Ar作为蚀刻气体,来蚀刻栅绝缘膜12和第一夹层绝缘膜13。为了进行蚀刻以便不在半导体层上留下残余物,蚀刻时间最好增大大约10–20%。

[0086] 接下来,除去第六掩模,然后,形成具有双层结构的导电膜,该导电膜通过接触孔而接触到半导体层。用高熔点金属(比如Ti或Mo)或高熔点金属化合物(比如TiN),来形成作为下层的第一导电层22a。第一导电层22a的膜厚度介于20–200纳米范围中。要成为下层的第一导电层22a具有如下优点,即能够防止硅和铝的交互式扩散。

[0087] 此外,用低阻抗金属(通常是铝)来形成要成为上层的第二导电层22b,以便减小引线的电阻。第二导电层22b的膜厚度介于0.1–2微米的范围中。最好在同一溅射装置中连续地形成这两层,使得各层的表面不被氧化。

[0088] 接下来,通过使用第七掩模,进行第一次蚀刻。进行第一次蚀刻,使得上层被图形化成具有宽度 W1。第一次蚀刻是通过干蚀方法或湿法蚀刻方法进行的。

[0089] 接下来,因为抗蚀剂掩模还在,所以用 ICP(诱导耦合的等离子体)蚀刻方法进行第二次蚀刻,以便将第二导电层蚀刻成具有宽度 W2,同时使抗蚀剂掩模后退。通过第二次蚀刻,也稍稍除去了第一导电层,由此形成了锥形部分。通过使用 ICP 蚀刻方法,当适当调节蚀刻条件(加到线圈电极上的电功率、加到基板一侧的电极上的电功率、基板一侧上的电极温度等)时,可以将该膜蚀刻成所期望的锥形。作为蚀刻气体,可以适当地使用以 Cl_2 、 BCl_3 、 SiCl_4 或 CCl_4 为代表的氯基气体、以 CF_4 、 SF_6 、 NF_3 为代表的氟基气体、或氧气。

[0090] 此外,当用 ICP 蚀刻方法来形成锥形时,在电极的相反两侧处相等地形成了突出部分。根据第二蚀刻条件,通过蚀刻第一导电层而露出的那部分平整化绝缘膜 16 也可以被稍微地蚀刻。

[0091] 接下来,形成透明导电膜,它与具有上述双层结构的电极或引线相接触。当透明导电膜和第一导电层 22a 形成得彼此直接接触时,可以获得良好的欧姆接合。然后,使用第八掩模进行蚀刻,由此形成第一电极 23R 和 23G,它们是有机发光元件的阳极(或阴极)。

[0092] 作为用于第一电极的材料,使用了 ITO(氧化铟锡)或 ITS0(包含氧化硅的氧化铟锡,用含氧化硅 2-10wt% 的 ITO 靶通过溅射方法而获得的)。除了 ITS0 以外,可以使用比如透光导电氧化膜(IZO)这样的透明导电膜,这种膜是含氧化硅的氧化铟,其中混有 2-20% 的氧化锌(ZnO)。此外,可以使用含氧化硅的 ATO(氧化锑锡)的透明导电膜。

[0093] 如果 ITO 被用作第一电极 23R 和 23G,则进行结晶化烘烤,以减小电阻。ITS0 和 IZO 即使在烘烤之后也不会像 ITO 那样结晶化,而仍然是非晶的。

[0094] 为了比较在 ITS0 和用上述方法获得的双层电极之间的接触阻抗以及比较示例中的接触阻抗,进行下面的实验。

[0095] 在玻璃基板上形成氧化硅膜,作为绝缘层。然后,通过用溅射方法在钛层(厚度为 100 纳米)上连续地层叠纯净的铝层(厚度为 700 纳米且电阻率为 $4 \mu \Omega \text{cm}$),便形成了具有双层结构的金属层。之后,通过光刻形成具有电极图形的抗蚀剂掩模,并且通过用下述三种方法蚀刻具有双层结构的金属层,便形成了两个样本。

[0096] 在样本 1(比较示例)中,用 ICP 装置,只进行一次等离子体蚀刻,便对金属层的两层都进行了蚀刻。结果,所形成的电极的端部具有大约 80 度的锥角,这几乎是垂直的。之后,通过溅射方法形成要成为透明电极的 ITS0 膜,然后,通过光刻使其图形化。

[0097] 在样本 2(本发明)中,用 ICP 装置,分两步进行等离子体蚀刻,便对具有双层结构的金属层进行了蚀刻,由此获得了一种形状,在该形状中作为底层的钛层突出来了。具体来讲,进行第一次蚀刻,使得被蚀刻的电极的端部具有大约 60 度的锥角,并且进行与第一次蚀刻条件不相同的第二次蚀刻,使得对作为上层的铝层进行选择性地蚀刻,并且端部变得几乎垂直。

[0098] 在第一条件下,第一次蚀刻进行了 100 秒,其中 BCl_3 和 Cl_2 被用作蚀刻气体, BCl_3 和 Cl_2 的流速是 60/20(sccm),气压是 1.9Pa,并且将 450W 的 RF(13.56MHz)电功率加到线圈形的电极上以便产生等离子体。还将 100W 的 RF(13.56MHz)电功率施加到基板一侧(样本平台),以便施加基本上负的偏压。基板一侧的电极具有 $12.5\text{cm} \times 12.5\text{cm}$ 的面积,并且线圈形的电极(其上设置有线圈的石英环形板)是一个直径为 25cm 的环形板。接下来,在

第二条件下,蚀刻进行了 160 秒,其中蚀刻气体和流速与第一条件相同,气压是 1.2Pa,并且将 600W 的 RF 电功率加到线圈形的电极上,并且将 250W 的 RF 电功率施加到基板一侧以产生等离子体。

[0099] 第二次蚀刻的条件是:BCl₃和 Cl₂被用作蚀刻气体,气体流速是 40/40(sccm),气压是 3.5Pa,将 200W 的 RF 电功率加到线圈形的电极上,并且将 50W 的 RF 电功率施加到基板一侧以产生等离子体,并且蚀刻时间是 60 秒。

[0100] 图 4A 和 4B 是蚀刻之后的 SEM(扫描电子显微镜),图 4C 是示意性的横截面图。图 4A 是透视图,图 4B 是横截面图。突出来的部分的长度是 0.22 微米。换句话说,上层的端部和下层的端部分开 0.22 微米,并且下层的宽度 W1 比上层的宽度 W2 要大 0.44 微米。之后,通过溅射方法形成要成为透明电极的 ITS0,并且通过光刻使其图形化。

[0101] 在这两个样本中,形成两类 TEG(测试元件组)图形,以便进行电阻测量。

[0102] TEG 图形之一是被称为接触链的第一 TEG 图形(图 5A 示出了顶部表面布局,而图 6B 示出了在放大的接触部分中测得数值的关系),其中金属层与 ITS0 层交替排列以便串行连接。在第一 TEG 图形中,引线、ITO 和两者间的界面这三种阻抗元件串行连接。

[0103] 其它图形是第二 TEG 图形(图 6A 示出了顶部表面布局,而图 6B 示出了在放大的接触部分中测得数值的关系),其中金属层和 ITS0 层互相交叉,以便进行 Kelvin 测量。

[0104] 接下来,在这两个样本上,用第一 TEG 图形来测量电阻。结果,在样本 2(本发明)中 1V 处的阻抗值(每个触点)比样本 1(比较示例)中的低 77%。

[0105] 此外,图 7 示出了测量第一 TEG 的电阻的结果。要注意,ITS0 的电阻率被假定为 4000 $\mu\Omega\text{cm}$ 。

[0106] 此外,在这两个样本上,用第二 TEG 图形来测量电阻。与样本 1(比较示例)相比,样本 2(本发明)中的接触阻抗值更低。图 8 示出了在第二 TEG 图形上的电阻测量结果。

[0107] 从上面的实验可以理解,通过使用双层结构的电极,其中下层(钛层)突出,便可以减小与 ITS0 的接触阻抗。

[0108] 图 15 示出了在用铝层(厚度为 100 纳米)替代下层(钛层)的情况下在第一 TEG 图形上的电阻测量结果。要注意,ITS0 的电阻率被假定为 4000 $\mu\Omega\text{cm}$ 。在图 15 中,实线示出了比较的样本,在使充当下层的铝层的端部几乎垂直的条件下蚀刻该比较样本。此外,在图 15 中,以 $\times$ 标记示出了其中充当下层的铝层突出且端部的锥角大约 60 度的那个样本。从图 15 中还可以理解,通过使用具有双层结构的电极,其中下层(铝层)突出,便可以减小与 ITS0 的接触阻抗。

[0109] 此外,在不同的条件下,即下层厚度为 100 纳米、200 纳米和 300 纳米的条件下,以相同的方式测量电阻。然后,确定当下层越来越厚时,接触阻抗值变得越来越低。

[0110] 此外,图 1B 是放大的横截面图,它示出了形成有透明导电膜的第一电极与形成有 Ti 的下层相互接触。如图 1B 所示,在第二导电层 22b 的表面上薄薄地形成氧化铝膜 34,并且形成有透明导电膜的第一电极只与下层电接合。图 1B 示出了一个示例,其中下层 22a 的端部的锥角 α 小于上层即第二导电层 22b 的端部的锥角 β 。下层即第一导电层 22a 的端部的锥角 α 越小,则第一电极与第一导电层相接触的面积就会增大。

[0111] 接下来,通过使用第八掩模,形成绝缘体 29(被称为团块、隔离壁、隔离物、筑堤等),以覆盖第一电极 23R 和 23G 的端部。作为绝缘体 29,形成厚度为 0.8-1 微米的有机树

脂膜（通过涂敷方法而获得的）或 SOG 膜（比如含烷基的 SiO_x 膜）。

[0112] 接下来,通过蒸镀方法或涂敷方法,层叠分别包含有机化合物的层 24R 和 24G。另外,在形成含有机化合物的层 24R 和 24G 之前,期望进行用于除气的真空加热,以便提高可靠性。例如,在蒸镀有机化合物材料之前,期望在 200–300 摄氏度下在低压气氛中或惰性气体中进行热处理,以便除去基板中所包含的气体。在被抽真空的薄膜形成腔中,真空度为 5×10^{-3} 托 (0.665Pa) 或更小,较佳地在 10^{-4} – 10^{-6} 托的范围中,通过蒸镀方法,形成含有机化合物的层 24R 和 24G。在蒸镀处,通过阻抗加热,预先蒸发有机化合物,并且通过打开快门,蒸发的有机化合物朝着基板溅射。所蒸发的有机化合物可通过金属掩模所提供的开孔向基板上溅射,并随后沉积在基板上。

[0113] 为了实现全部色彩,为每一种发光颜色 (RGB) 对准掩模。

[0114] 含有机化合物的层 24R 和 24G 是多层的,它们是通过在第一电极上按顺序地层叠空穴注入层 / 空穴输运层 / 发光层 / 电子输运层而形成的。例如,在含有机化合物的层 24R 中,形成 40 纳米厚的掺有 DCM 的 Alq_3 作为发光层。此外,在含有机化合物的层 24G 中,形成 40 纳米厚的掺有 DMQD 的 Alq_3 作为发光层。尽管此处未示出,但是形成了 30 纳米厚的掺有 CBP (4,4'-二 (N-咔唑基)-联苯) 的 PPD (4,4'-二 (N-(9-菲基)-N-苯基氨基) 联苯) 作为蓝色发光层,并且形成了 10 纳米厚的 SAIq (二 (2-甲基-8-喹啉醇化物) (三苯基硅烷醇基) 铝) 作为阻挡层。

[0115] 接下来,形成第二电极 25,即有机发光元件的阴极 (或阳极)。作为第二电极 25 的材料,可以使用像 MgAg 、 MgIn 或 AlLi 、 CaF_2 、 CaN 等合金,或可以使用通过共同蒸镀铝和元素周期表第一族或第二族的元素从而形成的膜。

[0116] 在形成第二电极 25 之前,可以用 CaF_2 、 MgF_2 、 BaF_2 、来形成透光层并作为阴极缓冲层,厚度为 1–5 纳米。

[0117] 此外,可以形成用于保护第二电极 25 的保护层。

[0118] 接下来,通过用密封材料 (未示出) 粘贴密封基板 33,来密封发光元件。干燥的惰性气体或透明的填充材料填充着由一对基板和密封材料包围着的区域 27。作为惰性气体,可以使用稀有气体或氮气,并且向密封基板 33 提供用于干燥的干燥剂。作为填充材料,可以使用任何材料,只要该材料具有透光性即可。通常,紫外可固化或热固环氧树脂都可以使用。当填充材料填满这对基板之间的空间时,整体的透射率可以提高。

[0119] 当用透明材料构成第一电极且用金属材料构成第二电极时,便获得了一种透过基板 10 提取光线的结构,该结构是所谓的底部发射型。此外,当用金属材料构成第一电极且用透明材料构成第二电极时,便获得了一种透过密封基板 33 提取光线的结构,该结构是所谓的顶部发射型。此外,当第一电极和第二电极均用透明材料构成时,便可以获得一种从基板 10 和密封基板 33 中提取光线的结构。本发明可以适当地使用上述结构中的任一种。

[0120] 当透过基板 10 提取光线时,发光层发出的光线所要穿过的那些层分别是第一电极、第一夹层绝缘膜 13、第二夹层绝缘膜 16、栅绝缘膜 12 以及底部绝缘膜 11,它们全都包括氧化硅 (折射率大约 1.46); 因此,折射率的差异较小,由此增大了光线提取效率。即,用折射率不同的材料构成的多层之间的杂散光可以得到抑制。

[0121] (实施例 2)

[0122] 此处,下面参照图 2A 和 2B 描述具有双层结构的电极的示例,其形状与实施例 1 不

相同。

[0123] 因为除了形成包括第一导电层 222a 和第二导电层 222b 的电极的步骤以外的各步骤均与实施例 1 相同,所以详细描述省略。因此,在图 2A 和 2B 中,与图 1A 相同的部分仍用相同的标号来表示。

[0124] 根据实施例 1,形成具有双层结构的导电膜,它与半导体层在接触孔中相接触。用高熔点金属(比如 Ti 或 Mo)或高熔点金属化合物(比如 TiN),来形成要成为下层的第二导电层 222a,其厚度为 20-200 纳米。要成为下层的第二导电层 222a 具有一个优点,即防止硅和铝的交互式扩散。

[0125] 用低阻抗金属(通常是铝)形成要成为上层的第二导电层 222b,其厚度为 0.1-2 微米,以便减小引线的电阻。最好在同一溅射装置中连续地形成这两层,使得每一层的表面都不被氧化。

[0126] 接下来,用第七掩模进行首次蚀刻。通过第一次蚀刻,形成图形化且具有宽度 W4 的上层。第一次蚀刻是通过干蚀方法或湿法蚀刻方法进行的。

[0127] 接下来,用第八掩模进行第二次蚀刻。通过第二次蚀刻,形成图形化且具有宽度 W3 的下层。第二次蚀刻是通过干蚀方法或湿法蚀刻方法进行的。

[0128] 在第一次和第二次蚀刻处,上层的宽度 W4 是由第七掩模决定的,下层的宽度 W3 是由第八掩模决定的。

[0129] 接下来,按照与实施例 1 相同的方式,形成透明导电膜,它与具有双层结构的电极或引线相接触。当透明导电膜和第一导电层 222a 形成得彼此直接接触时,可以获得良好的欧姆接合。然后,用第九掩模进行蚀刻,由此形成第一电极 23R 和 23G,它们是有机发光元件的阳极(或阴极)。

[0130] 下面的步骤与实施例 1 相同,因此,详细描述省略。

[0131] 此处,示出了一个示例,它通过两次图形化形成突出部分便获得了图 2A 所示的电极结构。在两次图形化的情况下,可以像实施例 1 那样在上层的相反两侧相等地形成突出部分,并且也可以只在与第一电极重叠的那部分处形成突出部分以便后来形成。换句话说,通过适当地设计这两种图形化掩模,便可以控制第一电极和下层相接触的面积的大小。

[0132] 图 2B 是放大的截面图,它示出了用透明导电膜构成的第一电极与用 Ti 构成的下层相接触。如图 2B 所示,在第二导电层 222b 的表面上薄薄地形成铝膜 34,并且用透明导电膜构成的第一电极只与下层电接合。在图 2B 中,要成为下层的第二导电层 222a 的端部的锥角 α 大于第二导电层 222b 的端部的锥角 β 。如图 2B 所示,下层的顶部表面部分和端部与第一电极电连接。第一电极与下层的端部相接触的面积大于第一电极与下层的顶部表面相接触的面积。

[0133] 本实施例可以与实施例 1 自由组合。

[0134] (实施例 3)

[0135] 下面参照图 3 描述一个示例,该示例在透明导电膜和具有双层结构的电极之间提供更多一层绝缘膜。

[0136] 因为直到形成具有第一导电层 22a、第二导电层 22b 的电极的那些步骤都与实施例 1 相同,所以详细描述省略。此外,在图 3 中,与图 1A 相同的部分用相同的标号来表示。

[0137] 首先,根据实施例 1 所示步骤,形成具有双层结构的电极 22a 和 22b。接下来,形成

平整化绝缘膜 320, 它要成为第三夹层绝缘膜。作为平整化绝缘膜 320, 使用通过涂敷方法获得的绝缘膜, 其骨架结构包括硅 (Si) 氧 (O) 键。此处, 第三平整化绝缘膜 320 被用作平整化, 平整化绝缘膜 16 并不必然是平的, 例如, 可以使用通过 PCVD 方法构成的无机绝缘膜。

[0138] 接下来, 选择性地蚀刻平整化绝缘膜 320, 由此形成接触孔, 接触孔到达要成为上层的第二导电层 22b 以及平整化绝缘膜 16。接下来, 形成透明导电膜并使其图形化, 以便形成第一电极 323R 和 323G。

[0139] 接下来, 按照与实施例 1 所示步骤相同的方式, 形成绝缘体 329, 它覆盖第一电极 323R 和 323G 的端部。因为下面的步骤与实施例 1 相同, 所以详细描述省略。

[0140] 通过具有图 3 所示结构, 第一电极的面积可以扩大, 发光区域可以扩大。

[0141] 本实施例可以与实施例 1 或实施例 2 自由组合。

[0142] 参照下文所示实施方式, 更详细地描述了具有上述结构的本发明。

[0143] (实施方式 1)

[0144] 本实施例参照图 9 描述了全色彩发光器件, 图 9 示出了有源矩阵发光器件的部分横截面。

[0145] 在第一基板 1001 上设置了三个 TFT 1003R、1003G 和 1003B, 在第一基板 1001 处设置了底部绝缘膜 1002。这三个 TFT 都是 p 型沟道 TFT, 每一个都具有沟道形成区域 1020、源极或漏极区域 1021 或 1022、栅绝缘膜 1005 以及栅极。栅极具有两层, 即栅极的锥形下层 1023a 和栅极的上层 1023b。

[0146] 此外, 夹层绝缘膜 1006 是无机绝缘膜。用于覆盖夹层绝缘膜 1006 的平整化绝缘膜 1007 是通过涂敷方法形成的夹层绝缘膜。

[0147] 在发光元件中, 第一电极是平的是很重要的。如果平整化绝缘膜 1007 不平的, 则有可能因平整化绝缘膜 1007 的表面不平整效应而导致第一电极没有变平。因此, 平整化绝缘膜 1007 的平整性是重要的。

[0148] 此外, TFT 的漏极或源极引线 1024a 和 1024b 具有双层结构。在随后要与透明导电膜相连的那部分中, 漏极或源极引线的下层 1024a 的宽度大于漏极或源极引线的上层 1024b 的宽度。根据实施例 2, 这种电极形状是通过两次图形化而获得的, 以形成突出来的部分。漏极或源极引线的下层 1024a 是用钛膜构成的, 而漏极或源极引线的上层 1024b 则是用铝膜构成的。考虑到夹层绝缘膜的覆盖, TFT 的漏极或源极引线的上层 1024b 最好是锥形的。

[0149] 根据实施例 1, 与上层的侧面相比, 下层的侧面可以具有更小的锥形。

[0150] 此外, 隔离壁 1009 是用树脂构成的, 并且用作含有机化合物且显示不同光发射的多层之间的隔离。因此, 隔离壁 1009 具有光栅形状以便围绕着一个像素 (即一个发光区域)。尽管含有机化合物且显示不同光发射的各层可能在隔离壁上重叠, 但是各层不应该与相邻像素的第一电极重叠。

[0151] 发光元件包括: 第一电极 1008, 它包含透明导电材料; 层 1015R、1015G 和 1015B, 各层都包含有机化合物; 以及第二电极 1010。在本实施例中, 第一电极 1008 与下电极 1024 相接触, 使得它们电连接。

[0152] 此外, 第一电极 1008 和第二电极 1010 的材料都需要在考虑功函数的情况下进行选择。然而, 第一电极和第二电极可以是阳极或阴极。当驱动 TFT 的极性是 p 沟道类型时,

第一电极最好是阳极,而第二电极最好是阴极。此外,当驱动 TFT 的极性是 n 沟道类型时,第一电极最好是阴极,而第二电极最好是阳极。

[0153] 此外,从第一电极(阳极)那一侧按顺序层叠 HIL(空穴注入层)、HTL(空穴输运层)、EML(发光层)、ETL(电子输运层)和 EIL(电子注入层),便形成了含有机化合物的各个层 1015R、1015G 和 1015B。除了多层结构以外,含有机化合物的层还可以具有单层结构或混合结构。为了实现全色彩,选择性地形成含有机化合物的各个层 1015R、1015G 和 1015B,以便形成三种像素 RGB。

[0154] 此外,最好提供用于覆盖第二电极 1010 的保护膜 1011 和 1012,以便保护发光元件免受因湿气或除气所造成的任何损坏。作为保护膜 1011 和 1012,最好使用通过 PCVD 方法获得的密实的无机绝缘膜(比如 SiN 膜或 SiNO 膜)、通过溅射方法获得的密实的无机绝缘膜(比如 SiN 膜或 SiNO 膜)、以碳作为其主要成分的薄膜(比如 DLC 膜、CN 膜、或非晶碳膜)、金属氧化物膜(比如 WO₂、CaF₂、Al₂O₃)等。

[0155] 第一基板 1001 和第二基板 1016 之间的空间 1014 是用填充材料或惰性气体来填充的。当填充像氮气这样的惰性气体时,最好在空间 1014 中提供用于干燥的干燥剂。

[0156] 此外,来自发光元件的光线是通过第一基板 1001 而提取的。图 9 示出了底部发射型发光器件。

[0157] 尽管在本实施例中描述了顶部栅 TFT 的示例,但是本发明可以在无论 TFT 结构如何的情况下得到应用。例如,本发明可以应用于底部栅(反向交错)TFT 或交错 TFT。

[0158] 本实施方式可以与实施例 1-3 中任一个自由组合。

[0159] (实施方式 2)

[0160] 本实施例参照图 10 描述了发光器件的一个示例,其中通过在同一基板上形成像素部分、驱动电路和端部便可以从两个基板中提取光线。

[0161] 在基板 610 上形成底部绝缘膜之后,形成每一个半导体层。接下来,在形成用于覆盖半导体层的栅绝缘膜之后,形成各个栅极和端电极。接下来,用赋予 n 型导电性的杂质元素(以磷或砷为代表)对半导体进行掺杂以便形成 n 沟道 TFT 636,并且用赋予 p 型导电性的杂质元素(以硼为代表)对半导体进行掺杂以便形成 p 沟道 TFT 637。因此,适当地形成了源极区域、漏极区域,并且如有必要的话还形成了 LDD 区域。接下来,在形成通过 PCVD 方法而获得的含氢的氮氧化硅膜(SiNO 膜)之后,激活半导体层中所掺有的杂质元素并且进行氢化。

[0162] 接下来,形成要成为夹层绝缘膜的平整化绝缘膜 616。作为平整化绝缘膜 616,使用了通过涂敷方法而获得的绝缘膜,其骨架结构包括硅氧键。

[0163] 接下来,用掩模在平整化绝缘膜中形成接触孔,同时除去四周的平整化绝缘膜。

[0164] 接下来,通过将平整化绝缘膜 616 用作掩模而进行蚀刻,以便选择性地除去含氢的 SiNO 膜以及栅绝缘膜的露出部分。

[0165] 在形成导电膜之后,用掩模进行蚀刻,由此形成漏极引线和源极引线。漏极引线具有双层结构,并且在随后与透明导电膜相连的那部分中,下层宽度大于上层。在本实施例中,根据实施例 1 的各步骤,形成下层从上层突出来的那部分。此外,与上层侧面相比,下层侧面具有更小的锥角。

[0166] 接下来,形成包括透明导电膜的第一电极 623,即有机发光元件的阳极(或阴极)。

第一电极 623 电连接到下层的突出部分。

[0167] 接下来,使通过涂敷方法而获得的 SOG 膜(例如,含烷基的 SiO_x 膜)图形化,由此形成了绝缘体 629(被称为团块、隔离壁、隔离物、筑堤等),用于覆盖第一电极 623 的端部。

[0168] 接下来,通过蒸镀方法或涂敷方法,形成含有机化合物的层 624。接下来,形成包括透明导电膜的第二电极 625,即有机发光元件的阴极(或阳极)。接下来,通过蒸镀方法或溅射方法,形成透明保护层 626。透明导电层 626 保护第二电极 625。

[0169] 接下来,通过用密封材料 628 粘贴透明的密封基板 633,来密封住发光元件。即,按照显示区域周围被密封材料围绕这样的方式,用一对基板来密封发光显示器。因为 TFT 的夹层绝缘膜设置在基板的整个表面上,所以当密封材料的图形比夹层绝缘膜的四周更向内时,湿气或杂质有可能透过在密封材料的图形之外的那部分夹层绝缘膜而侵入。因此,在用作 TFT 的夹层绝缘膜的平整化绝缘膜的四周,设置密封材料,以便通过与密封材料图形的内部重叠,最好是与密封材料图形重叠,来覆盖平整化绝缘膜的端部。用透明的填充材料 627 来填充被密封材料 628 所围绕的区域。

[0170] 最终,根据已知的方法,由各向异性的导电膜 631 将 FPC 632 粘贴到端电极。端电极最好是用透明导电膜形成的,端电极与栅引线同时形成(图 10)。

[0171] 此外,通过基板 610 和密封基板 633,向两侧提取来自发光元件的光线。在图 10 所示发光器件的结构中,光线是从基板和密封基板中提取的。

[0172] 根据上述步骤,像素部分、驱动电路和端部分可以形成于同一基板上。

[0173] 本实施方式可以与实施例 1-3 中任一个自由组合。

[0174] (实施方式 3)

[0175] 本实施例描述了在上述实施例所制造的 EL 显示板中安装驱动 IC 或 FPC 的示例。

[0176] 图 11A 是示出了发光器件的示例的顶视图,其中 FPC 1209 粘贴到四个端部 1208。在基板 1210 上,形成了包括发光元件和 TFT 的像素部分 1202、包括 TFT 的栅侧驱动电路 1203 以及包括 TFT 的源侧驱动电路 1201。当用具有晶体结构的半导体膜来形成 TFT 的沟道形成区域时,这些电路可以形成于同一基板上。因此,可以制造出一种实现了“板上系统”的 EL 显示板。

[0177] 基板 1210 上除接触部分以外的部分均被保护膜覆盖,并且在该保护膜上设置底层,该底层包含一种具有光催化剂功能的材料。

[0178] 此外,连接部分 1207 设置在两个位置处,以便夹住像素部分,从而使发光元件的第二电极接触下层的引线。发光元件的第一电极与像素部分中所设置的 TFT 电连接。

[0179] 用密封材料 1205 将密封基板 1204 固定到基板 1210 上,该密封材料 1205 围绕着像素部分和驱动电路,并且填充材料被密封材料 1205 围绕着。此外,可以使用含透明干燥剂的填充材料。此外,干燥剂可以被置于未与像素部分重叠的区域中。

[0180] 图 11A 示出了一种结构,对于具有 XGA 级相对大的尺寸(例如,对角线 4.3 英寸)的发光器件而言,该结构较佳。同时,图 11B 示出了使用 COG 方法的一个示例,该方法对小尺寸而言较佳(例如,对角线 1.5 英寸)。

[0181] 在图 11B 中,驱动 IC 1301 安装在基板 1310 上,并且 FPC 1309 被安装到驱动 IC 尖端处的端部 1308 上。多个要安装的驱动 IC 1310 最好形成于边长为 300-1000 毫米或更长的矩形基板上。即,具有驱动电路部分和输入/输出端的多个电路图形作为一个单元可以

形成于基板上,并且通过最终分割基板便可以取出各电路图形。考虑到像素部分一边或像素节距的长度,驱动 IC 可以具有其长边长度为 15-80 毫米且短边长度为 1-6 毫米的矩形。驱动 IC 的长边长度可能等于像素区域的一边或像素部分一边长度与驱动电路一边长度之和。

[0182] 与 IC 芯片相比,驱动 IC 外部尺寸的优先级在于长边的长度。当驱动 IC 具有 15-80 毫米的长边时,与使用 IC 芯片的情况相比,根据像素部分安装所需的数目更少些,由此增大了产量。当驱动 IC 形成于玻璃基板上时,用作底部材料的基板的形状不受限制,并且生产率不下降。与从圆形硅晶片中取出 IC 芯片的情况相比,这是个很大的优点。

[0183] 此外,TAB 方法也可以应用。在 TAB 方法中,可以粘贴多个卷带,并且可以将驱动 IC 安装到这些卷带上。与 COG 方法相似的是,单个驱动 IC 可以被安装到单个卷带上。在这种情况下,从强度这一点来看,最好粘贴用于固定驱动 IC 的金属小片等。

[0184] 在除接触部分以外的部分,用保护膜来覆盖基板 1310。在保护膜上设置底层,该底层包含一种具有光催化剂功能的材料。

[0185] 此外,在像素部分 1302 与驱动 IC 1301 之间设置连接区域 1307,使得发光元件的第二电极接触下层的引线。要注意,发光元件的第一电极与像素部分中所设置的 TFT 电连接。

[0186] 此外,用围绕着像素部分 1302 的密封材料 1305 以及被密封材料围绕的填充材料,将密封基板 1304 固定到基板 1310。

[0187] 当 TFT 的沟道形成区域是用非晶半导体膜构成时,即使尺寸很大也要使用图 11B 的结构,因为驱动电路很难形成于同一基板上。

[0188] 本实施方式可以与实施例 1-3 以及实施方式 1 和 2 自由组合。

[0189] (实施方式 4)

[0190] 本实施方式参照图 12 示出了液晶显示器的一个示例,其中像素部分、驱动电路和端部形成于同一基板上。图 12 是不使用滤色片的液晶板的横截面图。

[0191] 本实施方式使用场顺序驱动方法,其中光学快门由不使用滤色片的液晶板来指挥,并且 RGB 三色的背光源高速闪烁。根据场顺序方法,利用人眼的时间分辨极限,通过连续时间附加颜色混合,便实现了彩色显示。

[0192] 三种 TFT 703 设置在第一基板 701 上,在第一基板 701 处设置了底部绝缘膜 702。三种 TFT 是 n 沟道 TFT,各 TFT 都具有沟道形成区域 720、低浓度杂质区域 725 和 726、源极或漏极区域 721 和 722、栅绝缘膜 705 以及栅极。栅极具有两层,其中包括锥形下层 723a 和上层 723b。

[0193] 夹层绝缘膜 706 是无机绝缘膜。用于覆盖夹层绝缘膜 706 的平整化绝缘膜 707 是一种用涂敷方法构成的平的夹层绝缘膜。

[0194] TFT 的漏极引线或源极引线具有双层结构。在随后与透明导电膜相连的那部分中,漏极或源极引线的下层 724a 的宽度大于漏极或源极引线的上层 724b 的宽度。漏极或源极引线的下层是用 Mo 层构成的,而漏极或源极引线的上层则是用铝膜构成的。考虑到夹层绝缘膜的覆盖,TFT 的漏极或源极引线最好具有锥形。

[0195] 像素电极 708 可以用透明导电膜构成,比如 ITO(氧化铟锡)、ITSO(包含氧化硅的氧化铟锡,用含氧化硅 2-10wt% 的 ITO 靶通过溅射方法而获得的)、透光导电氧化膜(IZO,

其中氧化锌 (ZnO) 按 2-20% 混入含氧化硅的氧化铟中)、或含氧化硅的 AT0 (氧化铟锡)。

[0196] 柱状间隔物 714 包含树脂,并且用于使基板之间的距离保持恒定。因此,柱状间隔物 714 按均匀的间隔来设置。对于更高速的响应,基板之间的距离最好是 2 微米或更小,并且适当地调节柱状间隔物 714 的高度。当屏幕尺寸边长小至 2 英寸或更小时,并非必然地设置柱状间隔物。只当像填充物这样的间隙材料要混入密封材料的情况下,可以适当地调节基板之间的距离。

[0197] 此外,设置了定向膜 710,用于覆盖柱状间隔物 714 和像素电极 708。定向膜 712 还被设置到要成为对置基板的第二基板 716,并且第一基板 701 和第二基板 716 是用密封材料 (未示出) 来粘贴的。

[0198] 第一基板 701 和第二基板 716 之间的空间是用液晶材料 711 来填充的。通过在低压下滴注液晶材料 711 使得没有气泡进入,用具有闭合图形的密封材料使这些基板彼此粘贴。或者,可以使用浸入方法 (抽吸方法),其中在设置具有开口部分的密封图形并粘贴 TFT 基板之后,通过使用毛细现象注入液晶。

[0199] 本实施例的液晶板具有被称为 π 单元的结构,该结构使用了一种 OCB (光学补偿弯曲) 的显示模式。 π 单元结构是一种液晶分子的取向,采用液晶分子的预弯曲角度保持与有源矩阵基板和对置基板之间的中间平面的平面对称关系的方法的结构。

[0200] 在未向基板加电压时, π 单元结构的定向状态是斜面定向,并且当加电压时就移动到弯曲定向。当进一步加电压时,弯曲定向的液晶分子按照与两个基板垂直的方式而定向,这样光线可以透过。在 OCB 模式中,响应速度比常规 TN 模式高大约 10 倍。

[0201] 此外,液晶板被夹在一对光学膜 (偏振板、延迟器等) 731 和 732 之间。另外,在使用 OCB 模式的显示器中,最好使用双轴延迟器,来三维地补偿延迟的观察角依赖性。

[0202] RGB 三色 LED 735 被用作图 12 所示的液晶板的背光源。来自 LED 735 的光线被光线引导板 734 引导。在场顺序驱动方法中,在 LED 发光周期的 TR 周期、TG 周期和 TB 周期中,按 RGB 的顺序打开 LED。在红色 LED 的发光周期 (TR) 中,与红色相对应的视频信号 (R1) 被提供给液晶板,并且一屏的红色图像被写入液晶板。在绿色 LED 的发光周期 (TG) 中,与绿色相对应的视频数据 (G1) 被提供给液晶板,并且一屏的绿色图像被写入液晶板。在蓝色 LED 的发光周期 (TB) 中,与蓝色相对应的视频数据 (B1) 被提供给液晶板,并且一屏的蓝色图像被写入液晶板。通过写入这三种图像,形成一帧。

[0203] (实施方式 5)

[0204] 通过嵌入根据本发明所获得的 EL 板或液晶板,便可以制造各种电子设备。例如,电子设备可以是:照相机,比如摄像机或数字照相机;目镜型的显示器;导航系统;声音再现装置 (比如车载音频、音频部件等);个人计算机;游戏机;移动信息终端 (移动计算机、移动电话、移动游戏机、电子书等);配有记录介质的图像再现设备 (具体来讲,可以再现记录介质 (比如 DVD) 并具有用于显示图像的显示器的设备);等等。图 13A-13H 和图 14 示出了这些电子设备的特定示例。

[0205] 图 13A 示出了电视机,它包括外壳 2001、支撑座 2002、显示部分 2003、扬声器部分 2004、视频输入端 2005 等。本发明应用于电视机和显示部分 2003 中的半导体集成电路,因此,可以实现电能消耗更少的电视机。要注意,用于个人计算机、TV 广播接收、广告显示等的电视机都被包括了。

[0206] 图 13B 示出了数字照相机,它包括主体 2101、显示部分 2102、图像接收部分 2103、操作键 2104、外部连接端口 2105、快门 2106 等。本发明应用于数字照相机中的半导体集成电路(存储器、CPU 等),因此,可以提供电能消耗更少的数字照相机。

[0207] 图 13C 示出了个人计算机,它包括主体 2201、外壳 2202、显示部分 2203、键盘 2204、外部连接端口 2205、指点式鼠标 2206 等。本发明应用于个人计算机和显示部分 2203 中的半导体集成电路(比如存储器或 CPU)。因此,在显示部分的 TFT 以及构成 CPU 的一部分的 CMOS 电路中的接触阻抗和引线都可以减小,并且可以实现电能消耗更少的个人计算机。

[0208] 图 13D 示出了电子书,它包括主体 2301、显示部分 2302、开关 2303、操作键 2304、红外端口 2305 等。本发明可以应用于电子书和显示部分 2302 中的半导体集成电路(比如存储器或 CPU),并且可以实现电能消耗更少的电子书。

[0209] 图 13E 示出了配有记录介质的移动的图像再现设备(具体来讲比如有 DVD 再现设备),它包括主体 2401、外壳 2402、显示部分 A 2403、显示部分 B 2404、记录介质(比如 DVD)读取部分 2405、操作键 2406、扬声器部分 2407 等。显示部分 A 2403 主要显示图像信息,而显示部分 B 2404 主要显示文本信息。本发明应用于图像再现设备和显示部分 A 2403、B 2404 中的半导体集成电路(比如存储器或 CPU),由此,可以实现电能消耗更少的图像再现设备。

[0210] 图 13F 示出了移动游戏机,它包括主体 2501、显示部分 2505、操作开关 2504 等。本发明应用于游戏机和显示部分 2505 中的半导体集成电路(比如存储器或 CPU),由此,可以实现电能消耗更少的游戏机。

[0211] 图 13G 示出了摄像机,它包括主体 2601、显示部分 2602、外壳 2603、外部连接端口 2604、远程控制接收部分 2605、图像接收部分 2606、电池 2607、音频输入部分 2608、操作键 2609 等。本发明可以应用于摄像机和显示部分 2602 中的半导体集成电路(比如存储器或 CPU),因此,可以实现电能消耗更少的摄像机。

[0212] 图 13H 示出了移动电话,它包括主体 2701、外壳 2702、音频输入部分 2704、音频输出部分 2705、操作键 2706、外部连接端口 2707、天线 2708 等。本发明可以应用于移动电话和显示部分 2703 中的半导体集成电路(比如存储器、CPU、或高频电路),因此,可以实现电能消耗更少的移动电话。

[0213] 图 14 示出了配有记录介质的移动的音乐再现设备,它包括主体 2901、显示部分 2903、记录介质(卡类型存储器、小型 HDD 等)读取部分 2902、操作键 2902 和 2906、与连接线 2904 相连的耳机的扬声器部分 2905 等。本发明可以应用于显示部分 2903,并且可以实现电能消耗更少的音乐再现设备。

[0214] 本实施方式可以与实施例 1-3 以及实施方式 1-4 中的任一种自由组合。

[0215] 10:基板,11:底部绝缘膜,12:栅绝缘膜,

[0216] 13:第一夹层绝缘膜,14a:导电层,14b:导电层,

[0217] 16:平整化绝缘膜,17:p 型高浓度杂质区域,

[0218] 18:p 型高浓度杂质区域,19:沟道形成区域,

[0219] 22a:第一导电层,22b:第二导电层,23R:第一电极,

[0220] 23G:第一电极,24R:含有机化合物的层,

- [0221] 24G :含有机化合物的层, 25 :第二电极, 27 :区域,
- [0222] 29 :绝缘体, 33 :密封基板, 34 :氧化铝膜,
- [0223] 222a :第一导电层, 222b :第二导电层,
- [0224] 320 :平整化绝缘膜, 323R :第一电极, 323G :第一电极,
- [0225] 329 :绝缘体, 610 :基板, 616 :平整化绝缘膜,
- [0226] 623 :第一电极, 624 :含有机化合物的层,
- [0227] 625 :第二电极, 626 :透明保护层, 627 :填充材料,
- [0228] 628 :密封材料, 629 :绝缘体, 632 :FPC,
- [0229] 633 :密封基板, 636 :n 沟道 TFT, 637 :p 沟道 TFT,
- [0230] 701 :第一基板, 702 :底部绝缘膜, 703 :TFT,
- [0231] 705 :栅绝缘膜, 706 :夹层绝缘膜, 707 :平整化绝缘膜,
- [0232] 708 :像素电极, 710 :定向膜, 711 :液晶材料,
- [0233] 712 :定向膜, 714 :柱状间隔物, 716 :第二基板,
- [0234] 720 :沟道形成区域,
- [0235] 721 :源极或漏极区域,
- [0236] 722 :源极或漏极区域, 723a :栅极的下层,
- [0237] 723b :栅极的上层, 724a :漏极或源极导线的下层,
- [0238] 724b :漏极或源极导线的上层, 725 :低浓度杂质区域,
- [0239] 726 :低浓度杂质区域, 731 :光学膜, 732 :光学膜,
- [0240] 734 :光导板, 735 :LED, 1001 :第一基板,
- [0241] 1002 :底部绝缘膜, 1003R :TFT, 1003G :TFT,
- [0242] 1003B :TFT, 1005 :栅绝缘膜, 1006 :夹层绝缘膜,
- [0243] 1007 :平整化绝缘膜, 1008 :第一电极, 1009 :隔离壁,
- [0244] 1010 :第二电极, 1011 :保护层, 1012 :保护层,
- [0245] 1014 :空间, 1015R :含有机化合物的层,
- [0246] 1015G :含有机化合物的层, 1015B :含有机化合物的层,
- [0247] 1016 :第二基板, 1020 :沟道形成区域, 1021 :源极或漏极区域,
- [0248] 1022 :源极或漏极区域, 1023a :栅极的下层,
- [0249] 1023b :栅极的上层, 1024a :漏极或源极导线的下层,
- [0250] 1024b :漏极或源极导线的上层, 1201 :源极一侧的驱动电路,
- [0251] 1202 :像素部分, 1203 :栅这一侧的驱动电路, 1204 :密封基板,
- [0252] 1205 :密封材料, 1207 :连接区域, 1208 :端部, 1209 :FPC,
- [0253] 1210 :基板, 1301 :驱动 IC, 1302 :像素部分, 1304 :密封基板,
- [0254] 1305 :密封材料, 1307 :连接区域, 1308 :端部, 1309 :FPC,
- [0255] 1310 :基板, 2001 :外壳,
- [0256] 2002 :支撑座, 2003 :显示部分,
- [0257] 2004 :扬声器部分, 2005 :视频输入端, 2101 :主体,
- [0258] 2102 :显示部分, 2103 :图像接收部分, 2104 :操作键,
- [0259] 2105 :外部连接端口, 2106 :快门, 2201 :主体, 2202 :外壳,

- [0260] 2203 :显示部分, 2204 :键盘, 2205 :外部连接端口,
- [0261] 2206 :指点鼠标, 2301 :主体, 2302 :显示部分, 2303 :开关,
- [0262] 2304 :操作键, 2305 :红外端口, 2401 :主体, 2402 :外壳,
- [0263] 2403 :显示部分 A, 2404 :显示部分 B, 2405 :记录介质读取部分,
- [0264] 2406 :操作键, 2407 :扬声器部分, 2501 :主体, 2601 :主体,
- [0265] 2602 :显示部分, 2603 :外壳, 2604 :外部连接端口,
- [0266] 2605 :远程控制接收部分, 2606 :图像接收部分, 2607 :电池,
- [0267] 2608 :音频输入部分, 2609 :操作键, 2701 :主体, 2702 :外壳,
- [0268] 2703 :显示部分, 2704 :音频输入部分, 2705 :音频输出部分,
- [0269] 2706 :操作键, 2707 :外部连接端口, 2708 :天线, 2901 :主体,
- [0270] 2902 :操作键, 2903 :显示部分, 2904 :连接线, 2905 :扬声器部分。

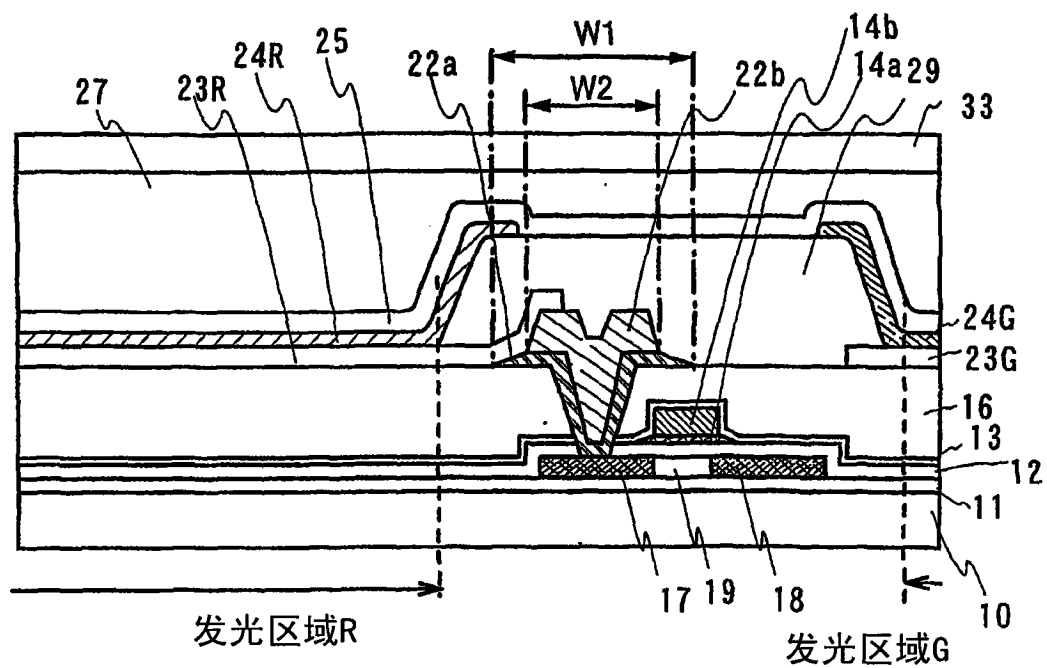


图 1A

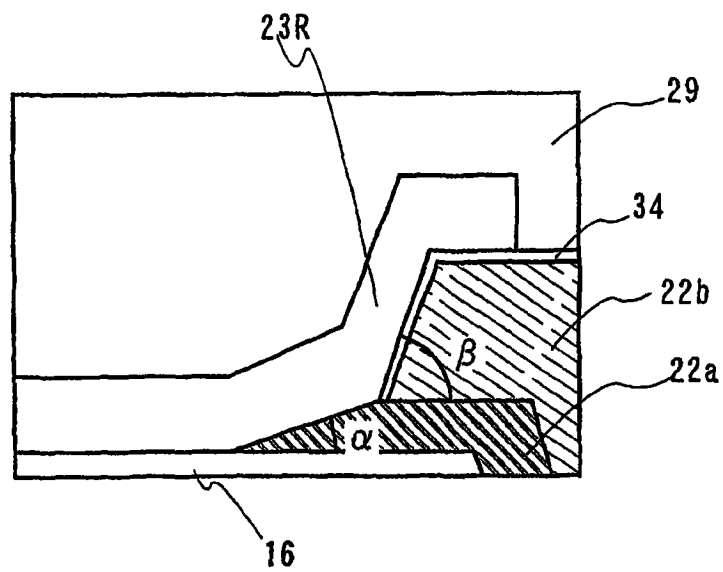


图 1B

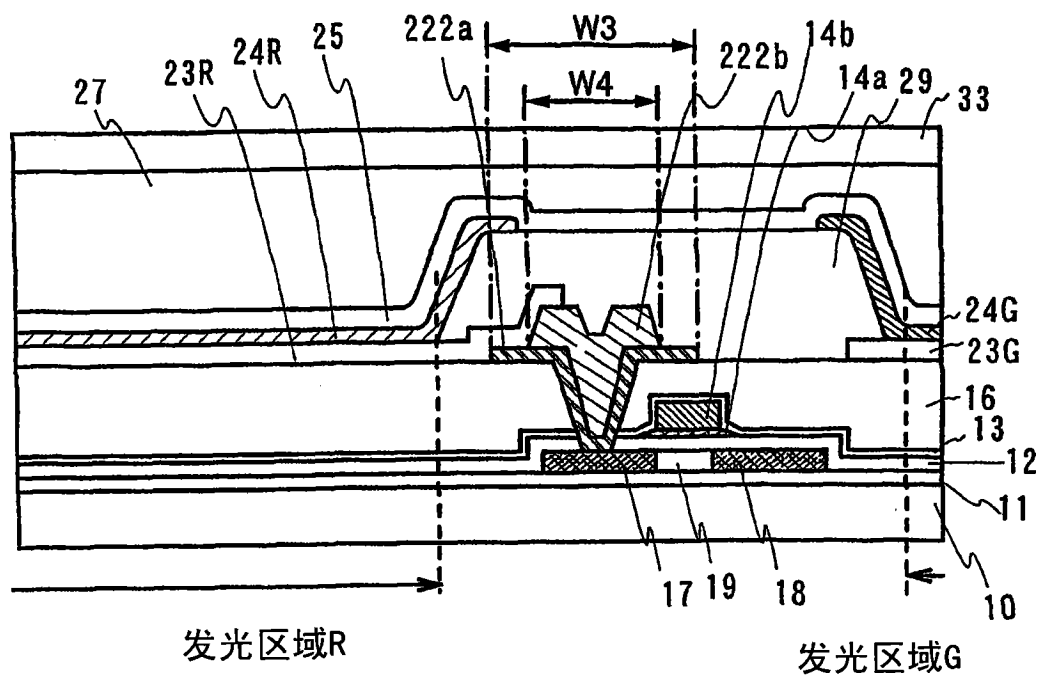


图 2A

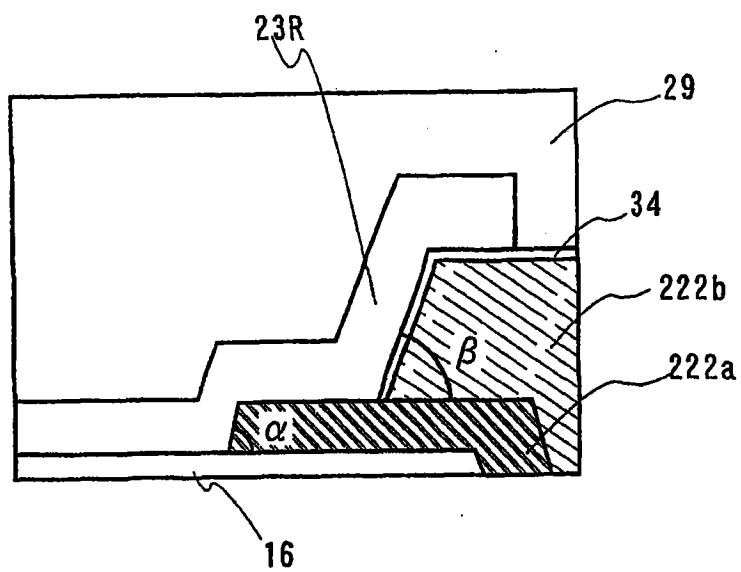


图 2B

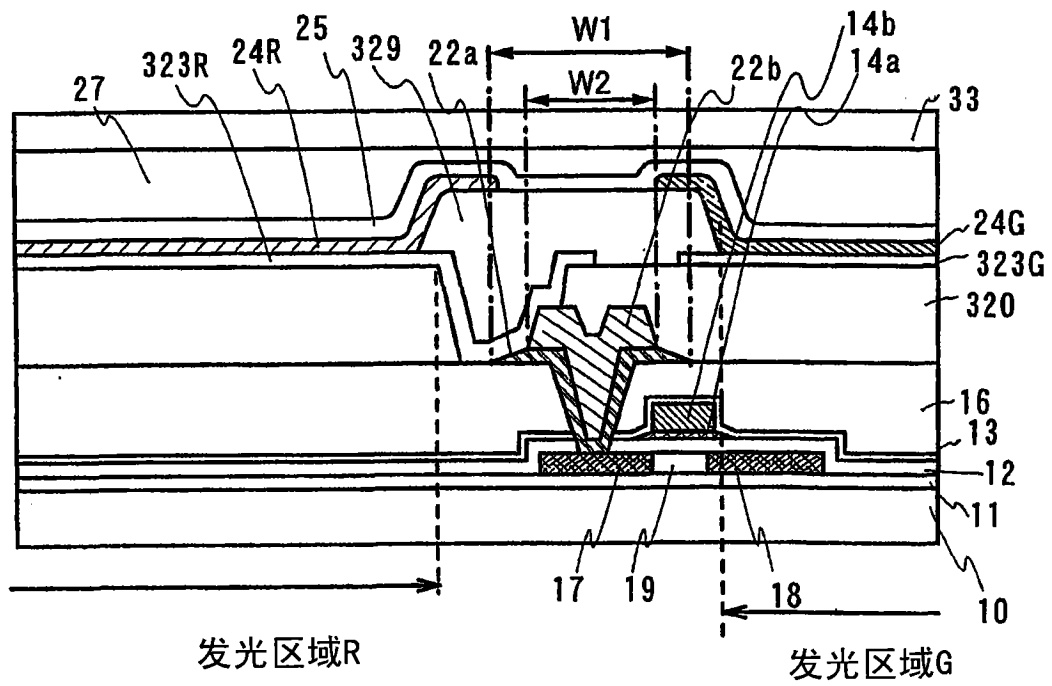


图 3

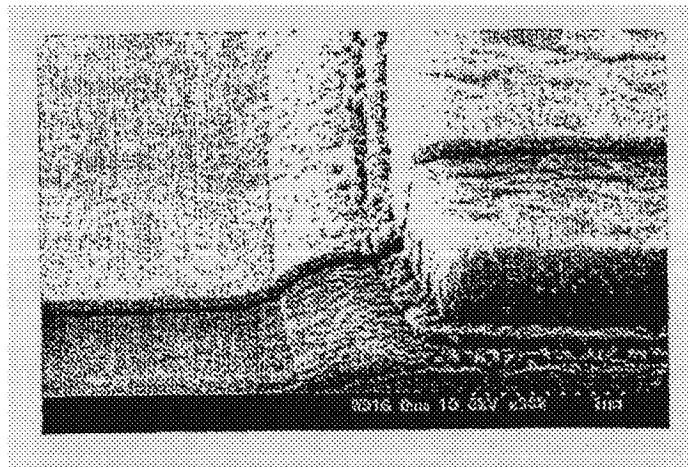


图 4A

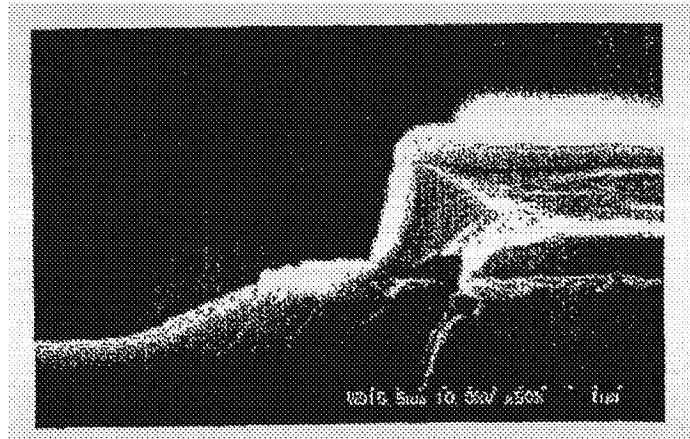


图 4B

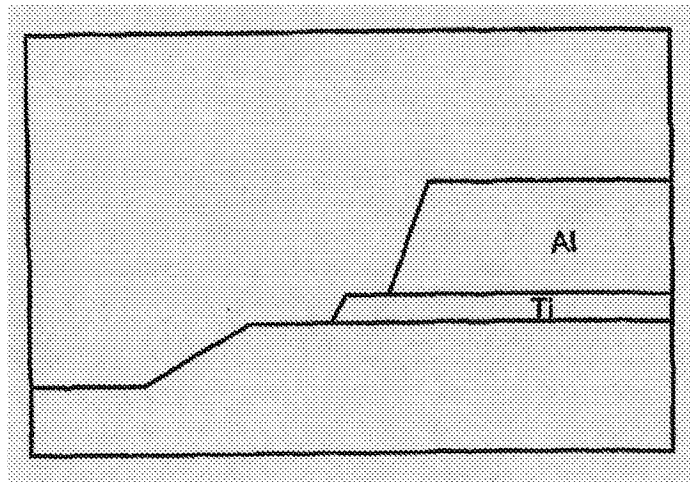


图 4C

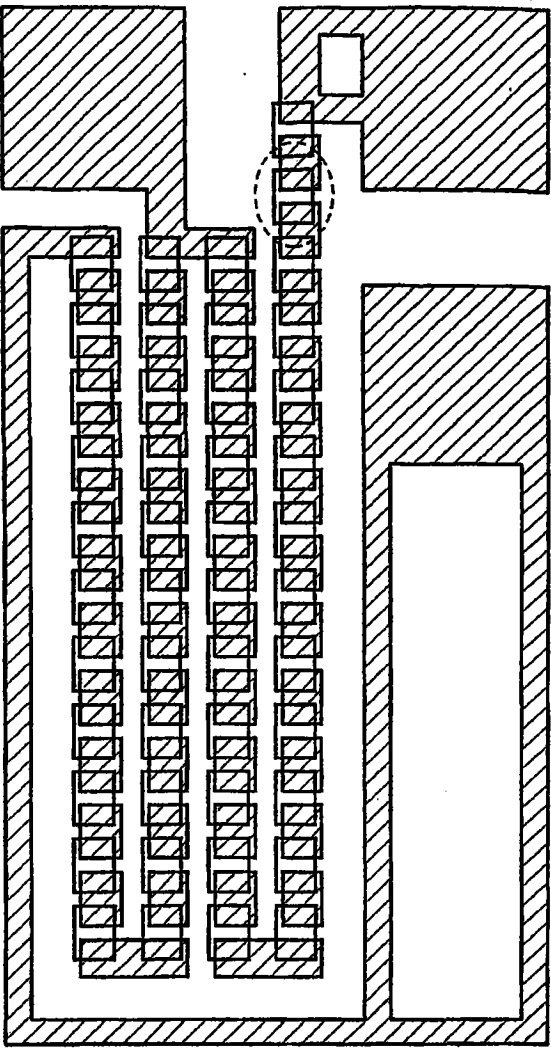


图 5A

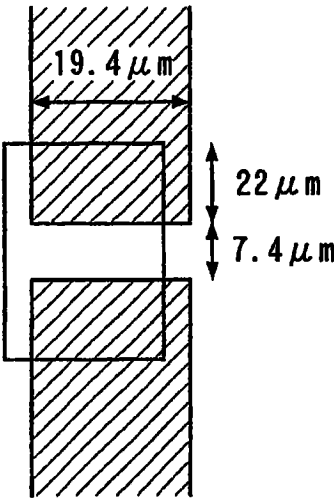


图 5B

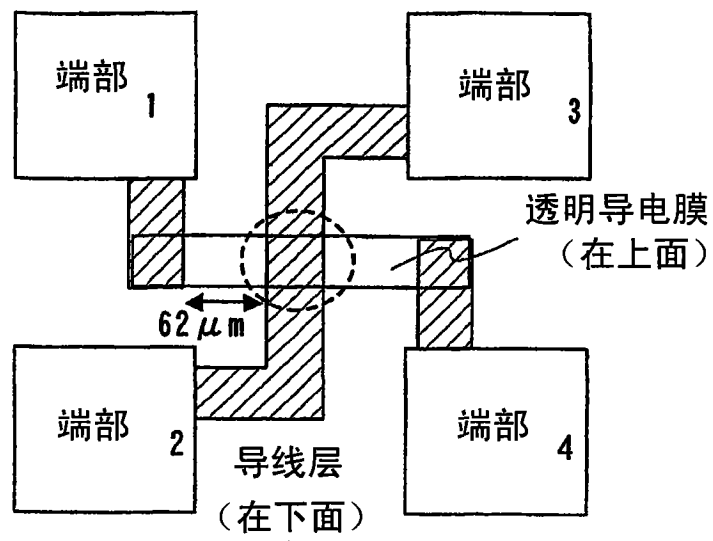


图 6A

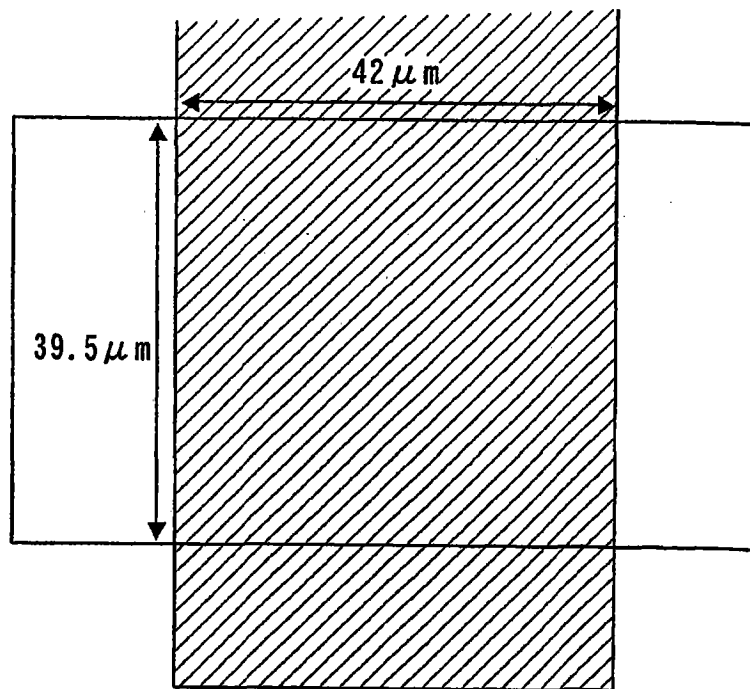


图 6B

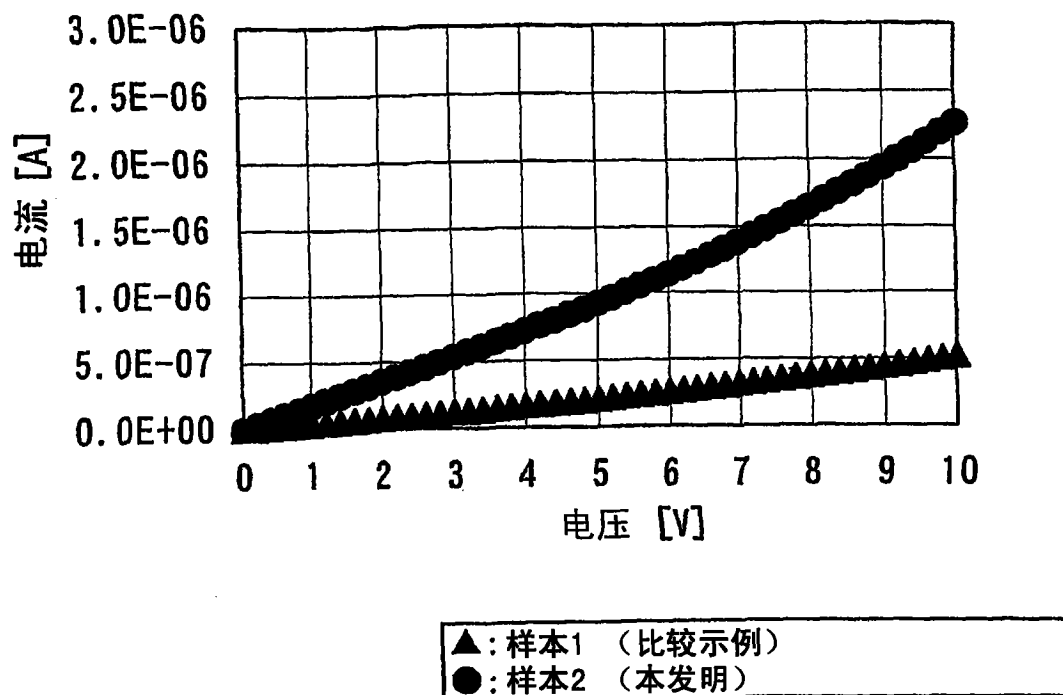


图 7

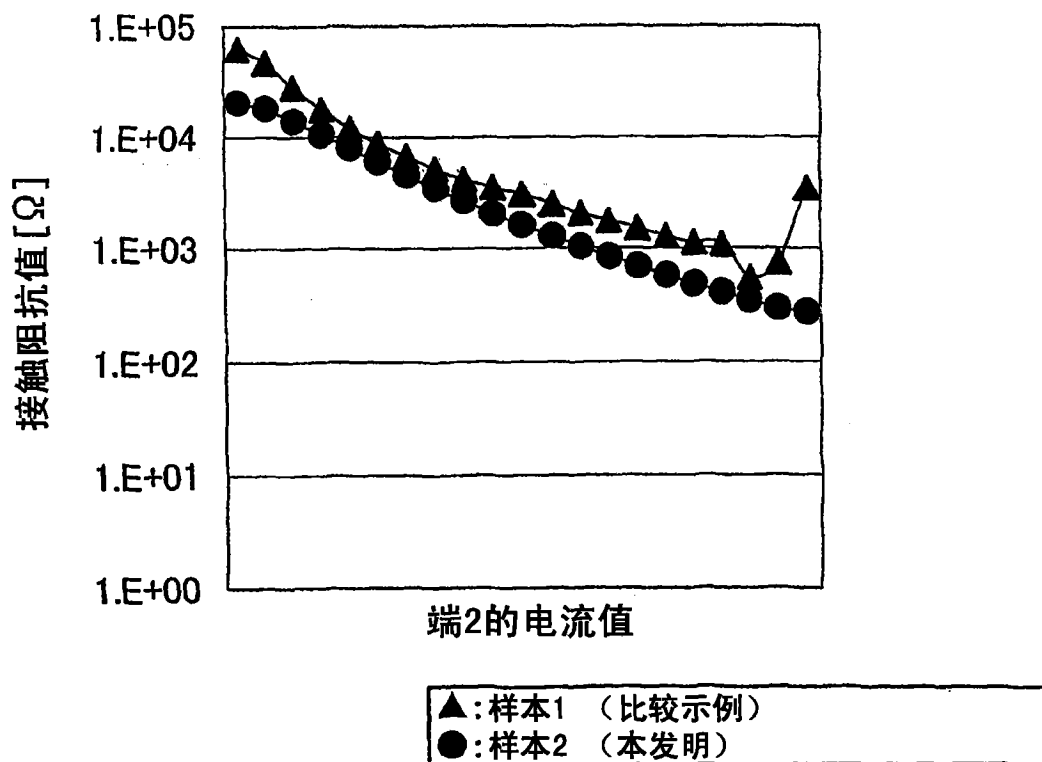


图 8

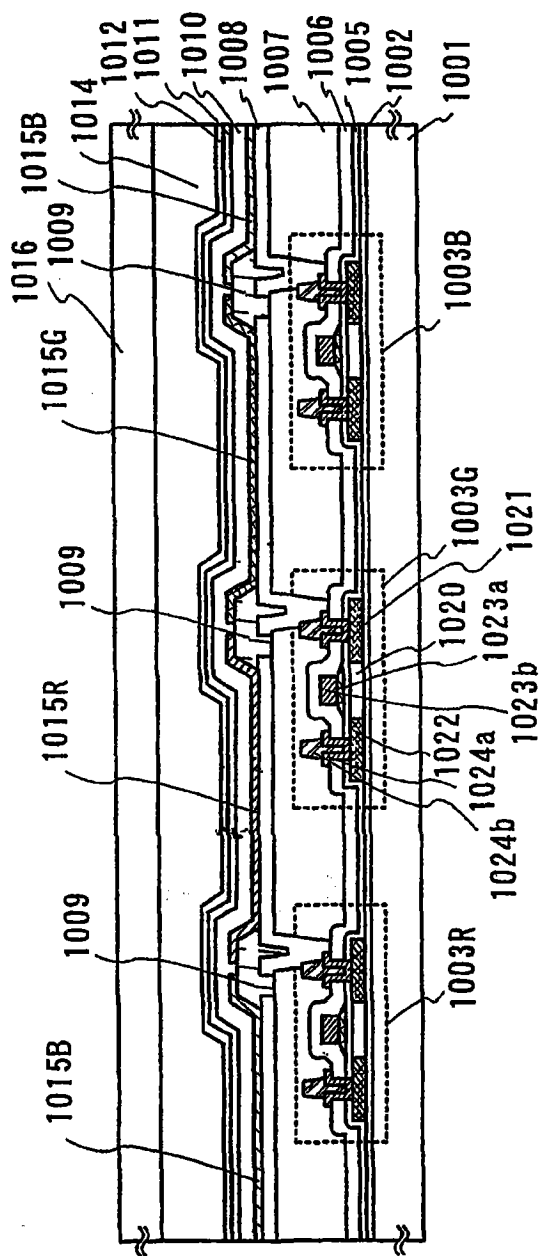


图 9

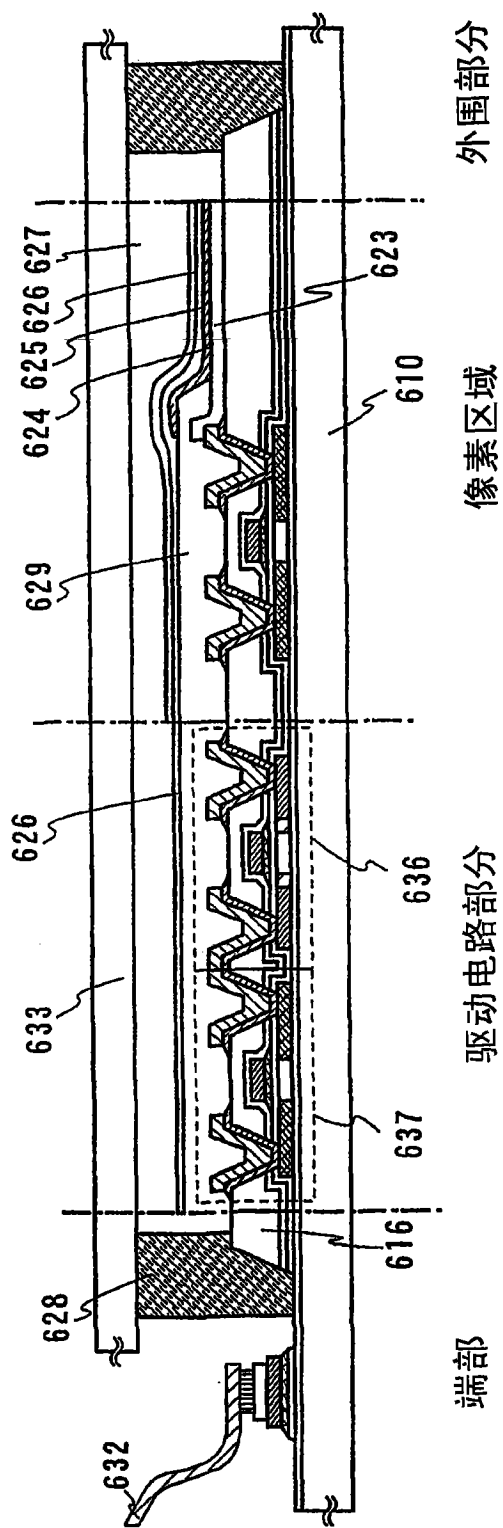


图 10

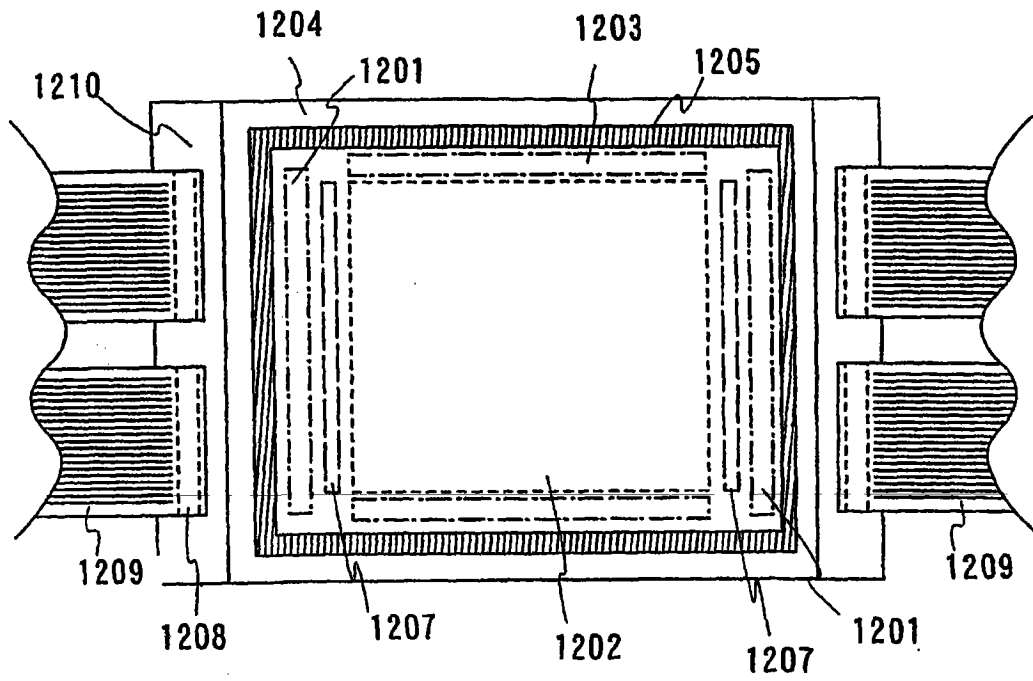


图 11A

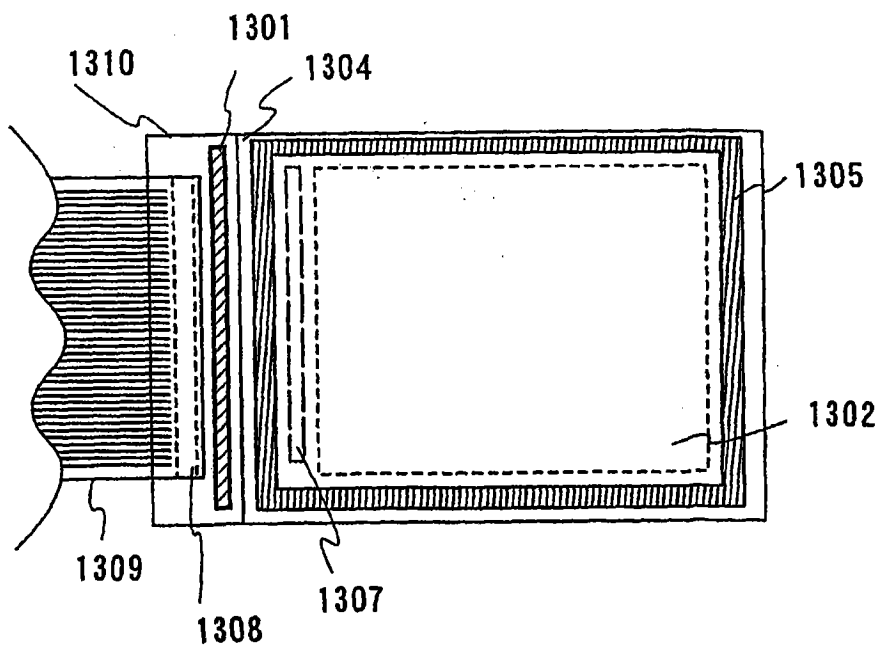


图 11B

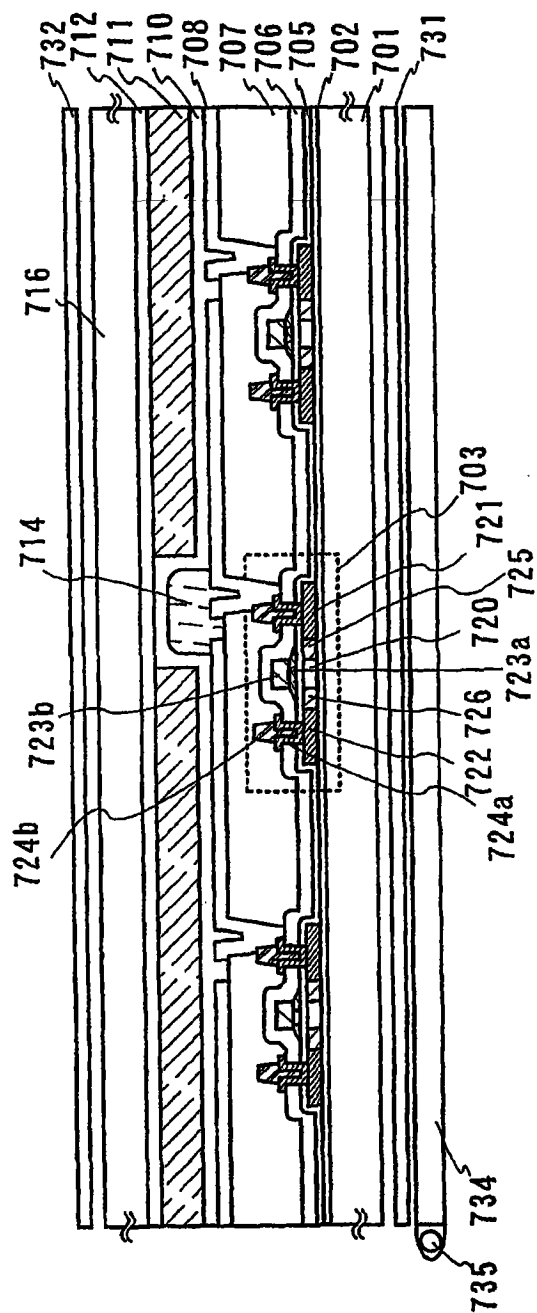


图 12

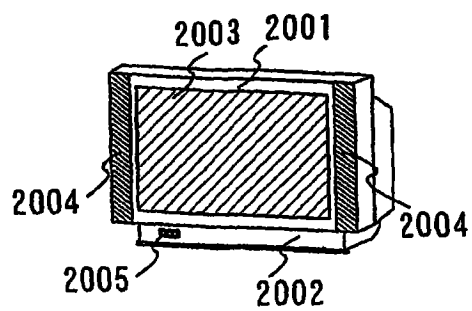


图 13A

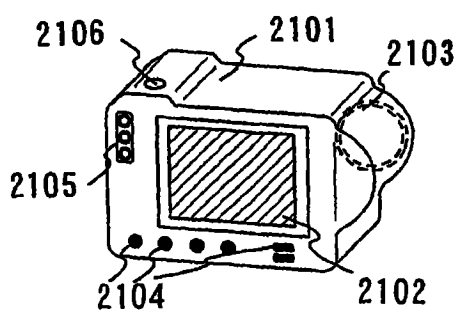


图 13B

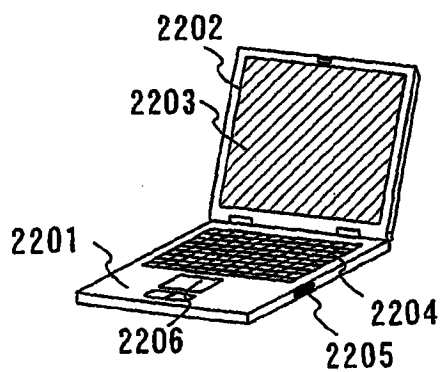


图 13C

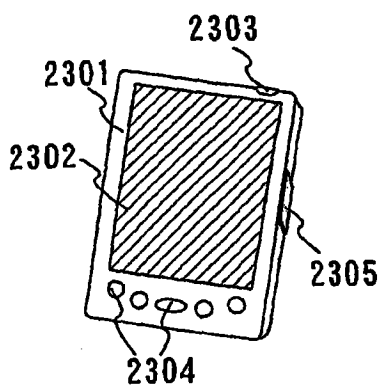


图 13D

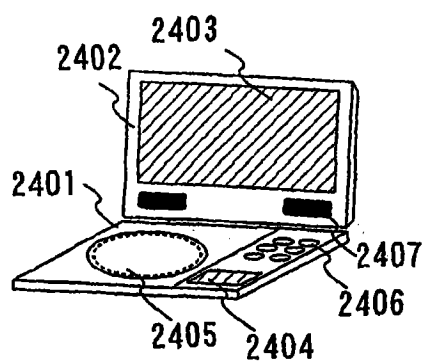


图 13E

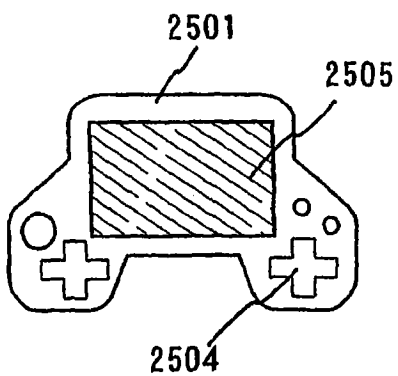


图 13F

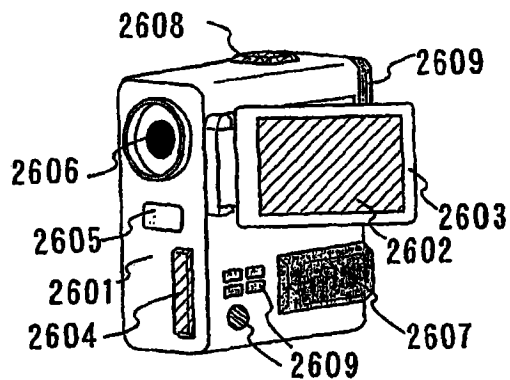


图 13G

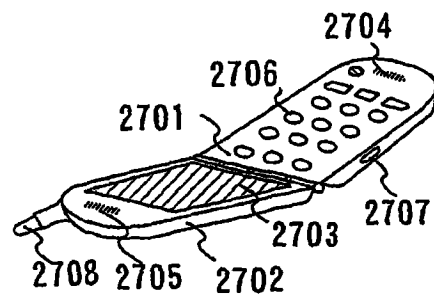


图 13H

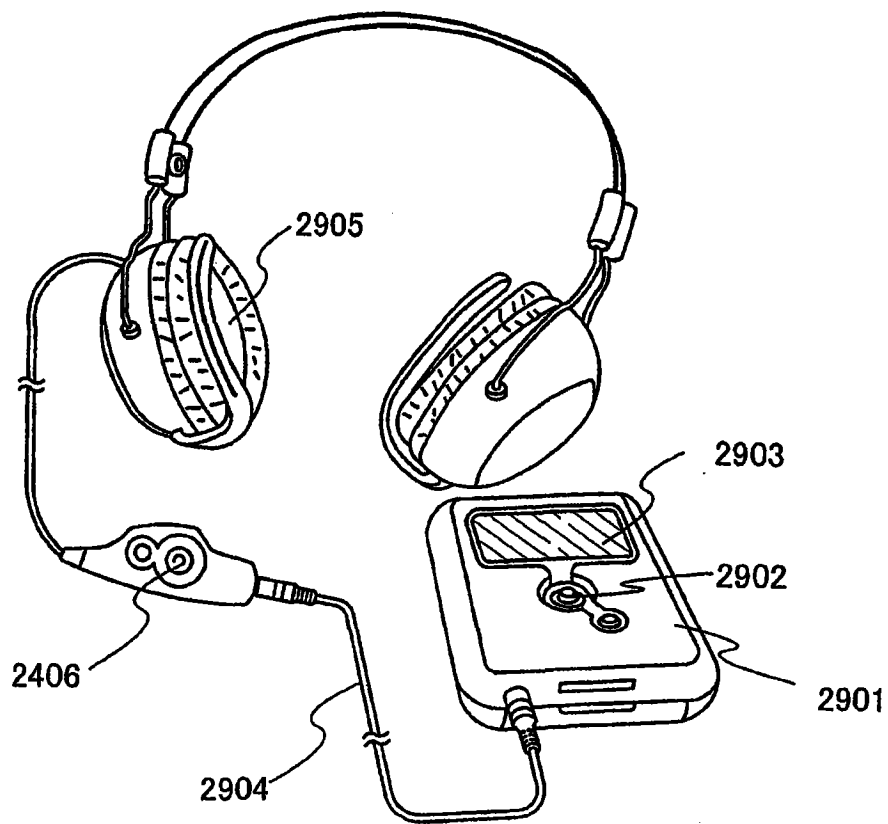


图 14

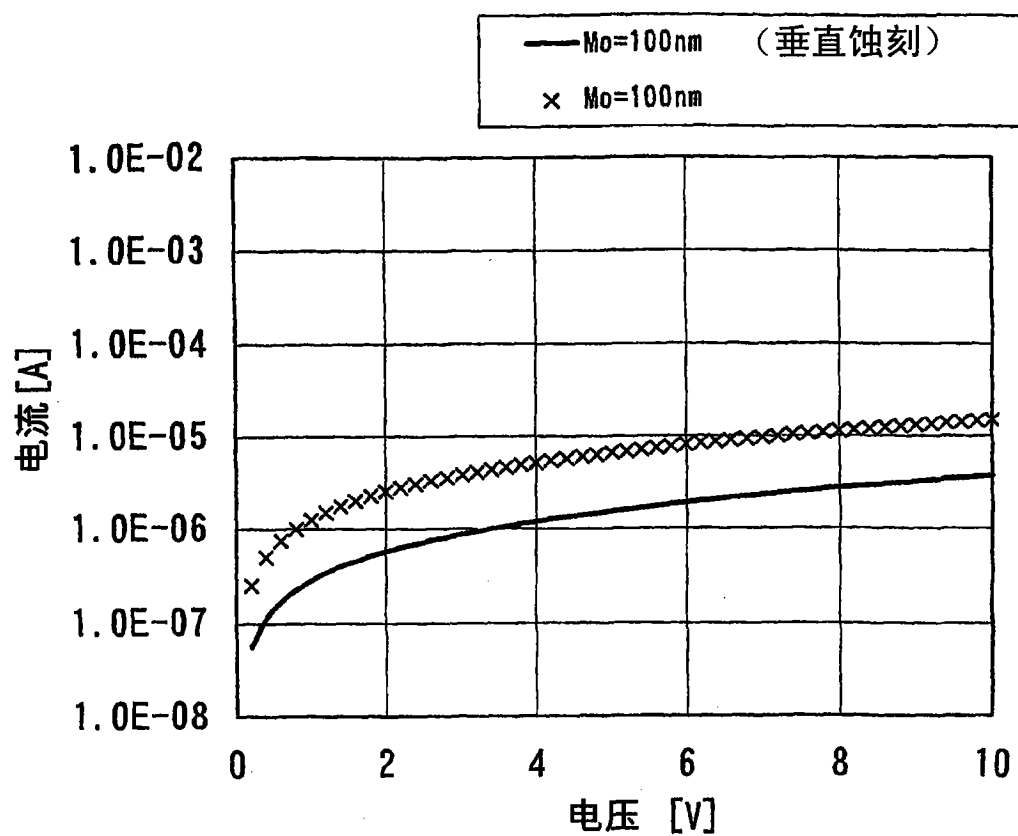


图 15

10: 基板, 11: 底部绝缘膜, 12: 栅绝缘膜,
13: 第一夹层绝缘膜, 14a: 导电层, 14b: 导电层,
16: 平整化绝缘膜, 17: p型高浓度杂质区域,
18: p型高浓度杂质区域, 19: 沟道形成区域,
22a: 第一导电层, 22b: 第二导电层, 23R: 第一电极,
23G: 第一电极, 24R: 含有机化合物的层,
24G: 含有机化合物的层, 25: 第二电极, 27: 区域,
29: 绝缘体, 33: 密封基板, 34: 氧化铝膜,
222a: 第一导电层, 222b: 第二导电层,
320: 平整化绝缘膜, 323R: 第一电极, 323G: 第一电极,
329: 绝缘体, 610: 基板, 616: 平整化绝缘膜,
623: 第一电极, 624: 含有机化合物的层,
625: 第二电极, 626: 透明保护层, 627: 填充材料,
628: 密封材料, 629: 绝缘体, 632: FPC,
633: 密封基板, 636: n沟道TFT, 637: p沟道TFT,
701: 第一基板, 702: 底部绝缘膜, 703: TFT,
705: 栅绝缘膜, 706: 夹层绝缘膜, 707: 平整化绝缘膜,
708: 像素电极, 710: 定向膜, 711: 液晶材料,
712: 定向膜, 714: 柱状间隔物, 716: 第二基板,
720: 沟道形成区域,

721: 源极或漏极区域,
722: 源极或漏极区域, 723a: 栅极的下层,
723b: 栅极的上层, 724a: 漏极或源极导线的下层,
724b: 漏极或源极导线的上层, 725: 低浓度杂质区域,
726: 低浓度杂质区域, 731: 光学膜, 732: 光学膜,
734: 光导板, 735: LED, 1001: 第一基板,
1002: 底部绝缘膜, 1003R: TFT, 1003G: TFT,
1003B: TFT, 1005: 栅绝缘膜, 1006: 夹层绝缘膜,
1007: 平整化绝缘膜, 1008: 第一电极, 1009: 隔离壁,
1010: 第二电极, 1011: 保护层, 1012: 保护层,
1014: 空间, 1015R: 含有机化合物的层,
1015G: 含有机化合物的层, 1015B: 含有机化合物的层,
1016: 第二基板, 1020: 沟道形成区域, 1021: 源极或漏极区域,
1022: 源极或漏极区域, 1023a: 栅极的下层,
1023b: 栅极的上层, 1024a: 漏极或源极导线的下层,
1024b: 漏极或源极导线的上层, 1201: 源极一侧的驱动电路,
1202: 像素部分, 1203: 栅这一侧的驱动电路, 1204: 密封基板,
1205: 密封材料, 1207: 连接区域, 1208: 端部, 1209: FPC,
1210: 基板, 1301: 驱动IC, 1302: 像素部分, 1304: 密封基板,
1305: 密封材料, 1307: 连接区域, 1308: 端部, 1309: FPC,
1310: 基板, 2001: 外壳,

2002: 支撑座, 2003: 显示部分,
2004: 扬声器部分, 2005: 视频输入端, 2101: 主体,
2102: 显示部分, 2103: 图像接收部分, 2104: 操作键,
2105: 外部连接端口, 2106: 快门, 2201: 主体, 2202: 外壳,
2203: 显示部分, 2204: 键盘, 2205: 外部连接端口,
2206: 指点鼠标, 2301: 主体, 2302: 显示部分, 2303: 开关,
2304: 操作键, 2305: 红外端口, 2401: 主体, 2402: 外壳,
2403: 显示部分A, 2404: 显示部分B, 2405: 记录介质读取部分,
2406: 操作键, 2407: 扬声器部分, 2501: 主体, 2601: 主体,
2602: 显示部分, 2603: 外壳, 2604: 外部连接端口,
2605: 远程控制接收部分, 2606: 图像接收部分, 2607: 电池,
2608: 音频输入部分, 2609: 操作键, 2701: 主体, 2702: 外壳,
2703: 显示部分, 2704: 音频输入部分, 2705: 音频输出部分,
2706: 操作键, 2707: 外部连接端口, 2708: 天线, 2901: 主体,
2902: 操作键, 2903: 显示部分, 2904: 连接线, 2905: 扬声器部分