(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第3780621号

(P3780621)

(45)発行日　平成18年5月31日(2006.5.31)　(24)登録日　平成18年3月17日(2006.3.17)

(51)Int.Cl.			F I		
G02F	1/1368	(2006.01)	G02F	1/1368	
G02F	1/1343	(2006.01)	G02F	1/1343	
G02F	1/1333	(2006.01)	G02F	1/1333	505

請求項の数 11　(全 17 頁)

(21)出願番号　特願平9-122697
(22)出願日　平成9年5月13日(1997.5.13)
(65)公開番号　特開平10-311985
(43)公開日　平成10年11月24日(1998.11.24)
審査請求日　平成15年4月15日(2003.4.15)

(73)特許権者　000002369
セイコーエプソン株式会社
東京都新宿区西新宿２丁目４番１号
(74)代理人　100095728
弁理士　上柳　雅誉
(74)代理人　100107261
弁理士　須澤　修
(72)発明者　湯田坂　一夫
長野県諏訪市大和３丁目３番５号　セイコーエプソン株式会社内

審査官　右田　昌士

最終頁に続く

(54)【発明の名称】トランジスタの製造方法、アクティブマトリクス基板の製造方法、及び表示装置の製造方法

(57)【特許請求の範囲】

【請求項１】

基板上に半導体膜を形成する工程と、

前記半導体膜上にゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上にゲート電極を形成する工程と、

前記半導体膜および前記ゲート電極上に導電膜を形成する工程と、

前記導電膜上方から前記半導体膜に不純物イオンを打ち込む工程と、を有することを特徴とするトランジスタの製造方法。

【請求項２】

請求項１に記載のトランジスタの製造方法において、

さらに前記不純物イオンを打ち込む工程の後、前記導電膜を除去する工程を含むことを特徴とするトランジスタの製造方法。

【請求項３】

請求項１または２に記載のトランジスタの製造方法において、

前記導電膜を形成する工程は、

前記半導体膜および前記ゲート電極上に液体材料を塗布し塗布膜を形成する工程と、

前記塗布膜を乾燥し乾燥膜を形成する工程と、

前記乾燥膜を焼成し前記導電膜を形成する工程と、を含むことを特徴とするトランジスタの製造方法。

【請求項４】

請求項１乃至３のいずれかに記載のトランジスタの製造方法において、
前記導電膜が、前記半導体膜から上方に対して第１の膜厚を有する第１の部分と第２の膜厚を有する第２の部分とを有し、前記第１の膜厚は前記第２の膜厚よりも大きいことを特徴とするトランジスタの製造方法。
【請求項５】
請求項４に記載のトランジスタの製造方法において、
前記第１の部分が前記ゲート電極に隣接し、かつ前記ゲート電極と前記第２の部分とを隔てる位置に形成されることを特徴とするトランジスタの製造方法。
【請求項６】
請求項４または５に記載のトランジスタの製造方法において、
前記半導体膜に不純物イオンを打ち込む工程の後、前記半導体膜はチャネル領域と、低濃度ソース領域と、低濃度ドレイン領域と、ソース領域と、およびドレイン領域とを含み、前記低濃度ソース領域および低濃度ドレイン領域は前記第１の部分の下方に形成され、前記ソースおよびドレイン領域は前記第２の部分の下方に形成されていることを特徴とするトランジスタの製造方法。
【請求項７】
請求項１乃至４のいずれかに記載のトランジスタの製造方法において、
前記導電膜を形成する工程に先立ち、前記半導体膜上の前記ゲート絶縁膜電極を少なくとも一部除去する工程を有することを特徴とするトランジスタの製造方法。
【請求項８】
請求項１乃至７のいずれかに記載のトランジスタの製造方法において、
前記不純物イオンを打ち込む工程の前記導電膜はグランド電位に保持されていることを特徴とするトランジスタの製造方法。
【請求項９】
請求項１乃至８のいずれかに記載のトランジスタの製造方法において、
前記導電膜はＩＴＯを含むことを特徴とするトランジスタの製造方法。
【請求項１０】
請求項１乃至９のいずれかに記載のトランジスタの製造方法を用いることを特徴とするアクティブマトリクス基板の製造方法。
【請求項１１】
請求項１０に記載のアクティブマトリクス基板の製造方法を用いることを特徴とする表示装置の製造方法。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、薄膜トランジスタ（以下、ＴＦＴという。）の製造方法、およびそれを用いた液晶表示装置用アクティブマトリクス基板の製造方法に関するものである。さらに詳しくは、ＬＤＤ構造またはオフセットゲート構造のＴＦＴの製造技術に関するものである。
【０００２】
【従来の技術】
液晶表示装置に用いる駆動回路内蔵型のアクティブマトリクス基板では、相補型のＴＦＴを用いて駆動回路が構成されているとともに、画素領域には画素スイッチング用のＴＦＴが構成される。ここで、ＴＦＴをセルフアライン構造で構成すると、図９にセルフアライン構造のＮ型のＴＦＴおよびＰ型のＴＦＴの伝達特性をそれぞれ実線Ｌ１、Ｌ２で示すように、オフリーク電流が大きいという問題点がある。このように、オフリーク電流が大きなＴＦＴを画素スイッチング用に用いると、コントラスト低下、表示むら、フリッカなどの原因となる。また、オフリーク電流が大きなＴＦＴで駆動回路を構成すると、誤作動を引き起こす原因となる。
【０００３】
そこで、アクティブマトリクス基板に用いられるＴＦＴとしては、ＬＤＤ構造またはオフ

セットゲート構造のＴＦＴが用いられる傾向にある。このタイプのＴＦＴでは、ドレイン端での電界強度が緩和されるので、図１０にＬＤＤ構造のＮ型のＴＦＴおよびＰ型のＴＦＴの伝達特性をそれぞれ実線Ｌ３、Ｌ４で示すように、オフリーク電流を低減できる。従って、ＬＤＤ構造のＴＦＴを画素スイッチング用に用いると、コントラスト低下などを防止できる。また、ＬＤＤ構造のＴＦＴで駆動回路を構成すると、誤作動を防止できるとともに、耐電圧が高い分、チャネル長を短くできるので、動作速度の向上や信頼性の向上を図ることができる。

【０００４】

このような構造のアクティブマトリクス基板を製造するにあたっては、図１１を参照して簡単に説明するように、４回の不純物導入工程を行ってＬＤＤ構造のソース・ドレイン領域を形成する。ここでは、アクティブマトリクス基板の基体たる絶縁基板２の表面側に、左側から右側に向かって、Ｎ型の画素用ＴＦＴ、Ｎ型の駆動回路用ＴＦＴ、Ｐ型の駆動回路用ＴＦＴを形成していくものとして説明する。

【０００５】

まず、図１１（ａ）に示すように、ＴＦＴの能動層を構成するための島状のポリシリコン薄膜の各々に対して、ゲート絶縁膜１４、２４、３４、およびゲート電極１５、２５、３５を順次、形成した以降、Ｐ型の駆動回路用ＴＦＴの形成予定領域をレジストマスク５３で覆った状態で、画素用ＴＦＴおよびＮ型の駆動回路用ＴＦＴの形成予定領域に対して、低濃度のドナー型の不純物をイオン注入し、ゲート電極１５、２５に対して自己整合的に低濃度のソース領域１１ｂ、２１ｂ、および低濃度のドレイン領域１２ｂ、２２ｂを形成する。不純物が導入されなかった部分はチャネル形成領域１３、２３となる。しかる後に、レジストマスク５３を除去する。

【０００６】

次に、図１１（ｂ）に示すように、Ｐ型の駆動回路用ＴＦＴの形成予定領域に加えて、画素用ＴＦＴおよびＮ型の駆動回路用ＴＦＴのゲート電極１５、２５をも広めに覆うレジストマスク５４を形成した後、高濃度のドナー型の不純物をイオン注入する。その結果、低濃度のソース領域１１ｂ、２１ｂ、および低濃度のドレイン領域１２ｂ、２２ｂには、高濃度ソース領域１１２、２１２、および高濃度ドレイン領域１２２、２２２が形成される。一方、低濃度のソース領域１１および低濃度のドレイン領域１２のうち、レジストマスク５４で覆われていた部分は、そのまま低濃度ソース領域１１１、２１１、および低濃度ドレイン領域１２１、２２１となる。このようにして、ＬＤＤ構造の画素用ＴＦＴ１０およびＮ型の駆動回路用ＴＦＴ２０を形成する。しかる後に、レジストマスク５４を除去する。

【０００７】

次に、図１１（ｃ）に示すように、画素用ＴＦＴ１０およびＮ型の駆動回路用ＴＦＴ２０をレジストマスク５５で覆った状態で、Ｐ型の駆動回路用ＴＦＴの形成予定領域に対して、低濃度のアクセプター型の不純物をイオン注入して、ゲート電極３５に対して自己整合的に低濃度のソース領域３１ｂ、および低濃度のドレイン領域３２ｂを形成する。なお、不純物が導入されなかった部分はチャネル形成領域３３となる。しかる後にレジストマスク５５を除去する。

【０００８】

次に、図１１（ｄ）に示すように、画素用ＴＦＴ１０およびＮ型の駆動回路用ＴＦＴ２０に加えて、Ｐ型の駆動回路用ＴＦＴ３０のゲート電極３５をも広めに覆うレジストマスク５６を形成した後、高濃度のアクセプター型の不純物をイオン注入する。その結果、低濃度のソース領域３１ｂ、および低濃度のドレイン領域３２ｂには高濃度ソース領域３１２、および高濃度ドレイン領域３２２が形成される。一方、低濃度のソース領域３１およびドレイン領域３２のうち、レジストマスク５６で覆われていた部分は、そのまま低濃度ソース３１１、および低濃度ドレイン領域３２１となる。このようにして、ＬＤＤ構造のＰ型の駆動回路用ＴＦＴ３０を形成する。しかる後に、レジストマスク５６を除去する。

【０００９】

なお、図１１（ａ）、（ｃ）に示す低濃度の不純物導入工程を省略すれば、ＬＤＤ構造のＴＦＴに代えて、オフセットゲート構造のＴＦＴを形成できる。

【００１０】

このようなＴＦＴの製造方法において、イオン注入を行う際には絶縁膜上に島状の導電領域（ゲート電極、ゲート配線、不純物の導入された半導体領域など）が形成される。この状態で高濃度のイオンを注入すると、島状の導電領域や絶縁膜上に電荷が蓄積される。但し、各島状の導電領域の形状や大きさ、あるいは各領域間の距離が異なるため、蓄積される電荷量は領域毎に異なる。このような不均一なチャージアップが起きる結果、導電領域間、ゲート電極とソース・ドレイン領域となるべき半導体層間、イオン注入装置の基板保持部材と各パターン間などで放電が起こり、この放電は、ＴＦＴ特性の劣化（オフリーク電流の増大、オン電流の低下、しきい値電圧のシフトなど）、ゲート耐電圧の低下、さらにはパターンそのものの損傷などのダメージを引き起こす。このようなダメージの発生を防止する方策として、イオン注入後にアニールを行う方法があるが、ダメージを完全に回復させることができないことがあるため、低温プロセスによりＴＦＴを製造する場合にはとりわけ問題となる。また、イオン注入前に薄い金属膜を全面に形成しておくことにより、チャージアップに伴うダメージの発生を防止する方法もあるが、この方法では金属膜を後で除去する必要がある分、工程数が増加してしまうこと、該金属薄膜を除去する時、金属で形成されたゲート電極も影響を受けることなどの問題がある。

【００１１】

【発明が解決しようとする課題】

アクティブマトリクス基板の製造コストは、レジストマスクの形成回数によって大きく変動するため、従来のように、ＬＤＤ構造のＴＦＴを製造するのに、Ｎ型、Ｐ型の不純物をそれぞれ２回ずつ導入する方法では、アクティブマトリクス基板の製造コストが高い。しかも、ＬＤＤ構造のＴＦＴ、およびオフセットゲート構造のＴＦＴのいずれを製造する場合でも、高濃度不純物を導入する際のレジストマスク５４、５６の形成位置がゲート電極１５、２５、３５に対してずれると、そのずれはそのままＬＤＤ長やオフセット長のばらつきを発生させる。とりわけ、液晶表示装置のアクティブマトリクス基板のように大型の基板上に多数のＴＦＴを製造する場合には、レジストマスク５４、５６を形成するためのマスク合わせを高い精度を行うのは困難である。それ故、従来のアクティブマトリクス基板の製造方法では、製造コストの低減が難しいだけでなく、各ＴＦＴ間でのＬＤＤ長やオフセット長のばらつきをこれ以上、低減することができないという問題点がある。

【００１２】

以上の問題点に鑑みて、本発明の課題は、製造コストの低減と、各ＴＦＴ間でのＬＤＤ長のばらつきの低減とを図ることができ、かつ、不純物イオンの導入時のチャージアップに起因するダメージの発生を防止することのできるトランジスタの製造方法、アクティブマトリクス基板の製造方法、及び表示装置の製造方法を提供することにある。

【００１３】

【課題を解決するための手段】

上記課題を解決するため、本発明に係るトランジスタの製造方法では、基板上に半導体膜を形成する工程と、前記半導体膜上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上にゲート電極を形成する工程と、前記半導体膜および前記ゲート電極上に導電膜を形成する工程と、前記導電膜上方から前記半導体膜に不純物イオンを打ち込む工程と、を有することを特徴とする。例えば、前記導電膜はＩＴＯを含むものであってもよい。

【００１４】

上記トランジスタの製造方法は、さらに前記不純物イオンを打ち込む工程の後、前記導電膜を除去する工程を含んでもよい。

【００１５】

また、上記のトランジスタの製造方法において、前記導電膜を形成する工程は、前記半導体膜および前記ゲート電極上に液体材料を塗布し塗布膜を形成する工程と、前記塗布膜を乾燥し乾燥膜を形成する工程と、前記乾燥膜を焼成し前記導電膜を形成する工程と、を

含むこともできる。

【００１６】

上記のトランジスタの製造方法において、ゲート電極を形成した後、その表面側に膜を形成すると、ゲート電極の端部では、ゲート電極の厚さに相当する分だけ、導電膜が厚く形成される。すなわち、前記導電膜が、前記半導体膜から上方に対して第１の膜厚を有する第１の部分と第２の膜厚を有する第２の部分とを有し、前記第１の膜厚は前記第２の膜厚よりも大きいことが好ましい。また、前記第１の部分が前記ゲート電極に隣接し、かつ前記ゲート電極と前記第２の部分とを隔てる位置に形成されることが好ましい。

これにより、ゲート電極の表面側に導電膜を形成するだけでゲート電極の端部にサイドウォールを形成したのと同じ状態になる。

【００１７】

また、この状態のまま不純物イオンを導入するだけで、ソース・ドレイン領域のうち、ゲート電極の端部に対峙する部分は、そこに形成された導電膜が厚い分、他の領域と比較して不純物イオンの導入量がかなり少ない。従って、ソース・ドレイン領域にＬＤＤ領域が自動的に形成される。それ故、ゲート電極をやや広めに覆うレジストマスクによってＬＤＤ領域に高濃度の不純物イオンが導入されるのを防止する方法と違って、レジストマスクの形成工程が少なくて済むとともに、基板が大型化しても、マスク合わせ精度に起因するＬＤＤ長のばらつきが発生しない。また、従来の製造方法においては、不純物イオンを導入する際に不均一なチャージアップが発生し、その放電に伴ってＴＦＴのダメージが惹起されるが、本発明では、不純物イオンを打ち込む際にはその表面が導電膜で覆われているので、かかる不均一なチャージアップが起きない。それ故、不純物イオンを導入する際にゲート絶縁膜などが損傷するのを防止できる。

したがって、上記のトランジスタの製造方法において、前記半導体膜に不純物イオンを打ち込む工程の後、前記半導体膜はチャネル領域と、低濃度ソース領域と、低濃度ドレイン領域と、ソース領域と、およびドレイン領域とを含み、前記低濃度ソース領域および低濃度ドレイン領域は前記第１の部分の下方に形成され、前記ソースおよびドレイン領域は前記第２の部分の下方に形成されていることが好ましい。

ここで、ソース・ドレイン領域にＬＤＤ領域が形成されると説明したが、そこに導入された不純物量が極めて少ない場合には、オフセット領域が形成されると見做すことができる。すなわち、上記のトランジスタの製造方法は、オフセットゲート構造のトランジスタを製造することもできる。

【００１８】

上記のトランジスタの製造方法において、前記導電膜として、シート抵抗が10^{7}　Ω／□以下の導電膜を形成し、不純物イオンを導入する際のチャージアップを確実に防止することが好ましい。

【００１９】

上記のトランジスタの製造方法において、前記導電膜として、１０００オングストローム程度の導電膜を形成すれば、ＬＤＤ構造のトランジスタとして機能するのに十分なＬＤＤ長を確保できる。

【００２０】

上記のトランジスタの製造方法において、前記ゲート絶縁膜および前記ゲート電極を順次形成した以降、前記導電膜形成工程を行う前に、前記ゲート電極をマスクとして前記ゲート絶縁膜にエッチングを施すゲート絶縁膜エッチング工程を行うことが好ましい。

不純物を導入する時点で、ゲート電極の周りと離れた位置で半導体膜への不純物導入の障壁となるべき膜の厚さに所定の差をつけようとしても、そこにゲート絶縁膜があると、その膜厚が場所によらず一定であるため、前記の障壁となる膜を全体として厚めに形成せざるを得ない場合がある。これに対し、半導体膜の表面側のうち、ゲート電極の直下を除く部分からゲート絶縁膜を除去すると、不純物を導入する時点で、ゲート電極の周りと離れた位置で半導体膜への不純物導入の障壁となるべき膜の厚さに所定の差をつけようとしたときに、前記の膜厚の差は導電膜だけで規定することができる。それ故、ゲート電極か

ら離れた位置では膜厚を薄くできる分、不純物を導入する際のエネルギーが小さくて済む。

【００２１】

この場合には、前記ゲート絶縁膜エッチング工程を行った以降、前記導電膜形成工程を行う前に、前記ゲート電極の表面側に絶縁性塗布膜を形成する絶縁性塗布膜形成工程を行うことが好ましい。すなわち、導電膜の下層側にあるのもあくまで塗布膜（絶縁性塗布膜）なので、前記のとおり、ゲート電極の周りで塗布膜が厚いのを利用して、この部分への不純物導入量を抑えることができる。また、ゲート絶縁膜にエッチングを施す際にゲート電極直下のゲート絶縁膜がオーバーエッチされてもオーバーハング構造になるのを絶縁性塗布膜で防止することができる。この場合でも、半導体膜の表面側のうち、ゲート電極の直下を除く部分にゲート絶縁膜がない分、ゲート電極から離れた位置では膜厚を薄くできる分、不純物を導入する際のエネルギーが小さくて済む。

【００２２】

上記のトランジスタの製造方法において、前記ゲート絶縁膜および前記ゲート電極を順次形成した以降、前記導電性塗布膜形成工程を行う前に、前記ゲート電極を広めに覆うマスクを形成し、該マスクを用いて前記ゲート絶縁膜にエッチングを施すゲート絶縁膜エッチング工程を行うことが好ましい。このように構成すると、ゲート電極の周りに残るゲート絶縁膜と、ゲート電極の周りで厚く形成される導電膜とを利用して、この部分への不純物導入量を抑えることができる。

【００２３】

上記のトランジスタの製造方法において、前記不純物導入工程では、前記導電膜をグランド電位に保持した状態で不純物イオンの導入を行うことが好ましい。たとえば、グランド電位に設定された基板保持具が前記導電膜に電気的接続する状態で前記基板を保持することによって、前記不純物導入工程では前記導電膜をグランド電位に保持することが好ましい。このように構成すると、不純物イオンを導入する際のチャージアップをより確実に防止できる。

【００２４】

本発明に係るアクティブマトリクス基板の製造方法は、上記のトランジスタの製造方法を用いるものであり、表示装置の製造方法は、上記アクティブマトリクス基板の製造方法を用いるものである。

たとえば、大型の基板上にＬＤＤ長のばらつきのない多数のトランジスタを形成することができるので、アクティブマトリクス基板を製造するために、大型の基板に対して、駆動回路を形成するための駆動回路用のトランジスタを形成するとともに、画素領域に画素スイッチング用のトランジスタを形成することができる。

【００２５】

【発明の実施の形態】

図面を参照して、本発明の実施例を説明する。

【００２６】

［実施の形態１］

（アクティブマトリクス基板の構成）

図１は、本形態に係る液晶表示装置の駆動回路内蔵型のアクティブマトリクス基板を模式的に示す断面図である。なお、図１には、層間絶縁膜のコンタクトホールやそこを介してソース・ドレイン領域に電気的に接続する電極などを省略してある。

【００２７】

図１において、アクティブマトリクス基板１の基体たる絶縁基板２の表面側には、３つタイプのＴＦＴが形成され、そのうち、左側に表されているのは、Ｎ型の画素用ＴＦＴ１０であり、中央に表されているのは、Ｎ型の駆動回路用ＴＦＴ２０であり、右側に表されているのは、Ｐ型の駆動回路用ＴＦＴ３０である。これらのＴＦＴのうち、Ｎ型の駆動回路用ＴＦＴ２０とＰ型の駆動回路用ＴＦＴ３０は、ＣＭＯＳ回路として駆動回路のインバータなどを構成している。

【００２８】
すなわち、図２（ａ）に示すように、液晶表示装置は、そのアクティブマトリクス基板上に、データ線９０および走査線９１で区画形成された画素領域を有し、そこには、画素用ＴＦＴ１０を介して画像信号が入力される液晶セルの液晶容量９４が存在する。データ線９０に対しては、シフトレジスタ８４、レベルシフタ８５、ビデオライン８７、アナログスイッチ８６を備えるデータドライバ部８２がアクティブマトリクス基板上に形成されている。走査線９１に対しては、シフトレジスタ８８およびレベルシフタ８９を備える走査ドライバ部８３がアクティブマトリクス基板上に形成されている。なお、画素領域には、前段の走査線との間に保持容量９３も形成されている。シフトレジスタ８４、８８では、図２（ｂ）に２段のインバータを示すように、Ｎ型のＴＦＴ２０と、Ｐ型のＴＦＴ３０とによってそれぞれＣＭＯＳ回路が構成されている。

【００２９】
再び、図１において、Ｎ型の画素用ＴＦＴ１０、Ｎ型の駆動回路用ＴＦＴ２０、およびＰ型の駆動回路用ＴＦＴ３０は、いずれも基本的な構造が同じであり、絶縁基板２の表面側において、ソース領域１１、２１、３１とドレイン領域１２、２２、３２との間にチャネルを形成可能なチャネル形成領域１３、２３、３３と、これらのチャネル形成領域の表面側に対して、ゲート絶縁膜１４、２４、３４を介して対峙するゲート電極１５、２５、３５とを有する。

【００３０】
このアクティブマトリクス基板１では、ソース領域１１、２１、３１、およびドレイン領域１２、２２、３２には、ゲート電極１５、２５、３５の端部に対してゲート絶縁膜１４、２４、３４を介して対峙する部分に低濃度ソース領域１１１、２１１、３１１、および低濃度ドレイン領域１２１、２２１、３２１が形成されており、いずれのＴＦＴもＬＤＤ構造になっている。

【００３１】
なお、画素用ＴＦＴ１０およびＮ型の駆動回路用ＴＦＴ２０のソース領域１１、２１、およびドレイン領域１２、２２のうち、低濃度ソース領域１１１、２１１、および低濃度ドレイン領域１２１、２２１を除く領域は、不純物濃度が約１．０×10^{20} cm^{-3} 以上の高濃度ソース領域１１２、２１２、および高濃度ドレイン領域１２２、２２２であり、低濃度ソース領域１１１、２１１、および低濃度ドレイン領域１２１、２２１の不純物濃度は約０．５×10^{20} cm^{-3} 以下である。また、Ｐ型の駆動回路用ＴＦＴ３０のソース領域３１およびドレイン領域３２のうち、低濃度ソース領域３１１および低濃度ドレイン領域３２１を除く領域は、不純物濃度が約１．０×10^{20} cm^{-3} 以上の高濃度ソース領域３１２および高濃度ドレイン領域３２２であり、低濃度ソース領域３１１および低濃度ドレイン領域３２１の不純物濃度は約０．５×10^{20} cm^{-3} 以下である。これらの高濃度領域に対して、各ＴＦＴに対するデータ線や画素電極などの電極（図示せず。）が、層間絶縁膜４のコンタクトホールを介して電気的に接続している。

【００３２】
このように、いずれのＴＦＴにおいても、ソース領域１１、２１、３１、およびドレイン領域１２、２２、３２のうち、ゲート電極１５、２５、３５の端部に対峙する部分が低濃度ソース領域１１１、２１１、３１１、および低濃度ドレイン領域１２１、２２１、３２１になっているので、ドレイン端における電界強度が緩和されている。それ故、駆動回路用ＴＦＴ２０および駆動回路用ＴＦＴ３０では、オフリーク電流が小さいので、オフリーク電流に起因する誤動作が発生しないとともに、ＣＭＯＳ回路の電源端子間を貫通する電流が小さい。また、ＬＤＤ構造のＴＦＴ２０、３０で駆動回路を構成すると、耐電圧が高い分、チャネル長を短くできるので、動作速度の向上や信頼性の向上を図ることができる。また、画素用ＴＦＴ１０でもオフリーク電流が小さいので、表示むらやフリッカなどが発生しない。また、オフ電流が小さいと、保持特性が向上するので、コントラストが向上するなどの利点もある。

【００３３】

（薄膜トランジスタの製造方法）
このようなＬＤＤ構造の各ＴＦＴは、以下の方法により製造できる。
【００３４】
まず、図３（ａ）に示すように、ガラス基板などの絶縁基板２の表面に、ＬＰＣＶＤ法またはプラズマＣＶＤ法などを用いてポリシリコン薄膜３を形成する。また、アモルファスシリコン薄膜を形成した後、レーザアニールやランプアニールを行ってポリシリコン薄膜を形成する方法もある。
【００３５】
次に、図３（ｂ）に示すように、ポリシリコン薄膜３をフォトリソグラフィ法によってパターニングして、それを島状のシリコン薄膜１１ａ、２１ａ、３１ａにする。
【００３６】
次に、図３（ｃ）に示すように、島状のシリコン薄膜１１ａ、２１ａ、３１ａに対して、熱酸化法、ＬＰＣＶＤ法、プラズマＣＶＤ法などにより、厚さが約１２００オングストロームのシリコン酸化膜からなるゲート絶縁膜１４、２４、３４を形成する（ゲート絶縁膜形成工程）。
【００３７】
次に、図３（ｄ）に示すように、ゲート絶縁膜１４、２４、３４の表面に、ドープドシリコンやシリサイド膜などからなるゲート電極１５、２５、３５を形成する（ゲート電極形成工程）。
【００３８】
次に、図４（ａ）に示すように、ゲート電極１５、２５、３５表面側、すなわち、絶縁基板２の全面に塗布ＩＴＯ膜４１（導電性塗布膜）を塗布成膜する（導電性塗布膜形成工程）。
【００３９】
この塗布成膜にあたっては、スピンコート法などを用いて液状の塗布材を絶縁基板２の全面に塗布する。本形態で用いた塗布材は、塗布ＩＴＯ膜４１の前駆体としての有機インジウムと有機スズとがキシロール中に９７：３の比率で８％配合された液状のもの（たとえば、旭電化工業株式会社製の商品名：アデカＩＴＯ塗布膜／ＩＴＯ－１０３Ｌ）であり、絶縁基板２の表面側にスピンコート法で塗布できる。スピンコート法で塗布する際に、塗布材の粘度が２０ｃｐであれば、基板の回転数を２０００ｒｐｍに設定し、約１μｍの塗膜（有機インジウムと有機スズとの組成物／前駆体）を形成する。ここで、塗布材としては、たとえば有機インジウムと有機スズとの比が９９／１から９０／１０までの範囲にあるものを使用することができる。
【００４０】
本形態では、絶縁基板２の表面側に塗布した塗布材については、溶剤を乾燥、除去した後、熱処理（焼成）を行う。このとき熱処理条件としては、たとえば、１００℃の空気中あるいは非還元性雰囲気中で３０分位の予備的な熱処理を行った後、２５０℃～４５０℃の空気中あるいは非還元性雰囲気中で３０分から６０分の熱処理を行い、しかる後に、２００℃～４００℃の水素含有雰囲気あるいは還元性雰囲気中で３０分から６０分の熱処理を行う。その結果、有機成分が除去され、インジウム酸化物と錫酸化物の厚さが数１０００オングストローム程度の混合膜（塗布ＩＴＯ膜４１）が形成される。このようにして形成した塗布ＩＴＯ膜４１のシート抵抗は10^4　Ω／□～10^6　Ω／□である。
【００４１】
このようにして塗布ＩＴＯ膜４１を形成すると、ゲート電極１５、２５、３５の端部では、ゲート電極１５、２５、３５の厚さに相当する分だけ、塗布ＩＴＯ膜４１が厚くなる。たとえば、ゲート電極１５、２５、３５の厚さが約５０００オングストローム、ゲート絶縁膜１４、２４、３４の厚さが約１２００オングストローム、平坦部における塗布ＩＴＯ膜４１の厚さが約１０００オングストロームであれば、塗布ＩＴＯ膜４１は、ゲート電極端から０．５μｍ程離れた位置で厚さが２０００オングストロームであり、ゲート電極１５、２５、３５付近では、厚さが約６０００オングストロームである。かかる厚さの差を

利用して、以降の工程においてＬＤＤ領域を形成していく。

【００４２】

まず、図４（ｂ）に示すように、絶縁基板２の表面側のうち、画素用ＴＦＴ１０の形成予定領域と、Ｎ型の駆動回路用ＴＦＴ２０の形成予定領域をレジストマスク５１で覆う。この状態で、アクセプタ型の不純物、たとえばボロンイオンを２．０×10^{15} cm^{-2}のドーズ量でイオン注入して、ソース領域３１、およびドレイン領域３２を形成する（Ｐ型の高濃度不純物導入工程）。

【００４３】

その結果、不純物が導入されなかった部分がチャネル形成領域３３となる。但し、ソース領域３１、およびドレイン領域３２のうち、ゲート電極３５の端部に対峙する部分では、そこを覆う塗布ＩＴＯ膜４１が厚いため、その他の部分よりも、実際の不純物導入量が２桁ほど低い。従って、ソース領域３１およびドレイン領域３２では、ゲート電極３５の端部に対峙する部分に不純物濃度が約２．０×10^{18} cm^{-3}の低濃度ソース領域３１１および低濃度ドレイン領域３２１が０．５μｍ程度のＬＤＤ長をもって形成される。一方、そこを除く高濃度ソース領域３１２および高濃度ドレイン領域３２２の不純物濃度は、約２．０×10^{20} cm^{-3}となる。このようにして、Ｐ型の駆動回路用ＴＦＴ３０が形成される。しかる後に、レジストマスク５１を除去する。

【００４４】

次に、図４（ｃ）に示すように、Ｐ型の駆動回路用ＴＦＴ３０の形成領域をレジストマスク５２で覆う。この状態で、ドナー型の不純物、たとえばリンイオンを１．０×10^{15} cm^{-2}のドーズ量でイオン注入して、ソース領域１１、２１、およびドレイン領域１２、２２を形成する（Ｎ型の高濃度不純物導入工程）。

【００４５】

その結果、不純物が導入されなかった部分がチャネル形成領域１３、２３となる。但し、ソース領域１１、２１、およびドレイン領域１２、２２のうち、ゲート電極１５、２５の端部に対峙する部分では、そこを覆う塗布ＩＴＯ膜４１が厚いため、その他の部分よりも、実際の不純物導入量が２桁ほど低い。従って、ソース領域１１、２１、およびドレイン領域１２、２２では、ゲート電極１５、２５の端部に対峙する部分に不純物濃度が約１．０×10^{18} cm^{-3}の低濃度ソース領域１１１、２１１、および低濃度ドレイン領域１２１、２２１が０．５μｍ程度のＬＤＤ長をもって形成される。一方、そこを除く高濃度ソース領域１１２、２１２、および高濃度ドレイン領域１２２、２２２の不純物濃度は、約１．０×10^{20} cm^{-3}である。このようにして、画素用ＴＦＴ１０、およびＮ型の駆動回路用ＴＦＴ２０が形成される。しかる後に、レジストマスク５２を除去する。

【００４６】

次に、図４（ｄ）に示すように、絶縁基板２の全面に形成されていた塗布ＩＴＯ４１をエッチングにより除去する（導電性塗布膜除去工程）。

【００４７】

このときのエッチングとしては、王水系のエッチング液あるいは臭化水素系のエッチング液を用いたウエットエッチングを利用できる。王水系のエッチング液を用いる場合には、エッチング液を４０℃位にして３０秒～６０秒のエッチングを行う。また、臭化水素系のエッチング液を用いる場合には、エッチング液を常温にして６０秒位のエッチングを行う。Ａｌは臭化水素系のエッチング液に耐性があるので、ゲート電極をＡｌで形成した場合には、塗布ＩＴＯの除去に臭化水素系のエッチング液を用いるのが望ましい。

【００４８】

しかる後には、図１に示すように、ＬＰＣＶＤ法、ＡＰＣＶＤ法、プラズマＣＶＤ法、O_3　ＴＥＯＳ法、O_2　ＴＥＯＳ法などにより、膜厚が約０．８μｍのシリコン酸化膜からなる層間絶縁膜４を形成し、活性化のためのアニールを行なう（層間絶縁膜形成工程）。なお、各ＴＦＴに対しては、層間絶縁膜４にコンタクトホールを形成した後、所定の電極（データ線および画素電極）を形成する。

【００４９】

このように、本形態では、不純物導入工程で高濃度の不純物を導入する際には、ゲート電極１５、２５、３５の表面側に予め形成しておいた塗布ＩＴＯ膜４１がゲート電極１５、２５、３５の端部付近でサイドウォールを形成していることを利用して、レジストマスクを使用せずに、低濃度ソース領域１１１、２１１、３１１、および低濃度ドレイン領域１２１、２２１、３２１を形成する。従って、ＬＤＤ構造のＮ型のＴＦＴ１０、２０を製造するのに不純物導入工程が１回で済み、ＬＤＤ構造のＰ型のＴＦＴを製造するのにも不純物導入工程が１回で済む。それ故、レジストマスクを形成する回数を減らすことができる。また、ゲート電極１５、２５、３５をやや広めに覆うレジストマスクによってＬＤＤ領域（低濃度ソース・ドレイン領域）に高濃度の不純物イオンが導入されるのを防止する方法と違って、大型の絶縁基板２上に多数のＴＦＴを形成する場合でも、マスク合わせ精度に起因するＬＤＤ長のばらつきが発生しない。また、従来の製造方法においては、不純物イオンを導入する際にゲート絶縁膜１４、２４、３４に電荷がチャージアップされ、ゲート絶縁膜１４、２４、３４などが損傷するおそれがあったが、本発明では、不純物イオンを打ち込む際にはその表面が塗布ＩＴＯ膜４１で覆われているので、かかるゲート絶縁膜１４、２４、３４へのチャージアップが起きない。それ故、不純物イオンを導入する際にゲート絶縁膜１４、２４、３４などが損傷するのを防止できる。よって、本形態によれば、少ない工程数でＬＤＤ構造のＴＦＴ１０、２０、３０を形成できるので、製造コストの低減と、各ＴＦＴ間でのＬＤＤ長のばらつきの低減、すなわち、オフリーク電流やオン電流のばらつきの低減とを達成できる。

【００５０】

また、本形態では、塗布ＩＴＯ膜４１を形成するといっても、大型基板の処理に適しているスピンコート法を利用したため、製造方法が煩雑にならず、しかも安価な成膜装置や熱処理装置で塗布ＩＴＯ膜４１を形成できる。

【００５１】

［実施の形態２］

本発明の別の実施の形態を説明する。なお、以下の説明では、図１に示す３つのＴＦＴのうち、画素用ＴＦＴ１０の製造方法を例に説明する。

【００５２】

本形態では、図５（ａ）に示すように、ゲート絶縁膜１４およびゲート電極１５を順次形成した以降、図４（ａ）を参照して説明した導電性塗布膜形成工程を行う前に、図５（ｂ）に示すように、ゲート電極１５をマスクとしてゲート絶縁膜１４にエッチングを施すゲート絶縁膜エッチング工程を行う。そして、図５（ｃ）に示すように、ゲート電極１５の表面側、すなわち、絶縁基板２の全面に塗布ＩＴＯ膜４１（導電性塗布膜）を塗布成膜し（導電性塗布膜形成工程）、この状態で高濃度の不純物を導入する（高濃度不純物導入工程）。その結果、シリコン薄膜１１ａには、ＬＤＤ構造またはオフセットゲート構造を有するソース領域１１およびドレイン領域１２を形成できる。しかる後には、図５（ｄ）に示すように、塗布ＩＴＯ膜４１を除去し（導電性塗布膜除去工程）、層間絶縁膜４を形成する。

【００５３】

このように、高濃度不純物導入工程において不純物を導入する時点で、ゲート電極１５の周りと離れた位置でシリコン薄膜１１ａへの不純物導入の障壁となるべき膜の厚さに所定の差をつけようとしても、そこにゲート絶縁膜１４があると、ゲート絶縁膜１４の膜厚が場所によらず一定であるため、前記の障壁となる膜を全体として厚めに形成せざるを得ない。しかるに本形態では、シリコン薄膜１１ａの表面側のうち、ゲート電極１５の直下を除く部分にはゲート絶縁膜１４がない。従って、不純物を導入する時点で、ゲート電極１５の周りと離れた位置でシリコン薄膜１１ａへの不純物導入の障壁となるべき膜の厚さに所定の差をつけようとしたときに、前記の膜厚の差は塗布ＩＴＯ膜４１だけで規定できる。それ故、ゲート電極１５から離れた位置で膜厚を薄くできる分、不純物を導入する際のエネルギーが小さくて済む。たとえば、約２０００オングストロームの膜厚を通して不純物イオンを導入するとすれば、$^{11}B^{+}$ であれば７０ｋｅＶ以上、$^{31}P^{+}$ であれば

２００ｋｅＶ以上のエネルギーが必要であるが、本形態のように、約１０００オングストロームの膜厚を通して不純物イオンを導入するとすれば、$^{11}B^{+}$ であれば３０～４０ｋｅＶ、$^{31}P^{+}$ であれば８０～１００ｋｅＶのエネルギーで済む。

【００５４】

［実施の形態３］

また、図６（ａ）に示すように、ゲート絶縁膜１４およびゲート電極１５を順次形成した以降、図４（ａ）を参照して説明した導電性塗布膜形成工程を行う前に、図６（ｂ）に示すように、ゲート電極１５をマスクとしてゲート絶縁膜１４にエッチングを施した後（ゲート絶縁膜エッチング工程）、図６（ｃ）に示すように、ゲート電極１５の表面側、すなわち、絶縁基板２の全面にシリコン酸化膜からなる絶縁性塗布膜４９（ＳＯＧ）を塗布成膜し（絶縁性塗布膜形成工程）、続いて、塗布ＩＴＯ膜４１（導電性塗布膜）を塗布成膜してもよい（導電性塗布膜形成工程）。ここで、絶縁性塗布膜４９の膜厚と塗布ＩＴＯ膜４１の膜厚の和は、たとえば約１０００オングストロームとする。この状態で高濃度の不純物を導入した場合にも（高濃度不純物導入工程）、シリコン薄膜１１ａには、ＬＤＤ構造またはオフセットゲート構造を有するソース領域１１およびドレイン領域１２を形成できる。しかる後には、図６（ｄ）に示すように、塗布ＩＴＯ膜４１を除去し（導電性塗布膜除去工程）、絶縁性塗布膜４９の表面側に層間絶縁膜４を形成する。

【００５５】

このように構成した場合も、塗布ＩＴＯ膜４１の下層側にあるのもあくまで塗布膜（絶縁性塗布膜）なので、前記のとおり、ゲート電極１５の周りで塗布膜が厚いのを利用して、この部分への不純物導入量を抑えることができる。また、図６（ｂ）に示すゲート絶縁膜エッチング工程において、ゲート絶縁膜１４にエッチングを施す際にゲート電極１５直下のゲート絶縁膜１４がオーバーエッチされてもオーバーハング構造になるのを絶縁性塗布膜４９によって防止することができる。この場合でも、シリコン薄膜１１ａの表面側のうち、ゲート電極１５の直下を除く部分にゲート絶縁膜１４がない分、ゲート電極１５から離れた位置では膜厚を薄くできる分、不純物を導入する際のエネルギーが小さくて済む。

【００５６】

［実施の形態４］

さらに、図７（ａ）に示すように、ゲート絶縁膜１４およびゲート電極１５を順次形成した以降、図４（ａ）を参照して説明した導電性塗布膜形成工程を行う前に、ゲート電極１５を広めに覆うマスク５８を形成し、図７（ｂ）に示すように、このマスク５８を用いてゲート絶縁膜１４にエッチングを施してもよい（ゲート絶縁膜エッチング工程）。このように構成すると、ゲート電極１５の周りに残るゲート絶縁膜１４と、ゲート電極１５の周りで厚く形成される塗布ＩＴＯ膜４１とを利用して、この部分への不純物導入量を抑えることができるので、シリコン薄膜１１ａには、ＬＤＤ構造またはオフセットゲート構造を有するソース領域１１およびドレイン領域１２を形成できる。しかる後にも、図７（ｄ）に示すように、塗布ＩＴＯ膜４１を除去し（導電性塗布膜除去工程）、層間絶縁膜４を形成する。

【００５７】

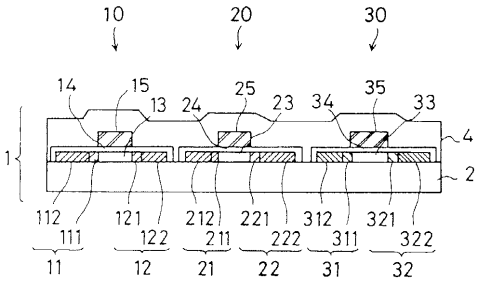
［その他の実施の形態］

上記実施の形態１で行った２回の不純物導入工程において、その際に起きるチャージアップの防止については、塗布ＩＴＯ膜４１の導電性を利用すると説明したが、この工程では、図８に示すように、グランド電位に設定された基板保持具６０で絶縁基板２を上下から挟むように保持すれば、絶縁基板２の全面に形成されている塗布ＩＴＯ膜４１と基板保持具６０とが電気的接続する状態になる。また、通常のイオン注入装置ではプラテン上に絶縁基板２がセットされ、基板の外周の一部または全部を押さえるガードリングまたは基板保持具によって、絶縁基板２がプラテン上に固定される構造になっている。従って、基板全面に形成された塗布ＩＴＯ膜４１はガードリングまたは基板保持具と電気的に接続する構造となる。その結果、塗布ＩＴＯ膜４１は強制的にグランド電位に保持されることになるので、不純物イオンを導入する際のチャージアップをより確実に防止できる。

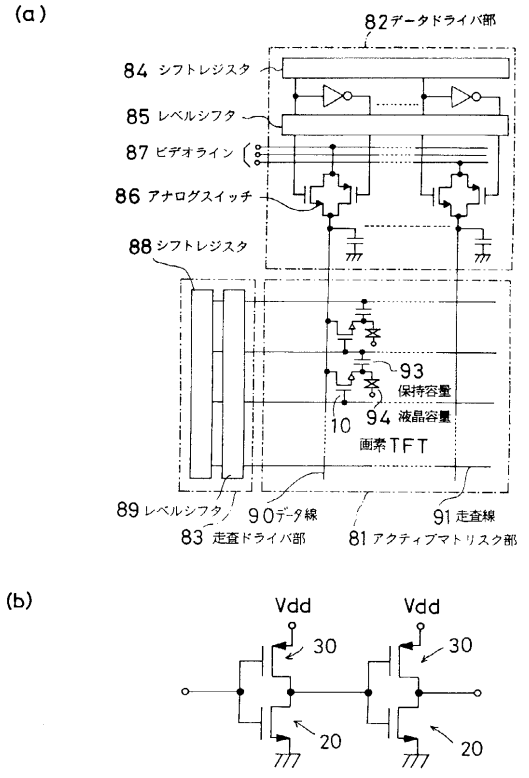
【００５８】
また、上記形態では、導電性塗布膜として塗布ＩＴＯ膜４１を使用したが、塗布成膜法により、ゲート電極１５、２５、３５の表面側に形成でき、かつ、導電性を有する膜であれば、その他の導電性無機物、あるいはポリアセチレン等の導電性ポリマーを利用してもよい。
【００５９】
さらに、上記形態ではソース・ドレイン領域にＬＤＤ領域（低濃度ソース・ドレイン領域）が形成されると説明したが、そこに導入された不純物量が極めて少ない場合には、オフセット領域が形成されると見做すことができる。すなわち、オフセットゲート構造のＴＦＴを製造できる。
【００６０】
なお、不純物イオンの導入は、質量非分離型イオン注入装置を用いて注入不純物元素の水素化合物と水素とを注入するイオン・ドーピング法、あるいは質量分離型イオン注入装置を用いて所望の不純物イオンのみを注入するイオン打ち込み法などを適用することができる。イオン・ドーピング法の原料ガスとしては、水素中に希釈されたホスフィン（PH_3）やジボラン（B_2H_6）などの注入不純物の水素化物を用いる。また、不純物導入方法としては、その他にも、プラズマドーピング法やレーザドーピング法などを用いることができる。
【００６１】
また、本形態に係るＴＦＴ、およびそれで構成したＣＭＯＳ回路については、液晶表示装置の他にも、薄膜エレクトロルミネッセンス素子（薄膜発光素子）を用いた表示装置、さらには密着型イメージセンサやＳＲＡＭ（ｓｔａｔｉｃ　Ｒａｎｄｏｍ　Ａｃｃｅｓｓ　Ｍｅｍｏｒｉｅｓ）などにも適用できる。
【００６２】
【発明の効果】
以上説明したように、本発明の薄膜トランジスタの製造方法では、ゲート電極を形成した後、その表面側に導電性塗布膜を形成するだけで、ゲート電極の端部にサイドウォールを形成したのと同じ状態になる。従って、この状態のまま不純物イオンを導入するだけで、ソース・ドレイン領域のうち、ゲート電極の端部に対峙する部分は、そこに形成された導電性塗布膜が厚い分だけ、そこへの不純物イオンの導入量がかなり少ない。その結果、ソース・ドレイン領域にはＬＤＤ領域やオフセット領域が自動的に形成されることになる。それ故、ゲート電極をやや広めに覆うレジストマスクによってＬＤＤ領域やオフセット領域に高濃度の不純物イオンが導入されるのを防止する方法と違って、レジストマスクの形成工程が少なくて済むとともに、基板が大型化してもマスク合わせ精度に起因するＬＤＤ長やオフセット長のばらつきが発生しない。また、不純物イオンを打ち込む際にはその表面が導電性塗布膜で覆われているので、かかるゲート絶縁膜などへのチャージアップが起きない。よって、不純物イオンを導入する際にゲート絶縁膜などが損傷するのを防止できる。
【図面の簡単な説明】
【図１】３つのタイプの薄膜トランジスタを形成したアクティブマトリクス基板を模式的に示す断面図である。
【図２】（ａ）は、液晶表示装置のアクティブマトリクス基板の説明図、（ｂ）は、その駆動回路に用いたＣＭＯＳ回路の説明図である。
【図３】（ａ）～（ｄ）は、本発明の実施の形態１に係るアクティブマトリクス基板の製造方法のうち、ゲート電極の形成工程までを示す工程断面図である。
【図４】（ａ）～（ｄ）は、図３に示したゲート電極の形成工程以降の工程を示す工程断面図である。
【図５】（ａ）～（ｄ）は、本発明の実施の形態２に係るアクティブマトリクス基板の製造方法のうち、ゲート電極の形成工程以降の工程を示す工程断面図である。
【図６】（ａ）～（ｄ）は、本発明の実施の形態３に係るアクティブマトリクス基板の製

造方法のうち、ゲート電極の形成工程以降の工程を示す工程断面図である。
【図７】（ａ）～（ｄ）は、本発明の実施の形態４に係るアクティブマトリクス基板の製造方法のうち、ゲート電極の形成工程以降の工程を示す工程断面図である。
【図８】図４（ｂ）、（ｃ）で行う不純物導入工程において、グランド電位に設定された基板保持具が基板を保持する状態を示す説明図である。
【図９】セルフアライン構造の薄膜トランジスタの伝達特性を示すグラフである。
【図１０】ＬＤＤ構造の薄膜トランジスタの伝達特性を示すグラフである。
【図１１】従来のアクティブマトリクス基板の製造方法のうち、ゲート電極の形成工程以降の工程を示す工程断面図である。
【符号の説明】
１　アクティブマトリクス基板
２　絶縁基板
１０　Ｎ型の画素用ＴＦＴ
２０　Ｎ型の駆動回路用ＴＦＴ
３０　Ｐ型の駆動回路用ＴＦＴ
１１、２１、３１　ソース領域
１２、２２、３２　ドレイン領域
１３、２３、３３　チャネル形成領域
１４、２４、３４　ゲート絶縁膜
１５、２５、３５　ゲート電極
４１　塗布ＩＴＯ膜（導電性塗布膜）
６０　基板保持具
８２　データドライバ部（駆動回路）
８３　走査ドライバ部（駆動回路）
９０　データ線
９１　走査線
１１１、２１１、３１１　低濃度ソース領域
１２１、２２１、３２１　低濃度ドレイン領域

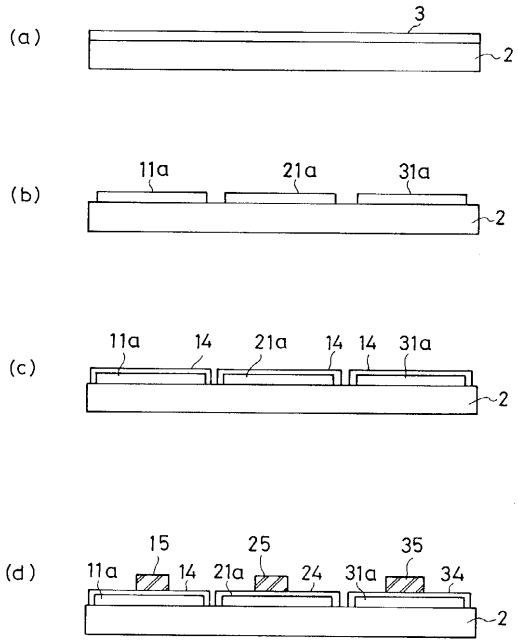
【図１】


10
20
30
14
15
13
24
25
23
34
35
33
4
1
2
112
121
212
221
312
321
111
122
211
222
311
322
11
12
21
22
31
32

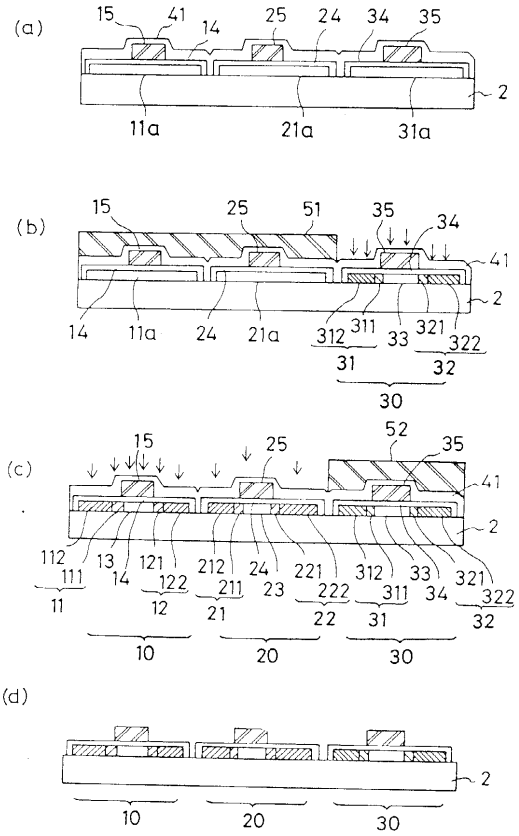
【図２】


(a)
82データドライバ部
84 シフトレジスタ
85 レベルシフタ
87 ビデオライン
86 アナログスイッチ
88 シフトレジスタ
93
保持容量
94 液晶容量
10
画素TFT
89 レベルシフタ
90データ線
91 走査線
83 走査ドライバ部
81 アクティブマトリクス部
(b)
Vdd
Vdd
30
30
20
20

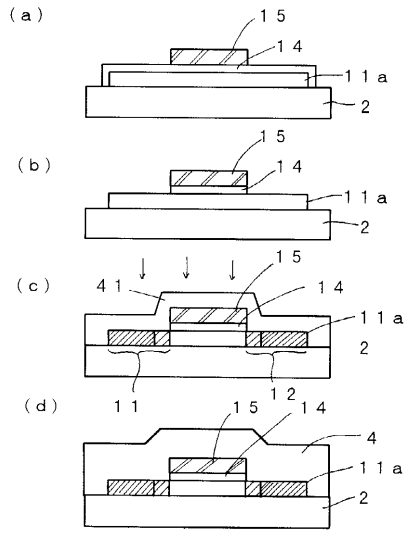
【図３】


(a)
3
2
(b)
11a
21a
31a
2
(c)
11a
14
21a
14
14
31a
2
(d)
15
25
35
11a
14
21a
24
31a
34
2

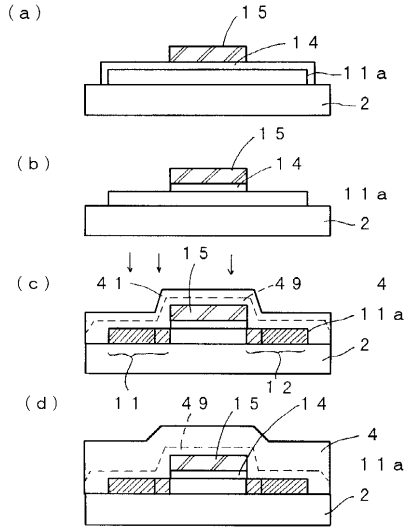
【図４】


(a)
15
41
14
25
24
34
35
2
11a
21a
31a
(b)
15
25
51
35
34
41
2
14
11a
24
21a
312
311
33
321
322
31
32
30
(c)
15
25
52
35
41
2
112
111
11
13
14
121
122
12
212
211
21
24
23
221
222
22
312
311
31
33
34
321
322
32
10
20
30
(d)
2
10
20
30

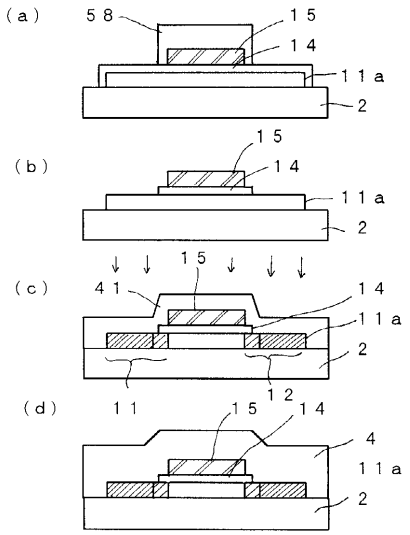
【図５】


(a)
15
14
11a
2
(b)
15
14
11a
2
(c)
41
15
14
11a
2
11
12
(d)
15
14
4
11a
2

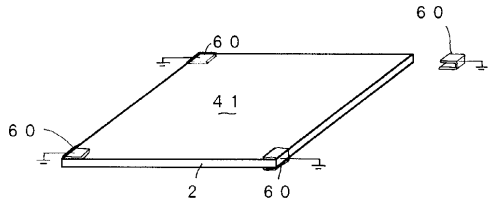
【図６】


(a)
15
14
11a
2
(b)
15
14
11a
2
(c)
41
15
49
4
11a
2
12
(d)
11
49
15
14
4
11a
2

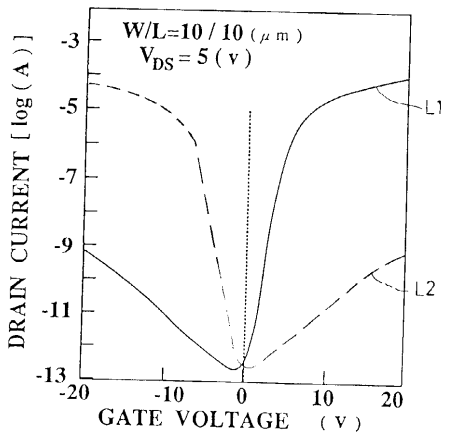
【図７】


(a)
58
15
14
11a
2
(b)
15
14
11a
2
(c)
41
15
14
11a
2
12
(d)
11
15
14
4
11a
2

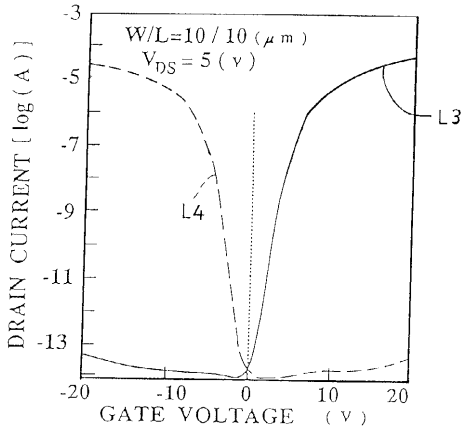
【図８】


60
60
41
60
2
60

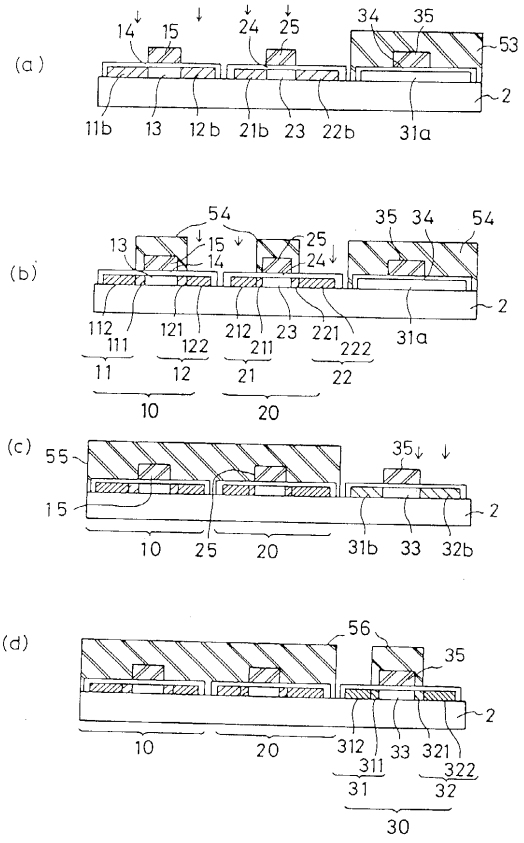
【図９】


W/L=10/10 (μm)
VDS = 5 (v)
DRAIN CURRENT [log(A)]
-3
-5
-7
-9
-11
-13
-20
-10
0
10
20
GATE VOLTAGE (V)
L1
L2

【図１０】


W/L=10 / 10 (μm)
V_{DS} = 5 (v)
L3
L4
DRAIN CURRENT [log (A)]
-3
-5
-7
-9
-11
-13
-20
-10
0
10
20
GATE VOLTAGE (v)

【図１１】


(a)
14
15
24
25
34
35
53
2
11b
13
12b
21b
23
22b
31a
(b)
54
35
34
54
13
15
14
25
24
2
112
111
121
122
212
211
23
221
222
31a
11
12
21
22
10
20
(c)
55
35
15
2
10
25
20
31b
33
32b
(d)
56
35
2
10
20
312
311
33
321
322
31
32
30

フロントページの続き

(56)参考文献 特開平０９－０３６３７２（ＪＰ，Ａ）
特開平０８－０３２０７９（ＪＰ，Ａ）
特開平０７－１８８５９３（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
G02F 1/1362
G02F 1/1333
G02F 1/1343
G02F 1/13 101
H01L 29/78