(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年7月5日(05.07.2018)

WIPO | PCT

(10) 国際公開番号
WO 2018/123082 A1

(51) 国際特許分類:
*H02M 3/155* (2006.01)

(21) 国際出願番号： PCT/JP2017/006748

(22) 国際出願日： 2017年2月23日(23.02.2017)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

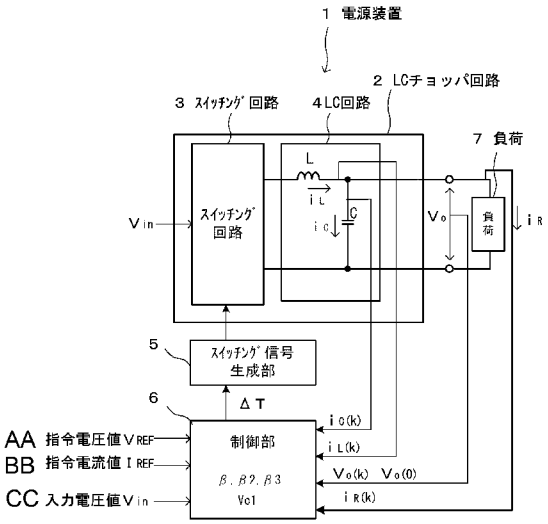
(30) 優先権データ：
特願 2016-254307 2016年12月27日(27.12.2016) JP

(71) 出願人：株式会社京三製作所(**KYOSAN ELECTRIC MFG. CO., LTD.**) [JP/JP]; 〒2300031 神奈川県横浜市鶴見区平安町２丁目２９番地の１ Kanagawa (JP).

(72) 発明者：譲原 逸男 (**YUZURIHARA, Itsuo**); 〒2300031 神奈川県横浜市鶴見区平安町２丁目２９番地の１ 株式会社京三製作所内 Kanagawa (JP). 大間 亮介(**OHMA, Ryosuke**); 〒2300031 神奈川県横浜市鶴見区平安町２丁目２９番地の１ 株式会社京三製作所内 Kanagawa (JP). 國玉 博史(**KUNITAMA, Hiroshi**); 〒2300031 神奈川県横浜市鶴見区平安町２丁目２９番地の１ 株式会社京三製作所内 Kanagawa (JP). 細山田 悠(**HOSOYAMADA, Yu**); 〒2300031 神奈川県横浜市鶴見区平安町２丁目２９番地の１ 株式会社京三製作所内 Kanagawa (JP).

(54) **Title:** POWER SUPPLY DEVICE AND METHOD FOR CONTROLLING POWER SUPPLY DEVICE

(54) 発明の名称： 電源装置、及び電源装置の制御方法




1 Power supply device
2 LC chopper circuit
3 Switching circuit
4 LC circuit
5 Switching signal generating unit
6 Control unit
7 Load
AA Command voltage value VREF
BB Command current value IREF
CC Input voltage value Vin

図1

(57) **Abstract:** The purpose of the present invention is to accelerate multiphase interleave control of a power supply device. Furthermore, in the acceleration of the multiphase interleave control of the power supply device, detection of feedback signals is accelerated. In the power supply device and method for controlling the power supply device, output voltage is acquired using the results of calculating discrete time processing using an initial value of output voltage at a prescribed point in time and the detection value of capacitance current at each point in time of the discrete time processing. As a

WO 2018/123082 A1

［続葉有］

(74) 代理人：塩 野 入　章 夫 (SHIONOIRI, Akio)；〒2510024 神奈川県藤沢市鵠沼橘１丁目１番４号 藤沢セントラルビル６階 Kanagawa (JP).

(81) 指定国（表示のない限り、全ての種類の国内保護が可能）：AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国（表示のない限り、全ての種類の広域保護が可能）：ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

規則4.17に規定する申立て：
— 発明者である旨の申立て（規則 4.17(iv)）

添付公開書類：
— 国際調査報告（条約第21条(3)）

result, acquisition of output voltage for which response speed is slow is only for the detection of the initial value, and detection for discrete time processing can be accomplished by detection of the capacitance current for which fast response is possible, making a fast response possible.

(57) 要約：電源装置の多相インターリーブ制御を高速化する。さらに、電源装置の多相インターリーブ制御を高速化において、フィードバック信号の検出の高速化を図る。電源装置及び電源装置の制御方法において、出力電圧は、所定時点における出力電圧の初期値と、離散時間処理の各時点でのキャパシタンス電流の検出値とを用いた離散時間処理の演算結果によって取得する。これによって、応答速度が遅い出力電圧の取得は初期値の検出のみとし、離散時間処理における検出は、高速応答が可能なキャパシタンス電流の検出で済ませることができるため、高速応答が可能となる。

# 明　細　書

## 発明の名称 ： 電源装置、及び電源装置の制御方法

## 技術分野

[0001] 本願発明は、電源装置、及び電源装置の制御方法に関する。

## 背景技術

[0002] 半導体やフラットパネル製造装置等は、アッシングやエッチング等の薄膜生成の高密度・高精度化に伴い、プラズマ負荷にＲＦ電力をパルス状態で供給できる機能が要求されている。特に、プラズマを消滅させない最少電力のＬｏｗ電力と薄膜生成に必要なＨｉｇｈ電力との間で連続してＲＦ電力を可変させる方式のＨｉｇｈ／Ｌｏｗパルス電力動作を広帯域で行う２レベルパルス電力制御が要望されている。

[0003] 例えば、Ｈｉｇｈ／Ｌｏｗパルス電力動作に要求される周波数帯域は１Ｈｚ～５０ｋＨｚである。ＲＦ電力を供給する電源装置として、ＰＩ制御によるＡ級～Ｅ級増幅器を用いたものが知られているが、ＰＩ制御では数Ｈｚ～数十ｋＨｚの広帯域をカバーする２レベルパルス電力制御は実現不可能である。

[0004] このような状況において、設備用ＲＦ電源など分野で使用する電源では、Ｈｉｇｈ／Ｌｏｗパルス電力動作を広帯域で行う２レベルパルス電力制御が可能な電源が求められている。

[0005] 高速応答が期待される電源として、インターリーブ方式を用いた電源があり、例えば、以下の特許文献１～３が知られている。

[0006] 特許文献１には、力率改善を行うインターリーブ制御電源装置において、マスターのコンバータとスレーブのコンバータを備え、マスターのコンバータのスイッチング素子とスレーブのコンバータのスイッチング素子を所定の位相差でそれぞれ動作させること、及びフィードバックした出力電圧に基づいて行うインターリーブによる電圧制御を行うことが記載されている。

[0007] 特許文献２には、相互に所定位相差で主スイッチがスイッチング動作する

２相ｎ以上の多相制御型のインターリーブ回路で昇圧チョッパ回路を構成すること、及びフィードバックした出力電圧に基づいて行うインターリーブによる制御を行うことが記載されている。

[0008] 特許文献３には、多相インターリーブ方式のコンバータで起こる相ごとの電流不均等の問題を解決し、パワー素子を保護することが記載され、相ごとに設けたサブ回路の相電流に基づいて行うインターリーブによる電流制御を行うことが記載されている。

## 先行技術文献

## 特許文献

[0009] 特許文献1：特開２０１０－１１９２８５号

特許文献2：特開２０１５－１７７６３６号

特許文献3：特開２０１５－２２０９７６号

特許文献4：特許第５７０４７７２号

## 発明の概要

## 発明が解決しようとする課題

[0010] 電源装置において、広帯域でのパルス電力制御として多相インターリーブの適用が考えられる。しかしながら、前記した特許文献１，２に開示されるインターリーブ制御は、フィードバックした出力電圧に基づいて電圧制御を行う制御方式であり、また、特許文献３は、各相の相電流に基づいて電流制御を行う制御方式であって、それぞれ以下に示すような問題がある。

[0011] 特許文献１，２で示されるインターリーブ制御は、出力電圧ｖｏをフィードバックして行う定電圧制御であるため、ステップ応答において二次振動電圧が発生し、出力電圧にオーバーシュートやアンダーシュートが生じるという問題がある。このオーバーシュートやアンダーシュートを抑制するには、制御応答の速度を低速に設定する必要があり、高速応答に対応することができない。

[0012] 図１９はＬＣＲ回路の等価回路を示し、出力電圧ｖｏをフィードバックする

定電圧制御を説明するための図である。なお、ここでは、ＬＣＲ回路で構成された降圧チョッパ回路を含む電源装置の例を示している。

[0013] 図１９に示したＬＣＲ回路において、入力電圧Ｕを入力したときのステップ応答で得られる出力電圧ｖoは、以下の式で表される。

[数1]

$$v_O(s)=\frac{\frac{R}{1+sCR}}{sL/3+\frac{R}{1+sCR}}\frac{U}{s}=\frac{\frac{3}{LC}}{s^2+\frac{1}{CR}s+\frac{3}{LC}}\frac{U}{s}=\frac{\omega_n^2}{s^2+2\varsigma\omega_n s+\omega_n^2}\frac{U}{s} \quad \cdots(1)$$

[0014] 上記の式（１）は、出力電圧ｖoが二次振動電圧であることを示し、オーバーシュートやアンダーシュートの発生を示唆している。

[0015] また、特許文献３で示されるインターリーブ制御は、各相の相電流に基づいて行う電流制御であるため、各相電流を検出するために複数個の検出部が必要である他、制御が複雑となるという問題がある。

[0016] 多相インターリーブによる広帯域のパルス電力制御では、各相のスイッチング動作を高速で行うことが求められる。

スイッチング動作を高速で行うにはスイッチング周波数を高める必要がある。そのためには、パルス電力制御を行う制御系において、フィードバック信号を高速で検出する必要がある。

[0017] 複数の相電流によって多相制御を行う多相インターリーブ制御の電源装置において、多相インターリーブの多相制御によって動作する降圧チョッパ回路を構成するＬＣチョッパ回路において定電流制御を行う制御系では、通常、出力電圧やキャパシタンス電流を検出し、この検出信号をフィードバックしている。

[0018] この検出信号の検出速度は検出器の応答速度に依存する。検出器の応答速度の点において、一般に、直流信号を検出する検出器は応答が低速であり、交流信号を検出する検出器は応答が高速である。

[0019] ステップ応答の応答速度は、ステップ応答の出力電圧である直流信号の検出が低速応答であることから、出力電圧をフィードバックする際の高速応答

に支障が生じる。したがって、パルス電力制御を行う制御系を高速応答させるには、出力電圧を高速で検出する必要がある。

[0020] 本発明は前記した従来の問題点を解決し、電源装置の多相インターリーブ制御を高速化することを目的とする。

さらに、電源装置の多相インターリーブ制御を高速化において、フィードバック信号の検出を高速することを目的とする。

## 課題を解決するための手段

[0021] 制御方式として、ＰＩ制御と比較して速い動的応答と高利得が得られるデッドビート制御が知られている。デッドビート制御は、入力及び出力を状態変数とする回路状態を離散モデルで展開して得られる状態方程式について、サンプリング周期（ｋ＋１）番目の出力が目標値と等しくなるようにパルス幅ΔＴ（ｋ）をサンプリング周期ごとに演算し、求めたパルス幅ΔＴ（ｋ）によってスイッチング動作を制御する。

[0022] 制御方式として、ＰＩ制御と比較して速い動的応答と高利得が得られるデッドビート制御が知られている。デッドビート制御は、入力及び出力を状態変数とする回路状態を離散モデルで展開して得られる状態方程式について、サンプリング周期（ｋ＋１）番目の出力が目標値と等しくなるようにパルス幅ΔＴ（ｋ）をサンプリング周期ごとに演算し、求めたパルス幅ΔＴ（ｋ）によってスイッチング動作を制御する。

[0023] 多相インターリーブにデッドビート制御を適用した電源装置の電力制御は知られていない。仮に、多相インターリーブの各相に対してデッドビート制御を適用しようとした場合には、高速応答のためには、各相のデッドビート制御で得られるパルス幅ΔＴ（ｋ）を高速で安定して得る必要がある。この高速応答には、前記したように、出力電圧を高速で検出することが求められる。

[0024] 本発明は、ステップ応答の出力電圧である直流信号の検出は低速応答であり、このためフィードバック信号の高速検出に支障があることに鑑み、電圧信号の検出において、応答速度が遅い電圧検出の検出信号を初期値とし、こ

の初期値と各時点で検出するキャパシタンス電流の検出値とを用いて次の時点における電圧を高速離散時間処理で求める工程を、逐次繰り返すことによって、各時点での電圧信号を検出する。

[0025] この電圧信号の検出によれば、実際に検出器を用いた出力電圧の検出は初期値を検出する時点のみであり、その後の時点での出力電圧の検出は、高速検出が可能な交流信号の検出器によって検出したキャパシタンス電流の検出値と、出力電圧の初期値のみであるため、直流信号の検出の際の低速応答の影響を受けることなく、高速で検出することができる。したがって、本発明この出力電圧の高速検出においては、実際に行う出力電圧の検出は初期値のみであって、その後の高速離散時間処理で行う検出は、キャパシタンス電流のみを検出する。これによって、電源装置の多相インターリーブ制御を高速化することができる。

[0026] また、一サンプリング周期での処理が終了し、次回のサンプリング周期の処理を行うときには、前回のサンプリング周期で検出した最終値の出力電圧を次回のサンプリング周期における初期値として用いることによって、検出器で出力電圧を検出することなく、次回のサンプリング周期における出力電圧を、その初期値と各時点でにキャパシタンス電流によって高速離散時間処理で求めることができる。

[0027] （電源装置）

本発明の電源装置はＬＣチョッパ回路を含み、複数の相電流によって多相制御を行う多相インターリーブ制御によって指令値に向けてステップ応答制御する制御部とスイッチング信号を生成するスイッチング信号生成部とを備える。

[0028] 本発明は、多相インターリーブにデッドビート制御を適用した電源装置の電力制御において、多相インターリーブによる多相制御において、多相の相電流の合成電流を制御電流とすることによって、検出部の個数や制御系が相数に依存しない制御を実現し、この制御電流を用いて定電流制御を行うことによって、オーバーシュートやアンダーシュートの発生を抑制する。

[0029] 本発明は電源装置の態様、及び電源装置の制御方法の態様を含む。

本発明の電源装置は、複数の相電流によって多相制御を行う多相インターリーブ制御の電源装置であって、多相インターリーブの多相制御によって動作する降圧チョッパ回路を構成するＬＣチョッパ回路と、ＬＣチョッパ回路の多相制御によってステップ応答を制御する制御部とを備える。

[0030] 制御部は、ＬＣチョッパ回路の多相制御において、ＬＣチョッパ回路の各相電流の合成電流を制御電流とする定電流制御によってＬＣ回路の各相のスイッチングを制御する。

[0031] 本発明の電源装置の制御方法は、ＬＣチョッパ回路を含む電源装置の制御方法であって、複数の相電流によって多相制御を行う多相インターリーブ制御の電源装置の制御方法であり、ＬＣチョッパ回路の多相制御によるステップ応答の制御において、ＬＣチョッパ回路の各相電流の合成電流を制御電流とする定電流制御によって、ＬＣ回路の各相のスイッチングを制御する。

[0032] 本発明の電源装置及び電源装置の制御方法において、出力電圧は、所定時点における出力電圧の初期値と、離散時間処理の各時点でのキャパシタンス電流の検出値とを用いた離散時間処理の演算結果によって取得する。これによって、応答速度が遅い出力電圧の取得は初期値の検出のみと、離散時間処理における検出は、は高速応答が可能なキャパシタンス電流の検出で済ませることができるため、高速応答が可能となる。

[0033] ステップ応答制御の最初の離散時間処理は、所定時点における出力電圧の初期値と、その最初の回の演算周期の離散時間処理の時点で検出するキャパシタンス電流の検出値との離散時間処理の演算で出力電圧を取得し、その後のステップ応答制御の離散時間処理の各演算周期においては、前回の演算周期の演算結果と、その回の演算周期の時点で検出するキャパシタンス電流の検出値との離散時間処理の演算の繰り返しによって、各演算周期の前記出力電圧を取得する。

[0034] ステップ応答制御を単一のレベルの指令電圧で行うパルス電力制御の態様では、所定時点は、ステップ応答制御の制御を開始する開始時点である。ま

た、初期値は、開始時点で検出される出力電圧である。

[0035] ステップ応答制御を、Ｈｉｇｈレベルの指令電圧及びＬｏｗレベルの指令電圧を交互に指令する２レベルのパルス電力制御の態様では、所定時点は、ステップ応答制御の最初の開始時点、及び各レベルのパルス電力制御の終了時点である。

[0036] ステップ応答制御の最初の開始時点で検出される出力電圧は、最初のパルス電力制御における出力電圧を取得するための初期値である。また、各レベルのパルス電力制御の終了時点で検出される出力電圧は、そのレベルのパルス電力制御に続くレベルのパルス電力制御における出力電圧を取得する初期値である。

[0037] また、制御電流によって定電流制御を行うことによって、オーバーシュートやアンダーシュートの発生を抑制することができる。

[0038] 各相電流の合成電流は、ＬＣチョッパ回路の各相のインダクタンスの接続端に流れるインダクタンス電流、あるいは、ＬＣチョッパ回路のキャパシタンスに流れるキャパシタンス電流を用いることができる。

[0039] インダクタンスの接続端に電流計を設ける構成によって、各相のインダクタンスに流れる各インダクタンス電流を合わせた合成電流を検出し、検出したフィードバック信号を制御電流として定電流制御を行う。

[0040] また、キャパシタンスに電流計を設ける構成によって、キャパシタンス電流を検出し、検出したフィードバック信号を制御電流として定電流制御を行う。キャパシタンス電流は、各相のインダクタンス電流の合成電流から負荷電流を差し引いた電流であるため、キャパシタンス電流を検出することで、インダクタンス電流の合成電流を検出することができる。

[0041] インダクタンス電流を検出する構成、及びキャパシタンス電流を検出する構成のいずれの構成においても、制御電流を検出する検出機構は一つの検出手段で足りる。

[0042] また、インダクタンス電流を検出する構成、及びキャパシタンス電流を検出する構成のいずれの構成においても、制御電流を用いて定電流制御を行う

制御系は一つの制御系で足りる。

[0043] インダクタンス電流の定電流制御によって、オーバーシュート及びアンダーシュートを抑制すると共に、出力電圧を目標値である指令電圧に追従させる。

[0044] インダクタンス電流をフィードバックして定電流制御を行った場合には、出力電圧のステップ応答は二次振動電圧を起こすこと無く、所定のインダクタンス電流値に応じて定まる電圧に向かって指数関数的に増加する。したがって、インダクタンス電流の定電流制御によって、出力電圧をオーバーシュート又はアンダーシュートさせることなく、所定値に収束するステップ応答させることができる。

[0045] インダクタンス電流の定電流制御において、制御電流として、ＬＣ回路の各相のインダクタンスの接続端を流れるインダクタンス電流、あるいは、インダクタンス電流はキャパシタンス電流と負荷電流との和であることから、ＬＣ回路のキャパシタンスを流れるキャパシタンス電流を用いる。インダクタンス電流の定電流制御は、インダクタンス電流が定格電流値あるいは定格電流値に所定係数を乗じた値との差分が零となるように電流制御を行う。

[0046] （制御形態）

本発明の電源装置の制御の一形態は、ＰＩ制御を用いない多相インターリーブの双方向降圧チョッパ回路による２レベルデッドビート制御である。

[0047] インターリーブ方式では、相数ｎを多相とすることにより、スイッチング周波数を駆動スイッチング周波数のｎ倍として制御応答をｎ倍とすることができる他、平滑キャパシタを駆動スイッチング周波数のｎ倍のスイッチング周波数に相当した値を採用することによって平滑キャパシタの量を大幅な低減が期待される。

[0048] 一般に、直流信号を検出する検出器は低速応答であるのに対して、交流信号を検出する交流変流器は高速応答が可能であることから、本発明の電源装置の制御において制御電流としてキャパシタンス電流を用いる形態によれば、キャパシタンス電流の交流信号を高速検出することで、その他の交流分を

含む直流信号を比較的低速で検出してもデッドビート制御の高速応答が可能である。

[0049] 更に、本発明の形態によれば、定電流制御を行うことによって、ステップ応答のオーバーシュートやアンダーシュートを抑制することができる。

[0050] また、本発明の形態によれば、制御電流は各相のインダクタンス電流の合成電流であることから、制御電流であるフィードバック信号を検出する検出部の個数を減少させることができる。

[0051] なお、ＬＣチョッパ回路において、インバータを用いて前段の直流電圧を交流電圧に変換することによってＲＦ電力を制御する増幅器として、Ａ級～Ｅ級増幅器が知られている。これら増幅器の内、Ａ級～Ｃ級増幅器はドロッパー方式によってＲＦ電力を制御しているため、ＲＦ電力の変換効率は３０％～５０％程度である。一方、Ｄ級増幅器及びＥ級増幅器はスイッチング方式を用いて前段の直流電圧を可変させてＲＦ電力を制御しているため、代表的な１３．５６ＭＨｚの高周波では、ＲＦ電力の変換効率は９０％～９３％の高効率が得られる。

[0052] したがって、本発明の電源装置の多相インターリーブによるデッドビート制御においては、スイッチング制御が適用できる増幅器としてＤ級増幅器及びＥ級増幅器が好適である。

## 図面の簡単な説明

[0053] [図1]本発明の電源装置の概略構成例を説明するための図である。

[図2]本発明の電源装置の制御において位相電流の場合のパルス幅ΔＴ（ｋ）の例を示す図である。

[図3]本発明の電源装置のインダクタンス電流制御の例を説明するための図である。

[図4]本発明の電源装置のキャパシタンス電流制御の例を説明するための図である。

[図5]本発明の電源装置のインダクタンス電流制御及びキャパシタンス電流制御の例を説明するための図である。

[図6]本発明の電源装置のインダクタンス電流制御及びキャパシタンス電流制御の一形態を説明するための図である。

[図7]本発明の電源装置のインダクタンス電流制御及びキャパシタンス電流制御の一形態を説明するための図である。

[図8]本発明の電源装置のインダクタンス電流制御及びキャパシタンス電流制御の例を説明するための図である本発明のパルス幅ΔＴ（ｋ）の導出を説明するための図である。

[図9]Mode1～mode3による出力電圧の指定電圧への整定を説明するためのフローチャートである。

[図10]本発明の電源装置のチョッパ回路例を説明するための図である。

[図11]本発明の電源装置のＬＣＲ回路を説明するための図である。

[図12]本発明の電源装置のＬＣＲ回路の等価回路を説明するための図である。

[図13]定電圧制御の一次系伝達関数を説明するための図である。

[図14]定電圧制御の二次系伝達関数を説明するための図である。

[図15]本発明の電源装置を適用したＲＦジェネレータの制御例を説明するための図である。

[図16]本発明の電源装置を適用したＲＦジェネレータの制御例を説明するためのフローチャートである。

[図17]本発明の電源装置を適用した装置のＨｉｇｈ／Ｌｏｗ制御例を説明するためのフローチャートである。

[図18]本発明の電源装置を適用した直流電源装置及び交流電源装置の制御例を説明するための図である。

[図19]出力電圧ｖｏをフィードバックする定電圧制御を説明するための図である。

## 発明を実施するための形態

[0054] 本発明の電源装置、及び電源装置の制御方法について図１～図１８を用いて説明する。以下、図１を用いて本発明の電源装置の概略構成例を説明し、

図２～９を用いて本発明の電源装置の制御例を説明する。図１０～１２を用いて本発明のパルス幅ΔＴ（ｋ）の導出について説明し、図１３，１４を用いて指令値に対する追従性を説明し、図１５～図１８を用いて本発明の電源装置の適用例を説明する。

[0055]（本発明の電源装置の概略構成）

本発明の電源装置の概略構成について図１を用いて説明する。本発明の電源装置１は、入力電圧Ｖinを入力とし、出力電圧ｖo及び負荷電流ｉRを出力するＬＣチョッパ回路２、ＬＣチョッパ回路２のスイッチング素子のオン／オフ動作を制御するスイッチング信号を生成するスイッチング信号生成部５、ＬＣチョッパ回路２及び負荷からのフィードバック信号を入力してパルス幅ΔＴ（ｋ）を演算し、演算したパルス幅ΔＴ（ｋ）をスイッチング信号生成部５に出力する制御部６を備える。

[0056] ＬＣチョッパ回路２は、インダクタンスＬとキャパシタンスＣの直並列接続で構成されるＬＣ回路４と、入力電圧Ｖinを多相でスイッチング制御して形成したインダクタンス電流ｉLをＬＣ回路４に供給するスイッチング回路３とにより構成される。

[0057] 制御部６は、スイッチング回路３のスイッチング素子のオン／オフ動作を制御するスイッチング信号のパルス幅ΔＴ（ｋ）を演算する。パルス幅ΔＴ（ｋ）はスイッチングの１周期内において、スイッチング素子のオン状態の時間幅を定め、パルス幅ΔＴ（ｋ）の長短によってＬＣ回路４を経て負荷に供給する電力を制御する。例えば、スイッチング周期の時間幅をＴとした場合には、時間幅Ｔに対するパルス幅ΔＴ（ｋ）はデューティー比として表される。

[0058] 制御部６は、サンプリング周期（ｋ＋１）番目の出力が目標値と等しくなるようにパルス幅ΔＴ（ｋ）をサンプリング周期ごとに演算し、求めたパルス幅ΔＴ（ｋ）によってスイッチング動作を制御するデッドビート制御を行う。制御部６は、デッドビート制御において、ＬＣチョッパ回路２中の相電流を合成して得られる合成電流を含む制御電流に基づいて所定周期で定電流

制御を行い、ＬＣチョッパ回路２のスイッチング回路３のスイッチング素子（図示していない）を駆動するスイッチング信号のパルス幅ΔＴ（ｋ）の演算をサンプリング周期Ｔ毎に行う。

[0059] 制御部６は、合成電流を含む制御電流の定電流制御により演算されたパルス幅ΔＴ（ｋ）を各相電流のパルス幅ΔＴ（ｋ）とする。制御電流を定電流制御することによって、ステップ応答において出力電圧の二次振動電圧を抑制する。

[0060] 本発明のスイッチング信号生成部５は、制御部６が演算したパルス幅ΔＴ（ｋ）を各相電流のパルス幅ΔＴ（ｋ）として各相のスイッチング信号を生成する。パルス幅ΔＴ（ｋ）の演算において、相電流を合成して得られる合成電流を含む制御電流に基づいてパルス幅ΔＴ（ｋ）を演算する。この演算において、制御電流は相電流の合成電流に基づくものであるため、各相のパルス幅ΔＴ（ｋ）の重なりによる制限を除くことができ、各相のパルス幅ΔＴが互いに重なることを許容したパルス幅ΔＴ（ｋ）を求めることができる。

[0061] 図２は、３相の位相電流の場合のパルス幅ΔＴ（ｋ）の例について示している。図２（ａ）はスイッチングの１周期の時間幅Ｔに対してパルス幅ΔＴ（ｋ）が、３相の位相電流の内３つの位相電流のパルス幅ΔＴ（ｋ）に重なりがある例を示している。図２（ｂ）はスイッチングの１周期の時間幅Ｔに対してパルス幅ΔＴ（ｋ）が、３相の位相電流の内２つの位相電流のパルス幅ΔＴ（ｋ）に重なりがある例を示している。図２（ｃ）は３相の位相電流について位相電流のパルス幅ΔＴ（ｋ）に重なりがない例を示している。

[0062] ｎ相の多相インターリーブによってスイッチング回路３をスイッチング動作させる場合には、ＬＣチョッパ回路２において、ｎ個のインダクタンスＬ（Ｌ1～Ｌn）にはそれぞれインダクタンス電流ｉL1～ｉLnが流れる。制御部６は、これらのインダクタンス電流ｉL1～ｉLnである各相電流を合成した合成電流ｉＬを含む電流を制御電流として入力する。

[0063] 制御電流は、各相電流のインダクタンス電流を合成した合成電流ｉＬの他、

合成電流ｉLから負荷電流ｉRを減算したキャパシタンス電流ｉcを用いても良い。

[0064] （定電流制御）

制御部６による定電流制御は複数の制御形態を備える。制御形態として、インダクタンス電流制御の制御形態、キャパシタンス電流制御の制御形態、及びインダクタンス電流制御とキャパシタンス電流制御とを組み合わせた制御形態がある。

[0065] 以下、図３～図８を用いて定電流制御の複数の制御形態、及び各制御形態におけるパルス幅ΔＴ（ｋ）について説明する。

[0066] （定電流制御の制御形態及びパルス幅ΔＴ（ｋ））

図１のＬＣチョッパ回路２に負荷７を接続して構成されるＬＣＲ回路において、ＬＣチョッパ回路中のインダクタンスＬのインダクタンス電流ｉL、あるいはキャパシタンスＣのキャパシタンス電流ｉcを制御電流として定電流制御を行う。インダクタンス電流ｉL（ｔ）、キャパシタンス電流ｉc（ｔ）、及び出力電圧ｖo（ｔ）はそれぞれ以下の式（２）で表される。

[数2]

$$i_L(t) = i_C(t) + i_R(t) = A_V\{V_{REF} - v_O(t)\} + \beta i_C(t) + i_R(t)$$

$$i_C(t) = \frac{A_V}{1-\beta}\{V_{REF} - v_O(t)\} = C\frac{d}{dt}v_O(t)$$

$$v_O(t) = V_{REF}\left\{1 - e^{-\frac{A_V}{(1-\beta)C}t}\right\} \quad \cdots (2)$$

[0067] 多相インターリーブにおいては、上記式（２）のインダクタンス電流ｉL（ｔ）は、ＬＣチョッパ回路が含むｎ個のインダクタンスＬ（Ｌ1～Ｌn）の各相のインダクタンス電流ｉL1～ｉLnを合成した合成電流である。インダクタンス電流ｉL（ｔ）とキャパシタンス電流ｉcとの間にはｉL（ｔ）＝ｉc（ｔ）＋ｉR（ｔ）の関係がある。なお、ｉR（ｔ）は負荷Ｒの負荷電流である。

[0068] 多相インターリーブ制御において、一例である３相インターリーブ制御では、上記したインダクタンス電流及びキャパシタンス電流を制御電流として

定電流制御を行うときのパルス幅ΔＴ（ｋ）は以下の式（３）で表される。

[数3]

$$\Delta T(k)=\frac{1}{V_{in}(k)}\left\{\frac{L}{3}i_L(k+1)-\left(\frac{L}{3}-\frac{T^2}{2C}\right)i_L(k)+Tv_O(k)-\frac{T^2}{2C}i_R(k)\right\} \quad \cdots(3)$$

[0069] なお、Ｖin（k）は入力電圧、ｖo(k)は出力電圧、ｉＬ（k)は各相のインダクタンス電流の合成電流、ｉR(k)は負荷電流、ＬはＬＣ回路のインダクタンス、ＣはＬＣ回路のキャパシタンス、Ｔはサンプリング周期である。

[0070] 定電流制御は、インダクタンス電流を制御電流とするインダクタンス電流の定電流制御、あるいは、キャパシタンス電流を制御電流とするキャパシタンス電流の定電流制御とすることができる。

[0071] 以下、インダクタンス電流の定電流制御の制御形態、キャパシタンス電流の定電流制御の制御形態、及びインダクタンス電流の定電流制御とキャパシタンス電流の定電流制御とを組み合わせた制御形態の各制御形態について説明する。ここでは、多相インターリーブ制御において３相インターリーブ制御を例として説明する。

[0072]（インダクタンス電流の定電流制御の制御形態）

図３は、制御部によるインダクタンス電流制御の制御形態の概略を説明するための図であり、図３（ａ）、（ｂ）は制御形態の概略構成を示し、図３（ｃ）は指令電圧ＶREFの例を示し、図３（ｄ）は出力電圧ｖoの例を示している。

[0073] 図３は、インダクタンス電流の定電流制御についての２つの構成例について、３相インターリーブ制御を例として示している。インダクタンス電流の定電流制御は、インダクタンス電流が定格電流値あるいは定格電流値に所定係数を乗じた値との差分が零となるように電流制御を行う。

[0074] 図３（ａ）の構成では、３相インターリーブ制御においてインダクタンス電流の定電流制御の制御形態において、以下の式（４）で表されるパルス幅ΔＴ（ｋ）を用い、フィードバックされたキャパシタンス電流ｉｃ（ｋ）及び出力電圧ｖo（ｋ）を用いて、出力電圧ｖo（ｋ）が指令電圧ＶREFとなるよう

にステップ応答を制御する。

[数4]

$$\Delta T(k)=\frac{1}{V_{in}(k)}\frac{L}{3}\left[A_V V_{REF}-\left(1-\beta_3-\frac{3T^2}{2LC}\right)i_C(k)+\left(\frac{3}{L}T-A_V\right)v_O(k)\right] \quad \cdots (4)$$

[0075] 図３（ｂ）の構成では、３相インターリーブ制御においてインダクタンス電流の定電流制御の制御形態において、以下の式（５）で表されるパルス幅ΔＴ（ｋ）を用い、フィードバックされたキャパシタンス電流ｉｃ（ｋ）を用いて、出力電圧ｖｏ（ｋ）が指令電圧ＶREFとなるようにステップ応答の制御を行う。なお、この構成では、係数ＡｖをＡｖ＝３Ｔ／Ｌに設定することによって、出力電圧ｖｏ（ｋ）のフィードバックを不要とし、キャパシタンス電流ｉｃ（ｋ）のみを検出してフィードバックするだけでパルス幅ΔＴ（ｋ）を定めることができる。

[0076] [数5]

$$\Delta T(k)=\frac{V_{REF}-\left\{\frac{(1-\beta_3)L}{3T}-\frac{T}{2C}\right\}i_C(k)}{V_{in}(k)}T \quad \cdots (5)$$

[0077] 図３（ｃ）に示す指令電圧ＶREFは、Ｈ／Ｌの２レベル制御において、ＨｉｇｈレベルのＶHとＬｏｗレベルのＶLとの２レベルの指令電圧の例を示し、図３（ｄ）に示す出力電圧ｖoは、２レベルのステップ応答例を示している。

[0078] なお、図３（ｃ）、（ｄ）に示す電圧波形は説明の為に模式的に示すものであって、実際の電圧波形を示すものではない。

[0079] （キャパシタンス電流の定電流制御の制御形態）

図４は、制御部によるキャパシタンス電流制御について、３相インターリーブ制御を例とした概略を説明するための図であり、図４（ａ）は概略構成を示し、図４（ｂ）はキャパシタンス電流の指令電流ＩC-REFの例を示し、図４（ｃ）はキャパシタンス電流ｉcを示している。

[0080] 図４（ａ）の構成では、３相インターリーブ制御においてキャパシタンス電流の定電流制御の制御形態において、以下の式（６）で表されるパルス幅

ΔＴ（ｋ）を用い、フィードバックされたキャパシタンス電流ｉｃ（ｋ）及び出力電圧ｖｏ（ｋ）を用いて、キャパシタンス指令電流ＩC-REFとなるようにステップ応答を制御する。

[数6]

$$\Delta T(k)=\frac{\frac{L}{3}I_{C-REF}-\left(\frac{L}{3}-\frac{T^2}{2C}\right)i_C(k)+Tv_O(k)}{V_{in}(k)} \quad \cdots (6)$$

[0081] 図４（ｃ）に示すキャパシタンス電流の指令電流ＩC-REFは、Ｈ／Ｌの２レベル制御において、Ｈｉｇｈレベルの$V_H$に対応するＩC-REFHと、Ｌｏｗレベルの$V_L$に対応するＩC-REFLとの２レベルの指令電流の例を示し、図４（ｃ）に示すキャパシタンス電流ｉｃは、２レベルのステップ応答例を示している。

[0082] なお、図４（ｂ）、（ｃ）に示す電圧波形は説明の為に模式的に示すものであって、実際の電圧波形を示すものではない。

[0083] （インダクタンス電流の定電流制御とキャパシタンス電流の定電流制御とを組み合わせた制御形態）

本発明の定電流制御は、前記したインダクタンス電流の定電流制御の制御形態、及びキャパシタンス電流の定電流制御の制御形態の他、キャパシタンス電流の定電流制御と、その後に行うインダクタンス電流の定電流制御の多段階の定電流制御によってステップ応答を制御する制御形態を備える。

[0084] この多段階の制御形態は、キャパシタンス電流の定電流制御の後にインダクタンス電流の定電流制御を行う第１の制御形態の他、キャパシタンス電流の定電流制御を２段階で行い、その後にインダクタンス電流の定電流制御を行う第２の制御形態を備える。

[0085] 図５～図７はインダクタンス電流の定電流制御とキャパシタンス電流の定電流制御の組み合わせの制御態様を説明するための図であり、図５（ａ）は制御部の概略を示し、図５（ｂ）は指令電圧$V_{REF}$を示している。

[0086] キャパシタンス電流の定電流制御とインダクタンス電流の定電流制御との

組み合わせの制御形態において、図６（ａ）、（ｂ）は第１の制御形態において、指令電流ＩC-REFと出力電圧ｖoを示し、図７（ａ）、（ｂ）は第２の制御形態において、キャパシタンス電流の定電流制御をmode1及びmode2の２段階で行い、その後にインダクタンス電流の定電流制御をmode3で行う際のそれぞれ指令電流ＩC-REFと出力電圧ｖoを示している。

[0087] （第１の制御形態）

キャパシタンス電流の定電流制御とインダクタンス電流の定電流制御との組み合わせの制御形態において、第１の制御形態では、第１段目のキャパシタンス電流の定電流制御を行い、出力電圧ｖoが切り替え電圧Ｖcに達した時点で、第２段目のインダクタンス電流の定電流制御に切り替え、指令電圧ＶREFに向けて定電流制御を行う。

[0088] 第１段目のキャパシタンス電流の定電流制御では前記したキャパシタンス電流の定電流制御によるパルス幅ΔＴ（ｋ）を用い、第２段目のインダクタンス電流の定電流制御では前記したインダクタンス電流の定電流制御によるパルス幅ΔＴ（ｋ）を用いる。

[0089] 仮に、ステップ応答の全区間をインダクタンス電流の定電流制御した場合には過大電流の発生が想定される。この過大電流を避けるために、キャパシタンス電流の定電流制御を組み合わせる。

[0090] キャパシタンス電流の定電流制御とインダクタンス電流の定電流制御とを組み合わせて行う制御形態は、インダクタンス電流の定電流制御で想定される過大電流の発生を避ける。第１段目でキャパシタンス電流の定電流制御を行うことによって過大電流の発生を抑制し、過大電流の発生のおそれが無くなった後、第２段目においてキャパシタンス電流の定電流制御からインダクタンス電流の定電流制御に切り替えて、出力電圧ｖoを目標値の制御指令電圧ＶREFに向けて制御する。

[0091] 第１段目のキャパシタンス電流の定電流制御を第２段目のインダクタンス電流の定電流制御に切り替えるときの切り替え電圧Ｖcは、キャパシタンス電流の定電流制御において、インダクタンスに保有された電流エネルギーによ

って出力電圧が目標値を行き過ぎない様に切り替えるための電圧である。

[0092] 図６に示す制御形態は、キャパシタンス電流制御に続いてインダクタンス電流制御を行う態様を示している。図６（ｂ）に示す電圧波形において、薄い実線で示した電圧Ｖ１は全区間をインダクタンス電流の定電流制御によって制御した場合のステップ応答を示し、濃い実線で示した電圧はキャパシタンス電流の定電流制御とインダクタンス電流の定電流制御とを組み合わせた制御形態のステップ応答を示し、キャパシタンス電流制御時の電圧Ｖ２とインダクタンス電流制御時の電圧Ｖ３を含む。

[0093] キャパシタンス電流制御では、図６（ａ）に示す指令電流ＩC-REFに基づいて、過大電流の発生を抑制しながら出力電圧ｖoを目標値に向けて定電流制御を行い、出力電圧ｖoが目標値を過ぎないように設定した切り替え電圧Ｖcに達した時点でインダクタンス電流の定電流制御に切り替える。キャパシタンス電流制御時の電圧を電圧Ｖ２で示している。その後、インダクタンス電流の定電流制御によって指令電圧ＶREFに制御する。インダクタンス電流制御時の電圧を電圧Ｖ３で示している。

[0094] （第２の制御形態）

キャパシタンス電流の定電流制御とインダクタンス電流の定電流制御との組み合わせの制御形態において、第２の制御形態では、キャパシタンス電流の定電流制御を２段階で行った後、インダクタンス電流の定電流制御を行う。

[0095] 図７に示す制御形態は、キャパシタンス電流制御の定電流制御に続いてインダクタンス電流の定電流制御を行う、２段階による形態を示している。図７（ａ）は、キャパシタンス電流の定電流制御における指令電流ＩC-REFを示し、図７（ｂ）は出力電圧ｖoの電圧波形を示している。図７（ｂ）に示す電圧波形において、薄い実線で示した電圧Ｖ１は全区間をインダクタンス電流の定電流制御を行った場合のステップ応答を示している。濃い実線で示した電圧はキャパシタンス電流の定電流制御とインダクタンス電流の定電流制御とを組み合わせた態様において、第１段目のキャパシタンス電流の定電流制

御時の電圧Ｖ２ａ、第２段目のキャパシタンス電流の定電流制御時の電圧Ｖ２ｂ、及びインダクタンス電流制御時の電圧Ｖ３ｂによるステップ応答を示している。なお、図７（ｂ）では、インダクタンス電流の定電流制御時において、電圧Ｖ１と電圧Ｖ３ｂとはほぼ重なった状態で示されている。

[0096] 第１段目のキャパシタンス電流の定電流制御では、図７（ａ）に示す指令電流ＩC-REFに基づいて、過大電流の発生を抑制しながら出力電圧ｖoを目標値に向けて定電流制御を行い、出力電圧ｖoが目標値を過ぎないように設定した切り替え電圧Ｖc1に達した時点で第２段目のキャパシタンス電流の定電流制御に切り替える。第１段目のキャパシタンス電流の定電流制御の電圧を電圧Ｖ２ａで示し、第２段目のキャパシタンス電流の定電流制御の電圧を電圧Ｖ２ｂで示している。

[0097] 第２段目のキャパシタンス電流の定電流制御において、出力電圧ｖoが切り替え電圧Ｖc2に達した時点においてインダクタンス電流の定電流制御に切り替える。第２段目のキャパシタンス電流の定電流制御時の電圧を電圧Ｖ２ｂで示している。

[0098] その後、インダクタンス電流の定電流制御によって指令電圧ＶREFに制御する。インダクタンス電流の定電流制御時の電圧を電圧Ｖ３ｂで示している。

[0099] 第２段目のキャパシタンス電流の定電流制御は、第１段目のキャパシタンス電流の定電流制御とインダクタンス電流の定電流制御との間をつなぐ定電流制御であり、定電流制御の切り替え時における電圧のずれを解消して、キャパシタンス電流の定電流制御から切り替えてインダクタンス電流の定電流制御を開始する時点の電圧を、仮にキャパシタンス電流制御を行うことなく、全区間をインダクタンス電流の定電流制御のみで行ったときの電圧と一致させる。したがって、第２段目のキャパシタンス電流の定電流制御からインダクタンス電流の定電流制御への切り替え電圧Ｖc2は、インダクタンス電流の定電流制御のみで得られる電圧の切り替え時点での電圧に相当する。

[0100] 上記した第１段目のキャパシタンス電流の定電流制御、第２段目のキャパシタンス電流の定電流制御、及びインダクタンス電流の定電流制御は、以後

で説明するmode1，mode2のキャパシタンス電流の定電流制御、及びにmode3のインダクタンス電流の定電流制御に相当する。なお、図６、図７に示す指令電流及び電圧の波形は説明の為に模式的に示すものであって、実際の波形を示すものではない。

[0101] 表１は、インダクタンス電流の定電流制御と、キャパシタンス電流の定電流制御の指令信号及び入力信号の関係を示している。

[0102] [表1]

| 定電流制御 | 指令信号 | 入力信号 |
|---|---|---|
| ｷｬﾊﾟｼﾀ電流 | Ic-REF | Vin<br>ic(k)<br>Vo(k) |
| ｲﾝﾀﾞｸﾀ電流 | V-REF | ic(k)<br>(Vo(k)) |

[0103] 次に、一ステップ応答において、mode1、mode2およびmode3の各モードによって行う定電流制御の制御形態を説明する。図８はmode1、mode2およびmode3の各制御形態を説明するための図である。図８(ａ)はmode1の制御形態を示し、図８(ｂ)はmode2の制御形態を示し、図８(ｃ)はmode3の制御形態を示している。以下では、多相インターリーブ制御として３相インターリーブ制御を例として説明する。

[0104] この定電流制御では、mode1とmode2の２段階のキャパシタンス電流の定電流制御と、その後に行うmode3のインダクタンス電流の定電流制御とによる多段階の定電流制御によってステップ応答を行う。

[0105] mode1：

mode1の定電流制御は２段階で行うキャパシタンス電流の定電流制御の第１段目である。このmode1の定電流制御では、インダクタンスに保有された電流エネルギーによって、出力電圧が目標値を行き過ぎない様にするモードであ

る。第１段目のmode1では次の第２段目のmode2に切り替えるための電圧Ｖc1を予め設定しておき、出力電圧ｖoが切り替え電圧Ｖc1に到達した時点でmode1を終了し、mode2に移行する。

[0106] ３相インターリーブ制御のmode1のパルス幅ΔＴ（ｋ）は、

[数7]

$$\Delta T(k)=\frac{\frac{L}{3}I_{C-REF}-\left(\frac{L}{3}-\frac{T^2}{2C}\right)i_C(k)+Tv_O(k)}{V_{in}(k)} \quad \cdots (7)$$

で表される。

[0107] 図８（ａ）はmode1のキャパシタンス電流の定電流制御の制御形態を説明するための図である。制御部は、入力電圧Ｖinを入力すると共に、キャパシタンス電流ｉｃ（ｋ）及び出力電圧ｖｏ（ｋ）をフィードバックし、キャパシタンス電流の指令電流ＩC-REFに向けて定電流制御を行う。

[0108] mode2：

mode2の定電流制御は２段階で行うキャパシタンス電流の定電流制御の第２段目である。このmode2の定電流制御では、mode1のキャパシタンス電流の定電流制御によって達した出力電圧ｖoを、mode3のインダクタンス電流の定電流制御を開始するときの初期電圧に移行させる移行モード（Transfer mode）である。

[0109] キャパシタンス電流の定電流制御は、過大電流を抑制するという機能を有するが、出力電圧を目標値に向かわせる機能を有していないため、出力電圧が目標値を行き過ぎないように制御する必要がある。キャパシタンス電流の定電流制御を行った後、インダクタンス電流の定電流制御に切り替えて出力電圧が目標値を行き過ぎない制御しようとした際、切り替え時の出力電圧ｖoは、ステップ応答の全区間をインダクタンス電流で定電流制御した場合の出力電圧ｖoと異なる電圧となり、ギャップが生じる。

[0110] このように、キャパシタンス電流の定電流制御を行った後に、インダクタンス電流の定電流制御に切り替える制御形態では、インダクタンス電流の定

電流制御に切り替えた際の電圧とステップ応答の全区間をインダクタンス電流で定電流制御した場合の出力との間にギャップが発生するため、切り替え後のインダクタンス電流の定電流制御は、全区間をインダクタンス電流で定電流制御した場合の出力電圧と異なる電圧から制御を開始することになる。

[0111] キャパシタンス電流の定電流制御をmode1とmode2の２段階で行う態様は、上記した切り替え時の電圧の差異を解消する。この制御形態は、キャパシタンス電流の定電流制御をmode1とmode2の２段階とし、mode1の定電流制御で発生した出力電圧のずれをmode2で解消して、mode3のインダクタンス電流の定電流制御を開始する際の電圧値を、ステップ応答の全区間をインダクタンス電流で定電流制御した場合の出力電圧に合わせる。これによって、mode3のインダクタンス電流の定電流制御で開始する出力電圧を、仮にステップ応答の全区間をインダクタンス電流で定電流制御した場合の出力電圧から開始することができる。

[0112] したがって、mode2の区間はmode2の最終値がmode3の所定値になるよう調整する移行区間であり、mode2の初期値をmode1の最終値Ｖc1とし、mode2の最終値がmode3で要求される初期値Ｖc2になる様に定電流制御を行う。

[0113] ３相インターリーブ制御のmode2のパルス幅ΔＴ（ｋ）は、

[数8]

$$\Delta T(k)=\frac{\frac{L}{3}\beta_2 I_{C-REF}-\left(\frac{L}{3}-\frac{T^2}{2C}\right)I_{C-REF}+TV_{C1}}{V_{in}(k)} \quad \cdots（８）$$

で表される。

[0114] 図８（ｂ）はmode2のキャパシタンス電流の定電流制御の制御形態を説明するための図である。制御部は、キャパシタンス電流の指令電流β２・ＩC-REFに向けて定電流制御を行う。β2は、mode2における指令電流を設定する係数である。

[0115] mode3：

mode3ではインダクタンス電流の定電流制御によって、出力電圧ｖoが目標

値を行き過ぎない様に制御する。Ｈｉｇｈ／Ｌｏｗの２レベル制御の場合には、それぞれの目標値ＶH，ＶLを行き過ぎない様に定電流制御を行う。

[0116] ３相インターリーブ制御のmode3のパルス幅ΔＴ（ｋ）は、

[数9]

$$\Delta T(k)=\frac{1}{V_{in}(k)}\frac{L}{3}\left[A_V V_{REF}-\left(1-\beta_3-\frac{3T^2}{2LC}\right)i_C(k)+\left(\frac{3}{L}T-A_V\right)v_O(k)\right] \quad \cdots (9)$$

で表され、更に、Ａｖ＝３Ｔ／Ｌに設定した場合には、

[数10]

$$\Delta T(k)=\frac{V_{REF}-\left\{(1-\beta_3)\frac{L}{3T}-\frac{T}{2C}\right\}i_C(k)}{V_{in}(k)}T \quad \cdots (10)$$

で表される。

[0117] 図８（ｃ）はmode3のインダクタンス電流の定電流制御の制御形態を説明するための図である。制御部は、キャパシタンス電流ｉｃ（ｋ）及び出力電圧ｖｏ（ｋ）をフィードバックして、あるいは、キャパシタンス電流ｉｃ（ｋ）をフィードバックして、出力電圧を指令電圧ＶREFに向けて定電流制御を行う。β3は、出力電圧を指令電圧ＶREFに安定して追従させるために設定する係数である。

[0118] 以下の表２はmode１～mode3の各定電流制御における信号関係を示している。

[0119]

[表2]

| | 定電流制御 | 入力信号<br>第１の形態 | 指令信号 | 入力信号 | 係数、<br>定数 |
|---|---|---|---|---|---|
| mode１ | ｷｬﾊﾟｼﾀ電流 | ｉｃ<br>ｉC-REF<br>Vo(k) | IC-REF | Ｖin<br>ｉc(k)<br>Vo(k) | |
| mode２ | ｷｬﾊﾟｼﾀ電流 | ｉC-REF<br>Vc1<br>β2 | β2・<br>IC-REF | Ｖin | β2<br>Vc1 |
| mode３ | ｲﾝﾀﾞｸﾀ電流 | V-REF<br>ic<br>Vo(k)<br>β3 | V-REF | ic(k)<br>(Vo(k)) | β3<br>Av |

[0120] （指令電圧への整定）

次に、上記したmode1～mode3の工程による指令電圧への整定工程について、図９のフローチャートを用いて説明する。図９のフローチャートでは各工程をＰ１～Ｐ１４の符号を付して示している。

[0121] はじめに、指令電圧ＶREF、指令電流ＩC-REF、定格出力電流ＩR-rat、定電流係数αH，αLを設定する。なお、Ｈｉｇｈ／Ｌｏｗの２レベルパルス電力制御の場合には、Ｈｉｇｈレベルの指令電圧をＶHとし、Ｌｏｗレベルの指令電圧をＶLとする。また、αHはＨｉｇｈ／Ｌｏｗの２レベルパルス電力制御のＨｉｇｈレベルの定電流係数であり、αLはＨｉｇｈ／Ｌｏｗの２レベルパルス電力制御のＬｏｗレベルの定電流係数である（Ｐ１）。

[0122] mode1からmode2への切り替え電圧Ｖc1、及びmode2からmode3への切り替え電圧Ｖc2を算出する。切り替え電圧Ｖc1及びＶc2の電圧の算出は、以後で説明する式（３４）、式（３９）を用いて行う（Ｐ２）。

[0123] （mode1の工程：Ｐ３～Ｐ６）

初めにmode1の工程によってキャパシタンス電流の定電流制御を行う。

[0124] ｉｃ（ｋ）、ｖｏ（ｋ）を検出し（Ｐ３）、mode1のパルス幅ΔＴ（ｋ）を算

出する。mode1のパルス幅ΔＴ（ｋ）の算出は式（７）（式（２４））を用いて行う。なお、以後で説明する式（２４）は式（７）と同じ算出式である（Ｐ４）。Ｐ４で算出したパルス幅ΔＴ（ｋ）に基づいて、ＬＣチョッパ回路のスイッチング動作を制御して、キャパシタンス電流の定電流制御を行い、出力電圧ｖｏ（ｋ）を検出する（Ｐ５）。

[0125] 検出した出力電流ｖｏ（ｋ）がＰ２で算出した切り替え電圧ｖc1に到達したか否かを判定する（Ｐ６）。出力電流ｖｏ（ｋ）が切り替え電圧ｖc1に達していない場合には、Ｐ３～Ｐ５の工程を繰り返し、出力電流ｖｏ（ｋ）が切り替え電圧ｖc1に達した場合には、次のmode2の工程に移行する。

[0126] （mode2の工程：Ｐ７～Ｐ１０）

mode2の工程によってキャパシタンス電流の定電流制御を行う。

[0127] ｉｃ（ｋ）、ｖｏ（ｋ）を検出し（Ｐ７）、mode2のパルス幅ΔＴ（ｋ）を算出する。mode2のパルス幅ΔＴ（ｋ）の算出は式（８）（式（２５））を用いて行う。なお、以後で説明する式（２５）は式（８）と同じ算出式である（Ｐ８）。Ｐ８で算出したパルス幅ΔＴ（ｋ）に基づいて、ＬＣチョッパ回路のスイッチング動作を制御して、キャパシタンス電流の定電流制御を行い、出力電圧ｖｏ（ｋ）を検出する（Ｐ９）。

[0128] 検出した出力電流ｖｏ（ｋ）がＰ２で算出した切り替え電圧ｖc2に到達したか否かを判定する（Ｐ１０）。出力電流ｖｏ（ｋ）が切り替え電圧ｖc2に達していない場合には、Ｐ７～Ｐ９の工程を繰り返し、出力電流ｖｏ（ｋ）が切り替え電圧ｖc2に達した場合には、次にmode3の工程に移行する。

[0129] （mode3の工程：Ｐ１１～Ｐ１４）

mode3の工程によってインダクタンス電流の定電流制御を行う。

[0130] ｉｃ（ｋ）、ｖｏ（ｋ）を検出し（Ｐ１１）、mode3のパルス幅ΔＴ（ｋ）を算出する。mode3のパルス幅ΔＴ（ｋ）の算出は式（９）（式（２６），式（２８））を用いて行う。なお、以後で説明する式（２６）は式（９）と同じ算出式である（Ｐ１２）。Ｐ１２で算出したパルス幅ΔＴ（ｋ）に基づいて、ＬＣチョッパ回路のスイッチング動作を制御して、インダクタンス電流の

定電流制御を行い、出力電圧ｖｏ（ｋ）を検出する（Ｐ１３）。

[0131] 検出した出力電流ｖｏ（ｋ）がＰ１で設定した指令電圧ＶREFに到達したか否かを判定する（Ｐ１４）。出力電流ｖｏ（ｋ）が指令電圧ＶREFに達していない場合には、Ｐ１１～Ｐ１３の工程を繰り返し、出力電流ｖｏ（ｋ）が指令電圧ＶREFに達した場合には、指令電圧ＶREFへの整定を終了する。次の指令電圧ＶREFが設定された場合には、上記したＰ１～Ｐ１４の工程を繰り返して出力電流ｖｏを指令電圧ＶREFに整定する。

[0132] （パルス幅ΔＴ（ｋ）の導出（導出１～導出９））

図１０に示すＬＣチョッパ回路の構成例は、多相インターリーブ方式による双方向降圧チョッパ回路の一例である。この降圧チョッパ回路は全負荷から無負荷まで高速制御が可能になる様に、一般的な降圧チョッパ回路に用いられているダイオードＤ１～Ｄ３の転流ダイオードを可制御素子に置換え、出力の余分なエネルギーが入力側に回生している。

[0133] ここでは多相インターリーブとして３相インターリーブを示している。３相インターリーブを構成する３つのスイッチング回路を備え、それぞれスイッチング素子Ｑ１～Ｑ３とダイオードＤ１～Ｄ３を備える。３相インターリーブの各相は、ＬＣ回路４のインダクタンスLが３つのスイッチング回路のそれぞれのインダクタンスＬに対応し、各インダクタンスＬのインダクタンス電流ｉL1～ｉL3はインターリーブの各相電流である。多相インターリーブにおいて、ＬＣ回路４は１つののキャパシタンスＣは備え、キャパシタンスＣにはインダクタンス電流ｉL1～ｉL3の合成電流（ｉL1＋ｉL2＋ｉL3）から負荷電流ｉRを減算した電流が流れる。

[0134] 以下、パルス幅ΔＴ（ｋ）の導出について説明する。パルス幅ΔＴ（ｋ）の導出において、はじめに前段工程を説明する。前段工程では、多相インターリーブの合成電流を制御電流としてフィードバックする定電流制御（導出工程１）において、多相インターリーブ方式の双方向降圧チョッパ回路、及びパルス幅ΔＴ（ｋ）の状態方程式を求め（導出工程２，３）、この状態方程式に基づいてパルス幅ΔＴ（ｋ）の関数式（導出工程４）を求める。

[0135] 次に、前段工程において制御電流について求めたパルス幅ΔＴ（ｋ）の関係式を用いて、インダクタンス電流の定電流制御のパルス幅ΔＴ（ｋ）の導出（導出工程５）、及びキャパシタンス電流の定電流制御のパルス幅ΔＴ（ｋ）の導出（導出工程６）を説明する。

[0136] その後、mode1とmode2の２段階のキャパシタンス電流の定電流制御と、その後に行うmode3のインダクタンス電流の定電流制御の多段階の定電流制御とによってステップ応答を行う制御形態において、各mode1、mode2、mode3のパルス幅ΔＴ（ｋ）を導出する導出工程（導出工程７～導出工程９）を説明する。

[0137] ・導出工程１：

合成電流を制御電流としてフィードバックする定電流制御の制御電流および出力電圧の式を導出する。図１１は図１０の回路の等価回路であり、閉ループ自動制御応答の領域において、スイッチング周波数より充分長い時間帯域の等価回路を表している。

[0138] 図１１に等価回路において、各相の相電流ｉL1、ｉL2、及びｉL3の合成電流（ｉL1+ｉL2+ｉL3＝ｉL）を電流源で表し、３つのスイッチング回路のそれぞれのインダクタンスＬの合成インダクタンスを（Ｌ／３）で表している。この等価回路において、電流源から入力された入力電流（ｉL）による出力電圧ｖoのステップ応答は、

[数11]

$$v_O(s)=\frac{R}{1+sCR}\frac{i_L}{s}=Ri_L\left(\frac{1}{s}-\frac{1}{s+1/CR}\right)$$

$$v_O(t)=Ri_L\left(1-e^{-\frac{1}{CR}t}\right) \quad \cdots（１１）$$

で表される

[0139] 式 （１１）は、出力電圧ｖoのステップ応答は、二次振動電圧を起こすことなく、（Ｒ・ｉL）に向かって指数関数的に増加することを示している。

[0140] インダクタンス電流ｉLの合成電流の時間関数ｉＬ（ｔ）を以下の式（１２

）で定義すると、

[数12]

$$i_L(t) = i_C(t) + i_R(t) = A_V\{V_{REF} - v_O(t)\} + \beta i_C(t) + i_R(t) \quad \cdots (12)$$

となる。

[0141] 合成電流（ｉＬ（ｔ））、キャパシタンス電流ｉｃ（ｔ）、及び出力電圧ｖｏ（ｔ）はそれぞれ以下の式（１３）で表される。

[数13]

$$\begin{aligned} i_L(t) &= i_C(t) + i_R(t) = A_V\{V_{REF} - v_O(t)\} + \beta i_C(t) + i_R(t) \\ i_C(t) &= \frac{A_V}{1-\beta}\{V_{REF} - v_O(t)\} = C\frac{d}{dt}v_O(t) \\ v_O(t) &= V_{REF}\left\{1 - e^{-\frac{A_V}{(1-\beta)C}t}\right\} \end{aligned} \quad \cdots (13)$$

[0142] 式（１３）で示される出力電圧ｖｏ（ｔ）は、式（１１）で表される出力電圧ｖｏ（ｔ）から負荷抵抗Ｒが削除され、十分な時間が経過した後（ｔ→∞）の最終値は指令電圧ＶREFに収束することを示している。

[0143] したがって、式（１２）で示されるインダクタンス電流ｉＬ（ｔ）の合成電流を制御電流として定電流制御を行うことによって、二次振動電圧を生じさせることなく、ステップ応答を制御することができる。

[0144] なお、式（１３）で示される出力電圧ｖｏ（ｔ）において、Ａｖは出力電圧Ｖｏ（ｔ）と指令電圧ＶREFとの差分値（ＶREF－Ｖｏ（ｔ））に乗じる係数であり、βはキャパシタンス電流ｉｃ（ｔ）に乗じる係数であり、指令電圧ＶREFに対する追従特性を定める。

[0145] 例えば、係数Ａｖが”１”に近いほど、差分値（ＶREF－Ｖｏ（ｔ））の大きさが強く反映されたステップ応答となり、係数βが”１”に近いほど、指令電圧ＶREFに対する追従度が高いステップ応答となる。

[0146] ・導出工程２：

次に、３相インターリーブ方式の双方向降圧チョッパ回路の状態方程式を導出する。図１２は３相の内の一つの相での等価回路を示している。前記式

（１２）で表される合成電流（ｉL）を、定電流制御に適用した形態に変換するために、図１０に示すｉL1，ｉL2，及びｉL3の合成電流であるｉL（＝ｉL1＋ｉL2＋ｉL3）の状態方程式を求め、パルス幅ΔＴとの関係式を導出する。

[0147] 図１０の各相のＱ１／Ｄ１～Ｑ３／Ｄ３のＯＮ／ＯＦＦ動作によって、Ｕ１(τ)、Ｕ２(τ)およびＵ３(τ)にはＶinまたは０電圧が印加される。重ねの理を用いて表現すると、Ｕ１(τ)に関しては図１２の等価回路で表される。図１２において、Ｕ１(τ)は、Ｑ１をオンとしＤ１をオフとした場合にはＶinとなり、Ｑ１をオフとしＤ１をオンとした場合にはＵ１(τ)は０となる。

[0148] 図１０に対する状態方程式において、Ｕ（ｔ）が一定である区間ごとに分割したU(τ)による状態方程式の一般解は、それぞれ以下の式（１４）で表される。

[数14]

$$\dot{x}(t) = Ax(t) + Bu(t)$$

$$x(t) = e^{At}x(0) + \int_0^t e^{A(t-\sigma)}\,d\sigma\,\mathbf{B}\,u(\tau) \qquad \cdots（１４）$$

[0149] 合成電流ｉ(t)は、一般解x(t)に図１０の回路構成に対応した変換行列Ｆを左から乗じることで得られる。

[数15]

$$i(t) = Fx(t) = Fe^{At}x(0) + F\int_0^t e^{A(t-\sigma)}\,d\sigma\,\mathbf{B}\,u(\tau) \qquad \cdots（１５）$$

[0150] 但し、

[数16]

$$\left.\begin{aligned} x(t) &= \begin{bmatrix} i_{L1}(t) & i_{L2}(t) & i_{L3}(t) & v_O(t) \end{bmatrix}^T \\ i(t) &= \begin{bmatrix} i_{L1}(t) & i_{L2}(t) & i_{L3}(t) \end{bmatrix}^T = Fx(t) \\ u(\tau) &= \begin{bmatrix} u_1(\tau) & u_2(\tau) & u_3(\tau) \end{bmatrix}^T \\ F &= \begin{bmatrix} 1 & 0 & 0 & 0 \\ 0 & 1 & 0 & 0 \\ 0 & 0 & 1 & 0 \end{bmatrix},\ A = \begin{bmatrix} 0 & 0 & 0 & -1/L \\ 0 & 0 & 0 & -1/L \\ 0 & 0 & 0 & -1/L \\ 1/C & 1/C & 1/C & -1/CR \end{bmatrix},\ B = \frac{1}{L}\begin{bmatrix} 1 & 0 & 0 \\ 0 & 1 & 0 \\ 0 & 0 & 1 \\ 0 & 0 & 0 \end{bmatrix} \end{aligned}\right\} \qquad \cdots（１６）$$

である。

[0151] 上記したｉ（ｔ）からｉL(t)=ｉL1(t)+ｉL2(t)+ｉL3(t)を得るために変換行列Ｇを用いてＧＦｅ$^{AT}$を導出する。また、FB、FABは下式に示すように変換される。

[数17]

$$\left.\begin{aligned} & i_L(t)=i_{L1}(t)+i_{L2}(t)+i_{L3}(t)=Gi(t) \\ & G=\begin{bmatrix}1 & 1 & 1\end{bmatrix},FB=\frac{1}{L}I_n、FAB=0 \\ & u_{01}=V_{in}\begin{bmatrix}1 & 0 & 0\end{bmatrix}^T、u_{02}=V_{in}\begin{bmatrix}0 & 1 & 0\end{bmatrix}^T、u_{03}=V_{in}\begin{bmatrix}0 & 0 & 1\end{bmatrix}^T \\ & u_{12}=V_{in}\begin{bmatrix}1 & 1 & 0\end{bmatrix}^T、u_{13}=V_{in}\begin{bmatrix}1 & 0 & 1\end{bmatrix}^T、u_{23}=V_{in}\begin{bmatrix}0 & 1 & 1\end{bmatrix}^T、u_{123}=V_{in}\begin{bmatrix}1 & 1 & 1\end{bmatrix}^T \\ & e^{AT}=I_n+AT+\frac{(AT)^2}{2} \\ & GFe^{AT}=\left(1-\frac{3T^2}{2LC}\right)\begin{bmatrix}1 & 1 & 1 & 0\end{bmatrix}+3\left(-\frac{T}{L}+\frac{T^2}{2LCR}\right)\begin{bmatrix}0 & 0 & 0 & 1\end{bmatrix} \end{aligned}\right\}$$

・・・（１７）

[0152] ・導出工程３：

次に、パルス幅ΔＴ（ｋ）の状態方程式を導出する。

[0153] 図２（ａ）に示す一周期の区間Ｔにおいて、パルス幅ΔＴ（ｋ）の関係式を求める。式（１５）に対して式（１６）及び式（１７）を用いてｉ（Ｔ）を導出すると以下の式（１８）で表される状態方程式が得られる。なお、記述しないが、図２（ｂ）及び(ｃ)の一周期の区間Ｔにおけるｉ（Ｔ）も式（１８）と同式になる。

[数18]

$$\begin{aligned} i(T) &= Fe^{AT}x(0)+F\int_0^{t_1}e^{A(T-\sigma)}d\sigma Bu_{23}+F\int_{t_1}^{t_2}e^{A(T-\sigma)}d\sigma Bu_{123}+F\int_{t_2}^{t_3}e^{A(T-\sigma)}d\sigma Bu_{13} \\ &\quad +F\int_{t_3}^{t_4}e^{A(T-\sigma)}d\sigma Bu_{123}+F\int_{t_4}^{t_5}e^{A(T-\sigma)}d\sigma Bu_{12}+F\int_{t_5}^{t_6}e^{A(T-\sigma)}d\sigma Bu_{123}+F\int_{t_6}^{T}e^{A(T-\sigma)}d\sigma Bu_{23} \\ i(T) &= Fe^{AT}x(0)+\frac{1}{L}I_n\{(T-\Delta T)(u_{23}+u_{13}+u_{12})+(-2T+3\Delta T)u_{123}\} \\ i(T) &= Fe^{AT}x(0)+\frac{\Delta T}{L}I_nu_{123} \end{aligned}$$

・・・（１８）

[0154] ・導出工程４：

次に、パルス幅ΔＴ（ｋ）の関数式を導出する。

[0155] 式（１７）を用いて式（１８）のパルス幅ΔＴ（ｋ）の状態方程式を変換すると、

[数19]

$$i_L(T) = Gi(T) = GFe^{\Delta T}x(0) + G\frac{\Delta T}{L}I_n u_{123}$$

$$i_L(T) = \left(1 - \frac{3T^2}{2LC}\right)i_L(0) + 3\left(\frac{T^2}{2LCR} - \frac{T}{L}\right)v_O(0) + \frac{3V_{in}(k)}{L}\Delta T \qquad \cdots（１９）$$

が得られる。

[0156] 負荷電流ｉR(k)をｉＲ（ｋ）＝ｖｏ（ｋ）／Ｒとして、上記式（１９）中からＲを除くと以下の式（２０）が得られる。

[数20]

$$i_L(k+1) = \left(1 - \frac{3T^2}{2LC}\right)i_L(k) - \frac{3T}{L}v_O(k) + \frac{3T^2}{2LC}i_R(k) + \frac{3V_{in}(k)}{L}\Delta T(k) \qquad \cdots（２０）$$

[0157] 上記式（２０）からパルス幅ΔＴ（ｋ）を求めると、

[数21]

$$\Delta T(k) = \frac{1}{V_{in}(k)}\left\{\frac{L}{3}i_L(k+1) - \left(\frac{L}{3} - \frac{T^2}{2C}\right)i_L(k) + Tv_O(k) - \frac{T^2}{2C}i_R(k)\right\} \qquad \cdots（２１）$$

が得られる。

[0158] 上記式（２１）で示されるパルス幅ΔＴ（ｋ）は、インダクタンス電流の制御電流の定電流制御におけるパルス幅ΔＴ（ｋ）を示している。以下、式（２１）に基づいて、インダクタンス電流制御のパルス幅ΔＴ（ｋ）の導出（導出工程５）と、キャパシタンス電流制御のパルス幅ΔＴ（ｋ）の導出（導出工程６）を示す。

[0159] ・導出工程５：

次に、インダクタンス電流の定電流制御のパルス幅ΔＴ（ｋ）を導出する。

[0160] 式（２１）に示すパルス幅ΔＴ（ｋ）において、ｉＬ（ｋ＋１）として式(１２)で示したインダクタンス電流ｉＬを離散時間形式に変換した関数式を用

いることによって、インダクタンス電流の定電流制御によるパルス幅ΔＴ（ｋ）が得られる。ここでは式(１２)に示すβを、mode3のインダクタンス電流の定電流制御に合わせてβ=β3としている。

[数22]

$$\Delta T(k)=\frac{1}{V_{in}(k)}\frac{L}{3}\left[\begin{array}{l}A_V\{V_{REF}-v_O(k)\}+\beta_3 i_C(k)+i_R(k)-\left(1-\frac{3T^2}{2LC}\right)\{i_C(k)+i_R(k)\}\\+\frac{3}{L}Tv_O(k)-\frac{3T^2}{2LC}i_R(k)\end{array}\right]$$

$$=\frac{1}{V_{in}(k)}\frac{L}{3}\left[A_V V_{REF}-\left(1-\beta_3-\frac{3T^2}{2LC}\right)i_C(k)+\left(\frac{3}{L}T-A_V\right)v_O(k)\right] \quad \cdots(22)$$

[0161] なお、上記したパルス幅ΔＴ（ｋ）は、インダクタンス電流の定電流制御において、インダクタンス電流ｉＬ（ｋ）に代えてキャパシタンス電流ｉｃ（ｋ）及び出力電圧ｖｏ（ｋ）を用いて示している。インダクタンス電流ｉＬ（ｋ）に替えてキャパシタンス電流ｉｃ（ｋ）を用いて表すことによって、インダクタンス電流の定電流制御とキャパシタンス電流の定電流制御とを、共通のキャパシタンス電流ｉｃ（ｋ）をフィードバックすることで行うことができる。

[0162] ・導出工程６：

次に、キャパシタンス電流の定電流制御のパルス幅ΔＴ（ｋ）を導出する。

[0163] キャパシタンス電流の定電流制御では、指令電流をＩC-REFとして、ｉＬ（ｋ＋１）＝ＩC-REF＋ｉＲ（ｋ）を定義する。

[0164] 式（２１）のパルス幅ΔＴ（ｋ）において、ｉＬ（ｋ＋１）＝ＩC-REF＋ｉＲ（ｋ）を用いることによって、キャパシタンス電流の定電流制御のパルス幅ΔＴ（ｋ）は以下の式（２３）で表される。

[数23]

$$\left.\begin{aligned}\Delta T(k) &= \frac{1}{V_{in}(k)}\left\{\frac{L}{3}\left\{I_{C-REF}+i_R(k)\right\}-\left(\frac{L}{3}-\frac{T^2}{2C}\right)\left\{i_C(k)+i_R(k)\right\}+Tv_O(k)-\frac{T^2}{2C}i_R(k)\right\}\\ &= \frac{\frac{L}{3}I_{C-REF}-\left(\frac{L}{3}-\frac{T^2}{2C}\right)i_C(k)+Tv_O(k)}{V_{in}(k)}\end{aligned}\right\} \quad \cdots (23)$$

[0165] 上記したパルス幅ΔＴ（ｋ）によれば、負荷電流ｉＲ（ｋ）及びインダクタンス電流ｉＬ（ｋ）の要素が除かれているため、負荷電流ｉＲ（ｋ）及びインダクタンス電流ｉＬ（ｋ）をフィードバックすることなく、キャパシタンス電流ｉｃ（ｋ）及び出力電圧ｖｏ（ｋ）をフィードバックすることでパルス幅ΔＴ（ｋ）を求めることができる。

[0166] 次に、キャパシタンス電流の定電流制御においてmode1とmoed2のパルス幅ΔＴ（ｋ）、及びインダクタンス電流の定電流制御のmode3のパルス幅ΔＴ（ｋ）の導出（導出工程７～導出工程９）を説明する。

[0167] ・導出工程７：

mode1におけるキャパシタンス電流の定電流制御のパルス幅ΔＴ（ｋ）の導出を説明する。

[0168] mode1ではキャパシタンス電流の第１段目の定電流制御を実行する。第１段目の定電流制御における指令電流をＩC-REFとして、インダクタンス電流ｉＬ（ｋ＋１）としてｉＬ（ｋ＋１）＝ＩC-REF＋ｉＲ（ｋ）を定義する。式(２１)で示される制御電流の定電流制御におけるパルス幅ΔＴ（ｋ）を用いることによってmode1のパルス幅ΔＴ（ｋ）は以下の式（２４）が得られる。

[数24]

$$\left.\begin{aligned}\Delta T(k) &= \frac{1}{V_{in}(k)}\left\{\frac{L}{3}\left\{I_{C-REF}+i_R(k)\right\}-\left(\frac{L}{3}-\frac{T^2}{2C}\right)\left\{i_C(k)+i_R(k)\right\}+Tv_O(k)-\frac{T^2}{2C}i_R(k)\right\}\\ &= \frac{\frac{L}{3}I_{C-REF}-\left(\frac{L}{3}-\frac{T^2}{2C}\right)i_C(k)+Tv_O(k)}{V_{in}(k)}\end{aligned}\right\} \quad \cdots (24)$$

[0169] mode1の制御を定めるパルス幅ΔＴ（ｋ）の関数式は、負荷電流ｉＲ（ｋ）

及びインダクタンス電流ｉＬ（ｋ）の要素が除かれているため、負荷電流ｉＲ（ｋ）及びインダクタンス電流ｉＬ（ｋ）のフィードバックは不要となる。

[0170] mode1のキャパシタンス電流の定電流制御では、このmode1の期間内において出力電圧ｖｏ（ｋ）が直流指令電圧ＶREFを超えて行き過ぎない様にするために、出力電圧ｖｏ（ｋ）がＶc1に達した時点で第１段のmode1のキャパシタンス電流の定電流制御を終了して、第２段のmode2のキャパシタンス電流の定電流制御に切り替える。なお、Ｖc1はmode1からmode2への切り替え時の出力電圧である。２レベルデッドビート制御では、直流指令電圧としてＨｉｇｈの直流指令電圧ＶH、及びＬｏｗの直流指令電圧ＶLを定める。

[0171] ・導出工程８：

次に、mode2におけるキャパシタンス電流の定電流制御のパルス幅ΔＴ（ｋ）の導出を説明する。

[0172] mode2のパルス幅ΔＴ（ｋ）は、ｖｏ（ｋ）＝Ｖc1とｉＬ（ｋ＋１）＝β2・ＩC-REF＋ｉＲ（ｋ）を、パルス幅ΔＴ（ｋ）の一般式(２１)に代入することにより以下の式（２５）で得られる。

[数25]

$$\Delta T(k)=\frac{1}{V_{in}(k)}\left[\frac{L}{3}\{\beta_2 I_{C-REF}+i_R(k)\}-\left(\frac{L}{3}-\frac{T^2}{2C}\right)\{I_{C-REF}+i_R(k)\}+TV_{C1}-\frac{T^2}{2C}i_R(k)\right]$$
$$=\frac{\frac{L}{3}\beta_2 I_{C-REF}-\left(\frac{L}{3}-\frac{T^2}{2C}\right)I_{C-REF}+TV_{C1}}{V_{in}(k)} \quad \cdots(25)$$

[0173] 上記式（２５）はmode2の制御を定めるΔT(k)の関数式において負荷電流ｉＲ（ｋ）及びインダクタンス電流ｉＬ（ｋ）の要素が除かれて表される。

[0174] mode2の期間において、定電流制御を高速応答とするために、出力電圧ｖｏ（ｋ）からｖｏ（ｋ＋１）の１期間において、初期値であるＶc1から最終値Ｖc2に到達するようにβ2を選定することによって、mode2を１サンプリング時間で終了させることができる。

[0175] ・導出工程９：

次に、mode3におけるインダクタンス電流の定電流制御のパルス幅ΔＴ（ｋ

）の導出を説明する。

[0176] mode3のインダクタンス電流の定電流制御のパルス幅ΔＴ（ｋ）は、（導出工程５）で示したインダクタンス電流の定電流制御のパルス幅ΔＴ（ｋ）と同様であり、以下の式（２６）で表される。

[数26]

$$\Delta T(k)=\frac{1}{V_{in}(k)}\frac{L}{3}\left[\begin{array}{l}A_V\{V_{REF}-v_O(k)\}+\beta_3 i_C(k)+i_R(k)-\left(1-\frac{3T^2}{2LC}\right)\{i_C(k)+i_R(k)\}\\+\frac{3}{L}Tv_O(k)-\frac{3T^2}{2LC}i_R(k)\end{array}\right]$$
$$=\frac{1}{V_{in}(k)}\frac{L}{3}\left[A_V V_{REF}-\left(1-\beta_3-\frac{3T^2}{2LC}\right)i_C(k)+\left(\frac{3}{L}T-A_V\right)v_O(k)\right] \quad \cdots (26)$$

[0177] 一般的に交流信号を検出する交流変流器は高速応答が可能であるのに対して、直流信号を検出する汎用品の検出器は比較的に低速応答である。

[0178] 上記式で示すパルス幅ΔＴ（ｋ）は、キャパシタンス電流ｉｃ（ｋ）と出力電圧ｖｏ（ｋ）とを検出し、フィードバック信号としている。キャパシタンス電流ｉｃ（ｋ）は交流変流器によって高速応答が可能であるが、出力電圧ｖｏ（ｋ）を検出する検出器の応答は比較的に低速である。ステップ応答を高速化するには、フィードバック信号を高速で得ることが必要であり、そのためには検出器の検出は高速であることが望ましい。

[0179] そこで、低速応答の出力電圧ｖｏ（ｋ）の検出を省き、キャパシタンス電流の交流信号のみを高速で検出することによって応答の高速化を図る制御を示す。

[0180] 上記式（２６）で示すパルス幅ΔＴ（ｋ）において、Ａｖを以下の式（２７）の関係に定めることで出力電圧ｖｏ（ｋ）の影響を除く。

Ａｖ＝３Ｔ／Ｌ …（２７）

なお、Ｔはサンプリング周期であり、Ｌは図１０に示すＬＣ回路のインダクタンスである。

[0181] Ａｖを、サンプリング周期Ｔ、及びＬＣ回路のインダクタンスＬによって上記式（２７）の関係となるように設定することによって、パルス幅ΔＴ（

ｋ）は、出力電圧ｖｏ（ｋ）を含まない以下の式（２８）で表される。

[数27]

$$\Delta T(k) = \frac{V_{REF} - \left\{ \frac{(1-\beta_3)L}{3T} - \frac{T}{2C} \right\} i_C(k)}{V_{in}(k)} T \qquad \cdots (28)$$

[0182] 式（２８）で示されるパルス幅ΔＴ（ｋ）は、フィードバック信号としてキャパシタンス電流ｉｃ（ｋ）のみを含む。キャパシタンス電流ｉｃ（ｋ）を検出する交流変流器は高速応答が可能であるため、パルス幅ΔＴ（ｋ）を高速応答で得ることができる。

[0183] したがって、mode3のインダクタンス電流の定電流制御を定めるパルス幅ΔＴ（ｋ）の関数式から出力電圧ｖｏ（ｋ）、負荷電流ｉＲ（ｋ）およびインダクタンス電流ｉＬ（ｋ）の要素を除くことができる。なお、$\beta 3$はインダクタンス電流ｉＬ（ｔ）の定電流制御において、直流指令電圧ＶREFに追従した制御応答が得られるように選定される。

[0184] （切り替え電圧Ｖc1，Ｖc2の導出）

以下、mode1からmode2に切り替える際の切り替え電圧Ｖc1、及びmode2からmode3に切り替える際の切り替え電圧Ｖc2の導出を説明する。

[0185] ・切り替え電圧Ｖc1の導出

ここで、２レベルデッドビート制御では、直流指令電圧ＶREFとしてＨｉｇｈの直流指令電圧ＶH、及びＬｏｗの直流指令電圧ＶLを定める。

[0186] ステップ応答の目標電圧がＨｉｇｈレベル指令電圧ＶHの場合とＬｏｗレベル指令電圧ＶLの場合の各切り替え電圧Ｖc1の導出を説明する。

[0187] （Ｈｉｇｈレベルのパルス制御時のmode1におけるＶc1の導出）

Ｈｉｇｈレベルの目標電圧をＶH、定格出力電流をＩR-rat、定電流係数を$\alpha$H、出力電圧の初期値をｖｏ（０）とすると、指令電圧ＶREF＝ＶH、キャパシタンス電流の指令電流ＩC-REF＝$\alpha$H・ＩR-rat、出力電圧の初期値ｖｏ（０）＝ＶLとなる。

[0188] mode1のキャパシタンス電流の定電流制御は、コンデンサを定電流充電する

電流制御であるため、各時点での出力電圧ｖｏ（１）～ｖｏ（ｎ）は以下の式（２９）で表される。ここで、サンプリング回数を1,2,…k,…n,…としている。

[数28]

$$v_O(1)=\frac{T}{2C}I_{C-REF}+v_O(0)$$
$$v_O(2)=\frac{T}{C}I_{C-REF}+v_O(1)$$
$$v_O(k+1)=\frac{T}{C}I_{C-REF}+v_O(k)$$
$$v_O(n)=\frac{(n-0.5)T}{C}I_{C-REF}+v_O(0) \qquad \cdots（２９）$$

ただし、ｋ及びｎは正の整数である。

[0189] 切り替え電圧Ｖc1は、mode1のキャパシタンス電流の定電流制御の期間内において、出力電圧ｖｏ（ｋ）が指令電圧ＶREF（＝ＶH）を超えて行き過ぎることを防いでmode1を終了させるための電圧である。出力電圧ｖｏ（ｋ）が切り替え電圧Ｖc1に達した時点で第１段のmode1のキャパシタンス電流の定電流制御を終了し、次の第２段のmode2のキャパシタンス電流の定電流制御への切り替えを行う。

[0190] 出力電圧ｖｏ（ｎ）をＨｉｇｈレベルの指令電圧ＶHを越えてオーバーシュートさせないためには、図１１に示す等価回路において、コンデンサに蓄積されるエネルギーと、入出力エネルギーとの関係から、以下の式（３０）で表される関係式を満たす必要がある。

[数29]

$$\frac{1}{2}\times\frac{L}{3}I_{C-REF}^2 \leqq \frac{1}{2}C\left\{V_{II}^2-v_O^2(n)\right\}$$
$$v_O(n)\leqq\sqrt{V_H^2-\frac{L}{3C}I_{C-REF}^2} \qquad \cdots（３０）$$

[0191] この関係式（３０）を、式（２９）を用いて書き換えると、出力電圧ｖｏ（ｎ）をＨｉｇｈレベルの指令電圧ＶHを越えてオーバーシュートさせないサンプリング回数ｎに係わる式が得られる。

[数30]

$$\frac{(n-0.5)\,T}{C} I_{C-REF} + v_O(0) \leqq \sqrt{V_H^2 - \frac{L}{3C} I_{C-REF}^2}$$

$$n \leqq \frac{C}{T}\left\{\sqrt{\left(\frac{V_H}{I_{C-REF}}\right)^2 - \frac{L}{3C}} - \frac{v_O(0)}{I_{C-REF}}\right\} + 0.5$$

$$N = \mathrm{Int}\left[\frac{C}{T}\left\{\sqrt{\left(\frac{V_H}{\alpha_H I_{R-rat}}\right)^2 - \frac{L}{3C}} - \frac{V_L}{\alpha_H I_{R-rat}}\right\} + 0.5\right] \quad \cdots (31)$$

[0192] ここで、Ｎはｎの整数部分の値を表す。したがって、サンプリング回数がＮ回以下であれば、出力電圧ｖｏ（Ｎ）はＨｉｇｈレベルの指令電圧ＶＨを越えてオーバーシュートしない。

[0193] mode1からmode2に移行させるための移行電圧をＶtransとすれば、上記式（３１）の条件を満たすサンプリング回数Ｎにおいて、式（２９）で示される出力電圧ｖｏ（ｎ）は以下の関係を満足する。なお、ＶLは、Ｈｉｇｈ／Ｌｏｗ制御において出力電圧の初期電圧ｖｏ（０）である。

[数31]

$$\frac{(N-1.5)\,T}{C}\alpha_H I_{R-rat} + V_L < V_{trans} \leqq \frac{(N-0.5)\,T}{C}\alpha_H I_{R-rat} + V_L \quad \cdots (32)$$

[0194] ここで、上記の関係式（３２）の上下の値の平均値を用いて移行電圧Ｖtransを選択すると以下の式（３３）で表される。

[数32]

$$V_{trans} = \frac{(N-1)T}{C}\alpha_H I_{R-rat} + V_L \quad \cdots (33)$$

[0195] 出力電圧ｖｏが、式（３３）を満足する移行電圧Ｖtrans以上のＶc1となった時点でmode2に移行する。したがって、Ｈｉｇｈレベルのパルス制御時のmode1における切り替え電圧Ｖc1は以下の式（３４）で表される。

[数33]

$$V_{C1} = \frac{(N-0.5)\,T}{C}\alpha_H I_{R-rat} + V_L \quad \cdots (34)$$

[0196] （Ｌｏｗパルス制御時のmode1におけるＶc1の導出　）

次に、Ｌｏｗパルス制御時のmode1におけるVc1の導出について説明する。

[0197] Ｌｏｗレベルの目標電圧をＶL、定格出力電流をＩR-rat、定電流係数をαL、出力電圧の初期値をｖｏ（０）とすると、指令電圧ＶREF＝ＶL、キャパシタンス電流の指令電流ＩC-REF＝－αL・ＩR-rat、出力電圧の初期値ｖｏ（０）＝ＶHとなる。

[0198] Ｌｏｗレベルの出力電圧ｖoを目標電圧のＶLを超えてアンダーシュートさせないためには、図１０のQ1～Q3、及びＤ1～Ｄ3がすべてオフ状態での入力電圧Ｖinへの回生が終了するまでの時間、換言すると、キャパシタンス電流ｉcがＩC-REFからゼロ電流になるまで時間tusは、この時間tusの時間内において式（２９）のｖｏ（ｎ）から始まりＶREF＝ＶLで終了させる必要がある。無負荷状態でのエネルギーの関係式から、以下の式（３５）で表される関係を満たす必要がある。

[数34]

$$V_L = v_O(n) - \frac{I_{C-REF}}{2C} t_{US}$$

$$\frac{1}{2} \times \frac{L}{3} I_{C-REF}^2 \leqq V_{in} \frac{I_{C-REF}}{2} t_{US} + \frac{1}{2} C \left\{ v_O^2(n) - V_L^2 \right\} \fallingdotseq V_{in} \frac{I_{C-REF}}{2} t_{US} = C V_{in} \left\{ v_O(n) - V_L \right\}$$

$$v_O(n) \geqq \frac{L I_{C-REF}^2}{6 C V_{in}} + V_L$$

…（３５）

[0199] この関係式を、式（２９）の出力電圧ｖｏ（ｎ）を用いて書き換えると、出力電圧ｖｏ（ｎ）をＬｏｗレベルの指令電圧ＶLを越えてアンダーシュートさせないサンプリング回数ｎに係わる式（３６）が得られる

[数35]

$$n \leqq \frac{C}{T} \left\{ \frac{V_H - V_L}{\alpha_L I_{R-rat}} - \frac{L \alpha_L I_{R-rat}}{6 C V_{in}} \right\} + 0.5$$

$$N = \mathrm{Int} \left[ \frac{C}{T} \left\{ \frac{V_H - V_L}{\alpha_L I_{R-rat}} - \frac{L \alpha_L I_{R-rat}}{6 C V_{in}} \right\} + 0.5 \right] \quad \cdots（３６）$$

[0200] ここで、Ｎはｎの整数部分の値を表す。サンプリング回数がＮ回以下であれば、出力電圧ｖｏ（Ｎ）はＬｏｗレベルの指令電圧ＶＬを越えてアンダーシュートしない。

[0201] mode1からmode2に移行させるための移行電圧をＶtransとすれば、上記式（３６）の条件を満たすサンプリング回数Ｎにおいて、式（２９）で示される出力電圧ｖｏ（ｎ）は以下の関係を満足する。なお、ＶＬは、Ｈｉｇｈ／Ｌｏｗ制御において出力電圧の初期電圧ｖｏ（０）である。

[数36]

$$V_H-\frac{(N-0.5)T}{C}\alpha_L I_{R-rat}\leqq V_{trans}<V_H-\frac{(N-1.5)T}{C}\alpha_L I_{R-rat} \quad \cdots(37)$$

[0202] ここで、上記の関係式の上下の値の平均値を用いて移行電圧Ｖtransを選択すると以下の式（３８）で表される。

[数37]

$$V_{trans}=V_H-\frac{(N-1)T}{C}\alpha_L I_{R-rat} \quad \cdots(38)$$

[0203] 出力電圧ｖｏ（ｎ）が、式（３８）を満足する移行電圧Ｖtrans以下のＶc1となった時点でmode2に移行する。したがって、Ｌｏｗレベルのパルス制御時のmode1における切り替え電圧Ｖc1は以下の式（３９）で表される。

[数38]

$$V_{C1}=V_H-\frac{(N-0.5)T}{C}\alpha_L I_{R-rat} \quad \cdots(39)$$

[0204] ・切り替え電圧Ｖc2の導出

次に、切り替え電圧Vc2の導出について説明する。

[0205] mode2はキャパシタンス電流の第２段目の定電流制御を実行する。この第２段目のmode2の定電流制御は、mode1の定電流制御とmode3の定電流制御とを繋ぐモードである。

[0206] ステップ応答の全期間をインダクタンス電流の定電流制御によって実行すると、出力電圧ｖｏ（ｋ）は式(１３)に示す指数関数の動作となり、以下の式（４０）で表される。なお、ここでは、キャパシタンス電流ｉｃ（ｔ）中のβ

をmode３のインダクタンス電流による定電流制御のβ3を用いてβ＝β3としている。

[数39]

$$v_O(t) = V_{REF}\left\{1 - e^{-\frac{A_V}{(1-\beta_3)C}t}\right\}$$
$$i_C(t) = C\frac{d}{dt}v_O(t) = \frac{A_V}{1-\beta_3}V_{REF}e^{-\frac{A_V}{(1-\beta_3)C}t} \quad \cdots (40)$$

[0207] mode2の最終値の時点はmode3の初期時点と同一の時点であり、この時点をｔ＝ｔ2とすると、出力電圧ｖo及びキャパシタンス電流ｉcはそれぞれ以下の式（４１）で表される。

[数40]

$$\left.\begin{aligned} v_O(t_2) = V_{C2} &= V_{REF} - V_{REF}e^{-\frac{A_V}{(1-\beta_3)C}t_2} = V_{REF} - \frac{i_{C2}(1-\beta_3)}{A_V} \\ i_C(t_2) = i_{C2} &= \frac{A_V}{1-\beta_3}V_{REF}e^{-\frac{A_V}{(1-\beta_3)C}t_2} = \frac{A_V}{1-\beta_3}(V_{REF} - V_{C2}) \end{aligned}\right\} \cdots (41)$$

[0208] Ｖc2，及びｉc2はmode2の最終値であると共にmode3の初期値である。mode2の切り替え電圧Ｖc2は、式(４１)のｉc2を用いて以下の式（４２）で表される。

[数41]

$$V_{C2} = V_{C1} + \frac{I_{C-REF} + i_{C2}}{2C}T = V_{C1} + \frac{I_{C-REF}T}{2C} + \frac{A_V T}{2C(1-\beta_3)}(V_{REF} - V_{C2})$$
$$V_{C2} = \frac{T}{2C(1-\beta_3) + A_V T}\left\{A_V V_{REF} + (1-\beta_3)\left(\frac{2CV_{C1}}{T} + I_{C-REF}\right)\right\} \quad \cdots (42)$$

ここで、VREF＝ＶH又はVREF＝ＶLである。

[0209]（係数β2，β3の導出）

次に、係数β2，及びβ3の導出について説明する。

[0210]・係数β2の導出：

mode2はmode1からmode3へ乱調を極力生じさせることなく転送するための移行モード（Transfer mode）であり、mode2において、初期値はＶc1及びｉc1＝ＩC-REFであり、最終値はＶc2及びｉc2である。

[0211] そこで、mode2では、mode2の最終値が式(４１)の値に達するように制御すると共に、β＝β2に設定してキャパシタンス電流を定電流β2・ＩC-REFで制御する。β2は、mode2においてキャパシタンス電流の指令電流ＩC-REFを調整する係数である。

[0212] すなわち、（ｋ＋１）の時点で式(４１)式の値に達するためのキャパシタンス電流ｉｃ（ｋ＋１）は、以下の式（４３）で表される。

[数42]

$$i_C(k+1) = \beta_2 I_{C-REF} = i_{C2} \qquad \cdots (43)$$

[0213] 係数β2は、式(４１)を式（４３)に代入することで得られる。

[数43]

$$\beta_2 = \frac{A_V}{1-\beta_3} \frac{V_{REF} - V_{C2}}{I_{C-REF}} \qquad \cdots (44)$$

[0214] 係数β2を式（４４）によって設定することによって、キャパシタンス電流ｉｃをmode2の切り替え時のｉc2とすることができる。

[0215] ・係数β3の導出：

次に、mode3の制御におけるβ3の導出について説明する。β3はキャパシタンス電流ｉｃの係数であり、インダクタンス電流ｉＬ（ｔ）の定電流制御において、直流指令電圧ＶREFに追従した制御応答が得られるように選定される。

[0216] 係数β3は、式(１２)で表されるインダクタンス電流ｉLの定電流制御において、指令電圧ＶREFに追従する制御応答が得られるように選定される。この係数β3の選定はmode3の自動制御系における安定判別によって行われる。以下、係数β3の選定について説明する。

[0217] （定電圧制御の閉ループ一次系伝達関数）

はじめに、定電圧制御の閉ループ一次系伝達関数について示す。

[0218] 式(１２)で表されるインダクタンス電流ｉＬ（ｔ）において、β＝β3としてｓ関数で表現すると以下の式（４５）で表される。

[数44]

$$i_C(s)=\frac{A_V\{V_{REF}-v_O(s)\}}{1-\beta_3} \qquad \cdots（４５）$$

[0219] 図１３は、上記した式（４５）で表される閉ループ伝達関数の回路ブロックを示し、定電圧制御の一次系伝達関数による回路状態を示している。図１３に示す閉ループ伝達関数の回路ブロックにおいて、制御応答周波数ωcは一巡伝達関数のゲインが”１”に達する点である。図１３の一巡伝達関数のゲインが１になるωcは式(２７)のＡｖを代入して以下の式（４６）で得られる。

[数45]

$$\left.\begin{aligned}\omega_c&=\frac{A_V}{(1-\beta_3)C}=\frac{3T}{(1-\beta_3)LC}=\frac{\omega_n^2T}{1-\beta_3}\\ \omega_n&=\sqrt{\frac{3}{LC}}\end{aligned}\right\} \quad \cdots（４６）$$

[0220] 上記式（４６）は、制御応答周波数ωcがβ3で選定されることを示しているが、ゲインが”１”となる制御応答周波数ωcは、β3の他、パラメータωn及びＴの影響を受けるため、β3の選定には制限が生じる。そこで、β3の値を選定範囲によって定める。

[0221] （閉ループ二次系伝達関数とβ3の選定範囲）

次に 閉ループ二次系伝達関数とβ3の選定範囲について示す。

[0222] mode3のパルス幅ΔＴ（ｋ）に関する式(２８)を変形して、連続関数で表現すると以下の式（４７）が得られる。

[数46]

$$V_{in}(t)\frac{\Delta T(t)}{T}=V_{REF}-\left\{\frac{(1-\beta_3)L}{3T}-\frac{T}{2C}\right\}i_C(t)=V_{REF}-\left\{\frac{(1-\beta_3)}{A_V}-\frac{T}{2C}\right\}i_C(t) \quad \cdots（４７）$$

[0223] 上記式（４７）の左辺のＶin（ｔ）ΔＴ（ｔ）／Ｔは出力電圧ｖｏ（ｔ）の平均値を示している。すなわち、図１０の回路において、Ｄ1～Ｄ3の両端電圧の平均値電圧に相当する。

[0224] よってｖｏ（ｔ）をｓ関数で表現したｖｏ（ｓ）は、図１９の回路構成を用いて、U=Ｖin（ｓ）ΔＴ（ｓ）／Ｔとすれば、

[数47]

$$v_O(s)=\frac{\omega_n^2}{s^2+2\varsigma\omega_n s+\omega_n^2}\frac{\Delta T(s)}{T}V_{in}(s)=\frac{\omega_n^2}{s^2+2\varsigma\omega_n s+\omega_n^2}\left[V_{REF}(s)-\left\{\frac{(1-\beta_3)}{A_V}-\frac{T}{2C}\right\}i_C(s)\right]$$

$$\text{但し、}\omega_n=\sqrt{\frac{3}{LC}}\ \text{、}\varsigma=\frac{1}{2R}\sqrt{\frac{L}{3C}} \qquad \cdots(48)$$

となる。

[0225] したがって、二次系伝達関数ｖｏ（ｓ）／ＶREF（ｓ）は図１３及び図１４で表現される。図１４は、定電圧制御の二次系伝達関数の回路状態を示している。図１４のｖｏ（ｓ）の一巡伝達関数は、以下の式（４９）で表される。

[数48]

$$\frac{A_V}{1-\beta_3}\left|e^{-Ts}\right|\left(\frac{1-\beta_3}{A_V}-\frac{T}{2C}\right)\left|\frac{\omega_n^2}{s^2+2\varsigma\omega_n s+\omega_n^2}\right|=\left\{1-\frac{A_V T}{2(1-\beta_3)C}\right\}\left|\frac{\omega_n^2}{s^2+2\varsigma\omega_n s+\omega_n^2}\right|\left|e^{-Ts}\right| \qquad \cdots(49)$$

[0226] この伝達関数は正帰還となっているため、発振させないためには制御応答におけるゲインは”１”以下に選定しなければならない。このゲインの制限から以下の条件式（５０）が得られる。

[数49]

$$\left\{1-\frac{A_V T}{2(1-\beta_3)C}\right\}\left|\frac{\omega_n^2}{(j\omega_C)^2+2\varsigma\omega_n j\omega_C+\omega_n^2}\right|<1 \qquad \cdots(50)$$

[0227] この条件式（５０）において、ファイナルシグマで表される係数を０として、安定条件が最悪となる場合を検討する。この条件式に式(４６)式を代入すると以下の式（５１）が得られる。

[数50]

$$\left(1-\frac{\omega_c T}{2}\right)\left|\frac{\omega_n^2}{-(\omega_C^2-\omega_n^2)}\right|=\left(1-\frac{\omega_c T}{2}\right)\frac{\omega_n^2}{\omega_C^2-\omega_n^2}<1$$

$$\omega_C>\omega_n\left\{\sqrt{2+\left(\frac{\omega_n T}{4}\right)^2}-\frac{\omega_n T}{4}\right\} \qquad \cdots(51)$$

[0228] 安定判別において制御応答周波数ωcは上記の条件式で制限される他、更に、スイッチング時間Tのむだ時間における影響について考慮する。

[0229] むだ時間はexp（－ｊωｃＴ）＝cos（ωｃＴ）－ｊcos（ωｃＴ）で表される。よって、図１３に示すｖo(s)の一巡伝達関数の位相余裕を０［deg］、すなわちωｃＴ＝π／２まで許容するωcの範囲はωc＜π／（２Ｔ）である。

[0230] 式(４６)式を用いることによって、（１－β3）の範囲は以下の式（５２）で表される。

[数51]

$$1-\beta_3 > \frac{2\omega_n^2 T^2}{\pi} \qquad \cdots（52）$$

[0231] 式(５１)を含めた（１－β3）の範囲は以下の式（５３）で表され、これによって係数β3を選定することができる。

[数52]

$$\frac{2\omega_n^2 T^2}{\pi} < 1-\beta_3 < \frac{\omega_n T}{\sqrt{2+\left(\frac{\omega_n T}{4}\right)^2}-\frac{\omega_n T}{4}} \qquad \cdots（53）$$

[0232] インダクタンス電流ｉＬ（ｔ）の定電流制御において、係数β3を上記範囲から選定することによって、ゲインを”１”以下に抑制し、制御応答を直流指令電圧ＶREFに安定して追従させることができる。

[0233] （出力電圧ｖｏ（ｔ）の検出）

次に、出力電圧ｖｏ（ｔ）の高速検出について説明する。

[0234] 高いスイッチング周波数で制御するためには、出力電圧ｖｏ（ｔ）とキャパシタンス電流ｉｃ（ｔ）を高速で検出する必要がある。Ｈｉｇｈ／Ｌｏｗの２レベルを含むパルス制御において、特に、キャパシタンス電流の定電流制御を行うmode1及びmode2の定電流制御において、出力電圧ｖｏ（ｔ）とキャパシタンス電流ｉｃ（ｔ）を検出する検出器は高速で測定されることが要求される。

[0235] 出力電圧ｖｏ（ｔ）を高速検出するために、汎用品センサの比較的遅い応答特性の検出手段で検出した検出信号Ｖo-slowを初期値ｖｏ（０）として用い、初期値ｖｏ（０）とキャパシタンス電流ｉｃ（ｔ）を高速離散時間処理して出

力電圧ｖｏ（ｔ）を得る。出力電圧ｖｏ（ｔ）の取得において、比較的遅い応答特性の検出手段で検出した検出信号Ｖo-slowを初期値ｖｏ（０）としているが、この検出は初期値ｖｏ（０）のみであり、各時点の出力電圧ｖｏ（ｔ）の算出は応答速度が遅い検出手段を用いることなく行うことができるため、高速検出が可能である。

[0236] mode3は、各時点ｔでの出力電圧ｖｏ（ｔ）をフィードバック信号として使用すること無く得ることができるため、ｖo-slowによる外乱の影響を受けず、mode3の整定区間ではｖo-slowを整定している。各サンプリング周期で行うmode1～mode3の定電流制御において、前サンプリング周期でのmode3の最終値のｖo-slowは、次のサンプリング周期のmode1とmode2で使用するｖｏ（ｔ）を得るための初期値ｖｏ（０）として使用する。

[0237] 図１に示す３相インターリーブ方式の降圧チョッパ回路の回路例において、サンプリング時間ＴをＴ＝１／Ｆsとする。ここで、Ｆsはスイッチング周波数である。

[0238] 出力電圧ｖｏ（ｔ）を高速検出するために、Ｔh＜０．１・（Ｔ／３）を満足するサンプリング時間Ｔより充分に短いサンプリング時間Ｔhを設定する。

[0239] このサンプリング時間Ｔhにおいて、高速検出が容易な交流変流器によってキャパシタンス電流ｉｃ（ｔ）を検出し、以下の離散時間処理を行う。ここで、Ｔh＝ｔｍ－ｔm-1としている。

[数53]

$$V_{O\text{-}det}(k_m) = \frac{1}{C}\int_{t_{m-1}}^{t_m} i_C(t)\,dt + V_{O\text{-}det}(k_m - 1)$$

$$V_{O\text{-}det}(k_m) = \frac{i_C(k_m - 1)}{C} T_h + V_{O\text{-}det}(k_m - 1) \quad \cdots (54)$$

[0240] Ｈｉｇｈ／Ｌｏｗの２レベルパルス動作を広帯域（１Ｈz～５０Ｈz）で行う２レベルパルス制御において、Ｌｏｗ（Ｈｉｇｈ）レベルを整定した後、次の出力電圧を次のＨｉｇｈ／Ｌｏｗの２レベルパルス動作のＨｉｇｈ（Ｌｏｗ）の初期値電圧として用いる。

[0241] ＬＯＷレベルパルス動作の整定後、出力電圧がＶＬからＨｉｇｈレベルパル

ス動作を開始し、整定後に出力電圧がＶHに達する場合は、以下の式（５５）となる。

[数54]

$$\left.\begin{aligned} v_O(1) &= \frac{i_C(0)}{C}T_h + v_O(0) \\ v_O(2) &= \frac{i_C(1)}{C}T_h + v_O(1) \\ v_O(3) &= \frac{i_C(2)}{C}T_h + v_O(2) \\ v_O(k_m) &= \frac{i_C(k_m-1)}{C}T_h + v_O(k_m-1) \end{aligned}\right\} \cdots (55)$$

[0242] 上記式（５５）においてＶLに相当する初期値ｖｏ（0）は、応答が比較的遅い汎用品センサの検出手段で検出した検出信号ｖo-slowを用いることが可能になる。

[0243] 出力電圧ｖｏ（km）が整定電圧ＶH-setに到達した後もmode3の制御を継続する。ＶH-setに達する時間をＴsetとすると、mode1及びmode2におけるサンプリング回数ｋｍとＴsetとの間には以下の関係がある。

ｋｍ・Ｔh＞Ｔset

ｋｍ＞Ｔset／Ｔh

[0244] 実用例では、Ｔset＝８μs、Ｔh＝１／６０ＭHzの場合には、ｋｍ＞８μs×６０ＭHz＝４８０となる。この例では、分解能は４８０以上が得られ、検出スピードはＴh＝１／６０ＭHz＝０．０１６７μsである。

[0245] 同様にして、Ｈｉｇｈレベルパルス動作の整定後の電圧ＶHからＬｏｗレベルパルス動作を開始し、整定後に電圧ＶLに達する場合は、ＶHに相当するｖｏ（０）は応答が比較的遅い汎用品センサで検出して得られる検出信号ｖo-slowを用いることが可能になる。ｖｏ（ｋｍ）が整定電圧ＶL-setに到達した後もmode3の制御を継続する。

[0246] 本発明の電源装置は、メインループを電源装置の指令信号に従う制御とし、マイナーループを多相インターリーブ方式の双方向降圧チョッパ回路のＨｉｇｈ／Ｌｏｗの直流指令電圧に従う２レベルデッドビート制御とする二重

制御系に適用することができ、直流電源装置、ＵＰＳ等の交流電源装置、ＲＦジェネレータ等に適用することができる。

[0247] 以下、図１５を用いて本発明の電源装置をＲＦジェネレータに適用した例を説明し、図１６のフローチャートを用いて、本発明の電源装置をＲＦジェネレータに適用した場合の動作例を説明し、Ｈｉｇｈ／Ｌｏｗの制御例を図１７のフローチャートを用いて説明する。また、図１８を用いて本発明の電源装置を直流電源装置、交流電源装置に適用した例を説明する。

[0248] （ＲＦジェネレータの適用例）

図１５は、ＲＦジェネレータの適用例の制御系を説明するための制御ブロック図である。制御系は、メインループ制御系を構成するＰＩ制御と、マイナーループ制御系を構成するデビット制御とを備える。マイナーループ制御系を構成するデビット制御に、本発明の電源装置の、多相インターリーブ方式の双方向降圧チョッパ回路のＨｉｇｈ／Ｌｏｗの直流指令電圧に従う２レベルデッドビート制御系を適用する。

[0249] ＨｉｇｈレベルとＬｏｗレベルの２レベル制御を行う場合には、メインループにおいて、Ｈｉｇｈレベルの指令信号として、Ｈｉｇｈレベル進行波電力指令PH-Forward、あるいはＨｉｇｈレベルロード電力指令PH-Loadを用い、Ｌｏｗレベルの指令信号として、Ｌｏｗレベル進行波電力指令PL-Forward、あるいはＬｏｗレベルロード電力指令PL-Loadを用い、負荷側から取得したＨｉｇｈレベル進行波電力あるいはＬｏｗレベル進行波電力、又は、Ｈｉｇｈレベルロード電力あるいはＬｏｗレベルロード電力をフィードバックしてＰＩ制御を行う。なお、定格値として定格直流電圧Vo-rat，定格直流電流Io-rat，及び定格進行波電力Ph-ratを入力する。

[0250] 一方、マイナーループでは、ＰＩ制御で得られたＨｉｇｈレベル指令電圧VH及びＬｏｗレベル指令電圧VLを指令値とし、出力電圧ｖoあるいはキャパシタンス電流ｉcをフィードバックしてデッドビート制御を行う。

[0251] 図１６のフローチャートは、ＲＦジェネレータによってプラズマ負荷においてプラズマを着火させる起動モードを示している。図１６，１７のフロー

チャートでは各工程をＳ１～Ｓ１０，Ｓ１１，Ｓ１２の符号を付して示している。

[0252] ＲＦジェネレータの定格値、及びＲＦジェネレータを駆動する指令値を設定する。定格値として、定格直流電圧Ｖo-rat，定格直流電流Ｉo-rat，及び定格進行波電力ＰH-ratを入力して定格値を設定する。また、Ｈｉｇｈレベルの電力指令ＰHとして、Ｈｉｇｈレベル進行波電力指令ＰH-Forward、あるいはＨｉｇｈレベルロード電力指令ＰH-Loadを入力し、Ｌｏｗレベルの電力指令ＰLとして、Ｌｏｗレベル進行波電力指令ＰL-Forward、あるいはＬｏｗレベルロード電力指令ＰL-Loadを設定する（S1）。

[0253] はじめに、連続モードでＨｉｇｈレベル電力指令ＰHまで、例えば20msで上昇動作（Ramp Up（ＰH-rat/２０ms））を行う(S2)。

[0254] 連続モードによる電圧上昇によってプラズマが着火しない場合（S3）は、プリパルス制御によって着火動作を行う。なお、プリパルス制御は、プラズマ着火を誘起させるメインパルスの前段階として、メインパルスよりもパルス幅が狭い複数のプリパルスを印加して、プラズマ着火の雰囲気を形成する制御であり、このプリパルス制御については特許文献４に開示されている。

[0255] プリパルス制御では、例えば５ｋＨｚのデューティー制御により平均反射電力ＰREF-aveを所定値に維持した状態で供給電力をＰHまで上昇させる。平均反射電力ＰREF-aveの所定値は、例えば、Ｈｉｇｈレベル定格電力ＰH-ratに所定の係数を掛けることで定める。所定係数は、例えばＯ．１を設定することができる。このプリパルスモードの平均反射電力ＰREF-aveはデューティー比１０％でオン／オフ制御するパルスを用いることができる。

[0256] プリパルスモードのパターン運転を繰り返し、繰り返し動作の回数が規定回数に達した場合には、着火（イグニッション）失敗を表示して停止する（S4）。

[0257] プラズマが着火した場合(S3)は、Ｈｉｇｈレベルで設定されたＨｉｇｈレベル電力指令ＰHからスタートし、Ｈｉｇｈレベル電力指令ＰHで整定した後のＨｉｇｈレベルの電圧値ＶHを確保する(S5)。

[0258] その後、下降動作（Ramp Down（$P_{H-rat}$ /20ms））によってＨｉｇｈレベル電力指令ＰH からＬｏｗレベル電力指令ＰLへ下降させ（S6）、Ｌｏｗレベル電力指令ＰL に整定した後のＬｏｗレベルの電圧値ＶLを確保する（S7）。これによって、ＶREF（High）＝ＶHとして、Ｈｉｇｈレベルの指令電圧ＶREF（High）を整定後のＨｉｇｈレベルの指令電圧ＶHで設定することができ、ＶREF（Low）＝ＶLとして、Ｌｏｗレベルの指令電圧ＶREF（Low）を整定後のＬｏｗレベルの指令電圧ＶLで設定することができる。

[0259] その後、アークが発生した場合にはアーク遮断制御によって電力供給を停止した後、S2～S7の着火動作を行い（S8）、アーク遮断制御を行わない場合には、Ｈｉｇｈ／Ｌｏｗの２レベル制御（S10）を行う。

[0260] （Ｈｉｇｈ／Ｌｏｗレベル制御）

次に、図１７のフローチャートを用いて、Ｈｉｇｈ／Ｌｏｗレベル制御例を説明する。図１７のフローチャートにおいて、Ｈｉｇｈ／Ｌｏｗレベル制御は、出力電力を、進行波電力のＰH（Forward）／ＰL（Forward）、の電力指令、又はロード電力のＰH（Load）／ＰL（Load）の電力指令に追従させるメインループ(S11)によるＰＩ制御と、出力電圧をＨｉｇｈ／Ｌｏｗの２レベルの指令電圧に追従させるマイナーループ（S12）にるデッドビート制御とを含む。

[0261] S11のメインループによるＰH及びＰLのＰＩ制御では、マイナーループのデッドビート制御で行うサンプリング周期Ｔよりも遅いサンプリング周期Ｔcで処理を行う(S11A)。例えば、サンプリング周期Ｔcは５０μｓとし、Ｈ／Ｌパルス周期は１Ｈｚ～５０ｋＨｚとすることができる。

[0262] S11AのＰＩ制御の制御工程中に行うマイナーループ制御（Ｓ１２）において、例えば３相インターリーブによる場合には、式（５５）中に示される以下の式（５６）

ｖo(km)＝（ｉc(km-1)/Ｃ）・Ｔh＋ｖo（km-1）　…（５６）

によって、サンプリング周期Ｔhを用いた出力電圧ｖo（ｋｍ）を演算する。３相インターリーブの各相について、サンプリング周期Ｔの１／３であるＴ

／３毎に得られるｖｏ（ｋｍ）を出力電圧ｖｏ（ｋ）として検出する。

[0263] ｋｍは分解能であり、例えば、Ｔset＝８μｓ、Ｔｈ＝１／６０ＭＨｚの場合には、ｋｍ＞Ｔset／Ｔｈ＝８８μｓ×６０ＭＨｚ＝４８０となる。この例では、分解能は４８０以上が得られる（S12A）。

[0264] Ｈｉｇｈレベルの指令電圧ＶH、及びＬｏｗレベルの指令電圧ＶLを取得し（S12B）、整定後のｋ時点のｖｏ（ｋｍ）をそれぞれＨｉｇｈレベル、及びＬｏｗレベルの出力電圧ｖｏ（ｋ）として取得する（S12C）。

[0265] Ｈｉｇｈレベルのパルス幅ΔＴ（ｋ）を求め（S12D）、得られたパルス幅ΔＴ（ｋ）を用いて出力電圧ｖｏをＨｉｇｈレベルの指令電圧ＶHに追従させる制御を行い、次に、Ｌｏｗレベルのパルス幅ΔＴ（ｋ）を求め（S12E）、得られたパルス幅ΔＴ（ｋ）を用いて出力電圧ｖｏをＬｏｗレベルの指令電圧ＶLに追従させる制御を行う。

[0266] Ｈｉｇｈレベル電力指令ＰHへ追従させる制御からスタートし、次にＬｏｗレベルの電力指令ＰLへ追従させる制御を行い、このＨｉｇｈレベルＰH制御とＬｏｗレベルＰL制御とを繰り返してＨｉｇｈ／Ｌｏｗパルス電力制御の運転を続行する。

[0267] 各Ｈｉｇｈ／Ｌｏｗパルス電力制御が終了する毎に、Ｈｉｇｈレベルの終了電力ＰH-end及びＬｏｗレベルの終了電力ＰL-endと、Ｈｉｇｈレベルの終了電圧ＶH-end及びＬｏｗレベルの終了電圧ＶL-endのデータをピークホールドする。

[0268] このＨｉｇｈレベルの終了電圧ＶH-end及びＬｏｗレベルの終了電圧ＶL-end は、Ｈｉｇｈ／Ｌｏｗレベルに対応する式（１２）の指令電圧ＶREFを指令電圧ＶH及びＶLとして保持する。また、Ｈｉｇｈレベルの終了電力ＰH-end及びＬｏｗレベルの終了電力ＰL-endはＨｉｇｈ／Ｌｏｗパルスのフィードバック信号として使用する。

[0269] （直流電源装置、交流電源装置の適用例）

次に、図１８を用いて本発明の電源装置を直流電源装置、交流電源装置に適用した例を説明する。

[0270] 図１８は、本発明の電源装置を直流電源装置、交流電源装置への適用例の制御系を説明するための制御ブロック図である。制御系は、メインループ制御系を構成するＰＩ制御と、マイナーループ制御系を構成するデビット制御とを備える。マイナーループ制御系を構成するデビット制御に、本発明の電源装置の、多相インターリーブ方式の双方向降圧チョッパ回路のＨｉｇｈ／Ｌｏｗの直流指令電圧に従う２レベルデッドビート制御系を適用する。

[0271] ＨｉｇｈレベルとＬｏｗレベルの２レベル制御を行う場合には、メインループにおいて、指令信号として、Ｈｉｇｈレベル電力指令ＰH又は電圧指令ＶrefH、Ｌｏｗレベル電力指令ＰL又は電圧指令ＶrefLを用い、負荷側から取得した電力又は電圧をフィードバックしてＰＩ制御を行う。なお、定格値として定格直流電圧Ｖo-rat，定格直流電流Ｉo-rat，及び定格進行波電力ＰH-ratを入力する。

[0272] 一方、マイナーループでは、ＰＩ制御で得られたＨｉｇｈレベル指令電圧ＶH及びＬｏｗレベル指令電圧ＶLを指令値とし、出力電圧ｖoあるいはキャパシタンス電流ｉcをフィードバックしてデッドビート制御を行う。

[0273] なお、上記実施の形態及び変形例における記述は、本発明に係る電源装置の一例であり、本発明は各実施の形態に限定されるものではなく、本発明の趣旨に基づいて種々変形することが可能であり、これらを本発明の範囲から排除するものではない。

## 産業上の利用可能性

[0274] 本発明の電源装置は、半導体や液晶パネル等の製造装置、真空蒸着装置、加熱・溶融装置等の高周波を使用する装置に対する高周波電力の供給に適用することができる。

## 符号の説明

[0275] １ 電源装置

２ チョッパ回路

３ スイッチング回路

４ ＬＣ回路

５　　スイッチング信号生成部

６　　制御部

７　　負荷

Ａｖ、β　　係数

Ｃ　　キャパシタンス

Ｄ１-Ｄ３　　ダイオード

Ｆ　　変換行列

Ｇ　　変換行列

ＩC-REF　　キャパシタンス電流の指令電流

ＩR-rat　　定格出力電流

Ｉo-rat,　　定格直流電流

ｉc　　キャパシタンス電流

ｉL　　インダクタンス電流

ｉL1-ｉLn　　インダクタンス電流

ｉR　　負荷電流

Ｌ　　インダクタンス

Ｎ　　サンプリング回数

ＰH　　Ｈｉｇｈレベル電力指令

ＰH-Forward　　Ｈｉｇｈレベル進行波電力指令

ＰH-Load　　Ｈｉｇｈレベルロード電力指令

ＰH-end　　Ｈｉｇｈレベル終了電力

ＰH-rat　　Ｈｉｇｈレベル定格電力

ＰL　　Ｌｏｗレベル電力指令

ＰL-Forward　　ローレベル進行波電力指令

ＰL-Load　　ローレベルロード電力指令

ＰL-end　　Ｌｏｗレベル終了電力

ＰREF-ave　　平均反射電力

Ｑ１-Ｑ３　　スイッチング素子

R　負荷抵抗

T　サンプリング周期

Th　サンプリング時間

Tc　サンプリング周期

V　入力電圧

Vc1　切り替え電圧

Vc2　切り替え電圧

VH　Ｈｉｇｈレベル指令電圧

VH-end　Ｈｉｇｈレベル終了電圧

VH-set　Ｈｉｇｈレベル整定電圧

VL　Ｌｏｗレベル指令電圧

VL-end　Ｌｏｗレベル終了電圧

VREF　指令電圧

Vin　入力電圧

Vl　整定電圧

vo　出力電圧

Vo-rat　定格直流電圧

Vo-slow　検出信号

Vtrans　移行電圧

km　サンプリング回数

vo　出力電圧

ΔＴ（ｋ）　パルス幅

# 請求の範囲

[請求項1] 複数の相電流によって多相制御を行う多相インターリーブ制御の電源装置であって、

多相インターリーブの多相制御によって動作する降圧チョッパ回路を構成するＬＣチョッパ回路と、

前記ＬＣチョッパ回路の多相制御によってステップ応答を制御する制御部を備え、

前記制御部は、

前記ＬＣチョッパ回路の各相電流の合成電流を制御電流とする定電流制御による前記ＬＣ回路の各相のスイッチング制御に基づいて出力電圧を指令電圧に追従させる、多相制御によるステップ応答制御を離散時間処理で行い、

前記出力電圧は、所定時点における出力電圧の初期値と、前記離散時間処理の各時点でのキャパシタンス電流の検出値とを用いた離散時間処理の演算結果であることを特徴とする電源装置。

[請求項2] ＬＣチョッパ回路を含む電源装置の制御方法であって、

複数の相電流によって多相制御を行う多相インターリーブ制御の電源装置の制御方法であって、

前記ＬＣチョッパ回路の各相電流の合成電流を制御電流とする定電流制御により前記ＬＣ回路の各相のスイッチングを離散時間処理により制御し、出力電圧を指令電圧に追従させる、多相制御によるステップ応答制御において、

前記ステップ応答制御の最初の離散時間処理は、所定時点における出力電圧の初期値と、当該演算周期の離散時間処理の時点で検出するキャパシタンス電流の検出値との離散時間処理の演算で出力電圧を取得し、

その後のステップ応答制御の離散時間処理の各演算周期において、前回の演算周期の演算結果と、当該演算周期の時点で検出するキャパ

シタンス電流の検出値との離散時間処理の演算の繰り返しによって、各演算周期の前記出力電圧を取得することを特徴とする電源装置の制御方法。

[請求項3] 前記所定時点は、前記ステップ応答制御の制御を開始する開始時点であり、

前記初期値は、前記開始時点で検出される出力電圧であることを特徴とする請求項２に記載の電源装置の制御方法。

[請求項4] 前記ステップ応答制御は、Ｈｉｇｈレベルの指令電圧及びＬｏｗレベルの指令電圧を交互に指令する２レベルのパルス電力制御であり、

前記所定時点は、前記ステップ応答制御の最初の開始時点、及び各レベルのパルス電力制御の終了時点であり、

前記ステップ応答制御の最初の開始時点で検出される出力電圧は、最初のパルス電力制御における出力電圧を取得するための初期値であり、

前記各レベルのパルス電力制御の終了時点で検出される出力電圧は、当該レベルのパルス電力制御に続くレベルのパルス電力制御における出力電圧を取得する初期値である

ことを特徴とする、請求項２に記載の電源装置の制御方法。

[図1]

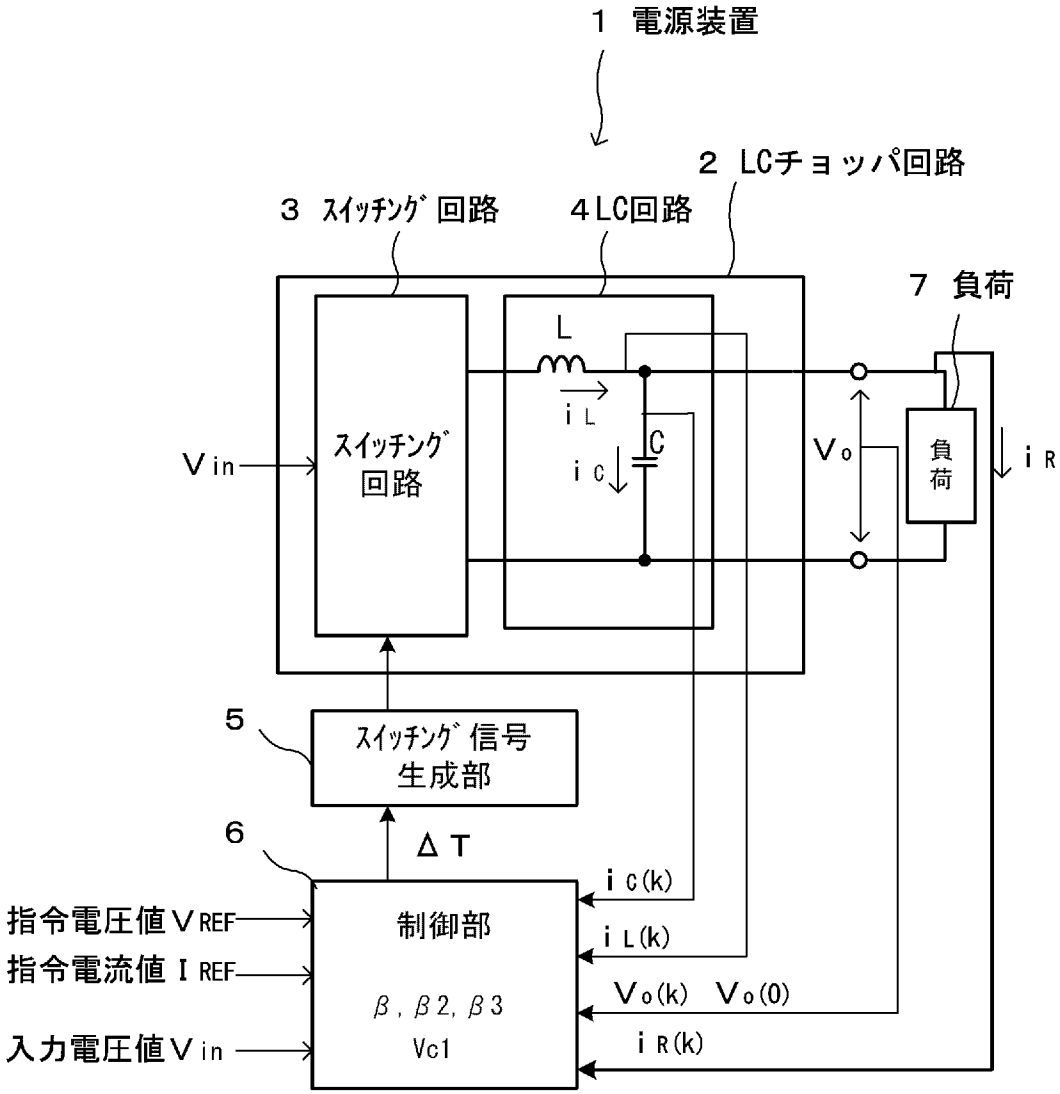
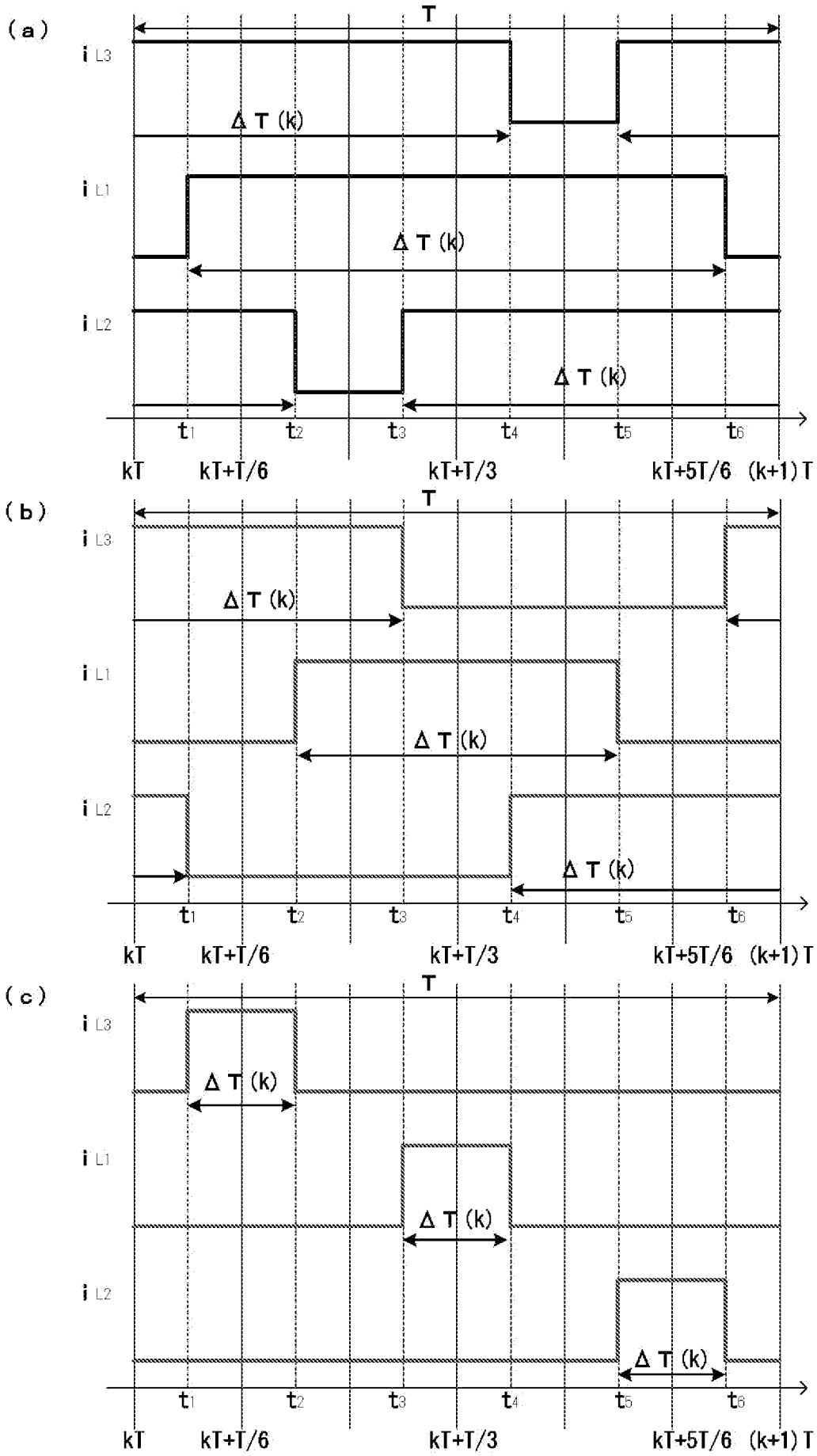

1 電源装置
2 LCチョッパ回路
3 スイッチング回路
4LC回路
7 負荷
L
iL
C
iC
Vin
スイッチング回路
Vo
負荷
iR
5
スイッチング信号生成部
6
ΔT
iC(k)
iL(k)
Vo(k) Vo(0)
iR(k)
指令電圧値VREF
指令電流値IREF
入力電圧値Vin
制御部
β, β2, β3
Vc1

図1

[図2]

図2

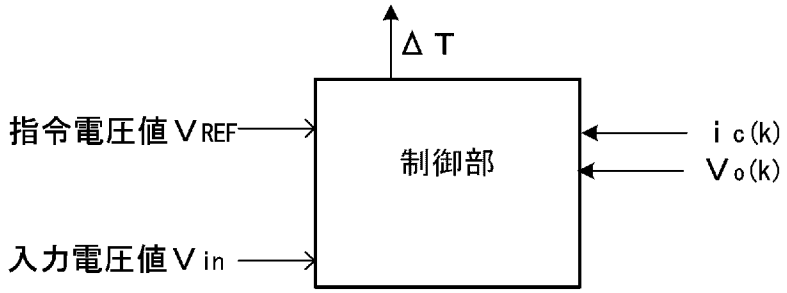

(a)
T
i L3
ΔT(k)
i L1
ΔT(k)
i L2
ΔT(k)
t1
t2
t3
t4
t5
t6
kT
kT+T/6
kT+T/3
kT+5T/6
(k+1)T
(b)
T
i L3
ΔT(k)
i L1
ΔT(k)
i L2
ΔT(k)
t1
t2
t3
t4
t5
t6
kT
kT+T/6
kT+T/3
kT+5T/6
(k+1)T
(c)
T
i L3
ΔT(k)
i L1
ΔT(k)
i L2
ΔT(k)
t1
t2
t3
t4
t5
t6
kT
kT+T/6
kT+T/3
kT+5T/6
(k+1)T

[図3]

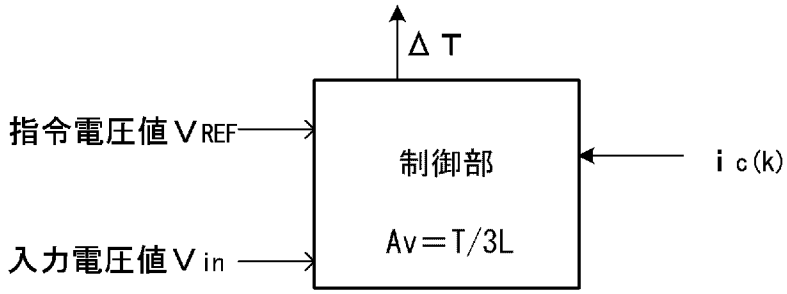
図3

インダクタンス電流制御

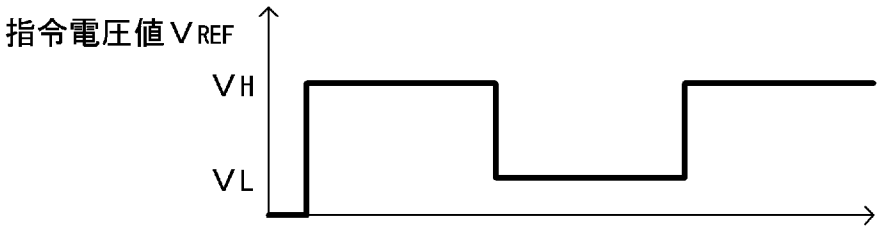
（ａ）



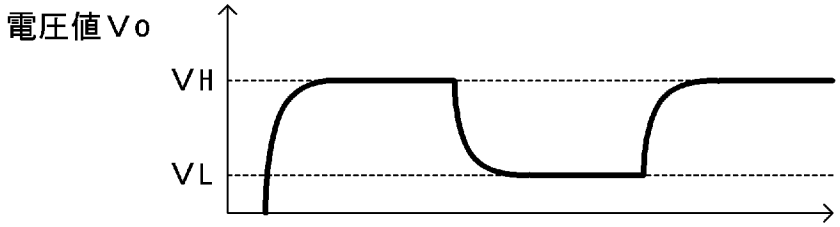

（ｂ）




（ｃ）

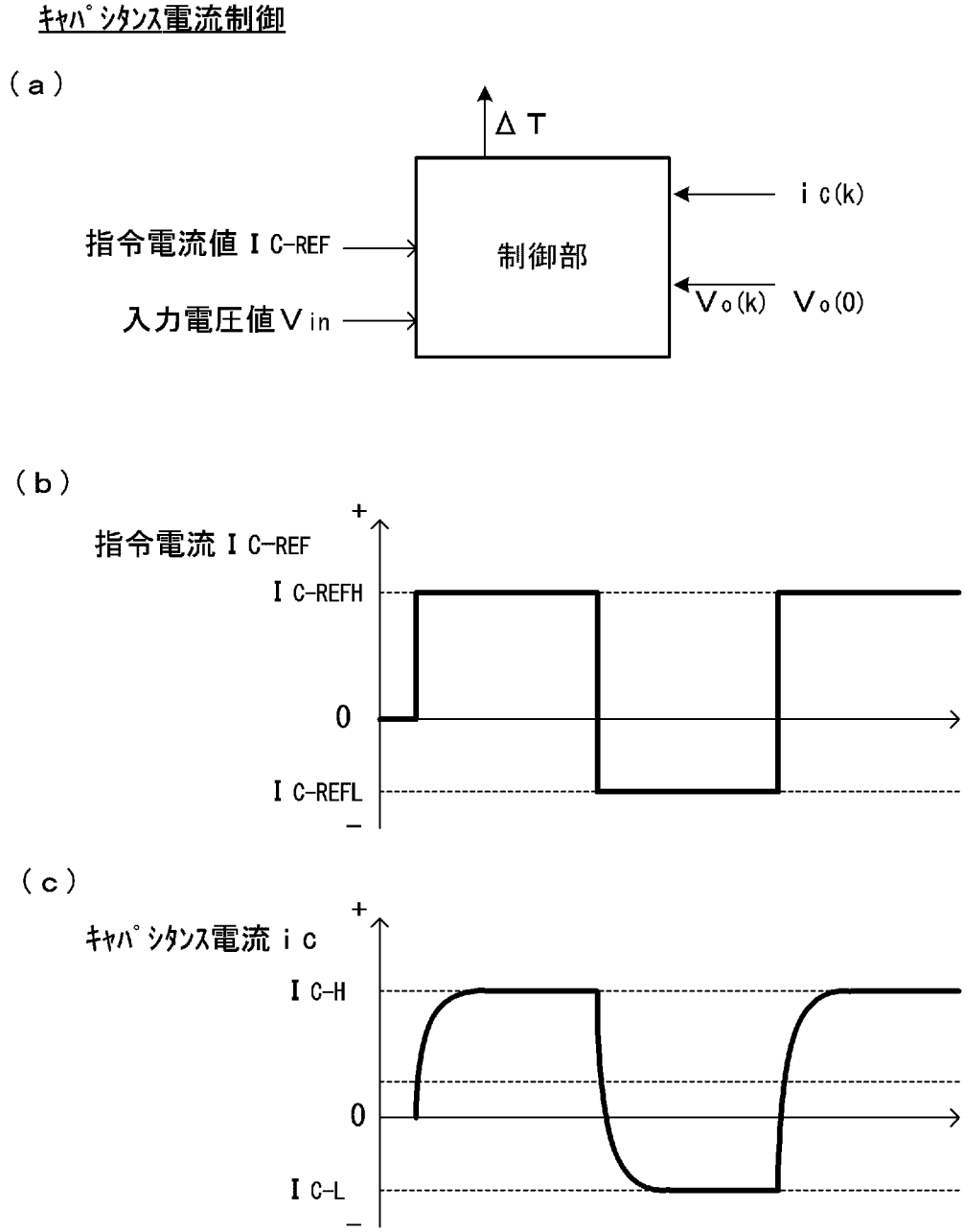



（ｄ）



[図4]

図4


キャパシタンス電流制御
（ａ）
ΔＴ
ｉｃ(k)
指令電流値ＩC-REF
制御部
入力電圧値Ｖin
Ｖo(k)
Ｖo(0)
（ｂ）
指令電流ＩC-REF
＋
ＩC-REFH
0
ＩC-REFL
－
（ｃ）
キャパシタンス電流ｉｃ
＋
ＩC-H
0
ＩC-L
－

[図5]

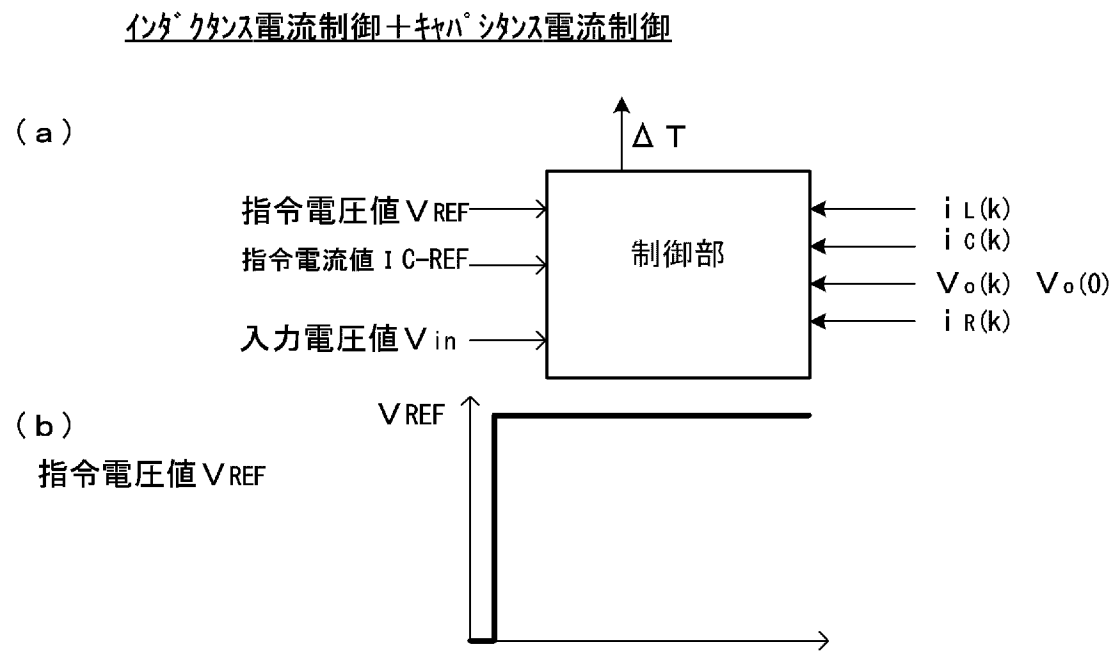
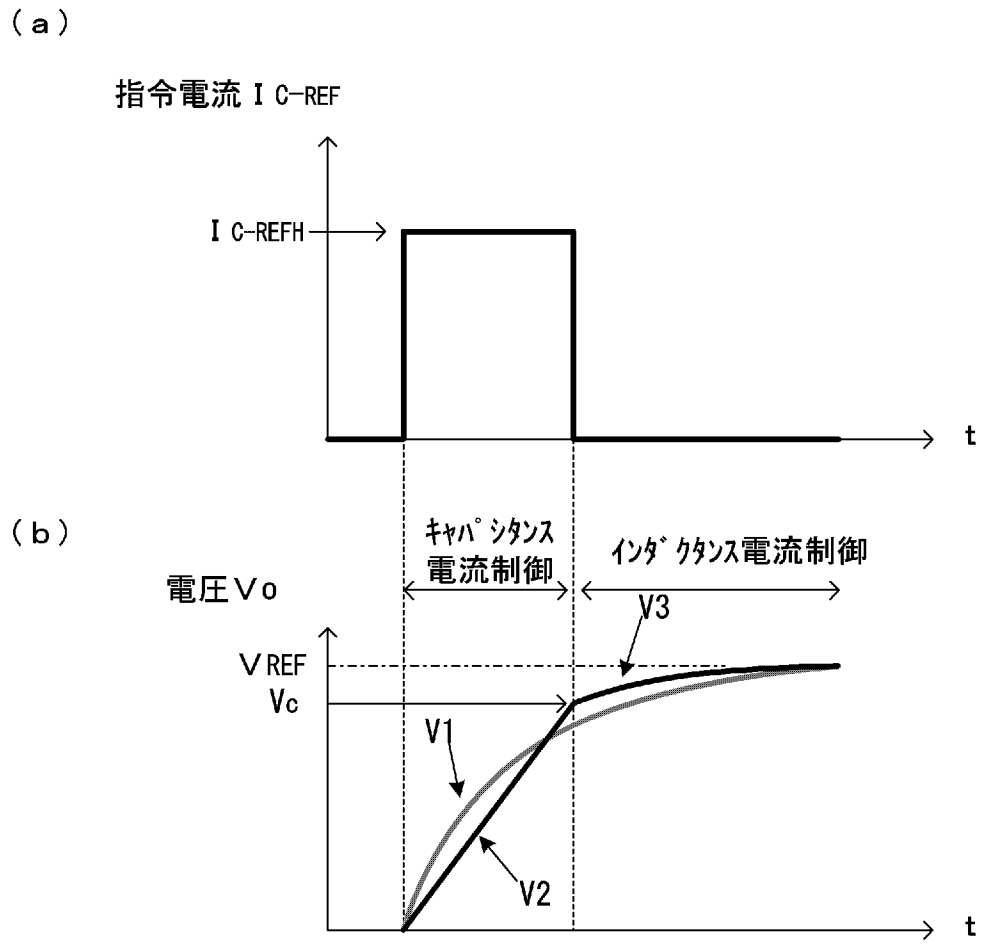

インダクタンス電流制御＋キャパシタンス電流制御
（ａ）
ΔＴ
指令電圧値ＶREF
指令電流値ＩC-REF
入力電圧値Ｖin
制御部
ｉL(k)
ｉC(k)
Ｖo(k)
Ｖo(0)
ｉR(k)
（ｂ）
指令電圧値ＶREF
ＶREF

図5

[図6]

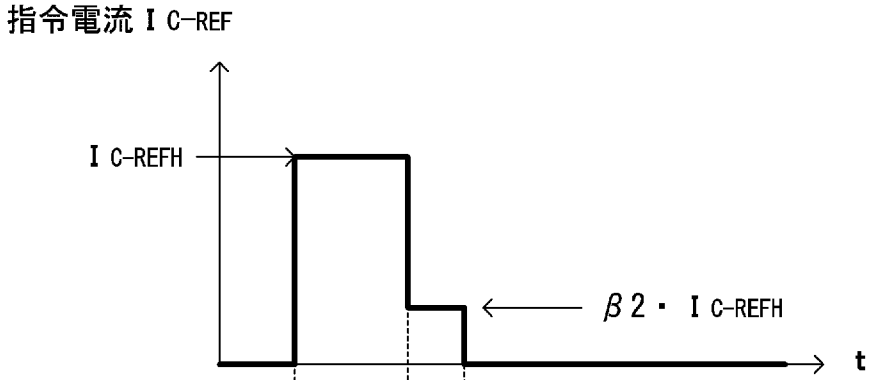
図6


（ａ）
指令電流ＩC-REF
IC-REFH
t
（ｂ）
電圧Ｖo
キャパシタンス
電流制御
インダクタンス電流制御
V3
VREF
Vc
V1
V2
t

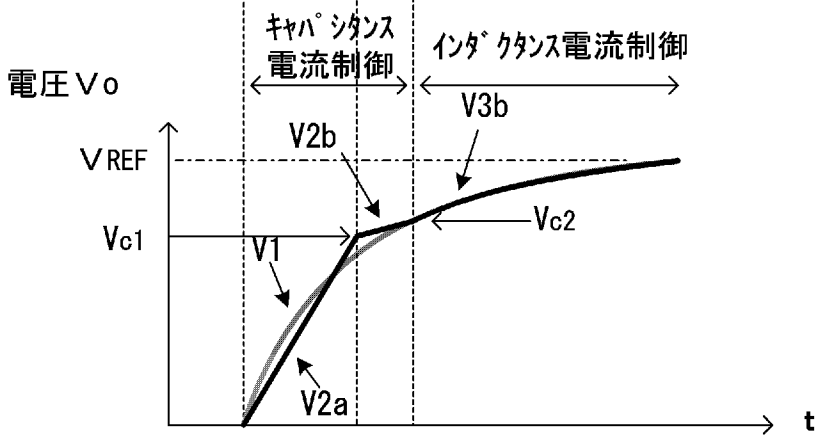
[図7]

図7

（ａ）

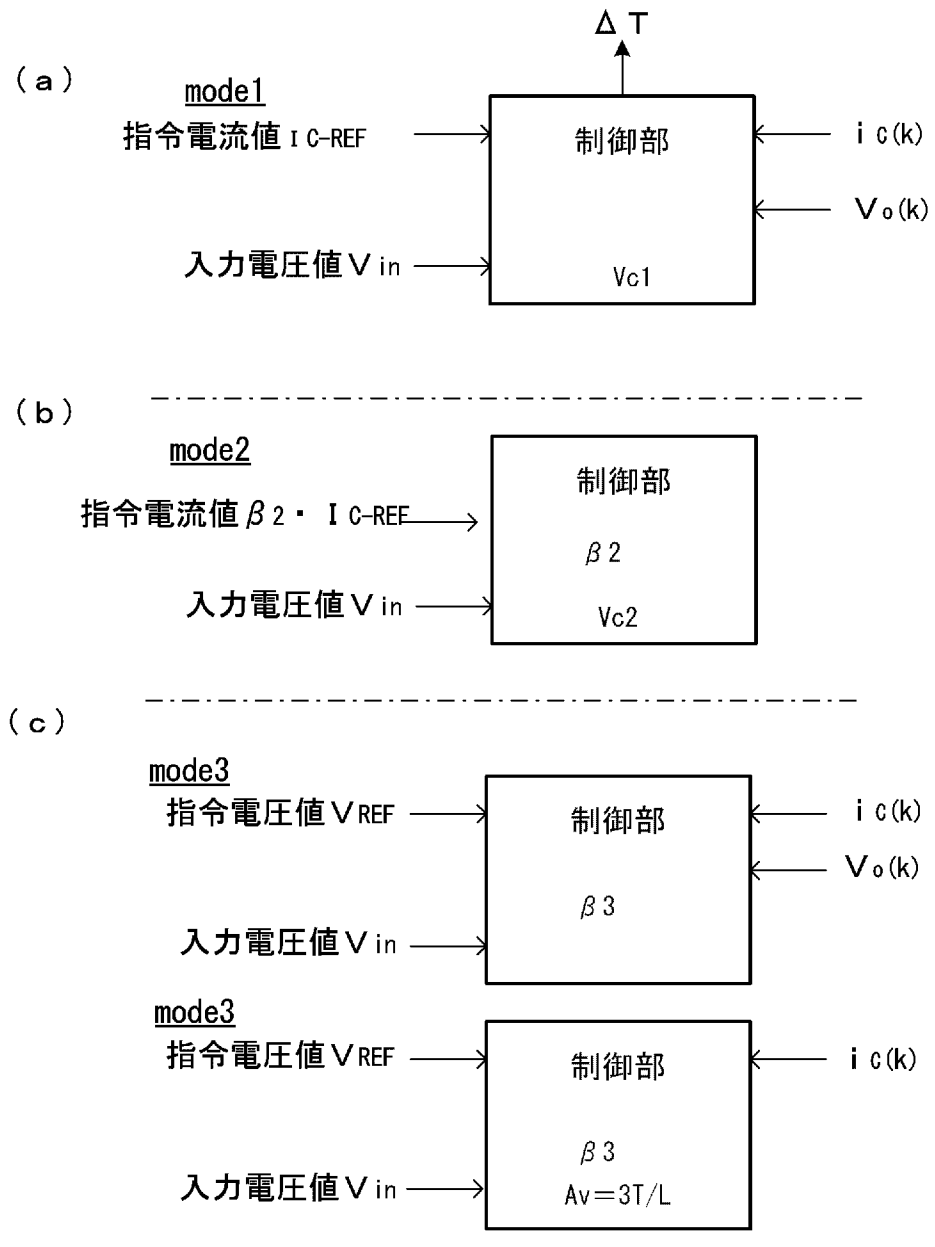

指令電流ＩC-REF
IC-REFH
β2・IC-REFH
t

（ｂ）


キャパシタンス
電流制御
インダクタンス電流制御
電圧Ｖo
V3b
V2b
VREF
Vc2
Vc1
V1
V2a
t

[図8]

図8


（ａ）
mode1
指令電流値ＩC-REF
入力電圧値Ｖin
制御部
Vc1
ΔＴ
ｉC(k)
Ｖo(k)
（ｂ）
mode2
指令電流値β2・ＩC-REF
入力電圧値Ｖin
制御部
β2
Vc2
（ｃ）
mode3
指令電圧値ＶREF
入力電圧値Ｖin
制御部
β3
ｉC(k)
Ｖo(k)
mode3
指令電圧値ＶREF
入力電圧値Ｖin
制御部
β3
Av＝3T/L
ｉC(k)

[図9]

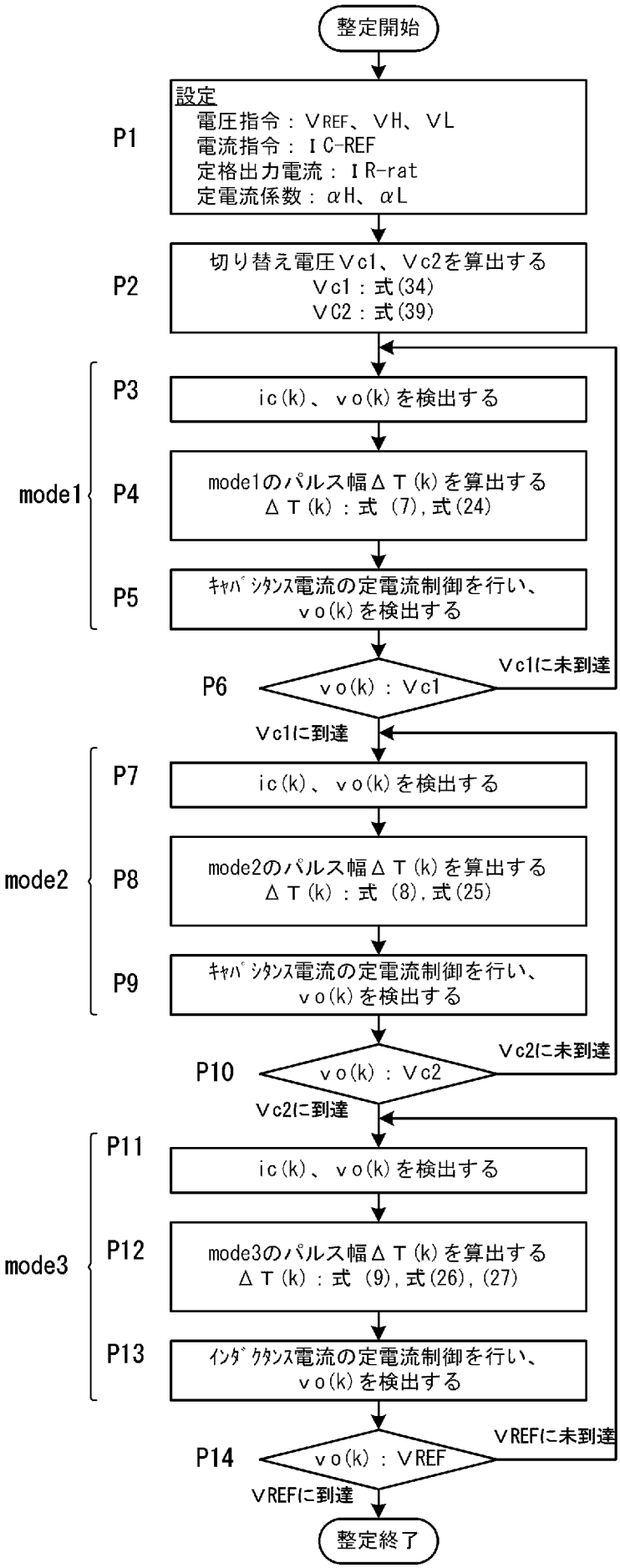
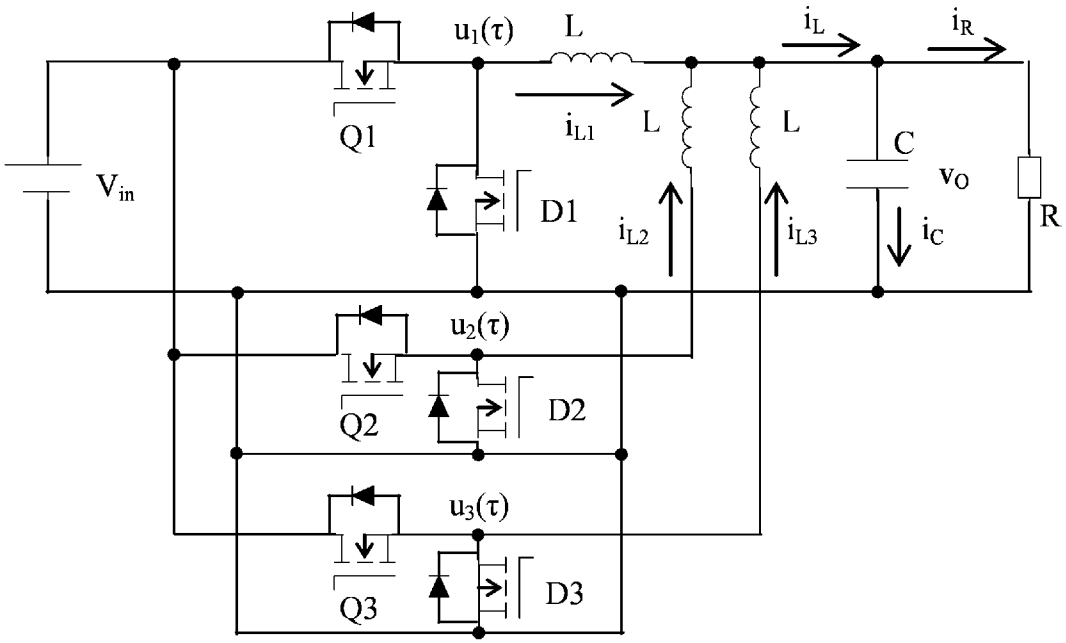

整定開始
P1
設定
電圧指令：VREF、VH、VL
電流指令：IC-REF
定格出力電流：IR-rat
定電流係数：αH、αL
P2
切り替え電圧Vc1、Vc2を算出する
Vc1：式(34)
VC2：式(39)
mode1
P3
ic(k)、vo(k)を検出する
P4
mode1のパルス幅ΔT(k)を算出する
ΔT(k)：式 (7),式(24)
P5
ｷｬﾊﾟｼﾀﾝｽ電流の定電流制御を行い、
vo(k)を検出する
P6
vo(k)：Vc1
Vc1に未到達
Vc1に到達
mode2
P7
ic(k)、vo(k)を検出する
P8
mode2のパルス幅ΔT(k)を算出する
ΔT(k)：式 (8),式(25)
P9
ｷｬﾊﾟｼﾀﾝｽ電流の定電流制御を行い、
vo(k)を検出する
P10
vo(k)：Vc2
Vc2に未到達
Vc2に到達
mode3
P11
ic(k)、vo(k)を検出する
P12
mode3のパルス幅ΔT(k)を算出する
ΔT(k)：式 (9),式(26),(27)
P13
ｲﾝﾀﾞｸﾀﾝｽ電流の定電流制御を行い、
vo(k)を検出する
P14
vo(k)：VREF
VREFに未到達
VREFに到達
整定終了

図9

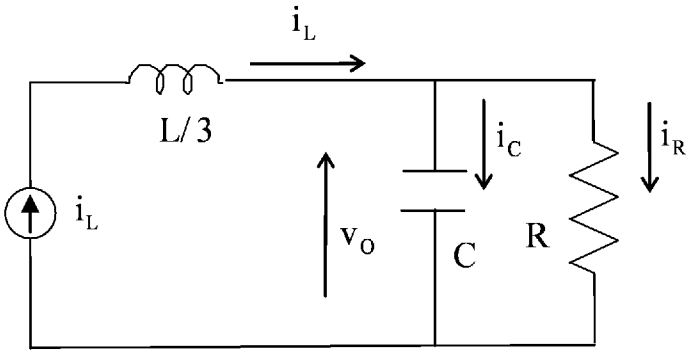
[図10]




3相インターリーブ方式双方向降圧ﾁｮｯﾊﾟ回路

図10

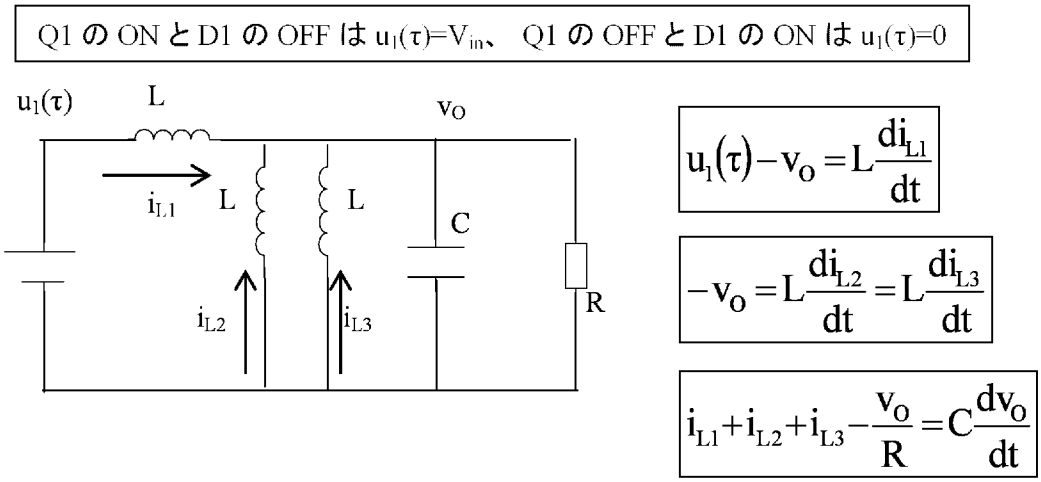
[図11]




電流源LCR回路

図11

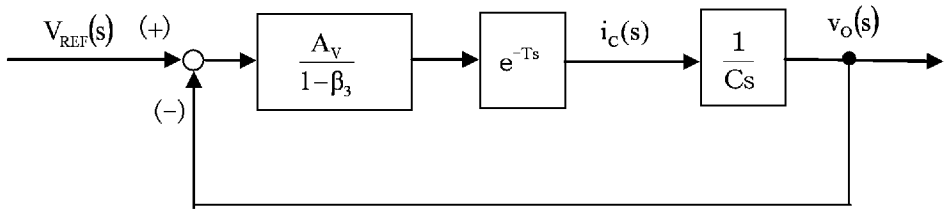
[図12]




$u_1(\tau)$に関する等価回路

図12

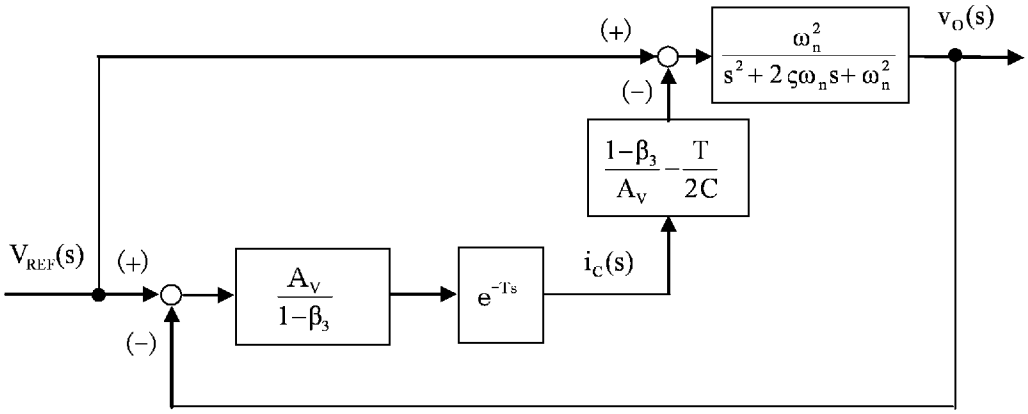
[図13]




定電圧制御の一次系伝達関数

図13

[図14]




定電圧制御の二次系伝達関数

図14

[図15]

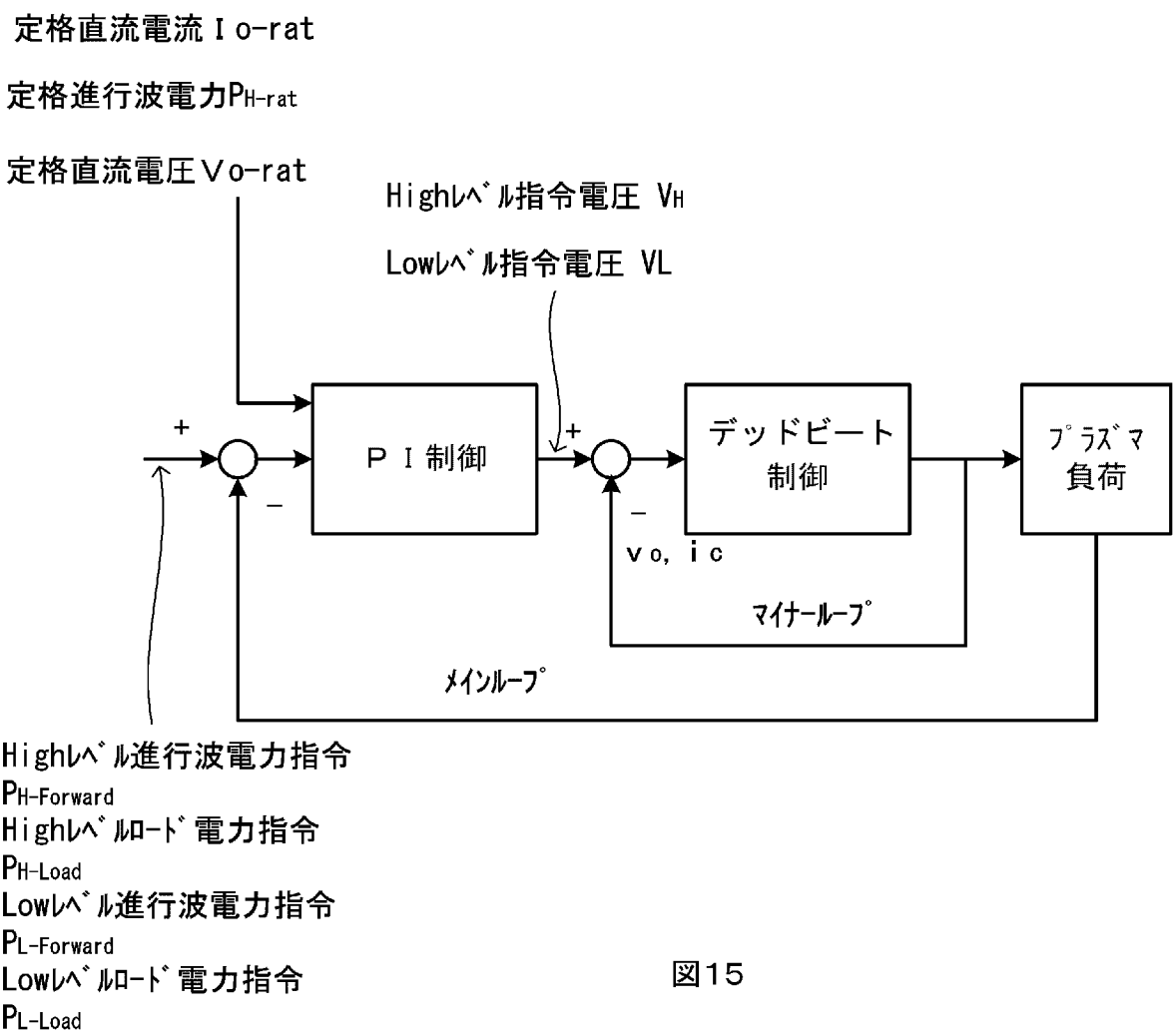

定格直流電流 Io-rat
定格進行波電力PH-rat
定格直流電圧Vo-rat
Highﾚﾍﾞﾙ指令電圧 VH
Lowﾚﾍﾞﾙ指令電圧 VL
+
−
PI制御
+
−
デッドビート
制御
ﾌﾟﾗｽﾞﾏ
負荷
vo, ic
ﾏｲﾅｰﾙｰﾌﾟ
ﾒｲﾝﾙｰﾌﾟ
Highﾚﾍﾞﾙ進行波電力指令
PH-Forward
Highﾚﾍﾞﾙﾛｰﾄﾞ電力指令
PH-Load
Lowﾚﾍﾞﾙ進行波電力指令
PL-Forward
Lowﾚﾍﾞﾙﾛｰﾄﾞ電力指令
PL-Load

図15

[図16]

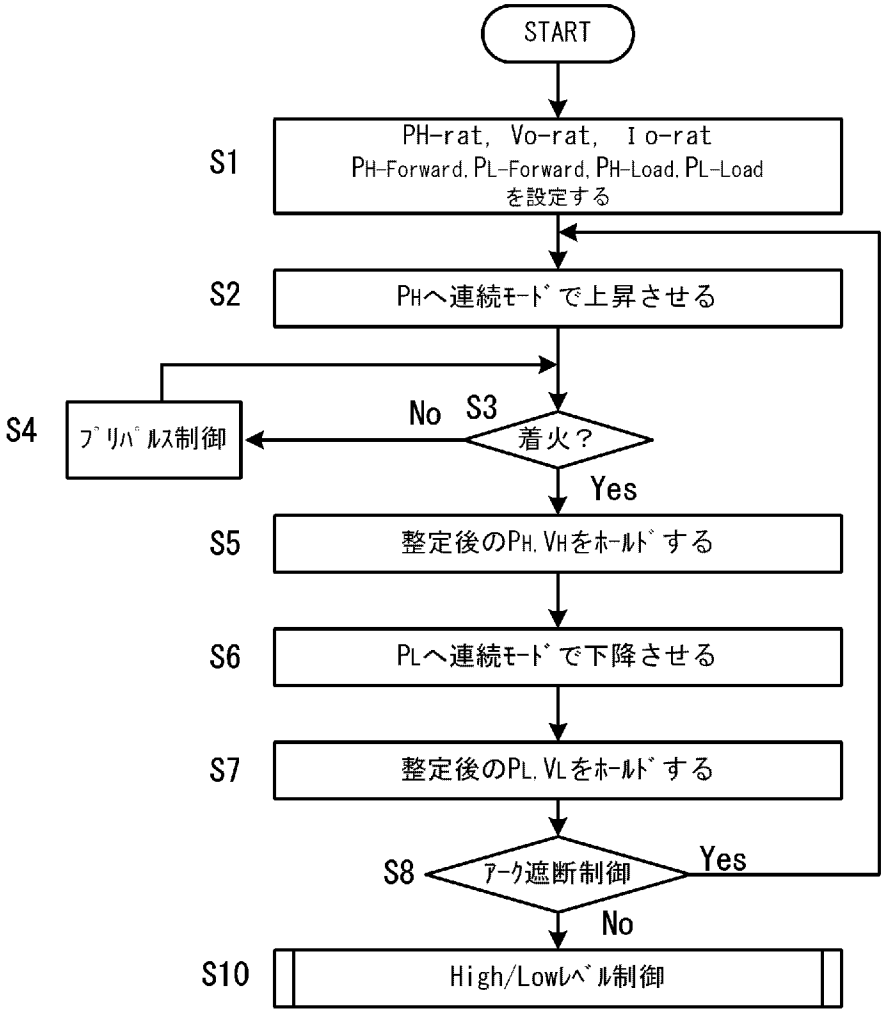

START
S1
PH-rat, Vo-rat, Io-rat
PH-Forward, PL-Forward, PH-Load, PL-Load
を設定する
S2
PHへ連続ﾓｰﾄﾞで上昇させる
S3
着火？
No
S4
ﾌﾟﾘﾊﾟﾙｽ制御
Yes
S5
整定後のPH, VHをﾎｰﾙﾄﾞする
S6
PLへ連続ﾓｰﾄﾞで下降させる
S7
整定後のPL, VLをﾎｰﾙﾄﾞする
S8
ｱｰｸ遮断制御
Yes
No
S10
High/Lowﾚﾍﾞﾙ制御

図16

[図17]

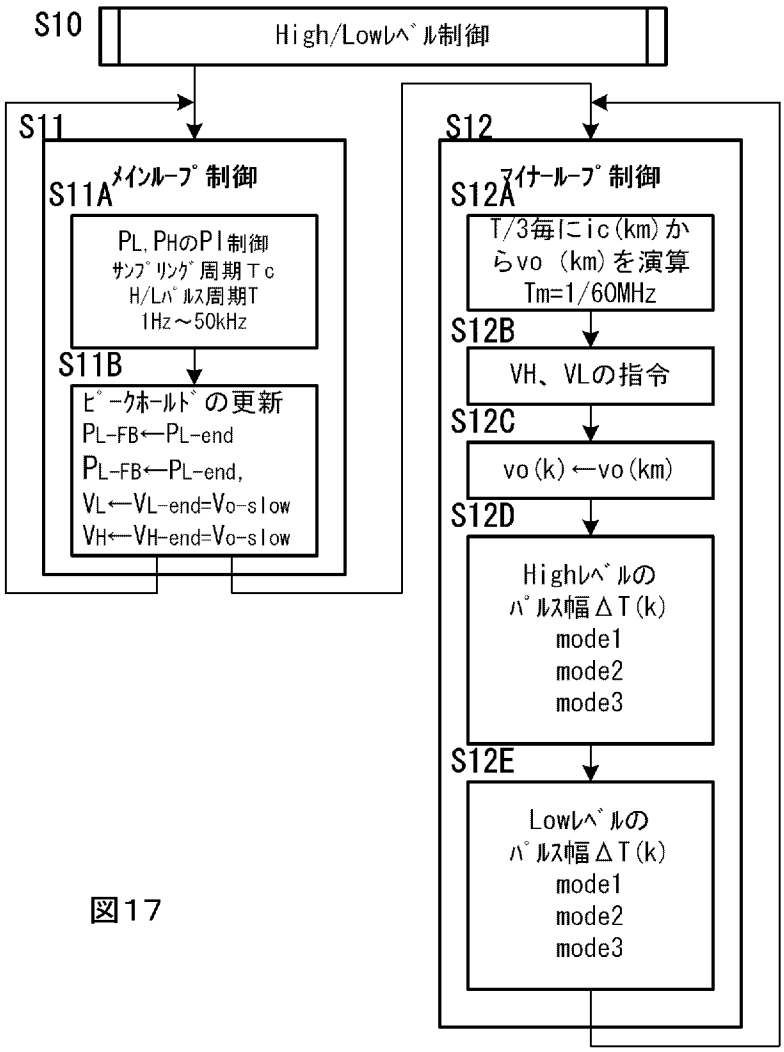

S10
High/Lowレベル制御
S11
S11A メインループ制御
PL,PHのPI制御
サンプリング周期Tc
H/Lパルス周期T
1Hz～50kHz
S11B
ピークホールドの更新
PL-FB←PL-end
PL-FB←PL-end,
VL←VL-end=Vo-slow
VH←VH-end=Vo-slow
S12
S12A マイナーループ制御
T/3毎にic(km)からvo (km)を演算
Tm=1/60MHz
S12B
VH、VLの指令
S12C
vo(k)←vo(km)
S12D
Highレベルの
パルス幅ΔT(k)
mode1
mode2
mode3
S12E
Lowレベルの
パルス幅ΔT(k)
mode1
mode2
mode3

図17

[図18]

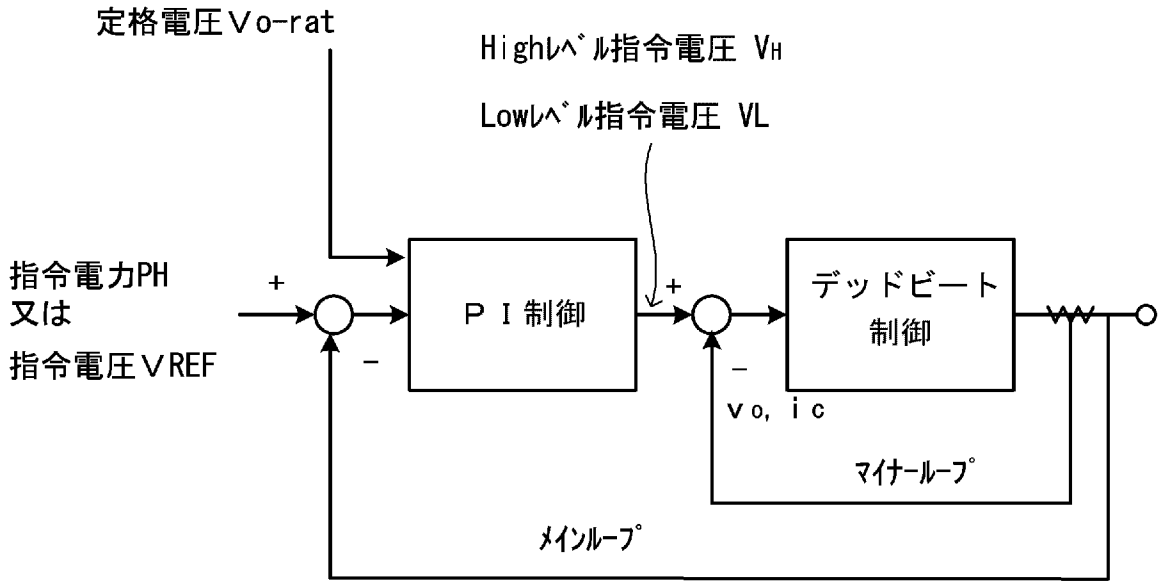
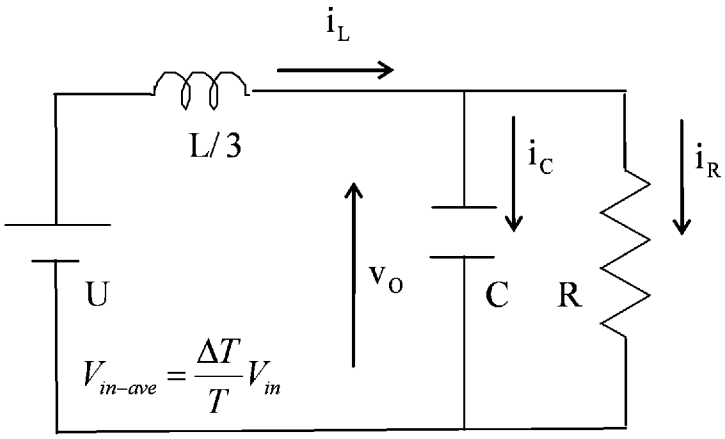

定格電圧Vo-rat
Highレベル指令電圧 VH
Lowレベル指令電圧 VL
指令電力PH
又は
指令電圧VREF
+
−
PI制御
+
−
デッドビート
制御
vo, ic
マイナーループ
メインループ

図18

[図19]




電圧源LCR回路

図19

# INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2017/006748

A. CLASSIFICATION OF SUBJECT MATTER
*H02M3/155*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H02M3/00-3/44

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

| | | | |
|---|---|---|---|
| Jitsuyo Shinan Koho | 1922-1996 | Jitsuyo Shinan Toroku Koho | 1996-2017 |
| Kokai Jitsuyo Shinan Koho | 1971-2017 | Toroku Jitsuyo Shinan Koho | 1994-2017 |

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|---|---|---|
| A | JP 2004-289887 A (Hitachi, Ltd.), 14 October 2004 (14.10.2004), entire text; all drawings (Family: none) | 1-4 |
| A | JP 2014-60851 A (Toshiba Corp.), 03 April 2014 (03.04.2014), entire text; all drawings (Family: none) | 1-4 |
| A | JP 2016-163402 A (Autonetworks Technologies, Ltd.), 05 September 2016 (05.09.2016), entire text; all drawings & WO 2016/137005 A1 | 1-4 |

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

| Date of the actual completion of the international search | Date of mailing of the international search report |
|---|---|
| 17 April 2017 (17.04.17) | 25 April 2017 (25.04.17) |

| Name and mailing address of the ISA/ | Authorized officer |
|---|---|
| Japan Patent Office<br>3-4-3,Kasumigaseki,Chiyoda-ku,<br>Tokyo 100-8915,Japan | Telephone No. |

**INTERNATIONAL SEARCH REPORT**

International application No.
PCT/JP2017/006748

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|---|---|---|
| A | JP 2006-204048 A (Shindengen Electric Mfg. Co., Ltd.), 03 August 2006 (03.08.2006), entire text; all drawings (Family: none) | 1-4 |
| A | JP 2011-259686 A (University of Toronto), 22 December 2011 (22.12.2011), entire text; all drawings & US 2011/0298439 A1 entire text; all drawings | 1-4 |

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１７／００６７４８

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H02M3/155(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H02M3/00-3/44

最小限資料以外の資料で調査を行った分野に含まれるもの

| | |
|---|---|
| 日本国実用新案公報 | １９２２－１９９６年 |
| 日本国公開実用新案公報 | １９７１－２０１７年 |
| 日本国実用新案登録公報 | １９９６－２０１７年 |
| 日本国登録実用新案公報 | １９９４－２０１７年 |

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

| 引用文献のカテゴリー＊ | 引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する請求項の番号 |
|---|---|---|
| A | JP 2004-289887 A (株式会社日立製作所) 2004.10.14, 全文, 全図 (ファミリーなし) | 1-4 |
| A | JP 2014-60851 A (株式会社東芝) 2014.04.03, 全文, 全図 (ファミリーなし) | 1-4 |
| A | JP 2016-163402 A (株式会社オートネットワーク技術研究所) 2016.09.05, 全文, 全図 & WO 2016/137005 A1 | 1-4 |

☑　Ｃ欄の続きにも文献が列挙されている。　　☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

| 国際調査を完了した日 | 国際調査報告の発送日 |
|---|---|
| １７．０４．２０１７ | ２５．０４．２０１７ |


国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　５Ｇ　３１３９
東　昌秋
電話番号　０３－３５８１－１１０１　内線　３５２６

C（続き）．　関連すると認められる文献

| 引用文献のカテゴリー＊ | 引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する請求項の番号 |
|---|---|---|
| A | JP 2006-204048 A (新電元工業株式会社) 2006.08.03, 全文, 全図<br>(ファミリーなし) | 1-4 |
| A | JP 2011-259686 A (ユニバーシティ　オブ　トロント)<br>2011.12.22, 全文, 全図 & US 2011/0298439 A1, 全文, 全図 | 1-4 |