



Patent dodatkowy
do patentu nr _____

Zgłoszono: 02.08.78 (P. 208819)

Pierwszeństwo _____

Zgłoszenie ogłoszono: 08.04.80

Opis patentowy opublikowano: 10.09.1984

Int. Cl.³ G06G 7/16

CZYTELNIA

Urzędu Patentowego
Mikrofilmowej Dystrybucji (Lublin)

Twórca wynalazku: Jerzy Sawicki

Uprawniony z patentu: Politechnika Gdańska, Gdańsk (Polska)

Sposób dzielenia lub mnożenia stałych sygnałów analogowych

1

Dziedzina techniki. Przedmiotem wynalazku jest sposób dzielenia lub mnożenia stałych sygnałów analogowych o dowolnym znaku, przeznaczony do stosowania w procesach przetwarzania sygnałów analogowych, w szczególności w zagadnieniach regulacji i modelowania, a także w metrologii.

Stan techniki. We współczesnej technice często występuje potrzeba mnożenia dwu sygnałów analogowych, co bywa realizowane bardzo zróżnicowanymi sposobami.

Jeden z często stosowanych sposobów polega na przetwarzaniu sygnałów wejściowych na pomocniczą wielkość elektryczną lub magnetyczną i na następnym mnożeniu wielkości pomocniczych za pomocą członu mnożącego takiego jak np. hallotron lub mnożnik o cienkich warstwach magnetycznych. Mnożniki takich typów są jednak dość podatne na wpływ wielkości postronnych jak obce pola magnetyczne czy temperatura, a oprócz tego stabilność czasowa ich właściwości nie jest wysoka.

Inny sposób klasyczny polega na tworzeniu kwadratu sumy oraz kwadratu różnicy obu sygnałów wejściowych, a następnie na odejmowaniu wartości zkwadratowanych.

Zasadniczą wadę tego sposobu stanowi konieczność stosowania członów o charakterystykach dokładnie kwadratowych i jednakowym współczynniku charakterystyki. Niedopełnienie tych wymagań powoduje powstawanie błędów w działaniu tego sposobu, przy czym wartość błędu jest zależna od

2

wartości każdego z sygnałów wejściowych podlega istotnym zmianom.

Inny znany sposób mnożenia sygnałów analogowych polega na tym, że jeden z sygnałów wejściowych wyznacza amplitudę prostokątnego przebiegu wyjściowego, natomiast drugi sygnał wejściowy wpływa na względny czas występowania wartości dodatnich i ujemnych na wyjściu. Dla dobrego działania tego sposobu konieczna jest proporcjonalność między amplitudą przebiegu wyjściowego a wartością jednego z sygnałów wejściowych jak również ściśle spełnienie zależności

$$t_x/t_- = \frac{1+y}{1-y}$$

gdzie y oznacza wartość drugiego z sygnałów wejściowych.

Ponieważ miarą szukanego iloczynu jest tutaj średnia wartość przebiegu wyjściowego — niezbędne jest stosowanie odpowiedniego filtru. Sposób ten jest zatem dość złożony pod względem realizacyjnym, a tym samym i kosztowny ze względu na występujące tu człony i stawiane im wysokie wymagania.

Jeszcze inny znany sposób mnożenia sygnałów analogowych polega na tym, że każdy z sygnałów wejściowych przetwarza się na elektryczną wielkość pomocniczą, napięcie lub prąd, według charakterystyki logarytmicznej. Elektrycznie wielkości pomocnicze dodaje się do siebie w przypadku mno-

zenia, a odejmuje od siebie w przypadku dzielenia i tak otrzymaną wielkość wypadkową przetwarza się na wielkość wyjściową według charakterystyki wykładniczej.

Dla dobrego działania tego sposobu konieczne jest ściśle dochowanie założonego kształtu charakterystyk przetwarzania. Charakterystyki takie otrzymuje się przez zastosowanie odpowiednich elementów półprzewodnikowych i przy założeniu, iż punkt pracy nie wykracza poza ściśle określony przedział. Mimo ideowej prostoty — sposób ten jest więc niełatwy w praktycznym zastosowaniu i wykazuje znaczną wrażliwość na wpływy postronne, które wpływają na charakterystyki półprzewodników.

Na podstawie omówionych sposobów mnożenia, dzielenie przeprowadza się przez zastosowanie dodatkowego wzmocnienia różnicowego. Wytwarza się wówczas wzmocnioną k razy różnicę wielkości iloczynowej oraz drugiego sygnału wejściowego, którą traktuje się jednocześnie jako jeden z sygnałów wejściowych do mnożenia oraz jako wielkość wyjściową. Dla dobrego działania tego rozwiązania konieczne jest, by odwrotność współczynnika wzmocnienia była znikomo mała wobec najmniejszych praktycznie spotykanych wartości sygnału odpowiadającego mianownikowi charakterystyki. Niedogodności omówione poprzednio przy mnożeniu sygnałów tymi metodami występują także przy dzieleniu.

Istota wynalazku. Celem wynalazku jest opracowanie sposobu dzielenia lub mnożenia stałych sygnałów analogowych, który zapewni dobrą dokładność, a jednocześnie jest nieskomplikowany w praktycznej realizacji.

Zostało to rozwiązane według wynalazku przez sposób, w którym podczas przetwarzania wytwarza się wielkość pomocniczą pierwszą, przez modulowanie za pomocą pierwszego członu modułującego sygnału wejściowego pierwszego, nadając jej wartość proporcjonalną do modułu sygnału wejściowego pierwszego i wielkość pomocniczą drugą, przez modulowanie za pomocą drugiego członu modułującego sygnału wejściowego drugiego, nadając jej wartość proporcjonalną do modułu sygnału wejściowego drugiego oraz wielkość pomocniczą trzecią proporcjonalną do czasu przetwarzania, w ten sposób, że całkuje się, w integratorze pomocniczym, przez ten czas stałą wielkość referencyjną, a także wielkość pomocniczą czwartą, przez całkowanie wielkości pomocniczej drugiej w integratorze głównym, nadając jej wartość proporcjonalnie do całki z wielkości pomocniczej drugiej za czas przetwarzania.

Przetwarzanie kończy się w chwili t_0 , w której następuje zrównanie wartości wielkości pomocniczej pierwszej z wartością wielkości pomocniczej czwartej w przypadku dzielenia, zaś z wartością wielkości pomocniczej trzeciej w przypadku mnożenia, co powoduje zmianę stanu komparatora głównego. Wartość wielkości pomocniczej trzeciej osiągnięta w chwili t_0 stanowi proporcjonalną miarę ilorazu sygnału wejściowego pierwszego do drugiego dla przypadku dzielenia. Wartość wielkości pomocniczej czwartej osiągnięta w chwili t_0 jest proporcjonalną miarą iloczynu sygnału wejściowego pierwszego i drugiego dla przypadku mnożenia.

W takich zastosowaniach sposobu według wynalazku, gdzie znak ilorazu lub iloczynu jest zawsze stały, czyli zawsze $\text{sign } S_1 \neq \text{sign } S_2$ albo $\text{sign } S_1 = \text{sign } S_2$, nie są potrzebne działania dodatkowe, bowiem znak rezultatu jest znany. W takich przypadkach, gdzie nie jest z góry określony związek między znakami sygnałów wejściowych pierwszego i drugiego — sposób według wynalazku zawiera jeszcze działanie dodatkowe.

W przypadku sygnałów wejściowych pierwszego i drugiego o nieznanym znaku wytwarza się dodatkowo binarną wielkość pomocniczą piątą, za pomocą pierwszego komparatora pomocniczego obserwującego sygnał wejściowy pierwszy, nadającego jej wartość zależną od znaku sygnału wejściowego pierwszego i binarną wielkość pomocniczą szóstą, za pomocą drugiego komparatora pomocniczego obserwującego sygnał wejściowy drugi, nadającego jej wartość zależną od znaku sygnału wejściowego drugiego. Z tak powstałych binarnych wielkości pomocniczych piątej i szóstej wytwarza się z kolei binarną wielkość pomocniczą siódmą, za pomocą układu elementów logicznych jak elementy typu NAND, nadając jej wartość według zależności logicznej

$$W_7 = W_5 \cdot W_6 + W_5 \cdot W_6$$

Wytwarza się również wielkość pomocniczą ósmą o module równym wielkości pomocniczej trzeciej w przypadku dzielenia, zaś o module równym wielkości pomocniczej czwartej w przypadku mnożenia.

Wielkości pomocniczej ósmej, za pomocą przełącznika elektronicznego oraz inwertera, nadaje się znak dodatni dla tej wartości binarnej wielkości pomocniczej siódmej, która powstaje przy jednakowych wartościach binarnych wielkości pomocniczych piątej i szóstej, w pozostałych przypadkach wielkości pomocniczej ósmej nadaje się znak ujemny. Proporcjonalną miarę ilorazu lub iloczynu sygnałów wejściowych pierwszego i drugiego, z uwzględnieniem ich znaków stanowi teraz wartość i znak wielkości pomocniczej ósmej.

W praktycznej realizacji sposobu według wynalazku, korzystnie jest stosować wszystkie wielkości pomocnicze pierwszą do ósmej w postaci napięć elektrycznych.

Sposób według wynalazku, daje dobrą dokładność działania, a jednocześnie jest nietrudny do realizacji, szczególnie dla znanego związku między znakami sygnałów wejściowych pierwszego i drugiego. Wynalazek ma więc istotne znaczenie wszędzie tam, gdzie zachodzi potrzeba dzielenia lub mnożenia sygnałów stałych, szczególnie w pracowniach zajmujących się regulacją, modelowaniem i pomiarami, zwłaszcza przy zastosowaniu techniki elektronicznej.

Przykład wykonania wynalazku. Przedmiot wynalazku jest bliżej objaśniony na podstawie przykładowego układu na rysunku, gdzie przedstawiony jest schematycznie układ do wykonywania dzielenia dwu sygnałów, w postaci schematu blokowego. Sygnały wejściowe i wielkości pomocnicze są tutaj napięciami elektrycznymi.

Pierwsze wejście układu S_1 jest dołączone do wejścia pierwszego członu modułującego C_{M1} , o współczynniku k_1 , którego wyjście jest dołączone do nieodwracalnego wejścia komparatora główne-

go **KG**. Drugie wejście układu **S2** jest dołączone do wejścia drugiego członu modułującego **CM2**, o współczynniku k_2 , którego wyjście jest złączone z wejściem głównymi integratora głównego **IG**, o współczynniku k_4 , mającego wyjście dołączone do wejścia odwracającego komparatora głównego **KG**, do którego wyjścia jest z kolei dołączone wejście sterujące łącznika elektronicznego **LE**.

Źródło napięcia referencyjnego **E**, poprzez zestyk łącznika elektronicznego **LE**, złączone jest z wejściem integratora pomocniczego **IP**, o współczynniku k_3 , do którego wyjścia dołączony jest jeden zestyk przełącznika elektronicznego **PE** bezpośrednio, natomiast drugi zestyk — poprzez inwerter **IN** z tym, że z drugiej strony oba zestyki złączone są z wyjściem ilorazowym **WI** układu.

Nieodwracające wejście pierwszego komparatora pomocniczego **KP1** złączone jest z pierwszym wejściem układu **S1**, a nieodwracające wejście drugiego komparatora pomocniczego **KP2** złączone jest z drugim wejściem układu **S2**. Do wyjścia pierwszego komparatora pomocniczego **KP1** dołączone są jednym wejściem elementy logiczne **NAND** pierwszy **ND1** i trzeci **ND3**, a do drugiego komparatora pomocniczego **KP2** dołączone są jednym wejściem elementy logiczne **NAND** drugi **ND2** i trzeci **ND3**.

Wyjścia elementów logicznych **NAND** pierwszego **ND1** oraz drugiego **ND2** dołączone są do wejść elementu logicznego **NAND** czwartego **ND4**, którego wyjście dołączone jest do jednego wejścia elementu logicznego **NAND** piątego **ND5**, mającego drugie wejście złączone z wyjściem elementu logicznego **NAND** trzeciego **ND3**, natomiast wyjście — złączone ze sterowaniem przełącznika elektronicznego **PE**.

Wejście sterujące układu **SO** jest dołączone do wejść sterujących komparatora głównego **KG** i komparatora pomocniczego **KP**. Elementy logiczne **NAND** pierwszy **ND1**, drugi **ND2**, trzeci **ND3**, czwarty **ND4** i piąty **ND5** są dwuwejściowe.

Działanie układu przebiega następująco. Uruchomienie następuje przez podanie impulsu na wejście sterujące układu **SO**, co powoduje wyzerowania komparatora głównego **KG** i komparatora pomocniczego **KP**. Na wyjściu pierwszego członu modułującego **CM1** występuje wielkość pomocnicza pierwsza $W_1 = k_1 \cdot |S_1|$, natomiast na wyjściu drugiego członu modułującego **CM2** występuje wielkość pomocnicza druga $W_2 = k_2 \cdot |S_2|$. Za integratorem głównym **IG** występuje wielkość pomocnicza trzecia

$$W_3 = k_4 \cdot \int_0^t W_2 \cdot dt = k_2 \cdot k_4 \cdot |S_2| \cdot t$$

rosnąco liniowo z biegiem czasu t .

Na początku przetwarzania jest $W_1 > 0$ — wobec czego komparator główny **KG** znajduje się w stanie wysokim, co powoduje, że łącznik elektroniczny **LE** jest zamknięty począwszy od chwili $t = 0$. Tym samym na wyjściu integratora pomocniczego **IP** występuje wielkość pomocnicza trzecia

$$W_3 = k_3 \cdot \int_0^t E \cdot dt = k_3 \cdot E \cdot t$$

W chwili $t = T_0$ następuje zrównanie wartości wielkości pomocniczych pierwszej W_1 i czwartej W_4 , co powoduje przejście komparatora głównego

KG w stan niski i w konsekwencji — otwarcie łącznika elektronicznego **LE**. Odcinek czasu T_0 wyznacza się jako

$$T_0 = \frac{k_1}{k_2 \cdot k_4} \cdot \frac{|S_1|}{|S_2|}$$

W momencie $t = T_0$ występuje wartość wielkości pomocniczej

$$W_3(T_0) = \frac{k_1 \cdot k_3}{k_2 \cdot k_4} \cdot E \cdot \frac{|S_1|}{|S_2|}$$

która wobec otwarcia łącznika elektronicznego **LE** nie wykazuje już dalszych zmian.

Właściwy znak wielkości wyjściowej zostaje wytworzony w tej części układu, którą stanowią: pierwszy komparator pomocniczy **KP1**, drugi komparator pomocniczy **KP2** i elementy logiczne **NAND** pierwszy do piątego **ND1...ND5**, a także przełącznik elektroniczny **PE** oraz inwerter **IN**. Pierwszy komparator **KP1** daje na wyjściu stan wysoki wówczas, gdy sygnał wejściowy pierwszy S_1 jest dodatni, w przeciwnym przypadku na wyjściu panuje stan niski. Te dwa stany odpowiadają więc wartościom binarnej wielkości pomocniczej piątej W_5 .

Analogicznie otrzymuje się binarną wielkość pomocniczą szóstą W_6 na wejściu komparatora pomocniczego **KP2**. Na wyjściu elementu logicznego **NAND** pierwszego **ND1** występuje wielkość pomocnicza piąta W_5 , zaś na wyjściu elementu logicznego **NAND** drugiego **ND2** występuje wielkość pomocnicza szоста W_6 . W związku z tym na wyjściu elementu logicznego **NAND** czwartego **ND4** występuje wielkość $\overline{W_5} \cdot \overline{W_6}$, podczas gdy na wyjściu elementu logicznego **NAND** trzeciego **ND3** panuje wielkość $W_5 \cdot W_6$. Tym samym na wyjściu elementu logicznego **NAND** piątego **ND5** otrzymuje się binarną wielkość pomocniczą $W_7 = W_5 \cdot W_6 + \overline{W_5} \cdot \overline{W_6}$.

Stan wysoki tego wyjścia, występujący w przypadkach jednakowych wartości binarnych wielkości pomocniczych piątej i szóstej W_5, W_6 , powoduje zamknięcie górnego zestyku przełącznika elektronicznego **PE**, wobec czego na wyjściu ilorazowym **WI** pojawia się wielkość pomocnicza ósmą $W_8 = +W_3(T_0)$.

W przypadku niejednakowych wartości binarnych wielkości pomocniczych piątej W_5 , szóstej W_6 na wyjściu elementu logicznego **NAND** piątego **ND5** panuje stan niski, co powoduje zamknięcie dolnego zestyku przełącznika elektronicznego **PE**. W takim przypadku, dzięki działaniu inwertera **IN**, na wyjściu ilorazowym **WI** panuje wielkość pomocnicza ósma $W_8 = -W_3(T_0)$.

Zastrzeżenia patentowe

1. Sposób dzielenia lub mnożenia stałych sygnałów analogowych, polegający na wytwarzaniu wielkości pomocniczych, znamienny tym, że w czasie przetwarzania wytwarza się wielkość pomocniczą pierwszą (W_1) przez modułowanie za pomocą pierwszego członu modułującego (**CM1**) sygnału wejściowego pierwszego (S_1), nadając jej wartość proporcjonalną do modułu sygnału wejściowego pierwszego (S_1) i wielkość pomocniczą drugą (W_2), przez modułowanie za pomocą drugiego członu modułującego

go (CM2) sygnału wejściowego drugiego (S_2), nadając jej wartość proporcjonalną do modułu sygnału wejściowego drugiego (S_2) oraz wielkość pomocniczą trzecią (W_3) proporcjonalną do czasu przetwarzania, w ten sposób, że całkuje się, w integratorze pomocniczym (IP), przez ten czas stałą wielkość referencyjną (E), a także wielkość pomocniczą czwartą (W_4) przez całkowanie wielkości pomocniczej drugiej (W_2) w integratorze głównym (IG), nadając jej wartość, proporcjonalnie do całki z wielkości pomocniczej drugiej (W_2) za czas przetwarzania, przy czym przetwarzanie kończy się w chwili t_0 , w której następuje zrównanie wartości wielkości pomocniczej pierwszej (W_1) z wartością wielkości pomocniczej czwartej (W_4) w przypadku dzielenia, zaś z wartością wielkości pomocniczej trzeciej (W_3) w przypadku mnożenia, co powoduje zmianę stanu komparatora głównego (KG), przy czym wartość wielkości pomocniczej trzeciej (W_3) osiągnięta w chwili t_0 stanowi proporcjonalną miarę ilorazu sygnału wejściowego pierwszego do drugiego ($S_1 : S_2$) dla przypadku dzielenia, natomiast wartość wielkości pomocniczej czwartej (W_4) osiągnięta w chwili t_0 jest proporcjonalną miarą iloczynu sygnału wejściowego pierwszego i drugiego ($S_1 \cdot S_2$) dla przypadku mnożenia, z tym, że korzystnie jest stosować wielkości pomocnicze pierwszą, drugą, trzecią i czwartą (W_1, W_2, W_3 i W_4) w postaci napięcia elektrycznego.

2. Sposób według zastrz. 1, znamieny tym, że w przypadku sygnałów wejściowych pierwszego

i drugiego (S_1, S_2) o nieznanym znaku wytwarza się dodatkowo binarną wielkość pomocniczą piątą (W_5), za pomocą pierwszego komparatora pomocniczego (KP1) obserwującego sygnał wejściowy pierwszy (S_1), nadającego jej wartość zależną od znaku sygnału wejściowego pierwszego (S_1) i binarną wielkość pomocniczą szóstą (W_6), za pomocą drugiego komparatora pomocniczego (KP2) obserwującego sygnał wejściowy drugi (S_2), nadającego jej wartość zależną od znaku sygnału wejściowego drugiego (S_2), a dalej wytwarza się binarną wielkość pomocniczą siódmą (W_7), za pomocą układu elementów logicznych jak elementy typu NAND, nadając jej wartość według zależności logicznej $W_7 = W_5 \cdot W_6 + W_5 \cdot W_6$, jak również wytwarza się wielkość pomocniczą ósmą (W_8) o module równym wielkości pomocniczej trzeciej (W_3) w przypadku dzielenia, zaś o module równym wielkości pomocniczej czwartej (W_4) w przypadku mnożenia, przy czym wielkości pomocniczej ósmiej (W_8), za pomocą przełącznika elektronicznego (PE) oraz inwertera (IN), nadaje się znak dodatni dla tej wartości binarnej wielkości pomocniczej siódmej (W_7), która powstaje przy jednakowych wartościach binarnych wielkości pomocniczych piątej i szóstej (W_5 i W_6) i wówczas wielkość pomocnicza ósma (W_8) stanowi proporcjonalną miarę ilorazu względnie iloczynu sygnałów wejściowych pierwszego i drugiego (S_1, S_2) z tym, że korzystnie jest stosować wielkości pomocnicze piątą, szóstą, siódmą i ósmą (W_5, W_6, W_7, W_8) w postaci napięcia elektrycznego.

