

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2016 年 12 月 15 日 (15.12.2016)



(10) 国际公布号
WO 2016/197404 A1

(51) 国际专利分类号:

H01L 29/786 (2006.01) H01L 29/16 (2006.01)
H01L 21/336 (2006.01) H01L 27/12 (2006.01)

(21) 国际申请号: PCT/CN2015/082163

(22) 国际申请日: 2015 年 6 月 24 日 (24.06.2015)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:

201510313750.9 2015 年 6 月 9 日 (09.06.2015) CN

(71) 申请人: 武汉华星光电技术有限公司 (WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国湖北省武汉市东湖开发区高新大道 666 号生物城 C5 栋, Hubei 430070 (CN)。

(72) 发明人: 郭文帅 (GUO, Wenshuai); 中国湖北省武汉市东湖开发区高新大道 666 号生物城 C5 栋, Hubei 430070 (CN)。 明星 (MING, Xing); 中国湖北省武

汉市东湖开发区高新大道 666 号生物城 C5 栋, Hubei 430070 (CN)。 申智渊 (SHEN, Zhiyuan); 中国湖北省武汉市东湖开发区高新大道 666 号生物城 C5 栋, Hubei 430070 (CN)。

(74) 代理人: 深圳市德力知识产权代理事务所 (COMIPS INTELLECTUAL PROPERTY OFFICE); 中国广东省深圳市福田区上步中路深勘大厦 15E, Guangdong 518028 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

[见续页]

(54) Title: METHOD FOR FABRICATING TFT SUBSTRATE STRUCTURE, AND TFT SUBSTRATE STRUCTURE

(54) 发明名称: TFT 基板结构的制作方法及 TFT 基板结构

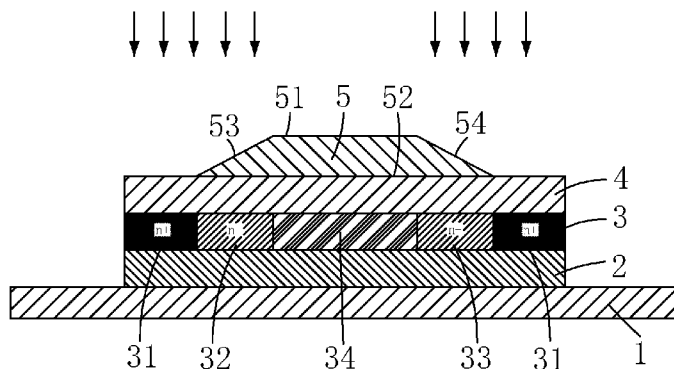


图6

(57) Abstract: Provided are a method for fabricating a TFT substrate structure, and a TFT substrate structure. In the method for fabricating the TFT substrate structure, etching parameters are adjusted during the fabrication of a gate (5), causing the two sides of the gate (5) to form an inclined surface, and the gate (5) is taken to be a photomask and ion implantation is performed on a polycrystalline silicon layer (3); an n-type heavily doped region (31) and an n-type lightly doped region (32) are formed on the polycrystalline silicon layer (3) at the same time, adding resistance and dispersing strong electric fields near the electrode; thus the impact that the hot-carrier effect would have on component properties as a result of the presence of a local strong electric field is prevented, eliminating the need for a process to individually form n-type lightly doped regions, improving generation efficiency, and reducing production costs. In the TFT substrate structure, the polycrystalline silicon layer (3) comprises n-type heavily doped regions (31) located on its two sides and an n-type lightly doped region (32) located between the channel region (34) of the polycrystalline silicon layer and the heavily doped regions (31), preventing the occurrence of local strong electric fields and eliminating the hot-carrier impact on component properties.

(57) 摘要:

[见续页]



WO 2016/197404 A1



(84) **指定国** (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ,

CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

一种 TFT 基板结构的制作方法。TFT 基板结构的制作方法, 在制作栅极 (5) 时通过调整蚀刻的参数, 使栅极 (5) 两侧形成斜面, 并以栅极 (5) 作为光罩, 对多晶硅层 (3) 进行离子注入, 同时多晶硅层 (3) 形成 n 型重掺杂区 (31) 和 n 型轻掺杂区 (32), 增加了阻值, 分散了电极附近的强电场, 避免了因局部强电场的存在而发生的热载流子效应对器件特性造成的影响, 节省了单独形成 n 型轻掺杂区的制程, 提升了生成效率, 降低了生产成本。TFT 基板结构, 多晶硅层 (3) 包括位于两侧的 n 型重掺杂区 (31) 及位于多晶硅层的沟道区 (34) 与 n 型重掺杂区 (31) 之间的 n 型轻掺杂区 (32), 避免了局部强电场的产生, 消除了热载流子对器件特性的影响。

TFT 基板结构的制作方法及 TFT 基板结构

技术领域

本发明涉及显示技术领域，尤其涉及一种 TFT 基板结构的制作方法
5 TFT 基板结构。

背景技术

液晶显示装置 (Liquid Crystal Display, LCD) 具有机身薄、省电、无
辐射等众多优点，得到了广泛的应用，如：移动电话、个人数字助理 (PDA)、
10 数字相机、计算机屏幕或笔记本电脑屏幕等。

通常液晶显示装置包括壳体、设于壳体内部的液晶面板及设于壳体内部的
背光模组 (Backlight module)。其中，液晶面板的结构主要是由一薄膜晶体
管阵列基板 (Thin Film Transistor Array Substrate, TFT Array Substrate)、一
彩色滤光片基板 (Color Filter, CF)、以及配置于两基板间的液晶层 (Liquid
15 Crystal Layer) 所构成，其工作原理是通过在两片玻璃基板上施加驱动电压
来控制液晶层的液晶分子的旋转，将背光模组的光线折射出来产生画面。

随着移动显示技术在生活中的应用起到的作用越来越大，移动显示技
术向更高画质、更高精细程度、更轻薄和更低功耗的方向发展，在器件上
就要求尺寸越来越小，器件内部局部区域的电场强度也因此而增强，特别
20 是在漏极附近存在强电场。载流子在强电场的作用下获得较高的能量成为
热载流子。热载流子对器件性能的影响主要表现在以下两个方面：

(1) 热载流子越过绝缘层注入到氧化层，不断积累，改变阈值电压，
影响器件寿命；

(2) 在漏极附近的耗尽区与晶格碰撞产生新的电子空穴对，以金属氧
25 化物半导体 (Metal Oxid Semiconductor, MOS) 场效应晶体管为例，碰撞
产生的电子形成附加的漏电流，空穴则被衬底收集，形成衬底电流，使总
电流成为饱和漏电流与衬底电流之和。热载流子效应是限制器件最高工作
电压的基本因素之一。

为了解决热载流子的出现对器件特性的影响，技术人员想出了各种办
30 法来避免局部强电场的产生。请参阅图 1，为一种现有的 TFT 基板结构的
制作方法的示意图。该 TFT 基板结构包括基板 100、设于基板 100 上的缓
冲层 200、设于缓冲层 200 上的多晶硅层 300，该方法利用光阻层 600 为掩
模，对多晶硅层 300 进行离子注入，对应栅极的两侧，在多晶硅层 300 的

沟道区 330 与位于两侧的 n 型重掺杂区 310 之间形成对称的两 n 型轻掺杂区 (LDD) 320, 以分散电极附近的强电场, 减少热载流子的产生。但这样就意味着需要针对所述 n 型轻掺杂区 320 的制作进行单独的光罩设计及一次光刻制程, 需要花费大量的成本。

5

发明内容

本发明的目的在于提供一种 TFT 基板结构的制作方法, 可同时在多晶硅层形成 n 型重掺杂区和 n 型轻掺杂区, 以增加阻值, 分散电极附近的强电场, 避免因局部强电场的存在而发生的热载流子效应对器件特性造成影响。

10

本发明的目的还在于提供一种 TFT 基板结构, 多晶硅层中包括位于两侧的 n 型重掺杂区及位于多晶硅层的沟道区与 n 型重掺杂区之间的 n 型轻掺杂区, 可避免局部强电场的产生, 消除热载流子对器件特性的影响。

为实现上述目的, 本发明提供一种 TFT 基板结构的制作方法, 包括如下步骤:

15

步骤 1、提供基板, 在所述基板上沉积缓冲层;

步骤 2、在所述缓冲层上沉积多晶硅层, 并在所述多晶硅层上沉积栅极绝缘层;

步骤 3、在所述栅极绝缘层上沉积金属层, 并对所述金属层进行图案化处理, 形成对应于所述多晶硅层中部的栅极;

20

所述栅极为梯形体结构, 包括上底面、下底面、连接于所述上底面与下底面之间且相对设置的第一斜面与第二斜面; 所述上底面的面积小于所述下底面的面积;

步骤 4、以所述栅极为光罩, 采用离子注入工艺对所述多晶硅层进行 n 型掺杂, 在所述多晶硅层两侧没有被栅极覆盖的区域形成 n 型重掺杂区, 在所述多晶硅层上对应于所述栅极的第一斜面、第二斜面的区域形成第一 n 型轻掺杂区、第二 n 型轻掺杂区, 在所述多晶硅层中部对应于所述栅极的上底面的区域形成未掺杂的沟道区。

25

所述栅极的厚度为 2000Å~8000Å。

所述步骤 3 通过干法蚀刻或湿法蚀刻形成第一斜面与第二斜面。

30

所述第一斜面与下底面之间形成的夹角的角度为 10°~60°; 所述第二斜面与下底面之间形成的夹角的角度为 10°~60°。

所述第一、第二 n 型轻掺杂区中的 n 型离子浓度为从外侧向内侧呈线性递减分布。

所述缓冲层、及栅极绝缘层的材料为氧化硅、氮化硅、或二者的组合；
所述栅极的材料为钼、钛、铝、铜中的一种或多种的堆栈组合。

- 5 本发明还提供一种 TFT 基板结构，包括基板、设于所述基板上的缓冲层、设于所述缓冲层上的多晶硅层、设于所述多晶硅层上的栅极绝缘层、及设于所述栅极绝缘层上且对应于所述多晶硅层中部的栅极；

所述栅极为梯形体结构，包括上底面、下底面、连接于所述上底面与下底面之间且相对设置的第一斜面与第二斜面；所述上底面的面积小于所述下底面的面积；

- 10 所述多晶硅层包括位于中部且对应于所述上底面的未掺杂的沟道区，位于所述沟道区两侧且分别对应于所述第一斜面、第二斜面的第一 n 型轻掺杂区、第二 n 型轻掺杂区，及分别位于所述第一 n 型轻掺杂区与第二 n 型轻掺杂区外侧的两 n 型重掺杂区。

- 15 所述栅极的厚度为 $2000\text{\AA}\sim 8000\text{\AA}$ ；所述第一斜面与下底面之间形成的夹角的角度为 $10^\circ\sim 60^\circ$ ；所述第二斜面与下底面之间形成的夹角的角度为 $10^\circ\sim 60^\circ$ 。

所述第一、第二 n 型轻掺杂区中的 n 型离子浓度为从外侧向内侧呈线性递减分布。

所述缓冲层、及栅极绝缘层的材料为氧化硅、氮化硅、或二者的组合；
所述栅极的材料为钼、钛、铝、铜中的一种或多种的堆栈组合。

- 20 本发明还提供一种 TFT 基板结构，包括基板、设于所述基板上的缓冲层、设于所述缓冲层上的多晶硅层、设于所述多晶硅层上的栅极绝缘层、及设于所述栅极绝缘层上且对应于所述多晶硅层中部的栅极；

- 25 所述栅极为梯形体结构，包括上底面、下底面、连接于所述上底面与下底面之间且相对设置的第一斜面与第二斜面；所述上底面的面积小于所述下底面的面积；

所述多晶硅层包括位于中部且对应于所述上底面的未掺杂的沟道区，位于所述沟道区两侧且分别对应于所述第一斜面、第二斜面的第一 n 型轻掺杂区、第二 n 型轻掺杂区，及分别位于所述第一 n 型轻掺杂区与第二 n 型轻掺杂区外侧的两 n 型重掺杂区；

- 30 其中，所述栅极的厚度为 $2000\text{\AA}\sim 8000\text{\AA}$ ；所述第一斜面与下底面之间形成的夹角的角度为 $10^\circ\sim 60^\circ$ ；所述第二斜面与下底面之间形成的夹角的角度为 $10^\circ\sim 60^\circ$ ；

其中，所述第一、第二 n 型轻掺杂区中的 n 型离子浓度为从外侧向内侧呈线性递减分布；

其中，所述缓冲层、及栅极绝缘层的材料为氧化硅、氮化硅、或二者的组合；所述栅极的材料为钼、钛、铝、铜中的一种或多种的堆栈组合。

本发明的有益效果：本发明的 TFT 基板结构的制作方法，在制作栅极时通过调整蚀刻的参数，使栅极两侧形成斜面，并以栅极作为光罩，对多晶硅层进行离子注入，同时在多晶硅层形成 n 型重掺杂区和 n 型轻掺杂区，增加了阻值，分散了电极附近的强电场，避免了因局部强电场的存在而发生的热载流子效应对器件特性造成的影响，以及轻掺杂区不对称对器件造成的其他影响，节省了单独形成 n 型轻掺杂区的制程，提升了生成效率，降低了生产成本。本发明的 TFT 基板结构，多晶硅层中包括位于两侧的 n 型重掺杂区及位于多晶硅层的沟道区与 n 型重掺杂区之间的 n 型轻掺杂区，避免了局部强电场的产生，消除了热载流子对器件特性的影响。

附图说明

为了能更进一步了解本发明的特征以及技术内容，请参阅以下有关本发明的详细说明与附图，然而附图仅提供参考与说明用，并非用来对本发明加以限制。

附图中，

图 1 为一种现有的 TFT 基板结构的制作方法的示意图；

图 2 为本发明的 TFT 基板结构的制作方法的流程图；

图 3 为本发明的 TFT 基板结构的制作方法的步骤 1 的示意图；

图 4 为本发明的 TFT 基板结构的制作方法的步骤 2 的示意图；

图 5 为本发明的 TFT 基板结构的制作方法的步骤 3 的示意图；

图 6 为本发明的 TFT 基板结构的制作方法的步骤 4 的示意图；

图 7 为本发明的 TFT 基板结构的剖面示意图。

具体实施方式

为更进一步阐述本发明所采取的技术手段及其效果，以下结合本发明的优选实施例及其附图进行详细描述。

请参阅图 2，本发明首先提供一种 TFT 基板结构的制作方法，包括如下步骤：

步骤 1、如图 3 所示，提供基板 1，在所述基板 1 上沉积缓冲层 2。

具体的，所述基板 1 可以是玻璃基板或塑料基板，所述缓冲层 2 的材料可以是氧化硅（SiO_x）、氮化硅（SiN_x）、或二者的组合。

步骤 2、如图 4 所示，在所述缓冲层 2 上沉积多晶硅（Poly-Si）层 3，

并在所述多晶硅层 3 上沉积栅极绝缘层 4。

具体的，所述栅极绝缘层 4 的材料可以是氧化硅、氮化硅、或二者的组合。

步骤 3、如图 5 所示，在所述栅极绝缘层 4 上沉积金属层，并对所述金属层进行图案化处理，形成对应于所述多晶硅层 3 中部的栅极 5。

所述栅极 5 为梯形体结构，包括上底面 51、下底面 52、连接于所述上底面 51 与下底面 52 之间且相对设置的第一斜面 53 与第二斜面 54；所述上底面 51 的面积小于所述下底面 52 的面积。

具体的，所述第一斜面 53 与下底面 52 之间形成的夹角的角度为 10°~60°；所述第二斜面 54 与下底面 52 之间形成的夹角的角度为 10°~60°。

优选的，所述第一斜面 53、第二斜面 54 与下底面 52 之间形成的夹角的角度相同。

具体的，所述栅极 5 的材料可以是钼 (Mo)、钛 (Ti)、铝 (Al)、铜 (Cu) 中的一种或多种的堆栈组合。

具体的，通过干法蚀刻 (Dry Etch) 或湿法蚀刻 (Wet Etch) 形成所述第一斜面 53 与第二斜面 54，并通过调整蚀刻工艺的参数来调整所述第一斜面 53、第二斜面 54 与所述下底面 52 之间形成的夹角的角度。

优选的，所述栅极 5 的厚度为 2000Å~8000Å。

步骤 4、如图 6 所示，以所述栅极 5 为光罩，采用离子注入工艺对所述多晶硅层 3 进行 n 型掺杂，在所述多晶硅层 3 两侧没有被栅极 5 覆盖的区域上形成 n 型重掺杂区 31，在所述多晶硅层 3 上对应于所述栅极 5 的第一斜面 53、第二斜面 54 的区域形成第一 n 型轻掺杂区 32、及第二 n 型轻掺杂区 33，在所述多晶硅层 3 中部对应于所述栅极 5 的上底面 51 的区域形成未掺杂的沟道区 34。

由于所述栅极 5 的两侧为平缓的斜面，因此在采用离子注入工艺对所述多晶硅层 3 进行 n 型掺杂的过程中，在没有栅极 5 覆盖的区域形成 n 型重掺杂区 31，由于所述栅极 5 位于第一斜面 53 与第二斜面 54 处的厚度较薄，从而 n 型离子可以穿过所述栅极 5，在所述多晶硅层 3 上被栅极 5 的第一斜面 53、第二斜面 54 覆盖的区域形成 n 型离子浓度呈线性分布的第一、第二 n 型轻掺杂区 32、33。所述第一、第二 n 型轻掺杂区 32、33 增加了阻值，分散了电极附近的强电场，避免了因局部强电场的存在而发生的热载流子效应对器件特性造成的影响。

进一步的，由于所述栅极 5 位于第一斜面 53 与下底面 52 之间的厚度从外侧向内侧呈线性递增，因此进行 n 型掺杂时，n 型离子注入的难度也从

外向内逐渐递增，从而最终得到的第一 n 型轻掺杂区 32 中的 n 型离子浓度为从外侧向内侧呈线性递减分布。

同理，由于所述栅极 5 位于第二斜面 54 与下底面 52 之间的厚度从外侧向内侧呈线性递增，因此进行 n 型掺杂时，n 型离子注入的难度也从外向内逐渐递增，从而最终得到的第二 n 型轻掺杂区 33 中的 n 型离子浓度为从外侧向内侧呈线性递减分布。

具体的，所述步骤 4 得到的 n 型重掺杂区 31 中的 n 型离子浓度 C_{n+} 的范围为 $10^{14} \sim 10^{15} \text{ ions/cm}^3$ ；所述第一 n 型轻掺杂区 32、第二 n 型轻掺杂区 33 中的 n 型离子浓度 C_{n-} 的范围为 $C_{n+} > C_{n-} > 0$ 。

10 本发明的 TFT 基板结构的制作方法，通过在沟道的两侧分别设置两个 n 型轻掺杂区，避免了轻掺杂区不对称对器件的造成的其他影响。

上述 TFT 基板结构的制作方法，在制作栅极时通过调整蚀刻工艺的参数，使栅极两侧形成斜面，并以栅极作为光罩，对多晶硅层进行离子注入，通过一道制程同时也在多晶硅层形成 n 型重掺杂区和线性离子浓度的 n 型轻掺杂区，增加了阻值，分散了电极附近的强电场，避免了因局部强电场的存在而发生的热载流子效应对器件特性造成的影响，以及轻掺杂区不对称对器件的造成的其他影响，节省了单独形成 n 型轻掺杂区的制程，提升了生成效率，降低了生产成本。

20 请参阅图 7，本发明还提供一种 TFT 基板结构，包括基板 1、设于所述基板 1 上的缓冲层 2、设于所述缓冲层 2 上的多晶硅层 3、设于所述多晶硅层 3 上的栅极绝缘层 4 及设于所述栅极绝缘层 4 上且对应于所述多晶硅层 3 中部的栅极 5。

25 所述栅极 5 为梯形体结构，包括上底面 51、下底面 52、连接于所述上底面 51 与下底面 52 之间且相对设置的第一斜面 53 与第二斜面 54；所述上底面 51 的面积小于所述下底面 52 的面积。

所述多晶硅层 3 包括位于中部且对应于所述上底面 51 的未掺杂的沟道区 34，位于所述沟道区 34 两侧且分别对应于所述第一斜面 53、第二斜面 54 的第一 n 型轻掺杂区 32、第二 n 型轻掺杂区 33，及分别位于所述第一 n 型轻掺杂区 32 与第二 n 型轻掺杂区 33 外侧的两 n 型重掺杂区 31。

30 优选的，所述栅极 5 的厚度为 $2000\text{\AA} \sim 8000\text{\AA}$ 。

具体的，所述第一斜面 53 与下底面 52 之间形成的夹角的角度为 $10^\circ \sim 60^\circ$ ；所述第二斜面 54 与下底面 52 之间形成的夹角的角度为 $10^\circ \sim 60^\circ$ 。

优选的，所述第一斜面 53、第二斜面 54 与下底面 52 之间形成的夹角的角度相同。

具体的，所述第一、第二 n 型轻掺杂区 32、33 中的 n 型离子浓度呈线性分布。

进一步的，所述第一、第二 n 型轻掺杂区 32、33 中的 n 型离子浓度为从外侧向内侧呈线性递减分布。

- 5 具体的，所述 n 型重掺杂区 31 中的 n 型离子浓度 C_{n+} 的范围为 $10^{14} \sim 10^{15} \text{ions/cm}^3$ ；所述第一 n 型轻掺杂区 32、第二 n 型轻掺杂区 33 中的 n 型离子浓度 C_{n-} 的范围为 $C_{n+} > C_{n-} > 0$ 。

- 10 具体的，所述缓冲层 2、及栅极绝缘层 4 的材料为氧化硅、氮化硅、或二者的组合；所述栅极 5 的材料为钼、钛、铝、铜中的一种或多种的堆栈组合。

上述 TFT 基板结构，多晶硅层中包括位于两侧的 n 型重掺杂区及位于多晶硅层的沟道区与 n 型重掺杂区之间的 n 型轻掺杂区，避免了局部强电场的产生，消除了热载流子对器件特性的影响。

- 15 综上所述，本发明的 TFT 基板结构的制作方法，在制作栅极时通过调整蚀刻的参数，使栅极两侧形成斜面，并以栅极作为光罩，对多晶硅层进行离子注入，通过一道制程同时也在多晶硅层上形成 n 型重掺杂区和 n 型轻掺杂区，增加了阻值，分散了电极附近的强电场，避免了因局部强电场的存在而发生的热载流子效应对器件特性造成的影响，以及轻掺杂区不对称对器件的造成的其他影响；节省了单独形成 n 型轻掺杂区的制程，提升了生成效率，降低了生产成本。本发明的 TFT 基板结构，多晶硅层中包括位于两侧的 n 型重掺杂区及位于多晶硅层的沟道区与 n 型重掺杂区之间的 n 型轻掺杂区，避免了局部强电场的产生，消除了热载流子对器件特性的影响。

- 25 以上所述，对于本领域的普通技术人员来说，可以根据本发明的技术方案和技术构思作出其他各种相应的改变和变形，而所有这些改变和变形都应属于本发明后附的权利要求的保护范围。

权 利 要 求

1、一种 TFT 基板结构的制作方法，包括如下步骤：

步骤 1、提供基板，在所述基板上沉积缓冲层；

5 步骤 2、在所述缓冲层上沉积多晶硅层，并在所述多晶硅层上沉积栅极绝缘层；

步骤 3、在所述栅极绝缘层上沉积金属层，并对所述金属层进行图案化处理，形成对应于所述多晶硅层中部的栅极；

10 所述栅极为梯形体结构，包括上底面、下底面、连接于所述上底面与下底面之间且相对设置的第一斜面与第二斜面；所述上底面的面积小于所述下底面的面积；

步骤 4、以所述栅极为光罩，采用离子注入工艺对所述多晶硅层进行 n 型掺杂，在所述多晶硅层两侧没有被栅极覆盖的区域形成 n 型重掺杂区，在所述多晶硅层上对应于所述栅极的第一斜面、第二斜面的区域形成第一 n
15 型轻掺杂区、第二 n 型轻掺杂区，在所述多晶硅层中部对应于所述栅极的上底面的区域形成未掺杂的沟道区。

2、如权利要求 1 所述的 TFT 基板结构的制作方法，其中，所述栅极的厚度为 2000Å~8000Å。

3、如权利要求 1 所述的 TFT 基板结构的制作方法，其中，所述步骤 3
20 通过干法蚀刻或湿法蚀刻形成第一斜面与第二斜面。

4、如权利要求 1 所述的 TFT 基板结构的制作方法，其中，所述第一斜面与下底面之间形成的夹角的角度为 10°~60°；所述第二斜面与下底面之间形成的夹角的角度为 10°~60°。

5、如权利要求 1 所述的 TFT 基板结构的制作方法，其中，所述第一、
25 第二 n 型轻掺杂区中的 n 型离子浓度为从外侧向内侧呈线性递减分布。

6、如权利要求 1 所述的 TFT 基板结构的制作方法，其中，所述缓冲层、及栅极绝缘层的材料为氧化硅、氮化硅、或二者的组合；所述栅极的材料为钼、钛、铝、铜中的一种或多种的堆栈组合。

7、一种 TFT 基板结构，包括基板、设于所述基板上的缓冲层、设于所述缓冲层上的多晶硅层、设于所述多晶硅层上的栅极绝缘层、及设于所述栅极绝缘层上且对应于所述多晶硅层中部的栅极；
30

所述栅极为梯形体结构，包括上底面、下底面、连接于所述上底面与下底面之间且相对设置的第一斜面与第二斜面；所述上底面的面积小于所

述下底面的面积;

所述多晶硅层包括位于中部且对应于所述上底面的未掺杂的沟道区, 位于所述沟道区两侧且分别对应于所述第一斜面、第二斜面的第一 n 型轻掺杂区、第二 n 型轻掺杂区, 及分别位于所述第一 n 型轻掺杂区与第二 n 型轻掺杂区外侧的两 n 型重掺杂区。

8、如权利要求 7 所述的 TFT 基板结构, 其中, 所述栅极的厚度为 2000Å~8000Å; 所述第一斜面与下底面之间形成的夹角的角度为 10°~60°; 所述第二斜面与下底面之间形成的夹角的角度为 10°~60°。

9、如权利要求 7 所述的 TFT 基板结构的制作方法, 其中, 所述第一、第二 n 型轻掺杂区中的 n 型离子浓度为从外侧向内侧呈线性递减分布。

10、如权利要求 7 所述的 TFT 基板结构, 其中, 所述缓冲层、及栅极绝缘层的材料为氧化硅、氮化硅、或二者的组合; 所述栅极的材料为钼、钛、铝、铜中的一种或多种的堆栈组合。

11、一种 TFT 基板结构, 包括基板、设于所述基板上的缓冲层、设于所述缓冲层上的多晶硅层、设于所述多晶硅层上的栅极绝缘层、及设于所述栅极绝缘层上且对应于所述多晶硅层中部的栅极;

所述栅极为梯形体结构, 包括上底面、下底面、连接于所述上底面与下底面之间且相对设置的第一斜面与第二斜面; 所述上底面的面积小于所述下底面的面积;

所述多晶硅层包括位于中部且对应于所述上底面的未掺杂的沟道区, 位于所述沟道区两侧且分别对应于所述第一斜面、第二斜面的第一 n 型轻掺杂区、第二 n 型轻掺杂区, 及分别位于所述第一 n 型轻掺杂区与第二 n 型轻掺杂区外侧的两 n 型重掺杂区;

其中, 所述栅极的厚度为 2000Å~8000Å; 所述第一斜面与下底面之间形成的夹角的角度为 10°~60°; 所述第二斜面与下底面之间形成的夹角的角度为 10°~60°;

其中, 所述第一、第二 n 型轻掺杂区中的 n 型离子浓度为从外侧向内侧呈线性递减分布;

其中, 所述缓冲层、及栅极绝缘层的材料为氧化硅、氮化硅、或二者的组合; 所述栅极的材料为钼、钛、铝、铜中的一种或多种的堆栈组合。

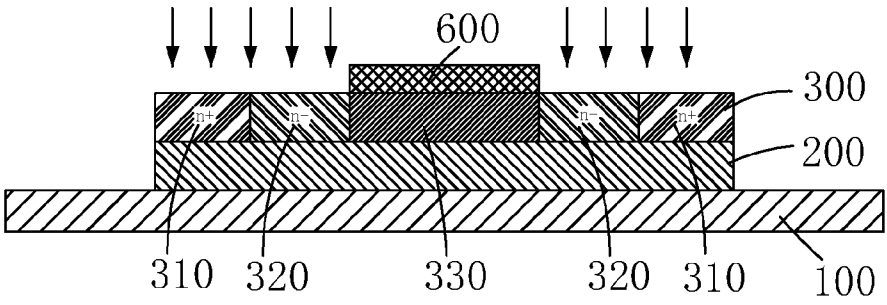


图1

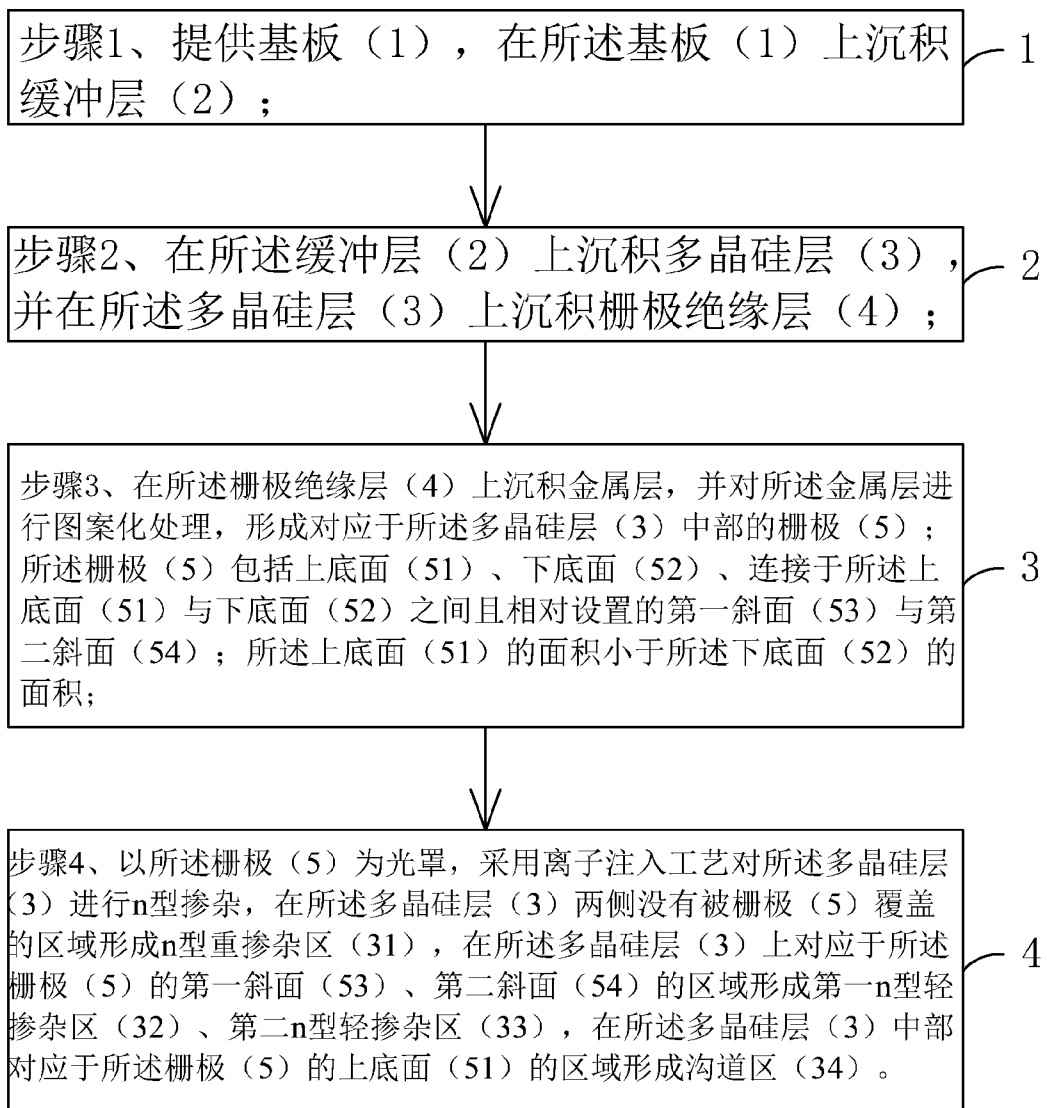


图2

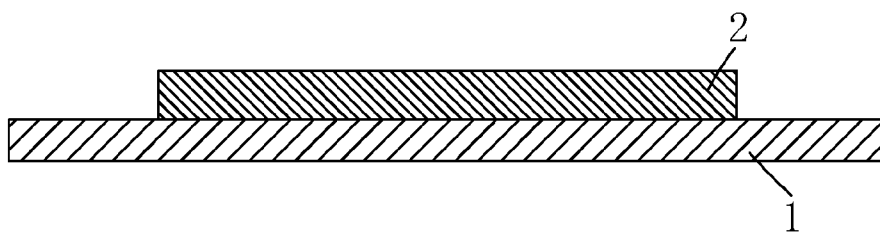


图3

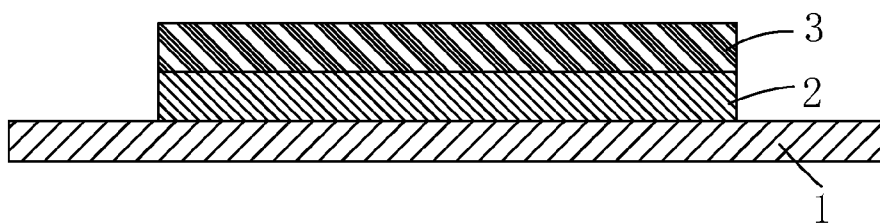


图4

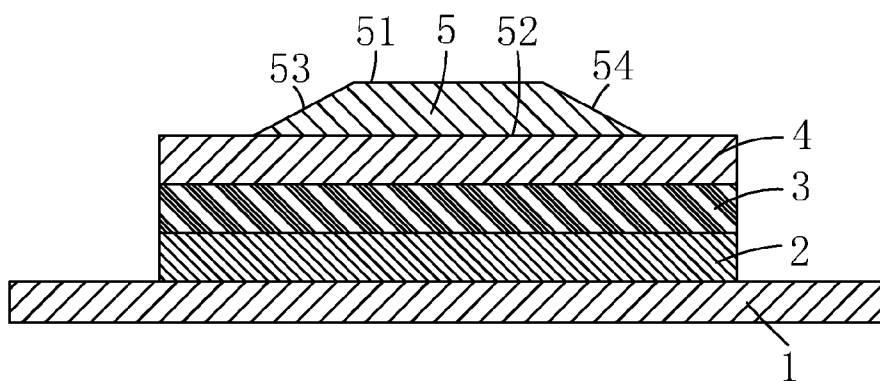


图5

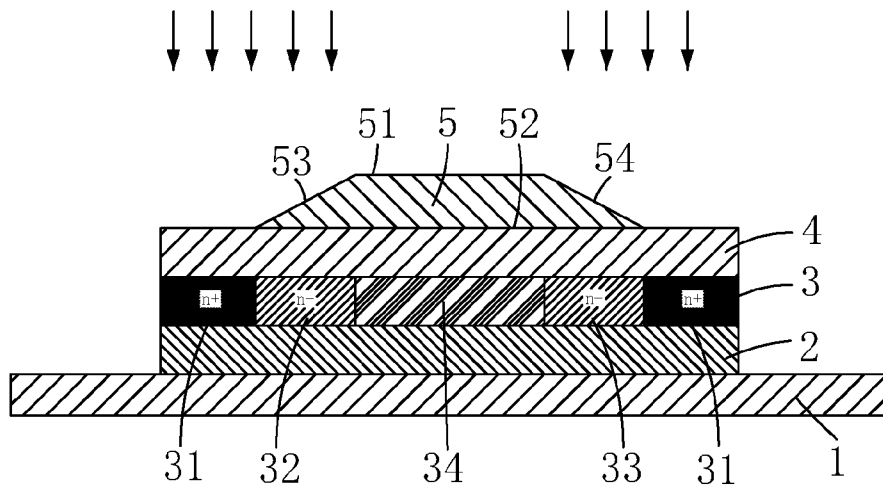


图6

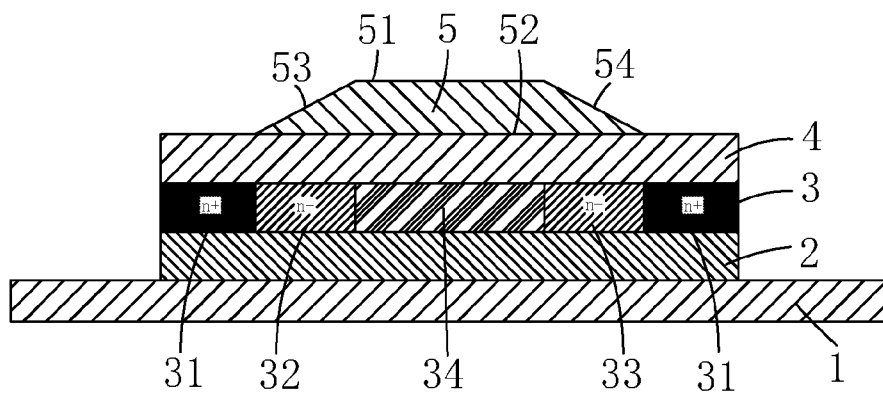


图7

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2015/082163

A. CLASSIFICATION OF SUBJECT MATTER

H01L 29/786 (2006. 01) i; H01L 21/336 (2006. 01) i; H01L 29/16 (2006. 01) i; H01L 27/12 (2006. 01) i
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L 29/-; H01L 21/-; H01L 27/-

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNKI, CNPAT, EPODOC, WPI: TFT, trapezoid, ion injection, n heavily doped zone, plate, multi-crystal silicon layer, gate, doped, hot carrier, n soft doped zone

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 104600028 A (SHENZHEN HUAXING OPTOELECTRONIC TECHNOLOGY CO., LTD.) 06 May 2015 (06.05.2015) description, paragraphs [0056]-[0079], and figures 1-14	1-11
A	CN 104599959 A (SHENZHEN HUAXING OPTOELECTRONIC TECHNOLOGY CO., LTD.) 06 May 2015 (06.05.2015) the whole document	1-11
A	CN 1476064 A (SHANGHAI HONGLI SEMICONDUCTOR MFG. CO., LTD.) 18 February 2004 (18.02.2004) the whole document	1-11
A	US 2002030228 A1 (PARK, KEE-CHAN et al.) 14 March 2002 (14.03.2002) the whole document	1-11
A	CN 101064256 A (IND TECH RES INST) 31 October 2007 (31.10.2007) the whole document	1-11

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	
"E" earlier application or patent but published on or after the international filing date	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	"&"document member of the same patent family

Date of the actual completion of the international search 25 January 2016	Date of mailing of the international search report 14 February 2016
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer YANG, Weiwei Telephone No. (86-10) 61648473

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2015/082163

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 104600028 A	06 May 2015	None	
CN 104599959 A	06 May 2015	None	
CN 1476064 A	18 February 2004	CN 1265445 C	19 July 2006
US 2002030228 A1	14 March 2002	KR 100679917 B1	07 February 2007
		US 2002113236 A1	22 August 2002
		US 6455874 B1	24 September 2002
		KR 20020020578 A	15 March 2002
		US 6566180 B2	20 May 2003
CN 101064256 A	31 October 2007	CN 100547745 C	07 October 2009
		US 2007254399 A1	01 November 2007
		TW 200741975 A	01 November 2007

国际检索报告

国际申请号

PCT/CN2015/082163

A. 主题的分类

H01L 29/786(2006.01)i; H01L 21/336(2006.01)i; H01L 29/16(2006.01)i; H01L 27/12(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L 29/-; H01L 21/-; H01L 27/-

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNKI, CNPAT, EPODOC, WPI: TFT, 基板, 多晶硅, 栅极, 梯形, 离子注入, 掺杂, n型轻掺杂区, n型重掺杂区, 热载流子, TFT, plate, multi-crystal silicon layer, gate, doped

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN 104600028 A (深圳市华星光电技术有限公司) 2015年 5月 6日 (2015 - 05 - 06) 说明书第0056-0079段, 附图1-14	1-11
A	CN 104599959 A (深圳市华星光电技术有限公司) 2015年 5月 6日 (2015 - 05 - 06) 全文	1-11
A	CN 1476064 A (上海宏力半导体制造有限公司) 2004年 2月 18日 (2004 - 02 - 18) 全文	1-11
A	US 2002030228 A1 (PARK, KEE-CHAN 等) 2002年 3月 14日 (2002 - 03 - 14) 全文	1-11
A	CN 101064256 A (财团法人工业技术研究院) 2007年 10月 31日 (2007 - 10 - 31) 全文	1-11

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2016年 1月 25日

国际检索报告邮寄日期

2016年 2月 14日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局(ISA/CN)
中国北京市海淀区蓟门桥西土城路6号 100088

授权官员

杨蔚蔚

传真号 (86-10) 62019451

电话号码 (86-10) 61648473

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2015/082163

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	104600028	A	2015年 5月 6日	无			
CN	104599959	A	2015年 5月 6日	无			
CN	1476064	A	2004年 2月 18日	CN	1265445	C	2006年 7月 19日
US	2002030228	A1	2002年 3月 14日	KR	100679917	B1	2007年 2月 7日
				US	2002113236	A1	2002年 8月 22日
				US	6455874	B1	2002年 9月 24日
				KR	20020020578	A	2002年 3月 15日
				US	6566180	B2	2003年 5月 20日
CN	101064256	A	2007年 10月 31日	CN	100547745	C	2009年 10月 7日
				US	2007254399	A1	2007年 11月 1日
				TW	200741975	A	2007年 11月 1日

表 PCT/ISA/210 (同族专利附件) (2009年7月)